

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering

College of Electrical Engineering and Computer Science

National Taiwan University

Master's Thesis



使用數位控制電流導向可變增益放大器之

Ka 頻段相移器

Ka-band Phase Shifters using
Digital-Controlled Current Steering VGA

劉秉宸

Bing-Chen Liu

指導教授：盧信嘉 博士

Advisor: Hsin-Chia Lu, Ph.D.

中華民國 113 年 8 月

August 2024

國立臺灣大學碩士學位論文

口試委員會審定書

MASTER'S THESIS ACCEPTANCE CERTIFICATE
NATIONAL TAIWAN UNIVERSITY

使用數位控制電流導向可變增益放大器之 Ka 頻段相移器

Ka-band Phase Shifters using Digital-Controlled Current Steering VGA

本論文係 劉秉宸 (姓名) r10943132 (學號) 在國立臺灣大學電子工程研究所
(系/所/學位學程)完成之碩士學位論文，於民國 113 年 7 月 22 日承下列考試委
員審查通過及口試及格，特此證明。

The undersigned, appointed by the Department / Graduate Institute of Electronics Engineering on
22(date)7 (month)2024 (year) have examined a Master's Thesis entitled above presented by Bing-
Chen Liu (name) r10943132 (student ID) candidate and hereby certify that it is worthy of acceptance.

口試委員 Oral examination committee:

盧信嘉

張譽騰

翁政翰

(指導教授 Advisor)

系(所、學位學程)主管 Director: 江介宏

中文摘要

本論文提出一使用於 Ka 頻段之數位控制可變放大器的向量合成式相移器，此架構可應用於 5G 毫米波段的通訊系統中。

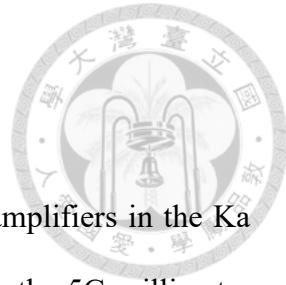


此相移器主要由 90° 耦合器形成相差 90° 的 I / Q 訊號，接著透過 $0-\pi$ 相位切換器轉換成 $\pm I / \pm Q$ 訊號來實現四象限切換。並將 $\pm I / \pm Q$ 訊號由可變增益放大器改變其大小，達到相位移的效果。本架構中的可變增益放大器為數位開關式可變增益放大器，由 4 組開關控制電流的原理改變增益放大器的大小。但因可變增益放大器在不同的大小時，相位的誤差太大，因此只能選擇前面相位誤差較小的點，導致增益範圍不夠，無法在任一象限達成 $0^\circ \sim 90^\circ$ 切換，所以最後再加上 45° 切換器補償，藉此實現 360° 全相位切換。

本文採用台積電 $0.18\text{ }\mu\text{m CMOS}$ 製程實現，可達到等效 6 位元解析度，而量測結果均方根增益誤差為 0.139dB ，RMS 相位誤差為 0.609° ，平均增益為 -18.737dB ，直流功耗最大為 25.2mW 。

關鍵字：開關式可變增益放大器、Ka 頻段、向量合成式相移器、6 位元、 360° 。

ABSTRACT



This thesis presents a phase shifter digital control variable gain amplifiers in the Ka band. This architecture can be applied to communication systems in the 5G millimeter wave band.

This phase shifter uses a 90° coupler to form an I/Q signal with a phase difference of 90° , and then converts it into a $\pm I/\pm Q$ signal through a phase-invertible variable attenuator (PIVA) to realize four-quadrant switching. And the $\pm I / \pm Q$ signal is changed by the variable gain amplifier to achieve the effect of phase shift. The variable gain amplifier in this architecture uses a digital controlled switch-type variable gain amplifier, and the magnitude of the gain amplifier is changed by the principle of four sets of switches controlling the current. However, because the phase error of the variable gain amplifier is too large when the gain range is large, thus only gainwith small phase error can be selected, resulting in insufficient gain range. A 45° phase shifter compensation is added at the end to achieve 360° all-phase shifting.

This circuit is implemented in TSMC 0.18 μm CMOS process. It has 6-bit resolution in phase shift. The measured RMS gain error is 0.139dB, and RMS phase error is 0.609° . The average gain is -18.737dB with maximum DC power consumption at 25.2mW.

Keywords: digital current steering variable gain amplifier, Ka band, vector sum phase shifter, 6 bits, 360° .

目次



中文摘要	i
ABSTRACT	ii
目次	iii
圖次	v
表次	ix
Chapter 1 緒論	1
1.1 研究動機與背景	1
1.2 文獻回顧	3
1.3 論文貢獻	6
1.4 章節介紹	6
Chapter 2 相移器與可變增益放大器電路介紹	7
2.1 簡介	7
2.2 相移器設計重要參數	7
2.2.1 均方根相位誤差(RMS phase error)	7
2.2.2 均方根增益誤差(RMS amplitude error)	7
2.3 相移器電路介紹	8
2.3.1 傳輸線式相移器	8
2.3.2 開關式相移器	9
2.3.3 反射式相移器	16
2.3.4 向量和式相移器	17
2.4 可變增益放大器簡介	18
2.4.1 偏壓調控增益放大器	18
2.4.2 N型電流導向可變增益放大器	19
2.4.3 P型電流導向可變增益放大器	21
2.4.4 數位式可變增益放大器	23
Chapter 3 數位控制可變增益放大器	26
3.1 電路介紹	26
3.2 設計流程	27



3.2.1	電晶體尺寸挑選	27
3.2.2	增益範圍的計算	29
3.2.3	數位控制可變增益放大器	30
3.2.4	阻抗匹配	34
3.3	電路佈局	35
3.4	整體電路模擬	36
Chapter 4	主動式向量和式相移器電路設計	43
4.1	電路介紹	43
4.2	被動部分電路	45
4.2.1	正交耦合器模擬	45
4.2.2	PIVA 設計和模擬	47
4.2.3	功率分配器設計和模擬	57
4.2.4	45°相移器設計和模擬	60
4.3	相移器整體模擬	64
4.4	電路佈局	76
Chapter 5	量測結果	77
5.1	打線及量測環境	77
5.2	數位式可變增益放大器量測結果	78
5.3	主動式向量和式相移器量測結果	85
5.3.1	第一顆相移器量測結果	85
5.3.2	第二顆相移器量測結果	90
Chapter 6	結論與未來展望	100
6.1	結論	100
6.2	未來展望	100
	參考文獻	102

圖次



圖 1-1	毫米波大氣衰減率。[2].....	1
圖 1-2	使用相位陣列天線之無線通訊系統在 (a)接收端及 (b)發射端架構圖。 [3].....	3
圖 1-3	T 型傳輸線相移器。[4]	4
圖 1-4	開關式相移器。[5].....	4
圖 1-5	反射式相移器。[8].....	5
圖 1-6	向量和式相移器。[9] - [12].....	5
圖 2-1	傳輸線式相移器架構圖：(a) T 型態與 (b) π 型態。	8
圖 2-2	轉換後的 π 模型。	8
圖 2-3	四位元開關式相移器之電路架構圖。[13].....	10
圖 2-4	180° 相移器之電路架構圖。	10
圖 2-5	180° 相移器在 V_{180° 為(a)低電壓及(b)高電壓之等效電路圖。	11
圖 2-6	90° 之相移器電路架構圖。	13
圖 2-7	90° 相移器在 V_{90° 為(a)低電壓及(b)高電壓之等效電路圖。	14
圖 2-8	反射式相移器之電路架構圖。[14].....	16
圖 2-9	反射式相移器之運作圖(a)訊號從輸入端到反射式負載和(b)訊號經由反 射式負載反射至輸出端。	16
圖 2-10	向量和式相移器架構圖。[14].....	18
圖 2-11	向量合成示意圖。	18
圖 2-12	偏壓調控增益放大器(a)電路架構圖及(b)等效小訊號模型。[15].....	19
圖 2-13	N 型電流導向可變增益放大器(a)電路架構圖及(b)等效小訊號模型。[15]	20
圖 2-14	N 型電流導向可變增益放大器在(a)低增益及(b)高增益之輸出阻抗模型。	21
圖 2-15	P 型電流導向可變增益放大器(a)電路架構圖及(b)等效小訊號模型。[16]	22
圖 2-16	P 型電流導向可變增益放大器在(a)低增益及(b)高增益之輸出阻抗模型。	23
圖 2-17	數位式可變增益放大器(a)電路圖及(b)小訊號模型圖。[17]	25



圖 3-1	本論文所使用之向量和式相移器方塊圖。	26
圖 3-2	數位控制可變增益放大器的電路圖。[17].....	27
圖 3-3	疊接放大器。	28
圖 3-4	疊接電晶體在不同 finger 下的 DCIV curve。	28
圖 3-5	電晶體在不同 finger 下的最大增益曲線。	29
圖 3-6	數位控制可變增益放大器的電路圖。	30
圖 3-7	數位控制可變增益放大器中之衰減器。[17].....	31
圖 3-8	VGA 在衰減器 $V_A=0$ 和 0.6V 時的所有狀態。	32
圖 3-9	數位控制式可變增益放大器之相位補償電感。[17].....	32
圖 3-10	可變增益放大器之小訊號電路圖。	33
圖 3-11	在 28 GHz 時，電感值對放大器最大相位差作圖。	34
圖 3-12	數位可變增益放大器之輸入及輸出匹配網路。	35
圖 3-13	數位可變增益放大器電路佈局。	36
圖 3-14	第一版數位式可變增益放大器各狀態之(a)S11 及 S22 (b)S21。	37
圖 3-15	第一版數位式可變增益放大器相位對大小之圖。	38
圖 3-16	最終版數位式可變增益放大器各狀態之(a)S11 及 S22 (b)S21。	39
圖 3-17	最終版數位式可變增益放大器相位對大小之圖。	40
圖 3-18	最終版數位式可變增益放大器之穩定係數。	40
圖 3-19	最終版可變增益放大器(a)大小及誤差和(b)相位誤差。	42
圖 4-1	本論文電路架構圖。	43
圖 4-2	PIVA 偏壓選擇 IQ 向量示意圖。	44
圖 4-3	不同象限向量合成示意圖。	44
圖 4-4	電路架構圖。	45
圖 4-5	正交耦合器電路圖。[19].....	46
圖 4-6	正交耦合器模擬結果(a)S 參數及(b)相位和相位差。	47
圖 4-7	蜿蜒式正交耦合器電路圖。[19].....	48
圖 4-8	蜿蜒式正交耦合器模擬結果(a)S 參數及(b)相位和相位差。	49
圖 4-9	PIVA 電路圖。[23].....	50
圖 4-10	電晶體汲極端在不同 V_{PIVA} 下模擬之(a)電路與(b)Smith chart。	50
圖 4-11	電感與電晶體(a)源極串聯及(b)汲極串連與(c)電路的阻抗變化。	51

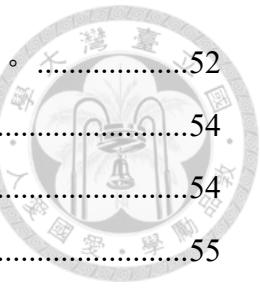


圖 4-12	(a)PIVA 中的平衡電阻及(b)模擬不同電阻值的損耗大小。	52
圖 4-13	PIVA 的模擬結果(a)反射係數、(b)損耗及(c)相位。	54
圖 4-14	\pm IQ 產生器之電路圖。	54
圖 4-15	\pm IQ 產生器之模擬(a)大小及(b)相位。	55
圖 4-16	Wilkinson 功率分配器電路。	58
圖 4-17	使用(a)單一 L/C 與(b)兩個電容並聯的集總電路的 Wilkinson 分配器。	59
圖 4-18	Wilkinson 分配器之 layout 圖。	59
圖 4-19	(a)功率分配器的損耗，(b)功率分配器的反射係數。	60
圖 4-20	45° 相移器電路。[25]	61
圖 4-21	45° 相移器電路(a) V_{45} 為 1.8 V 及(b) V_{45} 為 0 V 之等效電路圖。	61
圖 4-22	45° 開關式相移器之 layout 圖。	62
圖 4-23	45° 開關式相移器(a)反射係數、(b)大小和(c)相位及相位差。	64
圖 4-24	(a)正交耦合器+PIVA、(b)VGA 及(c)功率整合器與 45° 開關式相移器。	65
圖 4-25	相移器 64 個狀態之(a) S_{11} ，(b) S_{22} 及(c) S_{21} 。	67
圖 4-26	相移器所有狀態。	67
圖 4-27	相移器 64 種狀態之極座標圖。	68
圖 4-28	(a)相移器 64 種狀態之相位，(b)相移器前 32 種狀態即 $0^\circ \sim 180^\circ$ 之相位及 (c)相移器後 32 種狀態即 $-180^\circ \sim 0^\circ$ 之相位。	69
圖 4-29	相移器 64 個狀態之(a)均方根增益誤差與(b)相位誤差。	70
圖 4-30	相移器之穩定係數。	71
圖 4-31	相移器之平均 IP_{1Db} 。	71
圖 4-31	相移器個狀態之(a)大小和平均及(b)相位及誤差。	75
圖 4-32	每級電路的損耗示意圖。	76
圖 4-33	相移器電路佈局圖。	76
圖 5-1	(a)針台及(b)直流電源供應。	77
圖 5-2	數位式可變增益放大器晶片圖。	78
圖 5-3	數位式可變增益放大器(a) S_{11} 、(b) S_{22} 和(c) S_{21} 之量測與第一版的模擬結果。	79



圖 5-4	可變增益放大器在 sonnet 上的 layout 圖。	80
圖 5-5	數位式可變增益放大器(a)S ₁₁ 、(b)S ₂₂ 和(c)S ₂₁ 之量測與修改後模擬結果。	81
圖 5-6	數位式可變增益放大器在 28GHz 的模擬及量測之相位對大小作圖。 .	82
圖 5-7	量測與模擬之(a)相對大小和誤差及(b)相對相位和誤差。	84
圖 5-8	第一顆相移器晶片圖。	85
圖 5-9	Arduino 偏壓方式示意圖。	85
圖 5-10	相移器(a)S ₁₁ 、(a)S ₂₂ 和(c)S ₂₁ 的量測結果。	87
圖 5-11	相移器相位量測之結果。	87
圖 5-12	相移器平均相位之結果。	88
圖 5-13	相移器偏壓(V _b)共用示意圖。	89
圖 5-14	(a)更改前電路及(b)更改後電路。	90
圖 5-15	第二顆相移器晶片圖。	91
圖 5-16	相移器 64 個狀態之(a)S ₁₁ 、(b)S ₂₂ 和(c)S ₂₁ 。	92
圖 5-17	相移器量測的 64 種狀態的極座標圖。	93
圖 5-18	相移器量測的 64 種狀態的相位，(b)相移器前 32 種狀態即 0°~180° 之相位及(c)相移器後 32 種狀態即 -180°~0° 之相位。	94
圖 5-19	相移器(a)大小及平均和(b)相位及誤差。	95
圖 5-20	相移器 64 個狀態之量測與模擬的(a)均方根增益誤差與(b)相位誤差。	96
圖 6-1	pre-sim 和 po-sim 的 S ₂₁ 。	101
圖 6-2	0-π 可變增益放大器之電路架構圖。[18]	101

表次



表 3-1	各狀態大小與最大值差。	29
表 3-2	電晶體尺寸表。	30
表 3-3	輸入及輸出端電容與電感之尺寸。	35
表 3-4	第一版跟最終版電晶體尺寸比較表。	38
表 3-5	最終版 VGA 比較有無衰減器下的誤差值。	41
表 3-6	最終版 VGA 各狀態大小和理想差值之數據。	41
表 4-1	\pm IQ 產生器四種狀態之損耗。	56
表 4-2	\pm IQ 產生器四種狀態之相位移角度。	56
表 4-3	\pm IQ 產生器使用頻帶內之損耗與相對損耗比較表。	56
表 4-4	\pm IQ 產生器使用頻帶內之相位與相對相位比較表。	57
表 4-5	45°開關式相移器之等效參數表。	61
表 4-6	45°開關式相移器之電晶體尺寸。	62
表 4-7	相移器個狀態之操作偏壓及角度。	72
表 5-1	數位式可變增益放大器模擬及量測之大小及相位比較。	82
表 5-2	相移器平均相位之結果。	88
表 5-3	數位式可變增益放大器偏壓對電流之比較表。	89
表 5-4	相移器量測相位與理想相位比較表。	96
表 5-5	相移器特性比較表。	98



Chapter 1 緒論

1.1 研究動機與背景

早期，1980 年代時，1G 通訊系統剛問世，與廣播的傳輸原理相似，只能將聲音轉換成電波的方式傳輸。到了 1990 年代後，數位式的通訊系統開始普及，2G 除了傳送聲音還可以傳送簡短的一段文字。在 3G 通訊系統中也添加了上網的功能。隨著傳輸速度的加快，在 2009 年，智慧型手機漸漸成為主流，許多的 APP 開始出現，帶來了影音、視頻等娛樂。到了如今，多數人追求更快的傳輸速度，物聯網的各種穿戴裝置也被發明。所以除了講求高速度，在使用這些產品時希望它的反應時間減少，並且不會在多個裝置同時連接時斷線。因此 5G 裡面多了低時延和多連結這兩大特性。

根據國際電信聯盟(International Telecommunication Union, ITU)對 5G 頻段所公告的可使用頻段範圍，其頻段主要以 Sub-6GHz、28 GHz 及 38 GHz 附近為主，這是因為在傳輸過程中，大氣中的氧氣和水氣會在特定的頻段中造成衰減。如圖 1-1 所示，隨著頻率的增加，衰減量的大小也會跟著上升。在 20~40GHz 的頻率範圍的衰減量是相對較少的。而 Sub-6GHz 頻段衰減量雖然較低且能夠沿用 4G 的成熟技術，但是此頻段的使用資源已經近達飽和，不被考慮用來當作 5G 的通訊頻段。所以 5G 的通訊頻段大多在 20~40GHz 的頻率範圍。因此本論文電路設計之所選頻率為 28 GHz。

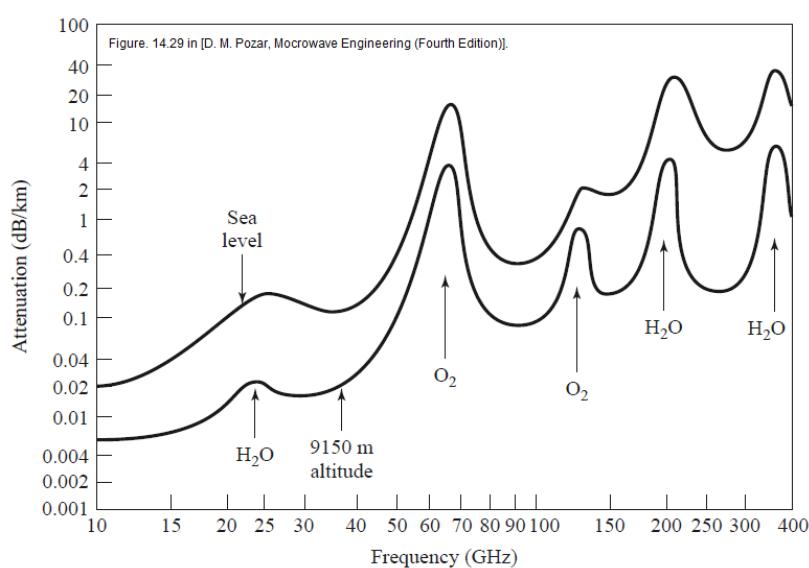
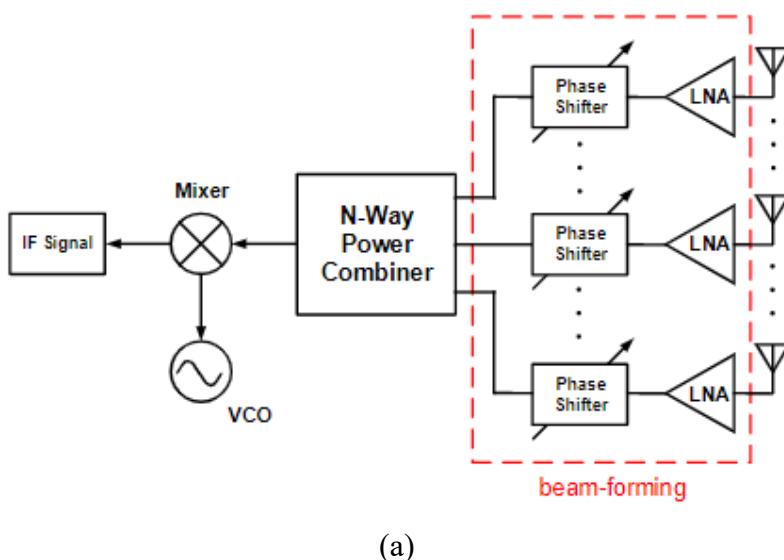


圖 1-1 毫米波大氣衰減率。[2]

經由上述介紹，5G 無線通訊技術看起來非常完美，但仍有許多缺點及挑戰需要克服。例如：5G 雖然具有高速度和低時延這兩項優點，但訊號的穿透能力非常弱，傳輸的距離短，更會在傳輸過程中因空氣造成大量衰減。導致訊號的衰減量可能很大。最終小於收發系統可運用的最低限度，無法順利運作。因此，我們會在射頻收發系統上使用波束賦形(beam-forming)技術來改善此問題。波束賦形技術主要能夠個別控制每個天線的相位，並使能量更集中，除了能夠增加訊號的穿透能力及傳送距離，也可以彌補毫米波訊號在大氣中的傳輸衰減率。

一般射頻通訊系統主要可分為兩部份，分別是接收端與發射端。接收端是經由天線進入，經過低雜訊放大器將訊號放大並降低雜訊避免雜訊被放大，再經由混頻器降頻降至基頻，輸入到數位電路進行處理。而發射端主要是將基頻訊號透過混頻器升頻為高頻訊號，再經由功率放大器提升訊號強度，最終透過天線將訊號發射出去。而根據相移器在射頻通訊系統的位置不同對應到不同的波束賦形架構，最常見的架構為射頻路徑波束賦形架構。圖 1-2 為波束賦形技術應用於射頻通訊系統之接收端與發射端，此架構在天線陣列(phase array)前加入相移器。在發射端，相移器主要的目的是改變天線訊號的相位，增強訊號在特定方向時的強度。在接收端，我們可以透過改變天線訊號的相位，使訊號匹配，接收到更完整的訊號。此原理可以增加在收發系統上的效率。但在射頻電路中，每個傳遞的過程中所造成的損耗都非常重要，因此相移器本身的衰減也需要考慮進去。



(a)

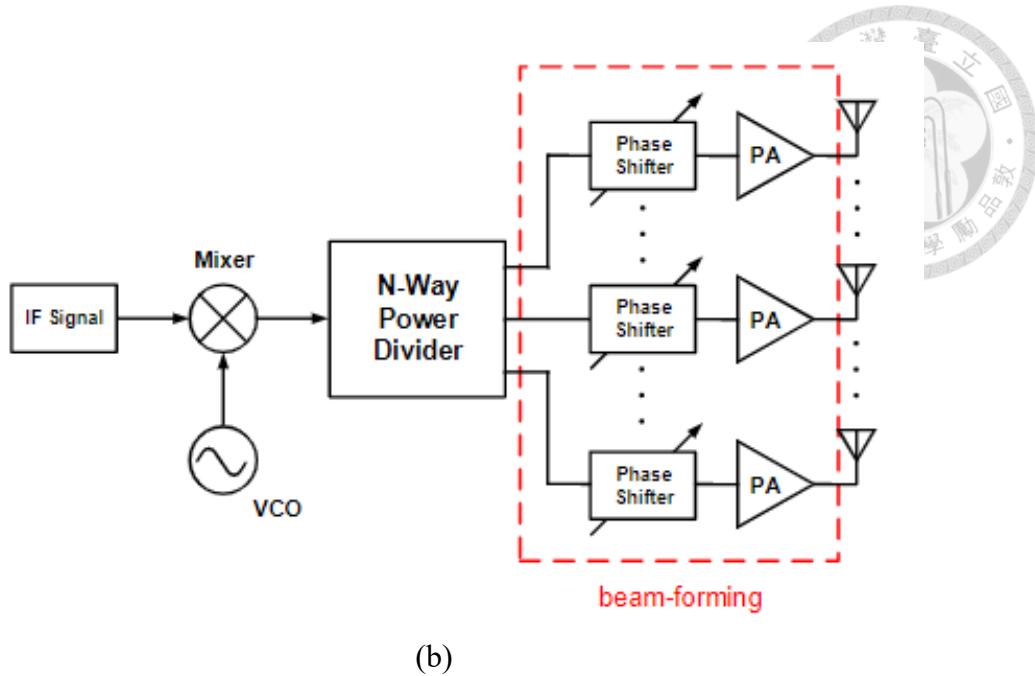


圖 1-2 使用相位陣列天線之無線通訊系統在 (a)接收端及 (b)發射端架構圖。[3]

綜觀上述，波束賦形技術對於目前 5G 通訊毫米波系統來說是非常重要的，而此架構中的相移器起到很大的功用，如何讓相移器能夠精準的改變訊號到我們所要的特定相位非常重要。假如相移器在改變訊號的相位有一點偏差的話，那我們訊號強度在特定的相位時，就會降低，影響收發的效率。

1.2 文獻回顧

因為相移器再收發系統非常重要，隨著技術越來越成熟，相移器也被應用於高頻上。隨著電路上設計的不同，相移器也有很多種。依據電路的操作方式和電晶體的操作區間又可以分為主動和被動。以下將介紹了 4 種不同的相移器種類。

圖 1-3 為傳輸線相移器(transmission-line phase shifter)[4]，此種架構由被動元件電感、電容組合而成。訊號進入後會產生相位移，而透過改變可變電容的大小改變訊號的相位移量。此架構的優點是設計簡單，都是由被動元件組成，所以沒有功耗產生。而缺點則是因可變電容可調變量的限制，所以相位移的範圍受到影響。雖然可通過串聯的方式增加解析度，但被動元件所造成的損耗也會隨著串聯級數增加跟著上升。

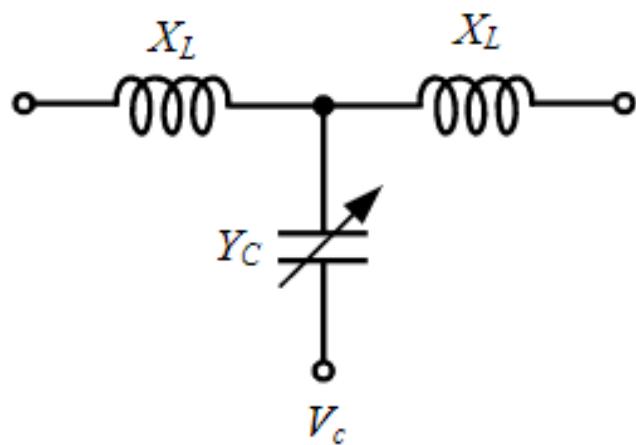


圖 1-3 T 型傳輸線相移器。[4]

圖 1-4 為開關式相移器(switch-type phase shifter, STPS)[5]，通過控制電晶體的開或關加上電路上的電容、電感所看到的等效電路不同，造成不同的相位移。在搭配不同的容值和感值形成 180° 、 90° 、 45° 及 22.5° 或更小角度的相位，再透過這些組合形成 360° 的相位移範圍。此架構的設計方法簡單，且透過數位方式控制電晶體開關，較易實現。但電晶體的寄生電容影響很大，可能使量測與模擬結果有誤差。且要提高解析度，也需要串聯多級來實現。但隨之而來的問題便是被動電路損耗的增加。因此開關式相移器的位元數通常為 4 或 5 位元為主。

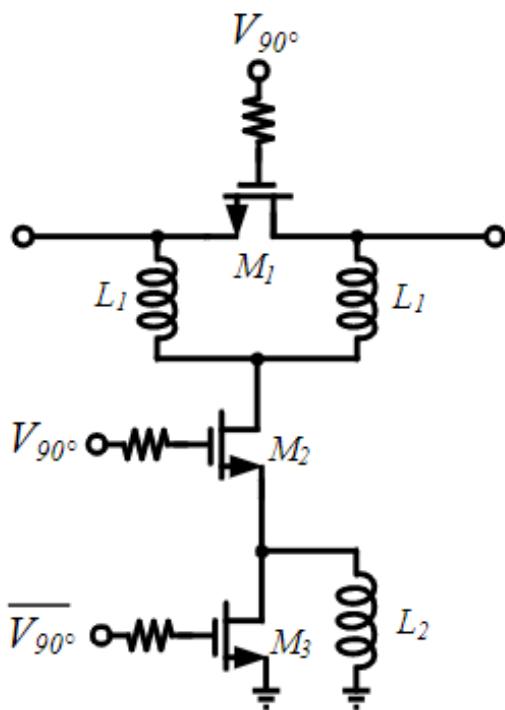


圖 1-4 開關式相移器。[5]

圖 1-5 為反射式相移器(reflection type phase shifter, RTPS)[8]，此架構由一正交耦合器 (quadrature coupler)和兩個反射負載 (reflection load)所組成。反射負載主要由電容和變容器組成。運作原理為控制負載的偏壓來改變變容器的數值，切換反射係數的大小，進而調整相位。而本電路具有連續可調相位的特性，但因為由被動元件組成，損耗方面並沒有改善。且仍需要外加數位類比換器來達成電壓調控，因此有論文[12, 13]提出包含負電阻架構的 RTPS，減少損耗的產生。

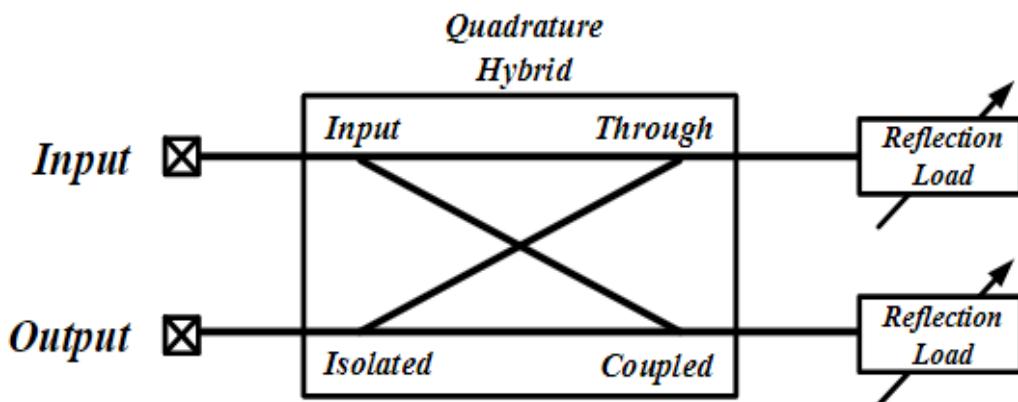


圖 1-5 反射式相移器。[8]

圖 1-6 為向量和式相移器(vector-sum phase shifter, VSPS)[9] - [12]，由一正交耦合器先產生兩正交的訊號，相位差為 90° 。再由兩 $0^\circ/180^\circ$ 切換器轉換成 $\pm I/\pm Q$ 訊號，形成 I/Q 平面。 $\pm I/\pm Q$ 訊號經由可變增益放大器(VGA)改變訊號大小達成我們所要的特定相位。本電路多了主動電路可變增益放大器(VGA)的部分，可以彌補被動電路所造成的損耗。但主動電路所產生的功耗也必須同時考慮，因此本架構在設計方面比較複雜。但它的解析度非常的高，且準確度也大大的提升。

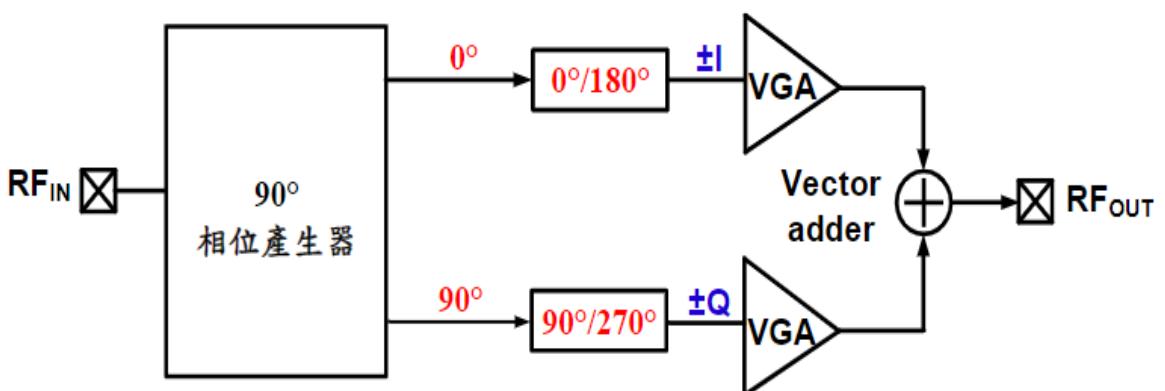


圖 1-6 向量和式相移器。[9] - [12]



1.3 論文貢獻

本論文貢獻主要是改善可變增益放大器(VGA)的部分，架構中的可變增益放大器(VGA)主要是通過數位式開關控制電晶體開或關，達到電流控制的方式改變增益大小。而此電路由 4 組開關分別控制不同大小的電晶體，影響增益大小。且本論文的相位解析度達到 6 位元。

1.4 章節介紹

本篇論文共分為六章，各章節內容概述如下：

第一章 主要簡介通訊系統發展歷史，及 5G 通訊目前的主要頻段。以及相移器在射頻電路扮演的角色，以及 4 種不同架構的簡介和優缺點。最後則是每個章節的概述。

第二章 主要探討相移器及可變增益放大器之架構。首先針對相移器進行介紹，再來討論相關的重要參數的計算，還有各種不同架構相移器的優缺點，最後從中選定適合本論文之電路架構。接著介紹不同可變放大器之原理及優缺點，最後選定電流導向可變增益放大器改進成數位式開關來調控。將電晶體當作開關控制電流大小改變轉導值大小，達到增益的改變。

第三章 回顧可變增益放大器電路。接著介紹開關式電流導向可變增益放大器的原理，設計流程，最終展示可變增益放大器的模擬結果。

第四章 將介紹相移器架構，並將其餘被動電路部份的設計流程及模擬結果各自展示出來。最後將整個相移器的模擬結果呈現出來。

第五章 首先展示電路布局的設計，並講解量測的方法與流程。最後將量測出來的數據與電磁模擬進行比對，並找出差異的原因進行除錯，使量測結果合理。

第六章 總結論文的研究成果及貢獻，並討論不足的部分即可改善的方向，期許之後研究結果得以更加完善。

Chapter 2 相移器與可變增益放大器電路介紹



2.1 簡介

現今 5 G 通訊系統都操作於高頻頻段，而隨著頻率越高我們知道訊號的衰減量也會隨著增加。所以相位陣列技術的應用就非常的重要，透過在天線端前加上一相移器，使訊號都聚集在特定的方位上，以抑制衰減的影響。為了有效抑制衰減，相移器本身的好壞會是影響的關鍵。而理想的相移器須具備 360° 的相位變化，且在每個相位都有相同的增益。不過要做到理想的相移器相當困難，但我們還是能透過相移器的均方根相位誤差 (RMS phase error) 及均方根增益誤差(RMS gain error) 來判斷相移器本身效能的優劣。我們會在 2.2 節及 2.3 節介紹相移器的重要參數及相移器的架構種類，另外，本論文將會使用到可變增益放大器，因此會在 2.4 節對可變增益放大器進行介紹。

2.2 相移器設計重要參數

2.2.1 均方根相位誤差(RMS phase error)

均方根相位誤差(RMS phase error)公式如下:

$$\theta_{\Delta,RMS} = \sqrt{\frac{1}{N-1} \times \sum_{i=2}^N |\theta_{\Delta i}|^2} \quad (2-1)$$

其中 N 為 2^{bits} ，代表相移器總共的狀態數量，例如五位元的相移器就會有 $2^5=32$ 種狀態。 $\theta_{\Delta i}$ 表示相移器在各個狀態下，和它本身對應的理想值的差量。由於計算方式是取相對相位移而非絕對相位移，因此我們會將第一個狀態的相位做為基準，所以 i 才由 2 開始進行計算。

2.2.2 均方根增益誤差(RMS amplitude error)

均方根增益誤差(RMS amplitude error)公式如下:

$$A_{\Delta,RMS} = \sqrt{\frac{1}{N} \times \sum_{i=1}^N |A_{\Delta i}|^2} \quad (2-2)$$

其中 N 為 2^{bits} ，代表相移器總共的狀態數量， $A_{\Delta i}(dB) = A_{vi}(dB) - A_{avg}(dB)$ ， $A_{vi}(dB)$ 代表相移器在第 i 個狀態下的穿透增益， $A_{avg}(dB)$ 代表相移器所有狀態的平均穿



透增益值。

2.3 相移器電路介紹

2.3.1 傳輸線式相移器

傳輸線式相移器一般可分為 π 型態及 T 型態相移器，如圖 2-1 所示，傳輸線式相移器主要由變容器與電感所組成，運作原理是利用改變變容器的容值，使訊號造成不同的相位移。由於 T 型態主要由電感組成的部分較多，因此在電路設計上都會選擇 π 型態的架構，來減少電路的面積。接下來將以 π 型態的相移器進行分析。

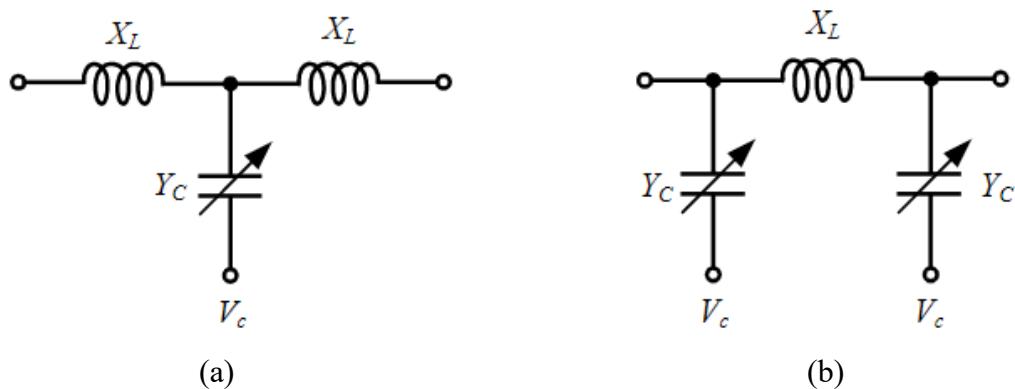


圖 2-1 傳輸線式相移器架構圖：(a) T 型態與 (b) π 型態。

為了方便分析，我們將 π 型態相移器以 π 模型來取代，如圖 2-2(b)所示，其中 Y_C 為電容的導納值， X_L 為電感的阻抗值。我們可以利用 π 模型得到電路之 ABCD 矩陣之後計算出 S 參數後，即可透過 S 參數得到相移器的相位跟大小。

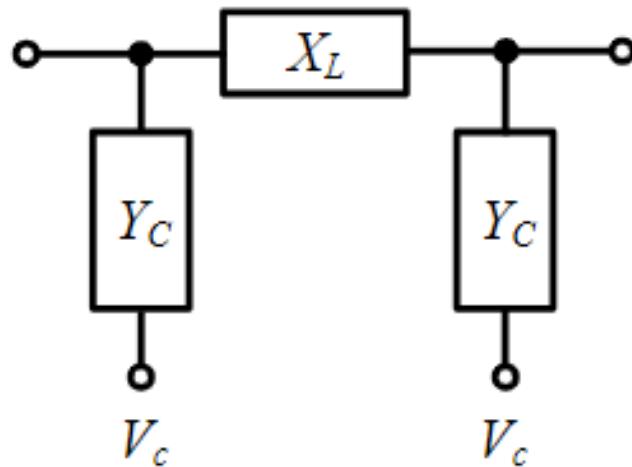


圖 2-2 轉換後的 π 模型。



由 π 模型得到的 ABCD 矩陣如下：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 - Y_C X_L & jX_L \\ jY_C (2 - Y_C X_L) & 1 - Y_C X_L \end{bmatrix} \quad (2-3)$$

根據(2-3)，可得到相移器之 S_{11} 及 S_{21} 之參數為：

$$S_{11} = \frac{j[X_L - Y_C(2 - Y_C X_L)]}{2(1 - Y_C X_L) + j[X_L + Y_C(2 - Y_C X_L)]} \quad (2-4)$$

$$S_{21} = \frac{2}{2(1 - Y_C X_L) + j[X_L + Y_C(2 - Y_C X_L)]} \quad (2-5)$$

其中

$$Y_C = \omega Z_0 C \quad , \quad X_L = \frac{\omega L}{Z_0} \quad (2-6)$$

由於在理想的阻抗匹配情況下，輸入反射係數 S_{11} 為零，因此我們可令(2-4)為零，並將(2-6)代入，可得到

$$L = \frac{2CZ_0^2}{1 + \omega^2 C^2 Z_0^2} \quad (2-7)$$

接著將(2-6)及(2-7)代入(2-5)可以得到相移器之相位移為：

$$\theta_{21} = -\tan^{-1}\left(\frac{2\omega Z_0 C}{1 - \omega^2 C^2 Z_0^2}\right) \quad (2-8)$$

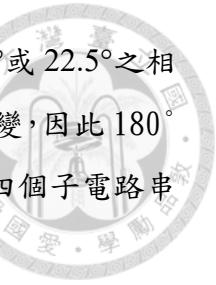
由於本架構主要是調整變容器 C 來改變相位，因此我們將變容器最小值設為 C_{\min} ，最大值為 C_{\max} ，藉此推導出相移器的相位變化量為：

$$\Delta\theta = \theta_{21}(C_{\max}) - \theta_{21}(C_{\min}) = \tan^{-1}\left(\frac{2\omega Z_0 C_{\max}}{1 - \omega^2 C_{\max}^2 Z_0^2}\right) - \tan^{-1}\left(\frac{2\omega Z_0 C_{\min}}{1 - \omega^2 C_{\min}^2 Z_0^2}\right) \quad (2-9)$$

由(2-9)推導可知，相位移量主要取決於變容器 C 的可調範圍，因此當需要較大的相位移量時，得透過串聯多級子電路來達成。隨之而來的問題是電路的面積將增加，損耗也會跟著上升，因此傳輸線式相移器比較適合操作在較小的相移範圍內。

2.3.2 開關式相移器

圖 2-3 為一個四位元開關式相移器之電路架構圖[13]，本電路可分為 4 級，分別對應 180° 、 90° 、 45° 及 22.5° 之相移器。其中 90° 、 45° 及 22.5° 之相移器的架構



是一樣的，可透過電晶體偏壓控制開或關達到 0° 或 90° 、 0° 或 45° 與 0° 或 22.5° 之相位切換。而由於單一一個低通或高通濾波電路無法達到 180° 之相位改變，因此 180° 相移器利用切換低通及高通濾波電路來產生 180° 之相位差。而透過四個子電路串聯達成 360° 之相位改變，下面將先對 180° 之相移器的架構進行討論。

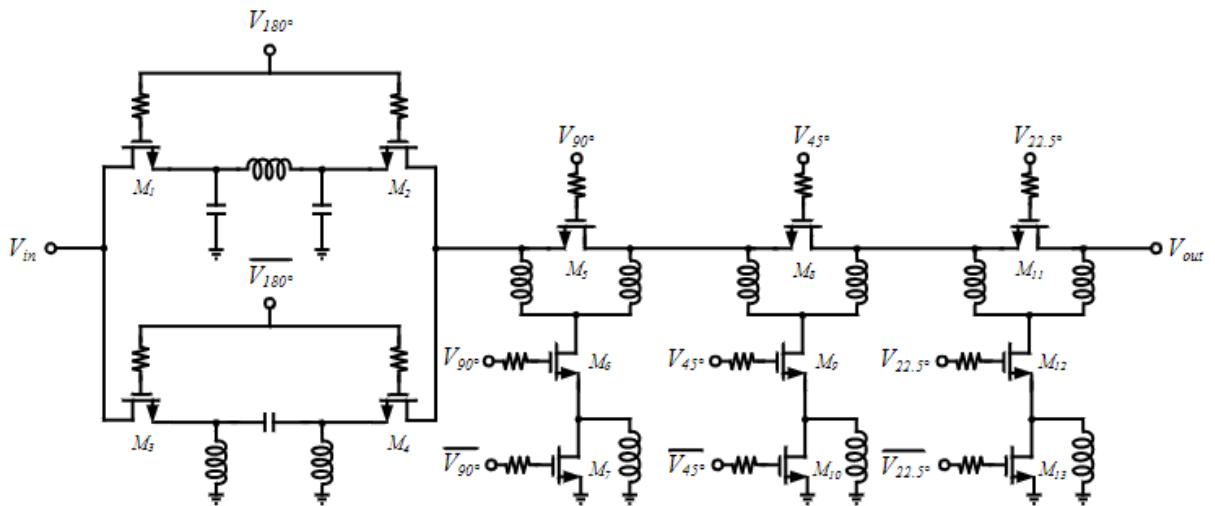


圖 2-3 四位元開關式相移器之電路架構圖。[13]

圖 2-4 為一 180° 相移器的架構，主要是由一個低通濾波器和一個高通濾波器組成。通過控制電壓 V_{180° 切換，使相移器達到 90° 和 -90° 的相位，形成共 180° 的相位移變化。

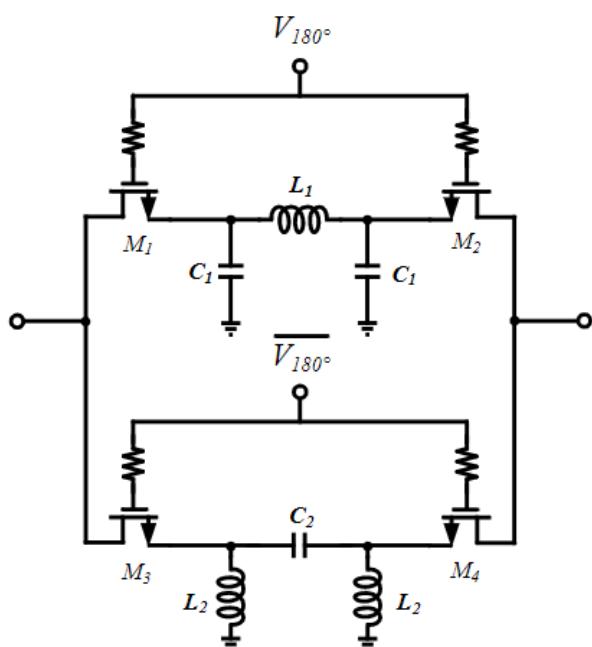


圖 2-4 180° 相移器之電路架構圖。

圖 2-5 為 180° 相移器在 V_{180° 為低電壓及高電壓之等效電路圖。當 V_{180° 為低電壓時，電晶體 M_1 和 M_2 關閉，電晶體 M_3 和 M_4 導通。等效電路如圖 2-5 (a)，為一 π 型高通濾波器。當 V_{180° 為高電壓時，電晶體 M_3 和 M_4 關閉，電晶體 M_1 和 M_2 導通。等效電路如圖 2-5 (b)，為一 π 型低通濾波器。

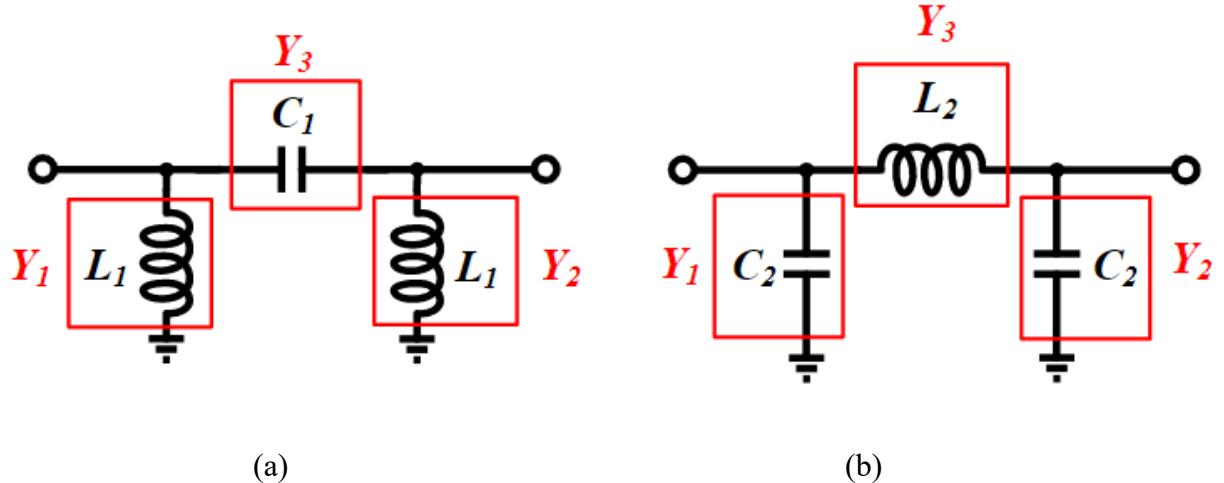


圖 2-5 180° 相移器在 V_{180° 為(a)低電壓及(b)高電壓之等效電路圖。

首先先對圖 2-5(a)進行分析，由圖 2-5(a)可知，此電路可等效為一 π 模型電路，其中 $Y_1 = Y_2 = \frac{1}{j\omega L_1}$ ， $Y_3 = j\omega C_1$ ，因此我們可推得此 π 模型之 ABCD 矩為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 - \frac{1}{\omega^2 L_1 C_1} & \frac{1}{j\omega C_1} \\ \frac{1}{j\omega L_2} \left(2 - \frac{1}{\omega^2 L_1 C_1} \right) & 1 - \frac{1}{\omega^2 L_1 C_1} \end{bmatrix} \quad (2-10)$$

根據(2-10)，我們可得 S_{11} 及 S_{21} 之參數為：

$$S_{11} = \frac{\frac{-j}{\omega} \left[\frac{1}{C_1 Z_0} - \frac{Z_0}{L_1} \left(2 - \frac{1}{\omega^2 L_1 C_1} \right) \right]}{2 \left(1 - \frac{1}{\omega^2 L_1 C_1} \right) - \frac{j}{\omega} \left[\frac{1}{C_1 Z_0} - \frac{Z_0}{L_1} \left(2 - \frac{1}{\omega^2 L_1 C_1} \right) \right]} \quad (2-11)$$

$$S_{21} = \frac{2}{2 \left(1 - \frac{1}{\omega^2 L_1 C_1} \right) - \frac{j}{\omega} \left[\frac{1}{C_1 Z_0} + \frac{Z_0}{L_1} \left(2 - \frac{1}{\omega^2 L_1 C_1} \right) \right]} \quad (2-12)$$

根據(2-12)我們可得相移器之相位為：



$$\theta_{180_High} = \tan^{-1} \left\{ \frac{\frac{1}{\omega} \left[\frac{1}{C_1 Z_0} + \frac{Z_0}{L_1} \left(2 - \frac{1}{\omega^2 L_1 C_1} \right) \right]}{2 \left(1 - \frac{1}{\omega^2 L_1 C_1} \right)} \right\}$$
(2-13)

我們假設相移器在頻率為 f_0 時為理想匹配，輸入反射係數 S_{11} 為零，因此我們可令
(2-11)為零，可求得：

$$C_1 = \frac{\omega_0^2 L_1^2 + Z_0^2}{2 Z_0^2 \omega_0^2 L_1^2} \quad (2-14)$$

最後將(2-14)代入(2-13)，我們可得當頻率為 f_0 時，相移器之相位為：

$$\theta_{180_High} = \tan^{-1} \left\{ \frac{2 Z_0 \omega_0 L_1}{\omega_0^2 L_1^2 - Z_0^2} \right\} \quad (2-15)$$

接著我們分析圖 2-5(b)的 π 型低通濾波器，其中 $Y_1 = Y_2 = j\omega C_2$ ， $Y_3 = \frac{1}{j\omega L_2}$ ，

因此我們可推得此 π 模型之 ABCD 矩陣為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 - \omega^2 L_2 C_2 & j\omega L_2 \\ j\omega C_2 (2 - \omega^2 L_2 C_2) & 1 - \omega^2 L_2 C_2 \end{bmatrix} \quad (2-16)$$

根據(2-16)，我們可得 S_{11} 及 S_{21} 之參數為：

$$S_{11} = \frac{j\omega \left[\frac{L_2}{Z_0} - C_2 Z_0 \left(2 - \omega^2 L_2 C_2 \right) \right]}{2 \left(1 - \omega^2 L_2 C_2 \right) + j\omega \left[\frac{L_2}{Z_0} + C_2 Z_0 \left(2 - \omega^2 L_2 C_2 \right) \right]} \quad (2-17)$$

$$S_{21} = \frac{2}{2 \left(1 - \omega^2 L_2 C_2 \right) + j\omega \left[\frac{L_2}{Z_0} + C_2 Z_0 \left(2 - \omega^2 L_2 C_2 \right) \right]} \quad (2-18)$$

根據(2-18)我們可得相移器之相位為：

$$\theta_{180_Low} = -\tan^{-1} \left\{ \frac{\omega \left[\frac{L_2}{Z_0} + C_2 Z_0 \left(2 - \omega^2 L_2 C_2 \right) \right]}{2 \left(1 - \omega^2 L_2 C_2 \right)} \right\} \quad (2-19)$$

我們假設相移器在頻率為 f_0 時為理想匹配，輸入反射係數 S_{11} 為零，因此我們可令
(2-17)為零，可求得：



$$L_1 = \frac{2C_2Z_0^2}{1 + \omega_0^2 C_2^2 Z_0^2}$$

再將(2-20)代入(2-19)，我們可得當頻率為 f_0 時，相移器之相位為：

$$\theta_{180_Low} = -\tan^{-1} \left\{ \frac{2\omega_0 C_2 Z_0}{1 - \omega_0^2 C_2^2 Z_0^2} \right\} \quad (2-21)$$

根據上面推導得出的高通和低通等效電路的相位，我們可得到 180° 相移器的真正相位差為：

$$\Delta\theta = \theta_{180_High} - \theta_{180_Low} = \tan^{-1} \left\{ \frac{2Z_0\omega_0 L_1}{\omega_0^2 L_1^2 - Z_0^2} \right\} - \left[-\tan^{-1} \left\{ \frac{2\omega_0 C_2 Z_0}{1 - \omega_0^2 C_2^2 Z_0^2} \right\} \right] \quad (2-22)$$

分析完 180° 相移器的架構所造成的相位移量公式後，接下來將推導 90° 、 45° 及 22.5° 之相移器電路架構所造成的相位移量。因為 90° 、 45° 及 22.5° 之相移器皆為相同架構，因此我們以 90° 之相移器作為範例來分析。圖2-6為 90° 之相移器電路架構圖，主要透過 V_{90° 來控制電晶體的開關，利用看到的等效電路不同達到相位的切換。圖2-7為 90° 相移器在 V_{90° 為低電壓及高電壓之等效電路圖。在電晶體導通時，我們將其等效為一小電阻，電晶體關閉時，則等效為一電容，因此我們通過電晶體開或關等效的電路不同達到相位切換的效果。在此我們只考慮電晶體關閉時所等效的電容，而電晶體導通時代表的小電阻我們忽略不計。

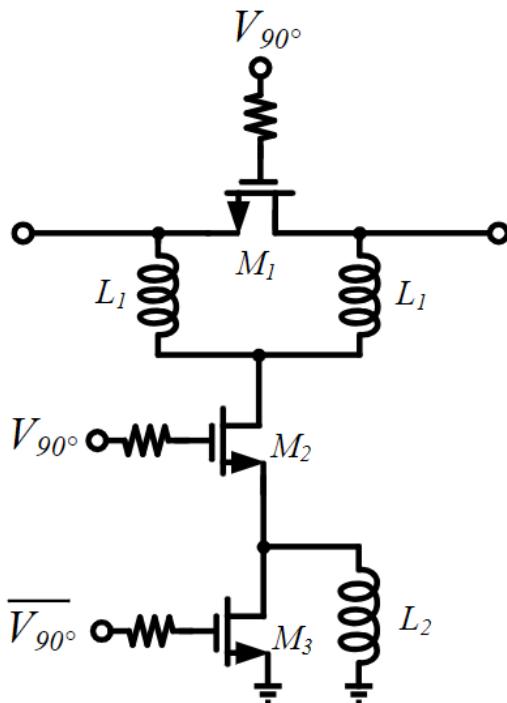


圖 2-6 90° 之相移器電路架構圖。

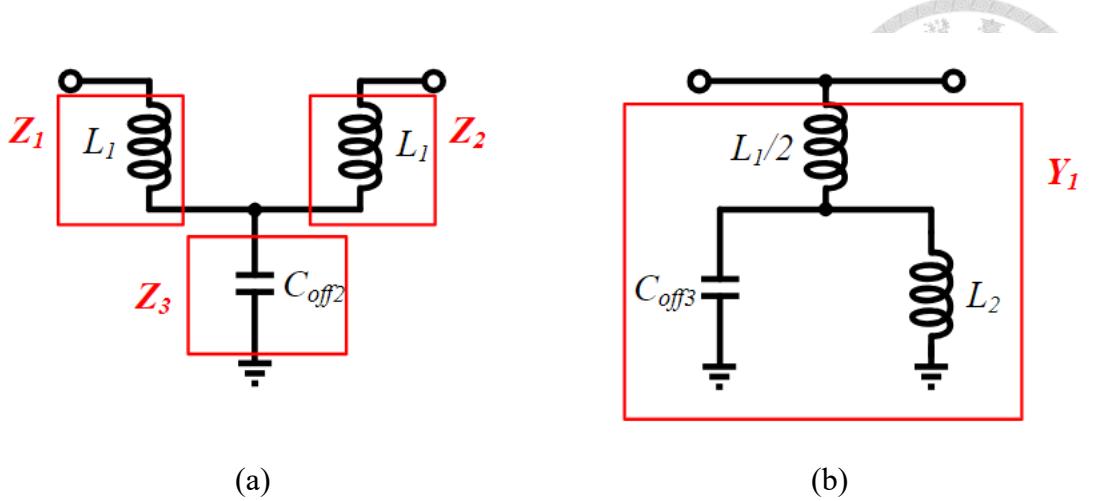


圖 2-7 90°相移器在 V_{90° 為(a)低電壓及(b)高電壓之等效電路圖。

我們將先對圖 2-7(a)進行分析，當 V_{90° 為低電壓時，其等效電路可視為一 T 模型電路，其中 $Z_1 = Z_2 = j\omega L_1$ ， $Z_3 = \frac{1}{j\omega C_{off2}}$ ，因此我們可推得此 T 模型之 ABCD 矩陣為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 - \omega^2 L_1 C_{off2} & j\omega(2 - \omega^2 L_1 C_{off2}) \\ j\omega C_{off2} & 1 - \omega^2 L_1 C_{off2} \end{bmatrix} \quad (2-23)$$

根據(2-23)，我們可得 S_{11} 及 S_{21} 之參數為：

$$S_{11} = \frac{j\omega \left[\frac{L_1}{Z_0} (2 - \omega^2 L_1 C_{off2}) - Z_0 C_{off2} \right]}{2(1 - \omega^2 L_1 C_{off2}) + j\omega \left[\frac{L_1}{Z_0} (2 - \omega^2 L_1 C_{off2}) + Z_0 C_{off2} \right]} \quad (2-24)$$

$$S_{21} = \frac{2}{2(1 - \omega^2 L_1 C_{off2}) + j\omega \left[\frac{L_1}{Z_0} (2 - \omega^2 L_1 C_{off2}) + Z_0 C_{off2} \right]} \quad (2-25)$$

根據(2-25)，我們可得相移器之相位為：

$$\theta_{90_Low} = -\tan^{-1} \left\{ \frac{\omega \left[\frac{L_1}{Z_0} (2 - \omega^2 L_1 C_{off2}) + Z_0 C_{off2} \right]}{2(1 - \omega^2 L_1 C_{off2})} \right\} \quad (2-26)$$

我們假設相移器在頻率為 f_0 時為理想匹配，輸入反射係數 S_{11} 為零，因此我們可令(2-24)為零，可求得：



$$C_{off2} = \frac{2L_1}{Z_0^2 + \omega_0^2 L_1^2}$$

(2-27)

最後將(2-27)代入(2-26)，我們可得當頻率 f_0 為時，相移器之相位為：

$$\theta_{90_Low} = -\tan^{-1} \left\{ \frac{2Z_0\omega_0 L_1}{Z_0^2 - \omega_0^2 L_1^2} \right\} \quad (2-28)$$

接著我們對圖 2-7(b)進行分析。當 V_{90° 為高電壓時，其等效電路可視為一並聯電路，

其中 $Y_1 = \frac{1 - \omega^2 L_2 C_{off3}}{j\omega \left[\frac{L_1}{2} (1 - \omega^2 L_2 C_{off3}) + L_2 \right]}$ ，因此我們可推得此並聯電路之 ABCD 矩陣為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ j\omega \left[\frac{L_1}{2} (1 - \omega^2 L_2 C_{off3}) + L_2 \right] & 1 \end{bmatrix} \quad (2-29)$$

根據(2-29)，我們可得 S_{11} 及 S_{21} 之參數為：

$$S_{11} = \frac{-Z_0 (1 - \omega^2 L_2 C_{off3})}{Z_0 (1 - \omega^2 L_2 C_{off3}) + j\omega [L_1 (1 - \omega^2 L_2 C_{off3}) + 2L_2]} \quad (2-30)$$

$$S_{21} = \frac{j\omega [L_1 (1 - \omega^2 L_2 C_{off3}) + 2L_2]}{Z_0 (1 - \omega^2 L_2 C_{off3}) + j\omega [L_1 (1 - \omega^2 L_2 C_{off3}) + 2L_2]} \quad (2-31)$$

根據(2-31)，我們可得相移器之相位為：

$$\theta_{90_High} = \tan^{-1} \left\{ \frac{Z_0 (1 - \omega^2 L_2 C_{off3})}{\omega [L_1 (1 - \omega^2 L_2 C_{off3}) + 2L_2]} \right\} \quad (2-32)$$

我們假設相移器在頻率為 f_0 時為理想匹配，輸入反射係數 S_{11} 為零，因此我們可令(2-30)為零，可求得：

$$C_{off3} = \frac{1}{\omega_0^2 L_2} \quad (2-33)$$

最後將(2-33)代入(2-32)，我們可得當頻率為 f_0 時，相移器之相位為：

$$\theta_{90_High} = 0 \quad (2-34)$$

根據(2-26)與(2-34)，我們可得 90° 相移器之整體相位差為：

$$\Delta\theta = \theta_{90_High} - \theta_{90_Low} = 0 - \left[-\tan^{-1}\left(\frac{2Z_0\omega_0L_1}{Z_0^2 - \omega_0^2L_1^2}\right) \right] = \tan^{-1}\left(\frac{2Z_0\omega_0L_1}{Z_0^2 - \omega_0^2L_1^2}\right) \quad (2-35)$$

2.3.3 反射式相移器

圖 2-8 為反射式相移器之電路架構圖[14]，反射式相移器主要是由一正交耦合器和兩個反射式負載所組成，反射式負載則是由電阻、電容即變容器構成，主要透過改變變容器的容值改變反射係數的大小，以實現相位的轉換的效果。下面將推導如何透過反射係數的不同得到不同的相位移。

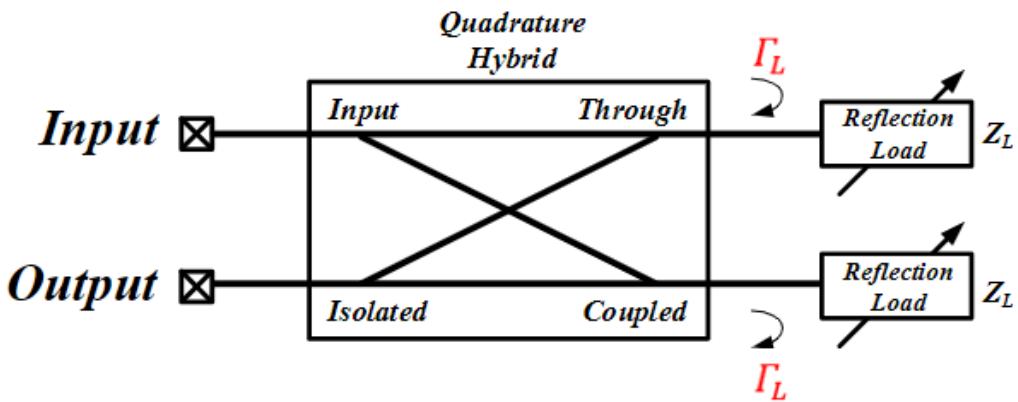


圖 2-8 反射式相移器之電路架構圖。[14]

圖 2-9 (a)為訊號從輸入端到反射式負載的路徑，圖 2-9(b)則為訊號經由反射式負載反射後，傳輸到輸出端時得到的路徑及大小。

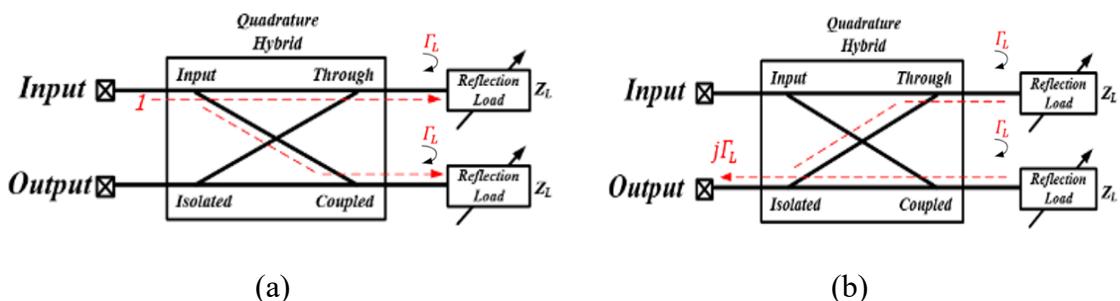


圖 2-9 反射式相移器之運作圖(a)訊號從輸入端到反射式負載和(b)訊號經由反射式負載反射至輸出端。

反射負載之反射係數定義為：

$$\Gamma_L = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (2-36)$$

根據圖 2-9，可以得到反射式相移器之穿透係數 S_{21} 為：



$$S_{21} = j\Gamma_L = j \frac{Z_L - Z_0}{Z_L + Z_0} = j \frac{[\text{Re}(Z_L) - Z_0] + j \text{Im}(Z_L)}{[\text{Re}(Z_L) + Z_0] + j \text{Im}(Z_L)} \quad (2-37)$$

根據(2-37)可得反射式相移器之相位移為：

$$\theta_{21} = \frac{\pi}{2} + \tan^{-1} \left[\frac{\text{Im}(Z_L)}{\text{Re}(Z_L) - Z_0} \right] - \tan^{-1} \left[\frac{\text{Im}(Z_L)}{\text{Re}(Z_L) + Z_0} \right] \quad (2-38)$$

由於反射式負載是變容器所構成，所以負載之實部阻抗 $\text{Re}(Z_L)$ 可忽略不計，因此(2-38)可簡化成：

$$\theta_{21} = \frac{\pi}{2} - 2 \tan^{-1} \left[\frac{\text{Im}(Z_L)}{Z_0} \right] \quad (2-39)$$

我們假設變容器可調容值之最大值為 C_{\max} ，最小值為 C_{\min} ，因此根據(2-39)可得出相移器之相位變化範圍為：

$$\Delta\theta_{21} = 2 \tan^{-1} \left[\frac{\text{Im}(Z_{L,\max})}{Z_0} \right] - 2 \tan^{-1} \left[\frac{\text{Im}(Z_{L,\min})}{Z_0} \right] \quad (2-40)$$

其中 $\text{Im}(Z_{L,\max})$ 為變容器最大值時的虛部阻抗， $\text{Im}(Z_{L,\min})$ 為變容器最小值時的虛部阻抗。

2.3.4 向量和式相移器

圖 2-10 為一向量和式相移器架構圖[15]，主要透過一個正交耦合器產生相差 90° 的兩個訊號，再由 180° 相位移器切換形成 $\pm I/\pm Q$ 的訊號，並形成 4 相位實現 4 象限的切換。最後由可變增益放大器調整增益到我們所需的相位變化的分量大小，再透過向量加法器送出。根據上述的原理達成 $0^\circ \sim 360^\circ$ 的相位移量。舉例來說：理想上相位移器在切換不同相位時，它的大小是一樣的。因此 $G_I^2 + G_Q^2$ 為一個定值，假設我們所需的相位移量為 45° ，我們可以透過正交耦合器和 180° 相位移器產生 $+I$ 和 $+Q$ 的訊號，再由可變增益放大器增加增益使 G_I 和 G_Q 的大小比為 1:1，這樣我們就可以得到 45° 的相位移。如圖 2-11 合成出的角度可簡單表示成：

$$\phi = \tan^{-1} \left(\frac{G_Q}{G_I} \right) \quad (2-41)$$

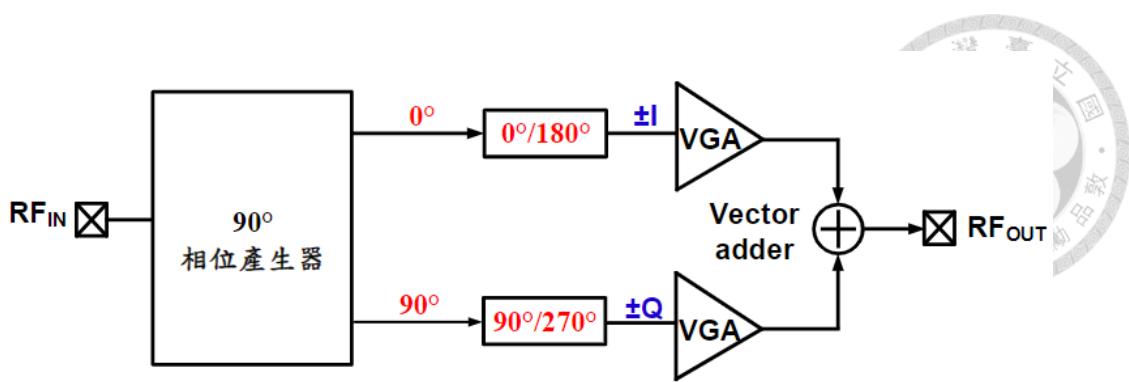


圖 2-10 向量和式相移器架構圖。[14]

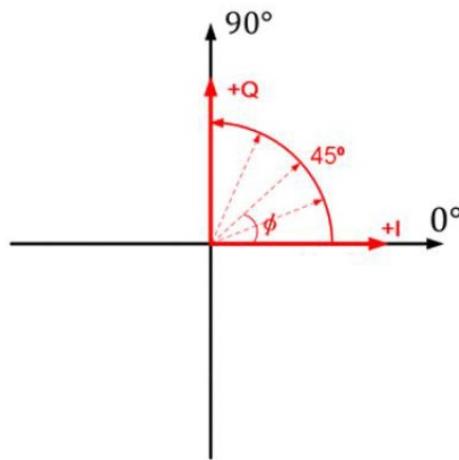
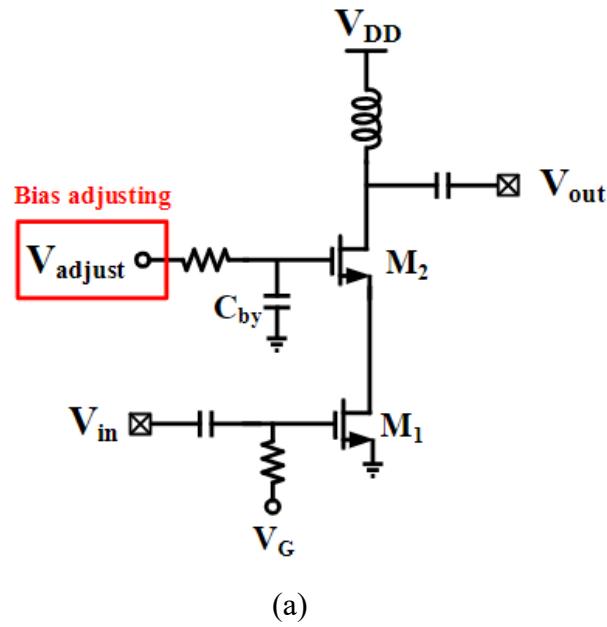


圖 2-11 向量合成示意圖。

2.4 可變增益放大器簡介

2.4.1 偏壓調控增益放大器



(a)

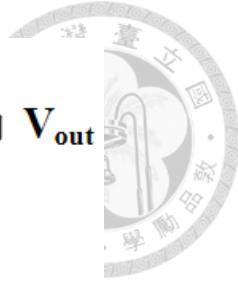
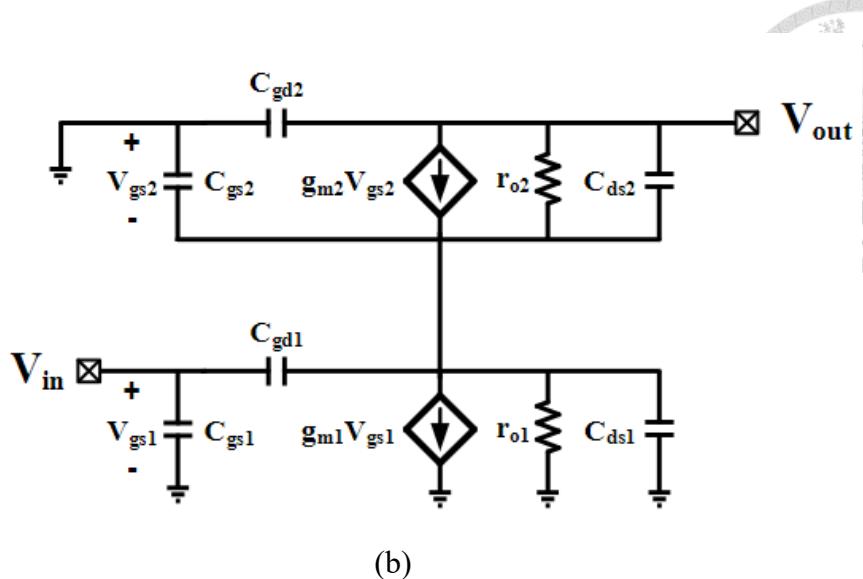


圖 2-12 偏壓調控增益放大器(a)電路架構圖及(b)等效小訊號模型。[15]

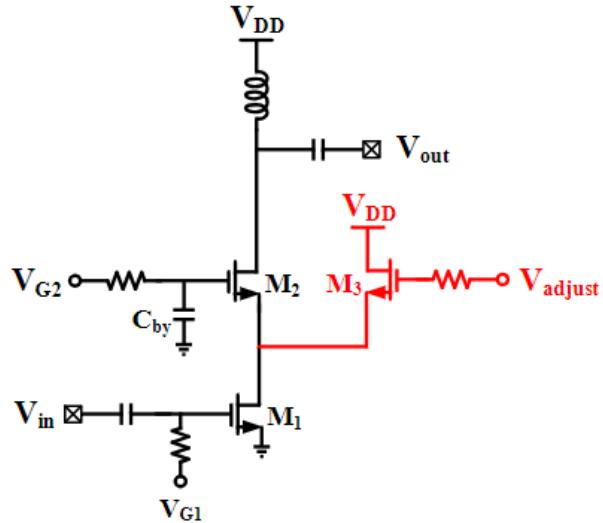
圖 2-12(b)為偏壓調控增益放大器之等效小訊號模型，我們可由此推導出此架構的轉導為：

$$G_m = \left(g_{m1} - sC_{gd1} \right) \frac{\frac{g_{m2}}{r_{o2}} + \frac{1}{sC_{ds2}}}{\frac{1}{r_{o1}} + \frac{1}{r_{o2}} + sC_x} \quad (2-42)$$

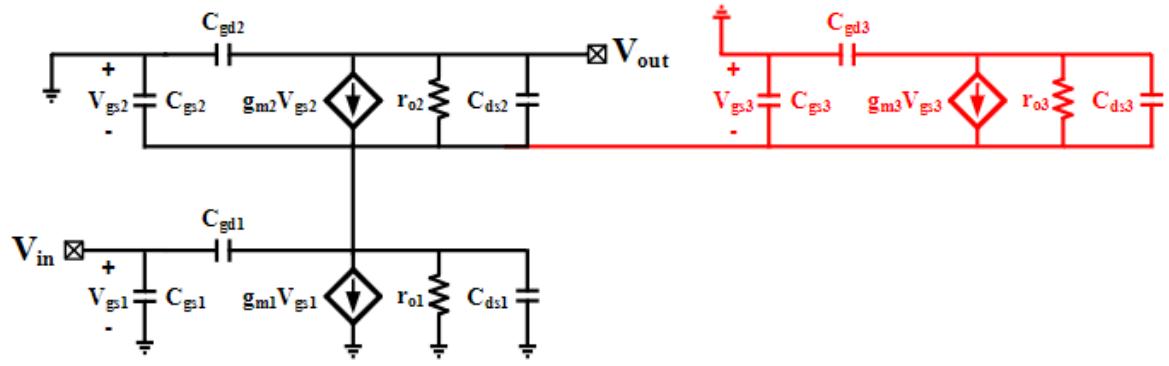
其中 $C_x = C_{gd1} + C_{ds1} + C_{ds2} + C_{gs2}$ ，由(2-42)可得知，當 g_{m1} 為定值時，通過降低 V_{adjust} 使 g_{m2} 下降，整體增益 G_m 也會下降。藉此達到調控增益大小。但此方法須考慮電晶體 M_1 汲級的電壓。當 V_{adjust} 下降，電晶體 M_1 汲級的電壓也會下降，若電晶體 M_1 無法操作在飽和區時，整體電路的線性度降會下降。

2.4.2 N型電流導向可變增益放大器

圖 2-13(a)為 N 型電流導向可變增益放大器之電路架構圖[15]，此電路架構主要是由電晶體 M_1 與 M_2 為主體的疊接放大器加上電晶體 M_3 作為電流導向控制增益大小的方式作為可變增益放大器。當 V_{adjust} 為 0 時，電晶體 M_3 關閉不會有電流流經，此時疊接放大器之電流未被改變所以增益為最大值。隨著 V_{adjust} 慢慢上升，電晶體 M_3 慢慢導通開始有電流通過，導致疊接放大器之電流被抽取，轉導也因此下降，使放大器整體增益下降。此架構保證電晶體 M_1 可以操作在飽和區。



(a)



(b)

圖 2-13 N 型電流導向可變增益放大器(a)電路架構圖及(b)等效小訊號模型。[15]

圖 2-13(b)為 N 型電流導向可變增益放大器之等效小訊號模型，我們可由此推導出此架構的轉導為：

$$G_{m,N\text{-}current\ steering} = \frac{\left(g_{m1} - sC_{gd1}\right)}{g_{m2} + \frac{1}{r_{o2}} + sC_{ds2}} \cdot \frac{g_{m2} + \frac{1}{r_{o2}} + sC_{ds2}}{g_{m2} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{r_{o3}} + g_{m3} \frac{C_{gd3}}{C_{gs3} + C_{gd3}} + s(C_x + \frac{C_{gs3}C_{gd3}}{C_{gs3} + C_{gd3}})} \quad (2-43)$$

其中 $C_x = C_{gd1} + C_{ds1} + C_{ds2} + C_{gs2} + C_{ds3}$ ，當 V_{adjust} 增加，電晶體 M_3 慢慢導通， g_{m3} 增加，而 g_{m1} 和 g_{m2} 則會下降，造成 $G_{m,N\text{-}current\ steering}$ 的值下降。然而此架構在切換過程中，電晶體 M_3 會使輸出阻抗有明顯的變化，因此會產生阻抗匹配不理想的問題。



圖 2-14 為 N 型電流導向可變增益放大器之輸出阻抗模型，當操作在低增益模式時，我們可推得其輸出阻抗 $R_{o,Low}$ 為：

$$R_{o,Low} = g_{m1}r_{o2}\left(r_{o1} \parallel \frac{1}{g_{m3}}\right) + r_{o2} + r_{o1} \parallel \frac{1}{g_{m3}}$$

$$\approx \frac{g_{m1}}{g_{m3}}r_{o2} + r_{o2}$$
(2-44)

當操作在高增益模式時，我們可推得其輸出阻抗 $R_{o,High}$ 為：

$$R_{o,High} \approx g_{m1}r_{o2}r_{o1} + r_{o2} + r_{o1}$$

$$\approx g_{m1}r_{o2}r_{o1}$$
(2-45)

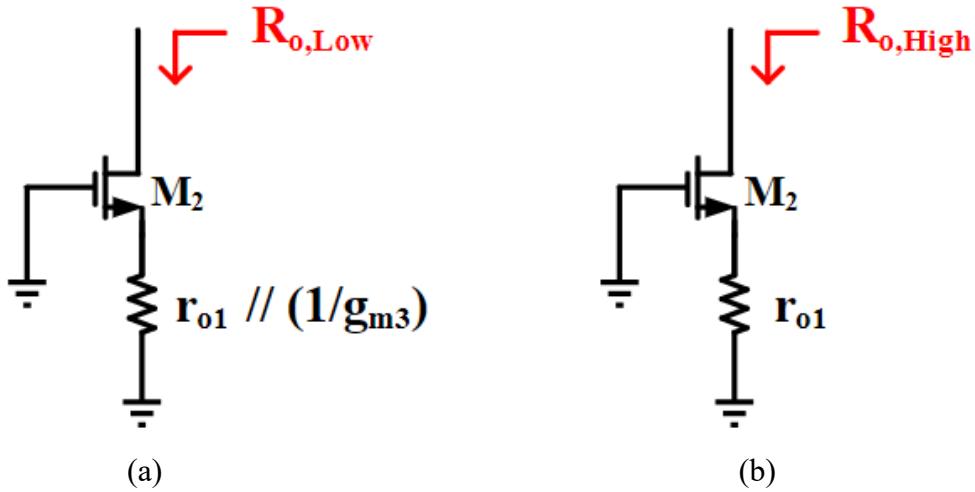


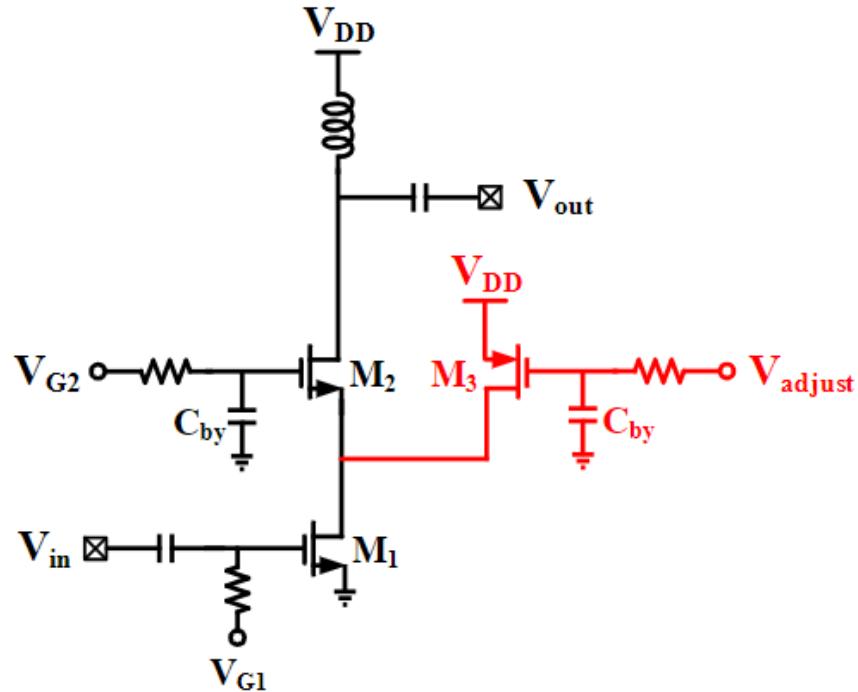
圖 2-14 N 型電流導向可變增益放大器在(a)低增益及(b)高增益之輸出阻抗模型。

由(2-44)及(2-45)可知 $R_{o,Low} \ll R_{o,High}$ ，因此當切換時，輸出阻抗有明顯的變化。也將增加在輸出阻抗匹配時的難度。因此 N 型電流導向可變增益放大器雖改善了偏壓調控增益放大器的線性度，但仍有輸出阻抗變化量劇烈的問題需要解決。

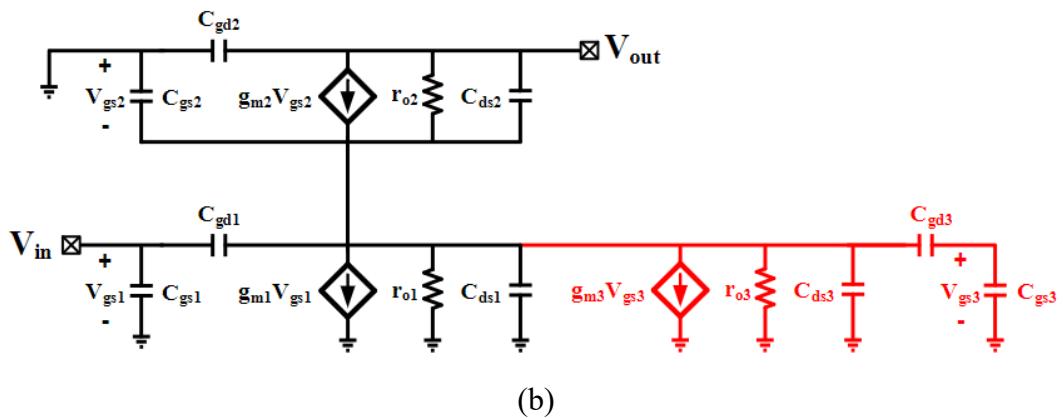
2.4.3 P 型電流導向可變增益放大器

圖 2-15 為 P 型電流導向可變增益放大器的電路架構圖[16]，此架構和 N 型電流導向可變增益放大器相同，只不過電晶體 M_3 改為 P 型電晶體。當 V_{adjust} 為 V_{DD} 時， M_3 關閉，此時電流沒有流經 M_3 ，因此放大器的增益不變。當 V_{adjust} 為 $0V$ 時， M_3 導通，此時電流流經 M_3 ，造成電流被 M_3 抽走，轉導下降。隨著 V_{adjust} 從 V_{DD} 逐漸下降，轉導下降的幅度上升，在 $0V$ 時放大器增益最小。與 N 型電流導向可變

增益放大器相比，在 PMOS 電晶體 M_3 導通時，阻抗值仍然很大，因此在輸出阻抗匹配時較容易設計。



(a)



(b)

圖 2-15 P 型電流導向可變增益放大器(a)電路架構圖及(b)等效小訊號模型。[16]

圖 2-15(b)為 P 型電流導向可變增益放大器之等效小訊號模型，我們可由此推導出此架構的轉導為：

$$G_{m,P-current\ steering} = \left(g_{m1} - sC_{gd1} \right) \frac{g_{m2} + \frac{1}{r_{o2}} + sC_{ds2}}{g_{m2} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{r_{o3}} + sC_x} \quad (2-46)$$

其中 $C_x = C_{gd1} + C_{ds1} + C_{ds2} + C_{gs2} + C_{ds3} + C_{gd3}$ ，當 V_{adjust} 降低，電晶體 M_3 慢慢導通，



使疊接放大器的電流被電晶體 M_3 所抽取而下降，而 g_{m1} 和 g_{m2} 則會下降，造成 $G_{m,P-current steering}$ 的值下降。

接著探討 P 型電流導向可變增益放大器之輸出阻抗，圖 2-16 為 P 型電流導向可變增益放大器之輸出阻抗模型，當操作在低增益模式時，我們可推得其輸出阻抗 $R_{o,Low}$ 為：

$$\begin{aligned} R_{o,Low} &= g_{m1}r_{o2}(r_{o1} \parallel r_{o3}) + r_{o2} + r_{o1} \parallel r_{o3} \\ &\approx g_{m1}r_{o2}(r_{o1} \parallel r_{o3}) \end{aligned} \quad (2-47)$$

當操作在高增益模式時，我們可推得其輸出阻抗 $R_{o,High}$ 為：

$$\begin{aligned} R_{o,High} &\approx g_{m1}r_{o2}r_{o1} + r_{o2} + r_{o1} \\ &\approx g_{m1}r_{o2}r_{o1} \end{aligned} \quad (2-48)$$

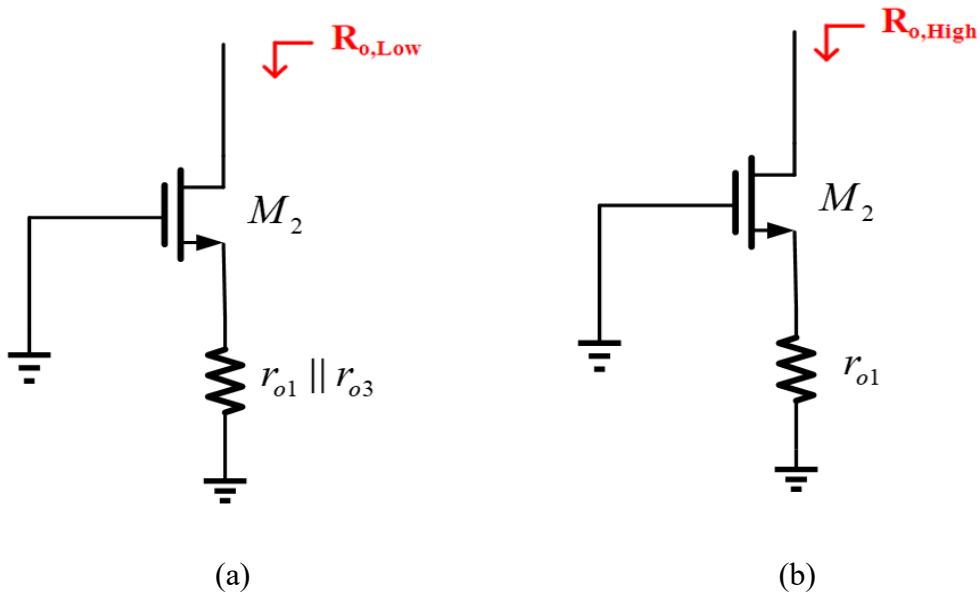


圖 2-16 P 型電流導向可變增益放大器在(a)低增益及(b)高增益之輸出阻抗模型。

由(2-47)及(2-48)可知， $R_{o,Low}$ 和 $R_{o,High}$ 只相差了一項 $r_{o1} \parallel r_{o3}$ 。相比 N 型電流導向可變增益放大器，P 型電流導向可變增益放大器在調控增益時輸出阻抗的變化量大大的下降，同時也能夠改善偏壓調控增益放大器的線性度。

2.4.4 數位式可變增益放大器

圖 2-17(a)為數位式可變增益放大器電路圖[17]。此設計架構原理和上述的電流導向電晶體一樣。首先可先看到有 6 組數位控制的電晶體開關，利用兩個反相器控制兩個電晶體一開一關。其中電晶體 M_3 和電晶體 M_2 並聯在一起。而電晶體

M₄只有 S 端接到電晶體 M₂ 的 S 端，D 端則是接到 VDD。因此當控制偏壓給 1.8V 時，電晶體 M₃ 導通，電晶體 M₄ 關閉，此時因為並聯的關係電流會流到 M₃ 再流回電晶體 M₁，此時的電流大小不變，轉導值不變。而當控制偏壓給 0V 時，電晶體 M₃ 關閉，電晶體 M₄ 導通，此時電流被電晶體 M₄ 抽走，所以流到輸出端的電流變小，轉導值變小。圖 2-17(b)為簡化過後的小訊號圖，我們只推導一組數位式開關，且因電晶體 M₄ 只有 S 端接在一起所以忽略不計。

此時我們可推導出當電晶體 M₃ 導通時的大轉導為：

$$G_m = \frac{(gm_1 - SC_{gd1})}{(gm_2 + gm_3 + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{r_{o3}} + SC_{dsx} + SC_{gd1} + SC_{gs2} + SC_{gs3})} \quad (2-49)$$

其中 $C_{dsx} = C_{ds1} + C_{ds2} + C_{ds3}$ 。當電晶體 M₄ 導通時的大轉導則為：

$$G_m = \frac{(gm_1 - SC_{gd1})}{(gm_2 + gm_4 + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{r_{o3}} + SC_{dsx} + SC_{gd1} + SC_{gs2} + SC_{gs3})} \quad (2-50)$$

其中 $C_{dsx} = C_{ds1} + C_{ds2} + C_{ds3}$ ，M₃ 跟 M₄ 尺寸相同所以 $gm_4 = gm_3$ 。且轉導值變小。

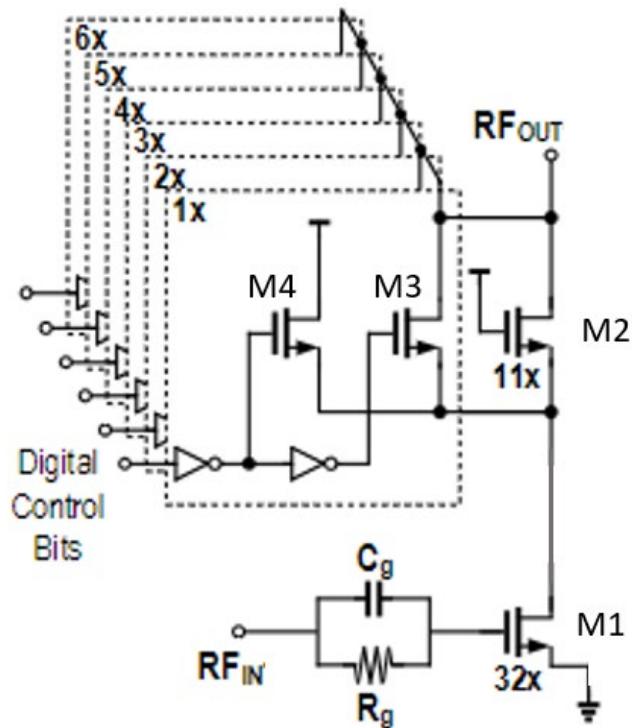
接著推導輸出電阻為：

$$R_o \approx (gm_2 + gm_3)(r_{o2} \parallel r_{o3} \parallel \frac{1}{SC_{ds2}} \parallel \frac{1}{SC_{ds3}})(r_{o1} \parallel \frac{1}{SC_Y} \parallel \frac{1}{SC_{gs2}}) \quad (2-51)$$

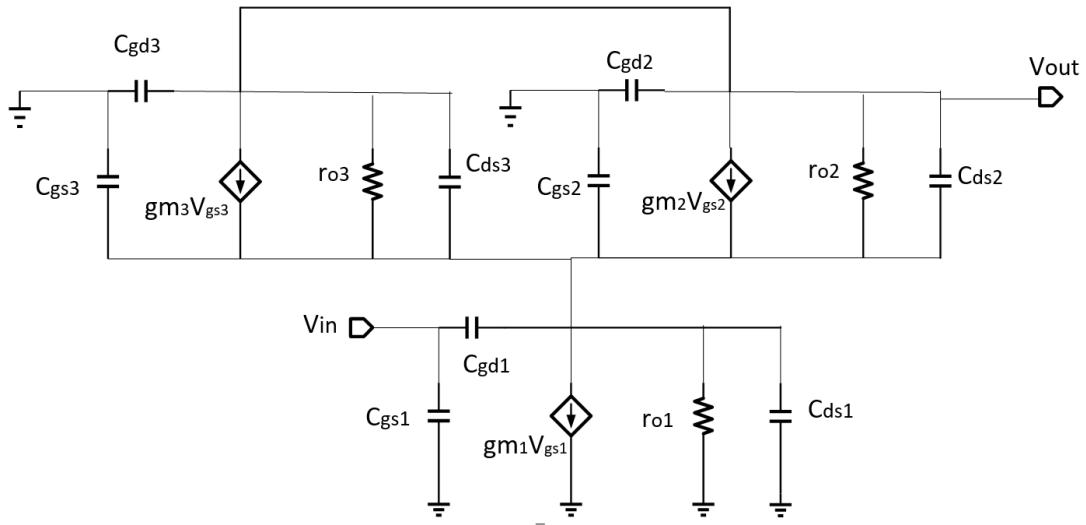
其中 $C_Y = C_{gd1} + C_{ds1}$ ，假設 r_{o1} 、 r_{o2} 和 r_{o3} 趨近於無限大，可簡化成：

$$R_o \approx (gm_2 + gm_3) \frac{1}{(SC_{ds2} + SC_{ds3})} \frac{1}{(SC_Y + SC_{gs2})} \quad (2-52)$$

其中 SC_{ds3} 在電晶體 M₃ 導通時較小，相反電晶體 M₃ 關閉時則變大。和 G_m 一樣導通時會放大，關閉時則會下降。



(a)



(b)

圖 2-17 數位式可變增益放大器(a)電路圖及(b)小訊號模型圖。[17]

經過上述的推導可知，我們可以將不同尺寸的電晶體組成開關，去控制電晶體抽電流的能力，改變增益的大小。且通過選取適合的尺寸，達到想要的增益差量。

Chapter 3 數位控制可變增益放大器



3.1 電路介紹

由上一章介紹的各種相位移器中，我們可以得知許多的架構都是由被動元件：電容和電感組合而成。例如：傳輸線式相移器、反射式相移器及開關式相移器。這種由被動元件所組成的相移器的損耗是非常大的，而且它的精準度和解析度也無法達到很高。因此若要達到高精準度及高解析度且損耗不會過大的話，可以採用向量和式相移器的架構。向量和式相移器它有兩個可變增益放大器來提高放大增益並可以通過偏壓控制提升它的精確度及解析度。因此本論使用的架構為向量和式相移器。

圖 3-1 為論文的向量和式相移器方塊圖，主要分為五大部分：產生相互正交的 IQ 訊號的正交耦合器(I/Q signal generator)、實現 $0^\circ/180^\circ$ 切換的 PIVA(phase-invertible variable attenuator)、可變增益放大器(VGA)、功率整合器(power combiner)以及最後的 45° 切換器。當訊號進入正交耦合器(I/Q signal generator)時，產生相差 90° 的 I 和 Q 訊號，分別進入 PIVA 產生 $\pm I$ 和 $\pm Q$ 的訊號。經過可變增益放大器(VGA)調控 $\pm I$ 和 $\pm Q$ 的大小達到我們所設定的相位移所需的分量，最後通過功率整合器(power combiner)進行合成達到相位移。由於可變增益放大器(VGA)的可變增益範圍不夠，導致我們無法實現 360° 全相位可調。因此最後加上 45° 切換器補償。

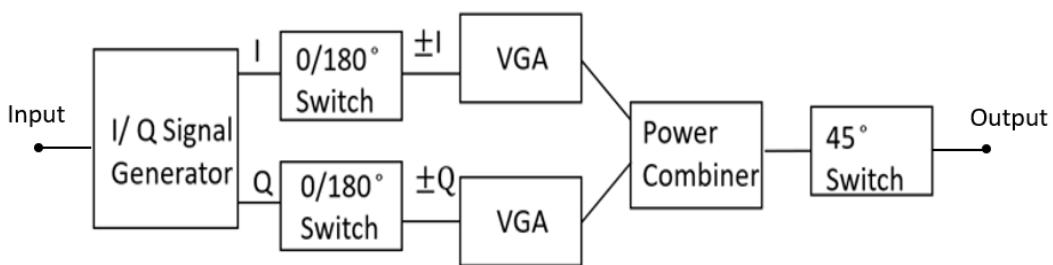


圖 3-1 本論文所使用之向量和式相移器方塊圖。

上一章所介紹的 VGA 都是利用類比調控的方式進行切換，而本論文則是採用數位式開關來實現切換，因此接下來將會介紹數位式可變增益放大器的原理及設計流程。而向量和式相移器將在第四章做詳細的介紹。

圖 3-2 為數位控制可變增益放大器的電路圖[17]。主要由電晶體 M_1 和電晶體 M_3 所組成的疊接(cascode)放大器為主，其中 L_1 、 C_1 為輸入匹配(input matching)，

L_3 、 C_2 、 C_4 為輸出匹配(output matching)。數位式開關則是由 S_1 、 S_2 、 S_3 、 S_4 四組相同架構的開關組成，其中電晶體 M_4 、 M_6 、 M_8 、 M_{10} 都和電晶體 M_3 並聯(S 端都接到 S_1 ，D 端都接到 D_1)，電晶體 M_5 、 M_7 、 M_9 、 M_{11} 則是只有 S 端接到 S_1 ，D 端則直接接到 VDD。 S_1 開關的架構是由兩個反相器(inverter)來控制電晶體 M_4 、 M_5 的開關， VC_1 為控制電壓。當 VC_1 為 1.8V 時， M_4 打開， M_5 關閉。此時會有電流流經 M_4 ，但 M_4 和 M_3 並聯因此電流流經輸出不變，增益不會改變。當 VC_1 為 0V 時， M_4 關閉， M_5 打開。電流流經 M_5 ， M_5 並未和 M_3 並聯，因此電流雖會和 M_3 的電流一起流到 M_1 但輸出的電流變少，導致增益下降。 S_2 、 S_3 、 S_4 的原理也和上述一樣，我們透過四組不同尺寸的電晶體的開關切換不同程度增益大小實現本論文的數位控制可變增益放大器。

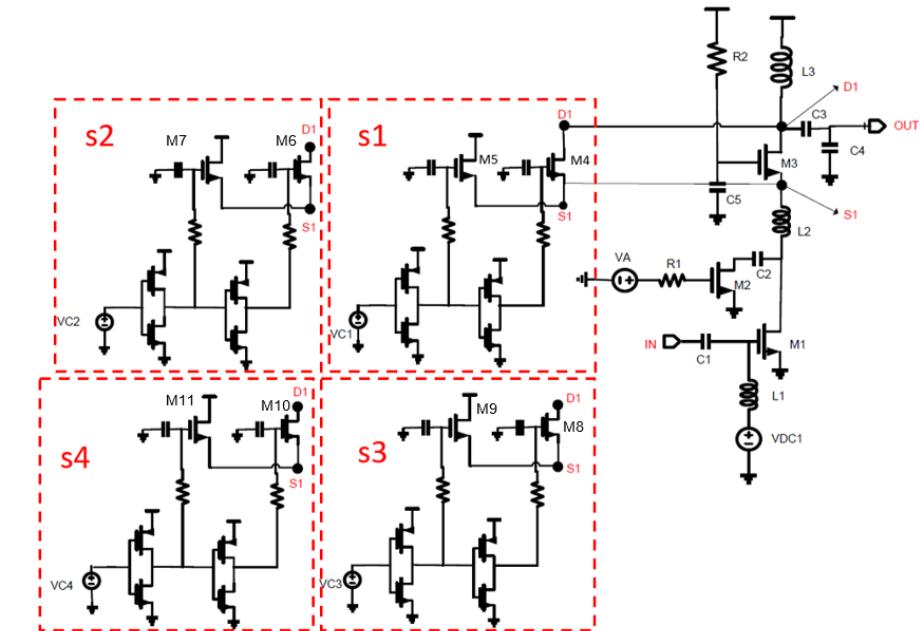


圖 3-2 數位控制可變增益放大器的電路圖。[17]

3.2 設計流程

3.2.1 電晶體尺寸挑選

首先，我們需要先確定我們放大器的電晶體尺寸。我們的可變增益放大器為疊接放大器的架構，架構圖如圖 3-3 所示。為了減少米勒效應，我們會將電晶體 M_2 的 N_r 的數量設為電晶體 M_1 的 N_r 的數量的 1.5 倍。這樣電晶體 M_1 的寄生電容值會下降，導致極點頻率上升，而頻寬也會變寬。接下來會模擬電晶體 M_1 的 finger 從 $N_r=12$ 到 $N_r=36$ ，看電流對電壓的圖在不同的 finger 數時的變化。

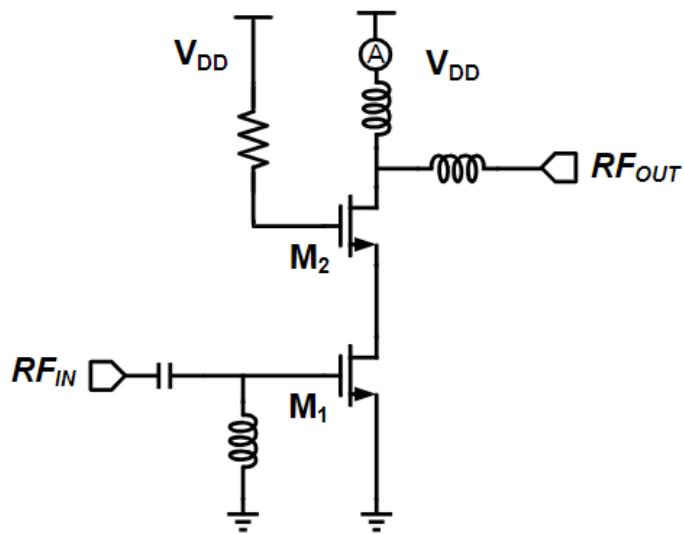


圖 3-3 疊接放大器。

圖 3-4 為疊接電晶體在不同 finger 下的 DCIV 圖。我們將整個相移器的功耗訂在 25mW。而 phase shifter 的架構中會有兩個可變增益放大器，因此每個可變增益放大器的功耗為 12.5mW，VDD 為 1.8V，得到的直流電流為 6.94mA。當電晶體 M₁ 的 NR 為 24，V_G 為 0.75 時，電流為 7mA 符合設定的標準。圖 3-5 為電晶體在不同 finger 下的最大增益曲線，圖中不同的 NR 的轉折點都不同，在轉折點前的增益稱為最大可使用增益(maximum available gain, MAG)，而轉折點以後的最大增益則為最大穩定增益(maximum stable gain, MSG)。在電晶體 M₁ 的 NR 為 24，V_G 為 0.75 時，最大可使用增益為 14.369。

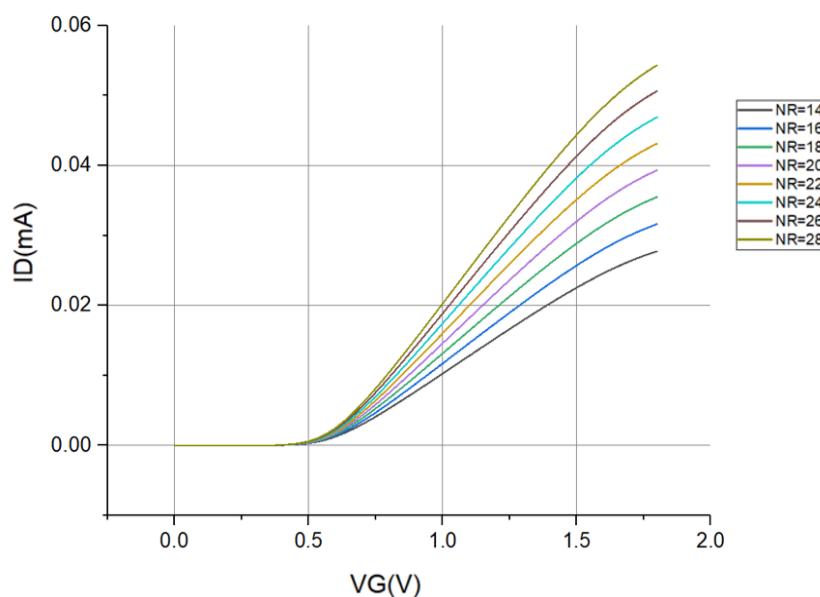


圖 3-4 疊接電晶體在不同 finger 下的 DCIV curve。

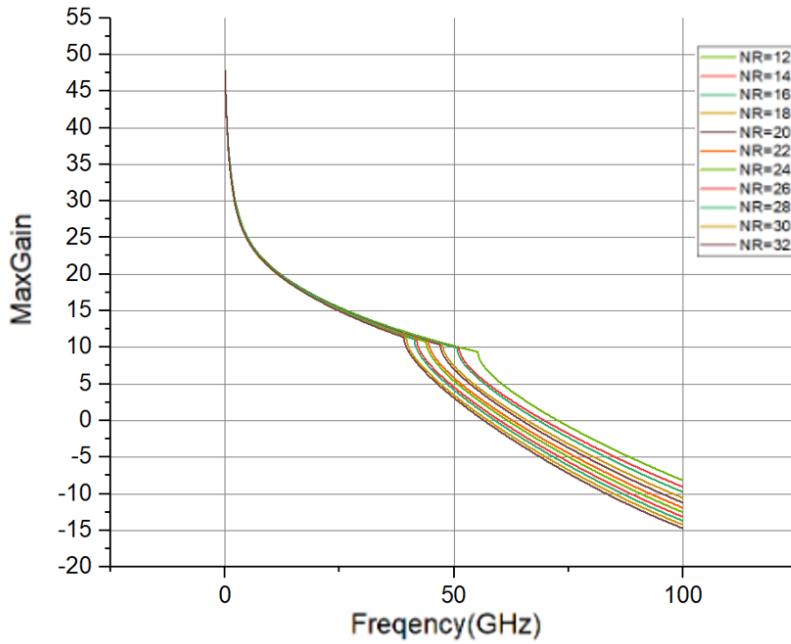


圖 3-5 電晶體在不同 finger 下的最大增益曲線。

3.2.2 增益範圍的計算

本論文我們所設計的切換相位移範圍為 22.5° 到 67.5° ，因此我們所需的大小範圍等於 $\text{Cos}(22.5^\circ)/\text{Sin}(22.5^\circ)=7.656\text{dB}$ 。而我們的解析度為 6bits 因此我們每 5.625° 切換一次。而表 3-1 是以 $\text{cos}(22.5^\circ)$ 為最大值，與之後每 5.625° 切換一次的狀態之差值。由此得到每個狀態所需的大小為多少。

表 3-1 各狀態大小與最大值差。

$\text{Cos}(22.5^\circ)/\text{Cos}(22.5^\circ)$	0dB
$\text{Cos}(22.5^\circ)/\text{Cos}(28.125^\circ)$	0.404dB
$\text{Cos}(22.5^\circ)/\text{Cos}(33.75^\circ)$	0.915dB
$\text{Cos}(22.5^\circ)/\text{Cos}(39.375^\circ)$	1.548dB
$\text{Cos}(22.5^\circ)/\text{Cos}(45^\circ)$	2.323dB
$\text{Cos}(22.5^\circ)/\text{Cos}(50.625^\circ)$	3.265dB
$\text{Cos}(22.5^\circ)/\text{Cos}(56.25^\circ)$	4.418dB
$\text{Cos}(22.5^\circ)/\text{Cos}(61.875^\circ)$	5.845dB
$\text{Cos}(22.5^\circ)/\text{Cos}(67.5^\circ)$	7.656dB

3.2.3 數位控制可變增益放大器

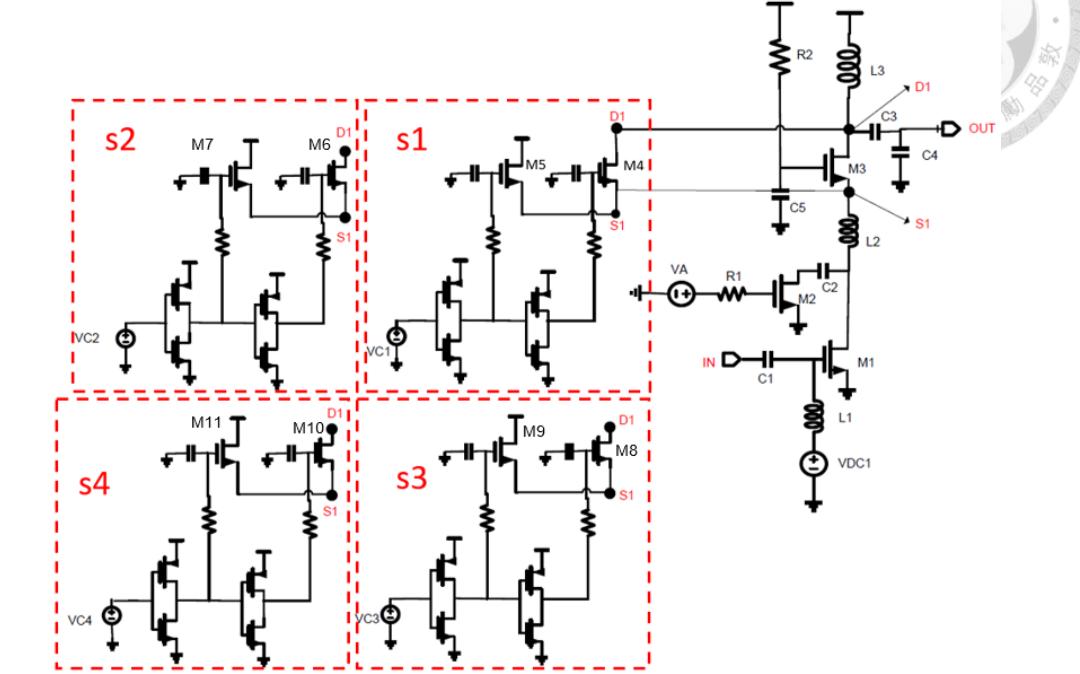
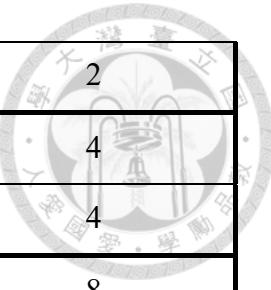


圖 3-6 數位控制可變增益放大器的電路圖。

圖 3-6 為數位控制可變增益放大器的電路圖，其中 S_1 、 S_2 、 S_3 、 S_4 為四組不同的開關，分別通過 VC_1 、 VC_2 、 VC_3 、 VC_4 來控制電晶體的導通。以 S_1 為例，當 VC_1 為 1.8V 時，經過兩個反相器，此時電晶體 M_5 關閉，電晶體 M_4 導通。而電晶體 M_4 和電晶體 M_3 並聯，因此轉導的大小不變。相反，當 VC_1 為 0V 時，經過兩個反相器，此時電晶體 M_5 導通，電晶體 M_4 關閉。電晶體 M_5 並未和電晶體 M_3 並聯，電流從電晶體 M_5 流出，轉導變小。電晶體的尺寸如表 3-2 所示。而電晶體的尺寸的選擇主要考慮在切換每個開關時都能造成不同的大小改變。因此選擇的尺寸以 $w_r=4\mu m$ ， n_r 則分別為 1、2、4、8，這樣組合能使左側開關的電晶體的總 n_r 數從 0~15 都可達到。為了保持電晶體的對稱， n_r 的值皆為偶數，所以 $w_r=4\mu m$ 、 $n_r=1$ 的電晶體可等效為 $w_r=2\mu m$ 、 $n_r=2$ 的電晶體。

表 3-2 電晶體尺寸表。

電晶體	$l_r(\mu m)$	$w_r(\mu m)$	NR
M_4	0.18	2	2
M_5	0.18	2	2
M_6	0.18	4	2



M ₇	0.18	4	2
M ₈	0.18	4	4
M ₉	0.18	4	4
M ₁₀	0.18	4	8
M ₁₁	0.18	4	8
M ₁	0.18	4	24
M ₃	0.18	4	14

而為了增加更多能選擇的點，我們加了衰減器(attenuator)如圖 3-7 中，藍色圈起的部分表示。當 V_A 為 0V 時，電晶體 M₂ 關閉，此時放大器增益不變。隨著 V_A 的電壓開始增加後，電晶體 M₂ 開始導通，輸出阻抗也隨著電壓上升而下降，使放大器的增益下降。其中為了隔絕直流，我們加入電容 C₂。

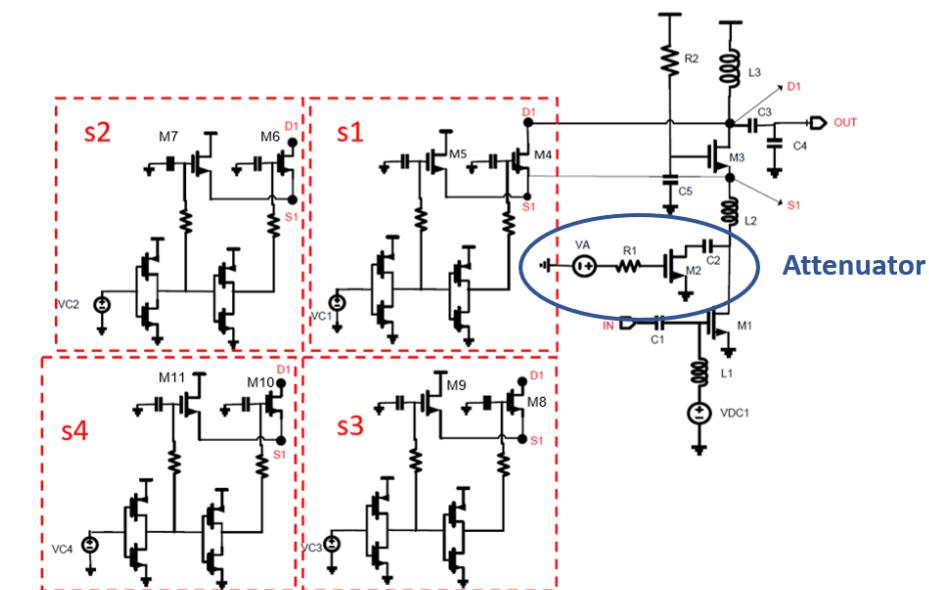


圖 3-7 數位控制可變增益放大器中之衰減器。[17]

如圖 3-8 所示，當 V_A 為 0V 時，為紅色。當 V_A 為 0.6V 時，為藍色。在 28GHz 時，大小分別為 -0.14dB 和 -2.47dB 下降了 2.33dB。此時的兩種切換狀態的大小範圍是有重疊的，也增加更多能選擇的不同大小的點。表 3-4 將會比較沒有加衰減與有加衰減器時的差異。

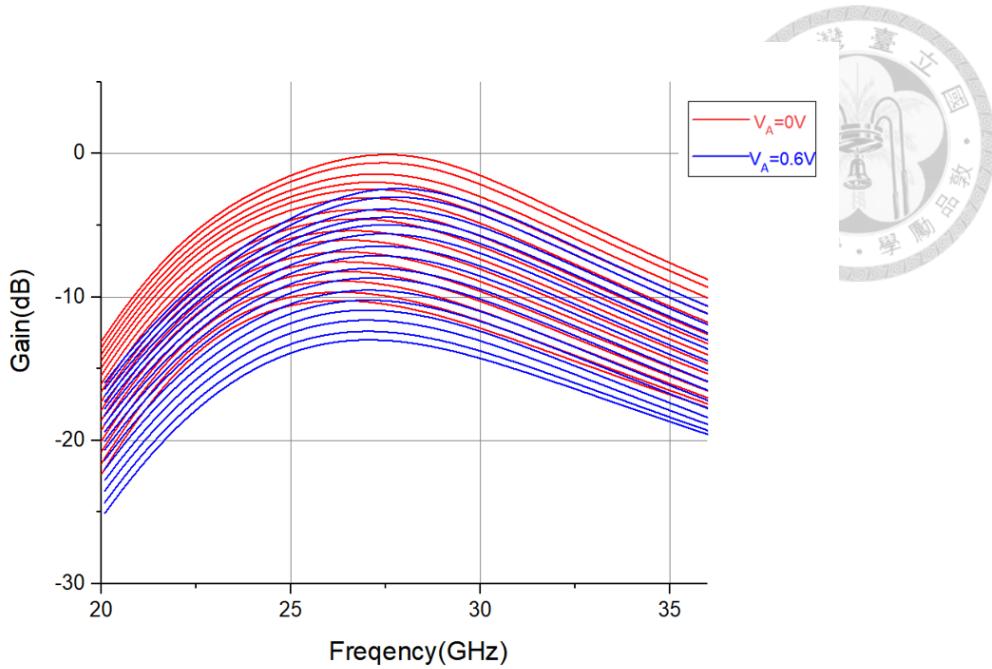


圖 3-8 VGA 在衰減器 $V_A=0$ 和 $0.6V$ 時的所有狀態。

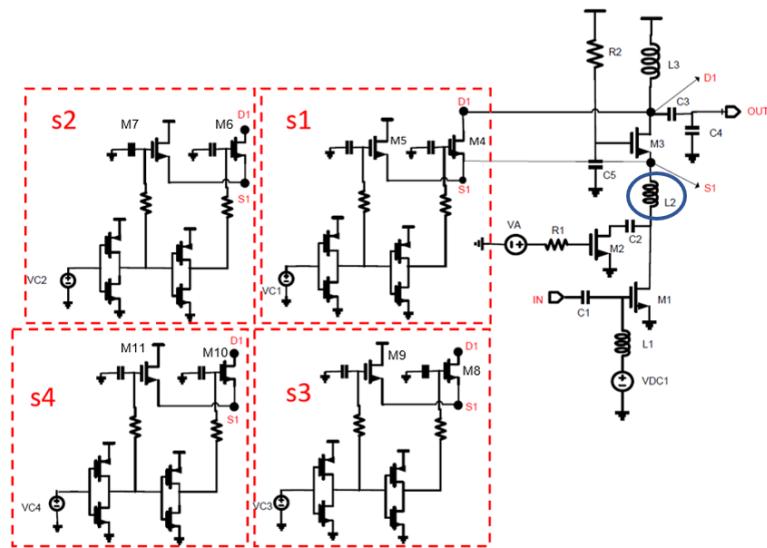


圖 3-9 數位控制式可變增益放大器之相位補償電感。[17]

因為在切換狀態時，輸出阻抗會隨著發生改變，無法達到相位一致。因此如圖 3-9 所示我們加入一個電感 L_2 ，進行相位補償。下面將會推導加入電感 L_2 後如何降地相位變化的原理。

首先我們需要把電路圖轉變成小訊號電路圖並進簡化使其方便分析。可參考圖 3-9，在 s_1 、 s_2 、 s_3 、 s_4 中，由於左側的電晶體 M_5 、 M_7 、 M_9 、 M_{11} 的 D 端並未和輸出端連接，因此可以忽略。我們只考慮右側的電晶體 M_4 、 M_6 、 M_8 、 M_{10} ，並將四個電晶體合併成一個等效電晶體。圖 3-10 為簡化過的可變增益放大器之小訊號電路圖。

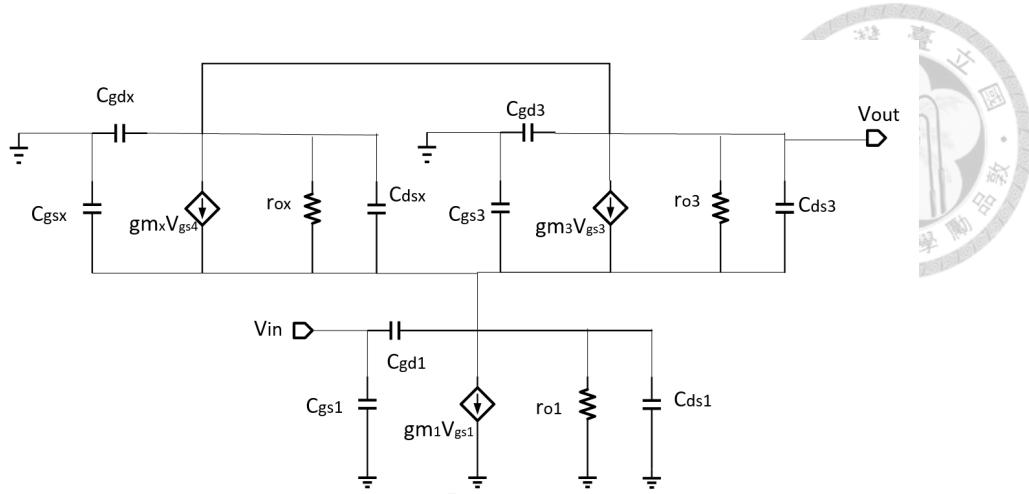


圖 3-10 可變增益放大器之小訊號電路圖。

根據圖 3-10，我們可以推導出其大轉導的頻率響應為：

$$G_m = (gm_1 - SC_{gd1}) \frac{gm_3 + gm_x + \frac{1}{r_{o3}} + \frac{1}{r_{ox}} + SC_{gd2} + SC_{gdx}}{gm_3 + gm_x + \frac{1}{r_{o1}} + \frac{1}{r_{o3}} + \frac{1}{r_{ox}} + SC_x + SC_{gdx} + SC_{dsx}} \quad (3-1)$$

其中 $gm_x = gm_4 + gm_6 + gm_8 + gm_{10}$ ， $C_{gdx} = C_{gd4} + C_{gd6} + C_{gd8} + C_{gd10}$ ，
 $C_{dsx} = C_{ds4} + C_{ds6} + C_{ds8} + C_{ds10}$ ， $C_x = C_{ds1} + C_{gd1} + C_{gd3} + C_{gs1}$ 。為了方便分析，將 r_{o1} 、
 r_{o3} 、 r_{ox} 等效為無限大的阻抗，因此大轉導可近似成下式：

$$G_m = (gm_1 - SC_{gd1}) \frac{gm_3 + gm_x + SC_{gd2} + SC_{gdx}}{gm_3 + gm_x + SC_x + SC_{gdx} + SC_{dsx}} \quad (3-2)$$

(3-2)為電晶體 M4、M6、M8、M10 都導通時的狀態，此時的放大器增益最大。當電晶體 M4、M6、M8、M10 全都關閉時，大轉導等效為：

$$G_m = (gm_1 - SC_{gd1}) \frac{gm_3 + gm_x + SC_{gd2} + SC_{gdx}}{gm_3 + gm_x + SC_x + SC_{gdx} + SC_{dsx}} \frac{gm_3}{gm_3 + gm_x} \quad (3-3)$$

在(3-3)的狀態下，放大器增益最小。

加入串聯的電感 L₂後，因為小訊號模型中電感 L₂和電晶體 M1 之相依電流源 gm₁為串聯，並不會影響值流時的大轉導的數值。所以我們只針對輸出阻抗進行分析，而可變增益放大器的輸出阻抗可近似為：

$$R_o \approx (gm_2 + gm_x)(r_{o2} \parallel r_{ox} \parallel \frac{1}{SC_{ds2}} \parallel \frac{1}{SC_{dsx}})(Z_Y \parallel \frac{1}{SC_{gs2}}) \quad (3-4)$$



其中 $Z_Y = SL_2 + r_{o1} \parallel \frac{1}{SC_Y}$ ， $C_Y = C_{gd1} + C_{ds1}$ ，為了方便分析，假設 r_{o2} 、 r_{ox} 阻抗為無限大，(3-4)可簡化成：

$$R_o \approx (gm_2 + gm_x) \left(\frac{1}{SC_{ds2} + SC_{dsx}} \right) \left(SL_2 \parallel \frac{1}{SC_{gs2}} \right) \quad (3-5)$$

當電晶體 M₄、M₆、M₈、M₁₀ 都導通時，(3-5)中的 SC_{gdx} 最小，反之，當電晶體 M₄、M₆、M₈、M₁₀ 都關閉時， SC_{gdx} 最大。此時輸出阻抗的改變將會導致相位偏移。所以加上電感 L₂ 後可使輸出阻抗的變化量下降。另外若是開關的電晶體尺寸過大，也會影響 output matching 的難度。

圖 3-11 為 28GHz 時，電感值對放大器最大相位差值之作圖，在電感值為 310pH 時，放大器的最大相位差下降為 7.44°。

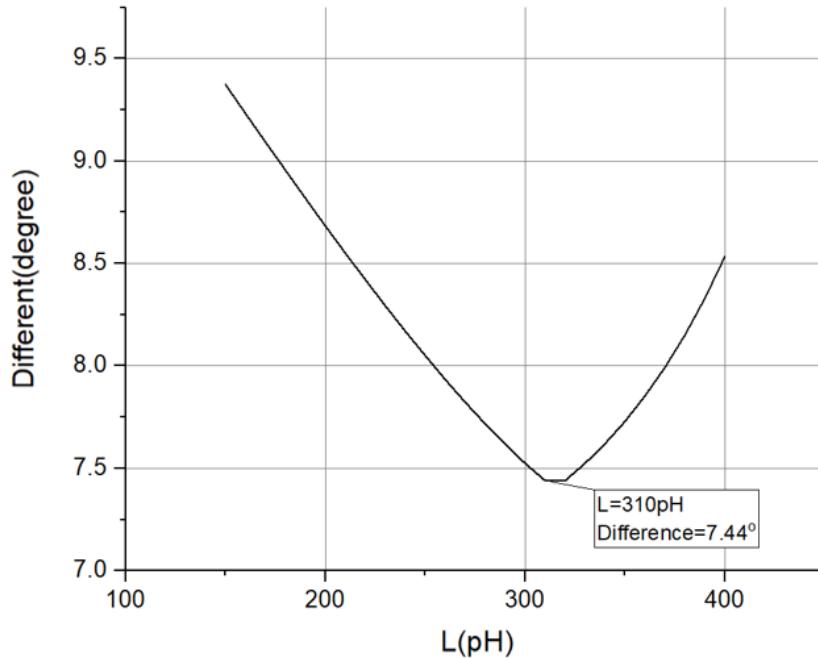


圖 3-11 在 28 GHz 時，電感值對放大器最大相位差作圖。

3.2.4 阻抗匹配

當我們電晶體尺寸選擇完後，接下來進阻抗匹配的步驟。圖 3-12 藍色圈起來部分為數位可變增益放大器之輸入及輸出匹配網路。其中 C₁、L₁ 為輸入端的匹配架構，C₃、C₄、L₃ 為輸出端的匹配架構。在使用電容、電感進行匹配時，須注意直流訊號不能經過 in 跟 out 的小訊號端，因此匹配網路中的 C₁、C₃ 用來匹配之外還可以隔絕直流訊號。匹配完成後的電容、電感值如表 3-3 所示。

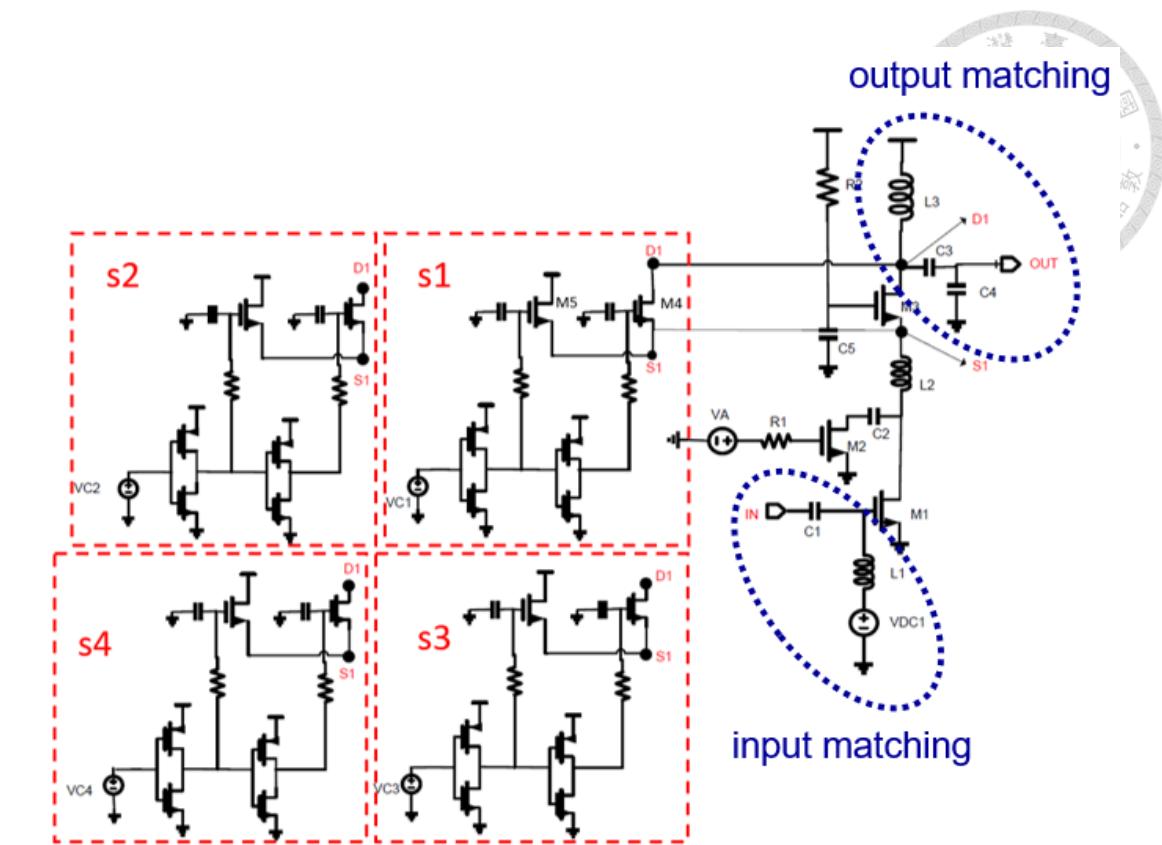


圖 3-12 數位可變增益放大器之輸入及輸出匹配網路。

表 3-3 輸入及輸出端電容與電感之尺寸。

Input matching	C_1 (fF)	172.28
	L_1 (pH)	135.00
Output matching	C_3 (fF)	84.82
	C_4 (fF)	95.70
	L_4 (pH)	228.00

3.3 電路佈局

圖 3-13 為數位可變增益放大器電路佈局圖。本電路使用台積電 180 nm CMOS 製程實現，整體電路面積為 $0.555\text{mm} \times 0.5\text{ mm} = 0.278\text{mm}^2$ 。RF 的輸入訊號從晶片左側 RF_{in} 進入，RF 輸出訊號從晶片右側 RF_{out} 流出。上下 PAD 為直流偏壓，其中

VDD 為 1.8V，GND 接地， V_{C1} 、 V_{C2} 、 V_{C3} 、 V_{C4} 為四組開關的控制電壓， V_a 為衰減器的控制電壓， V_b 則是電晶體 gate 端的偏壓。

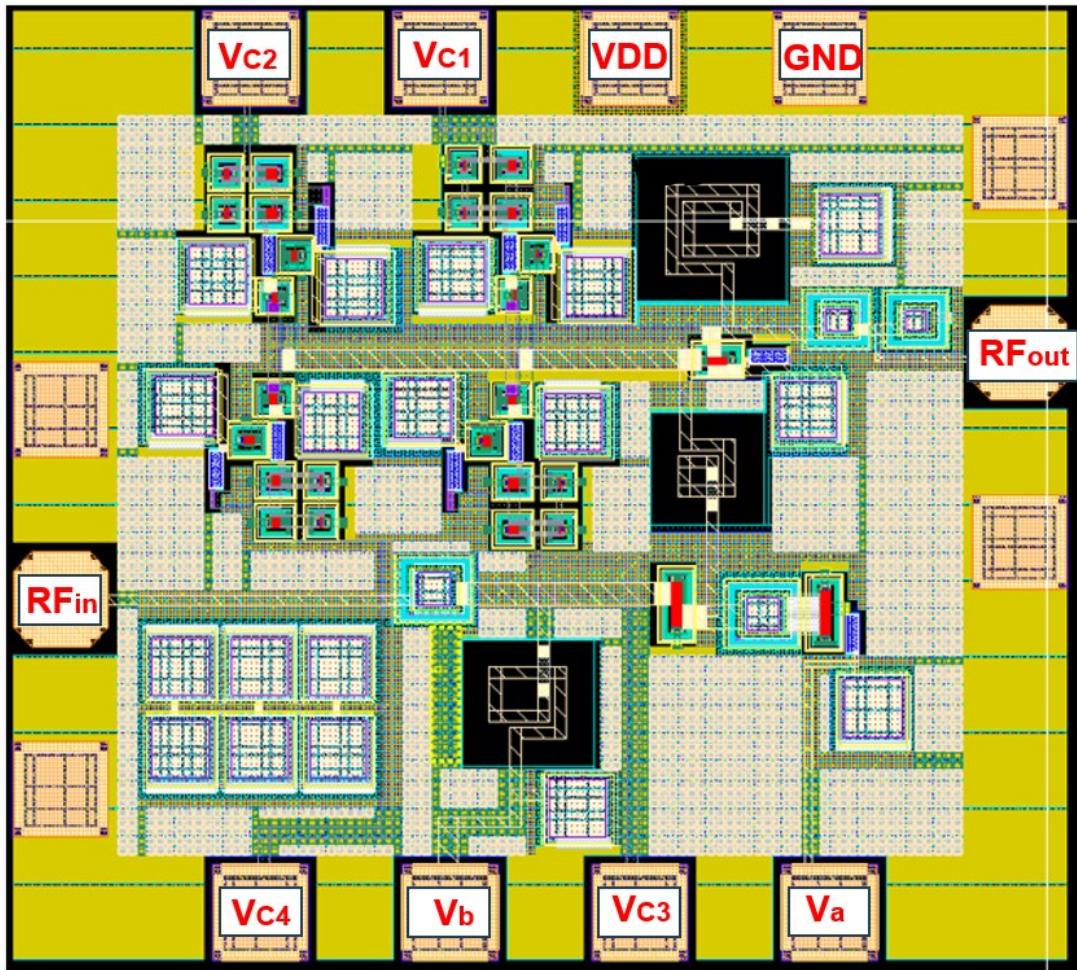
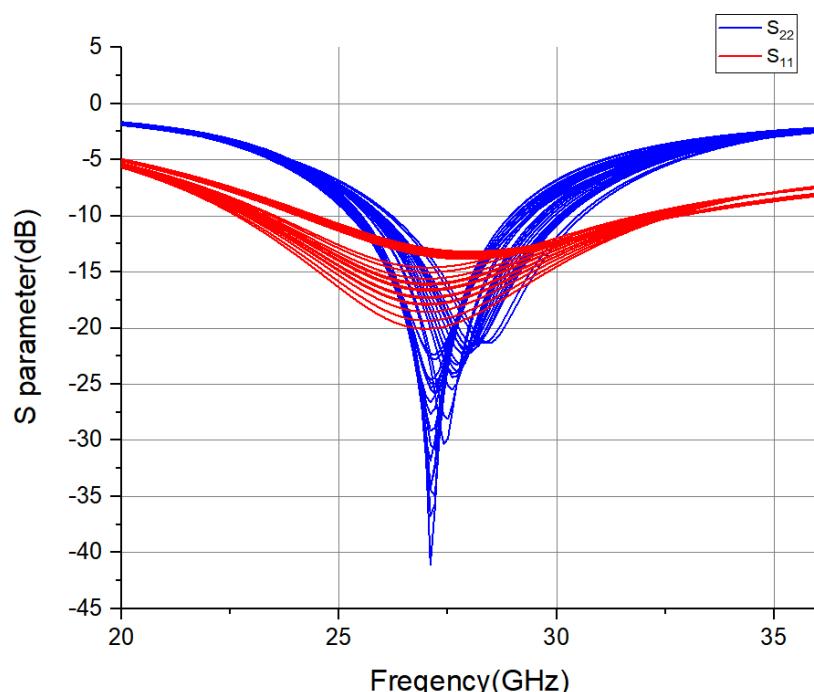
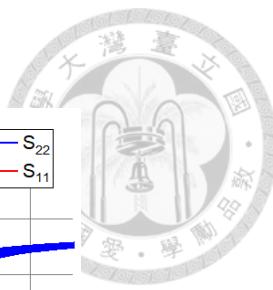


圖 3-13 數位可變增益放大器電路佈局。

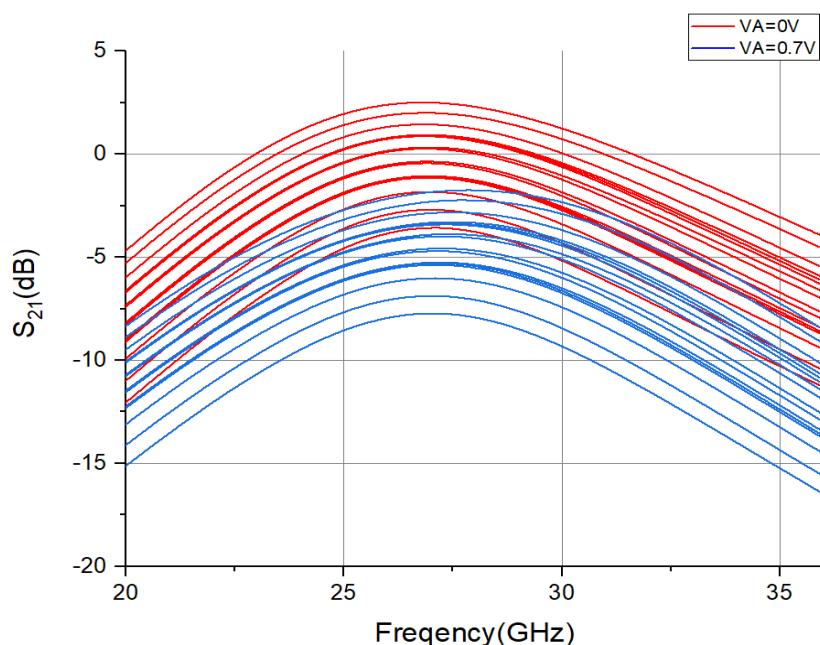
3.4 整體電路模擬

上述的設計流程是根據第一版數位式可變增益放大器的量測結果修正後，所模擬的結果，為最終版本。而圖 3-14 為第一版數位式可變增益放大器的模擬結果，圖 3-14(a)為放大器之 S11 和 S22 對頻率的作圖。在頻率 28GHz 下，S11 和 S22 在的大小皆小於-10dB，圖 3-14(b)為放大器之 S21 對頻率的作圖。圖 3-15 為第一版數位式可變增益放大器相位對大小之圖，紅色圈起的部份是我們的增益範圍內可選的狀態，其中範圍增益為 7.686dB，但此時他的相位誤差則為 11.627° ，因此為了改善相位誤差過大的問題，我們從新挑選了電晶體的尺寸。表 3-4 為第一版跟

最終版的電晶體尺寸比較表。



(a)



(b)

圖 3-14 第一版數位式可變增益放大器各狀態之(a)S11 及 S22 (b)S21。

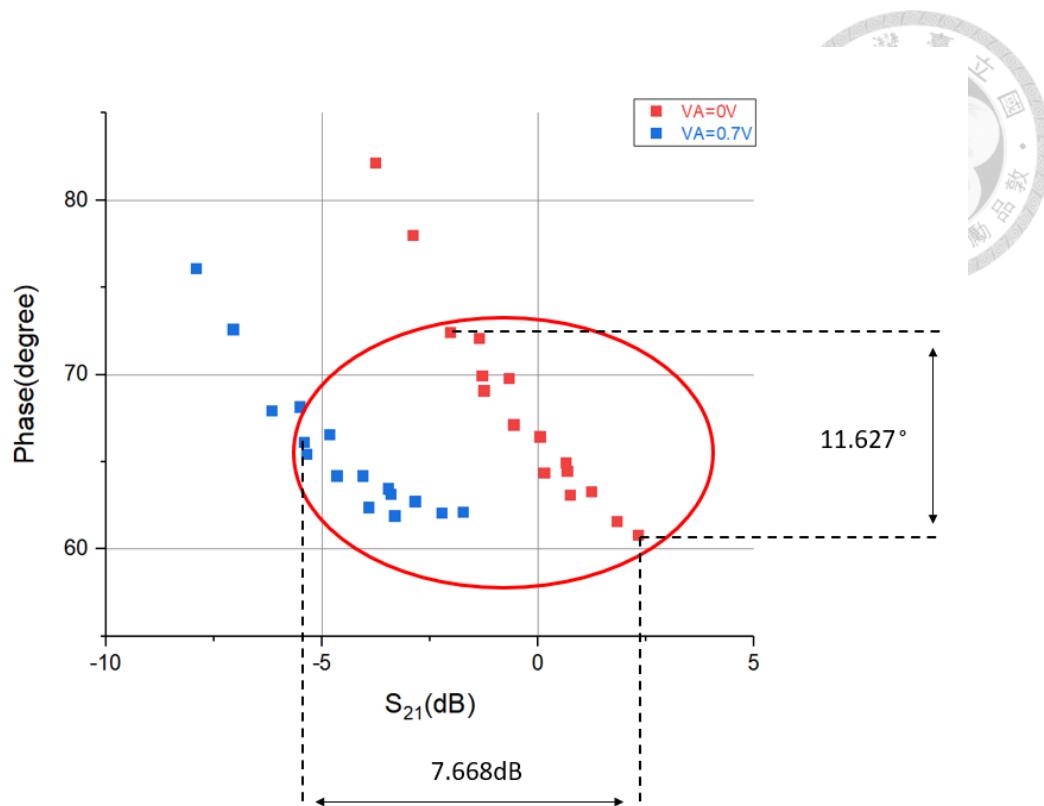


圖 3-15 第一版數位式可變增益放大器相位對大小之圖。

表 3-4 第一版跟最終版電晶體尺寸比較表。

電晶體	lr(um)	wr(um)	NR
M ₄	0.18	4→2	2→2
M ₅	0.18	4→2	2→2
M ₆	0.18	4→4	4→2
M ₇	0.18	4→4	4→2
M ₈	0.18	4→4	6→4
M ₉	0.18	4→4	6→4
M ₁₀	0.18	4→4	6→8
M ₁₁	0.18	4→4	6→8
M ₁	0.18	4→4	32→24
M ₃	0.18	4→4	14→14

最後圖 3-16 為最終版的數位式可變增益放大器在經過完整電磁模擬後得出

之結果。圖 3-16(a)為最終版放大器之 S11 和 S22 對頻率的作圖。在頻率 28GHz 下，S11 和 S22 在的大小皆小於-10dB，達到我們所預設的放大器需求。圖 3-16(b)為最終版放大器之 S21 對頻率的作圖，我們將會從這 32 種狀態中找出我們所要的增益，實現我們要的相位移角度。圖 3-17 為最終版數位式可變增益放大器相位對大小之圖，我們的選的點將在 M1 到 M2 之間紅色線圈起來的範圍。此時它們的大小相差 7.611 dB，而相位差量則在 7.44° 之內。若是沒有加衰減器的話，只有紅點的部分，此時若要達到增益範圍=7.656dB 時，後面所選取的點的相位誤差會急速增加。因此加完衰減器後，將相位誤差控在 7.44°。

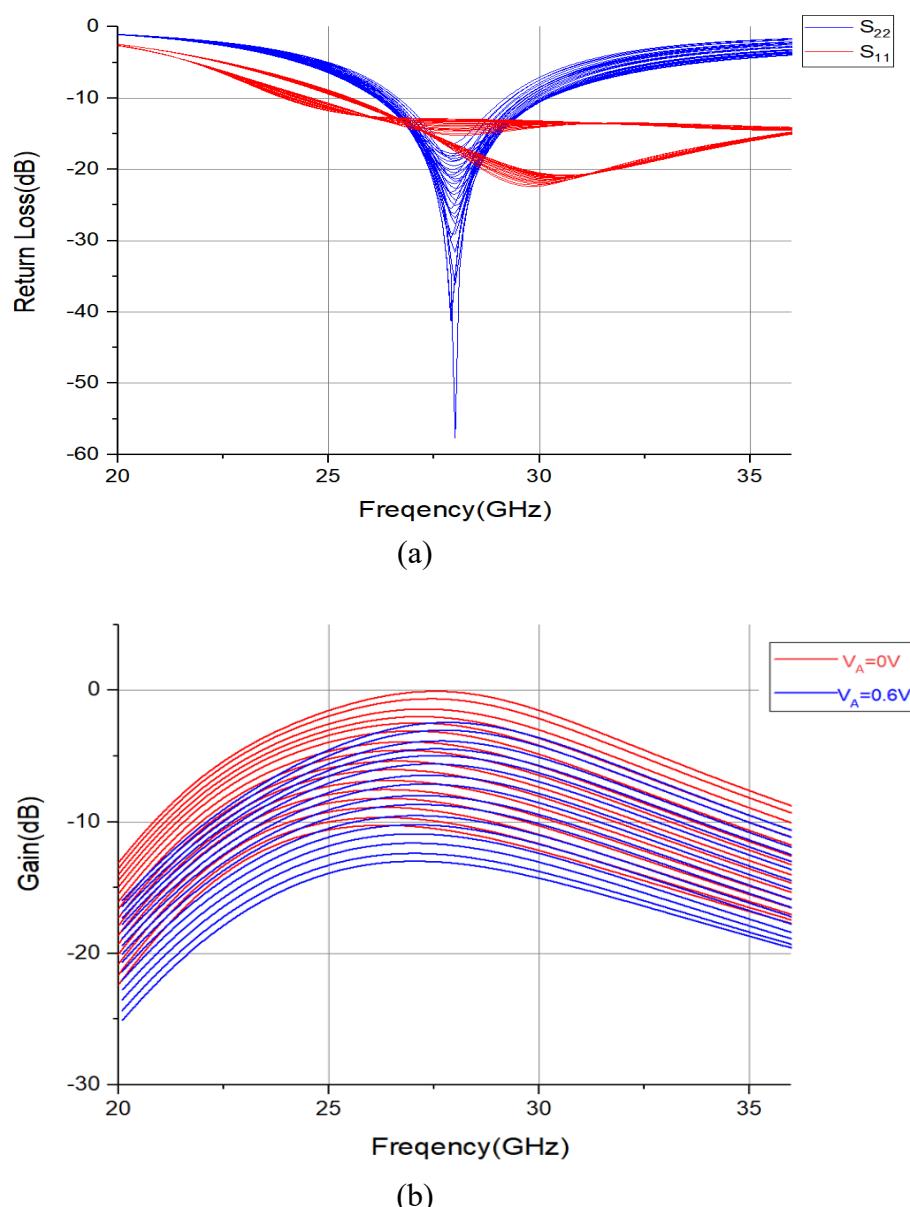


圖 3-16 最終版數位式可變增益放大器各狀態之(a)S11 及 S22 (b)S21。

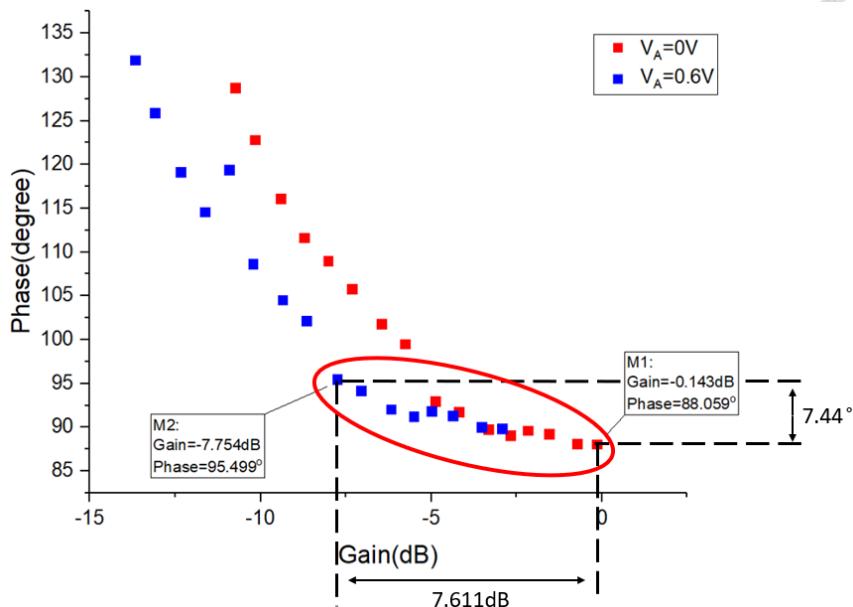


圖 3-17 最終版數位式可變增益放大器相位對大小之圖。

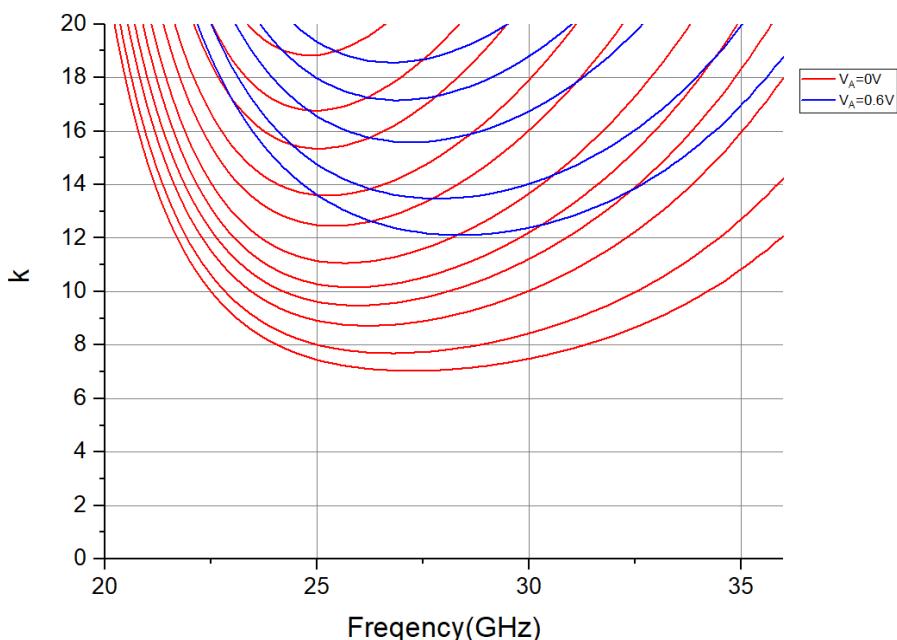


圖 3-18 最終版數位式可變增益放大器之穩定係數。

表 3-5 為有加衰減器和沒有加衰減器的比較表，最終將所有誤差平均後可得到，沒有加衰減器的絕對值平均誤差為 $0.209 \angle 5.007^\circ$ ，有加衰減器的絕對值平均誤差為 $0.103 \angle 3.384^\circ$ 。沒有加衰減器的大小最大誤差為 -0.36dB ，相位最大誤差為 -20.95° ，加了加衰減器後的大小最大誤差為 -0.28dB ，相位最大誤差為 -7.43° 。因此加完衰減器後誤差有明顯改善。表 3-6 為加完衰減器後，各種狀態下的大小跟角度以及他們與最大值之間的差值，最後將實際差值與理想差值相減得到每個狀態下的誤差。其中最差誤差的大小為 0.28dB ，而相位差最大值則為 -7.43° 。最後將表

3-6 整理成圖，如圖 3-19 所示。圖 3-19 (a)為模擬和理想的大小和它們的誤差，圖 3-19 (b)為模擬和理想的相位誤差。

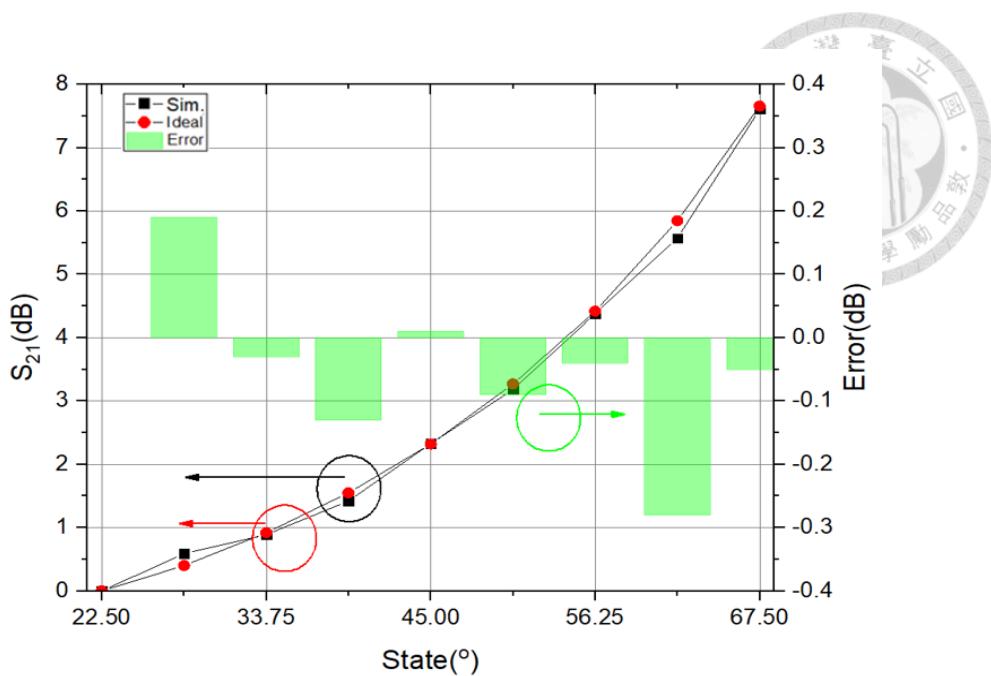


表 3-5 最終版 VGA 比較有無衰減器下的誤差值。

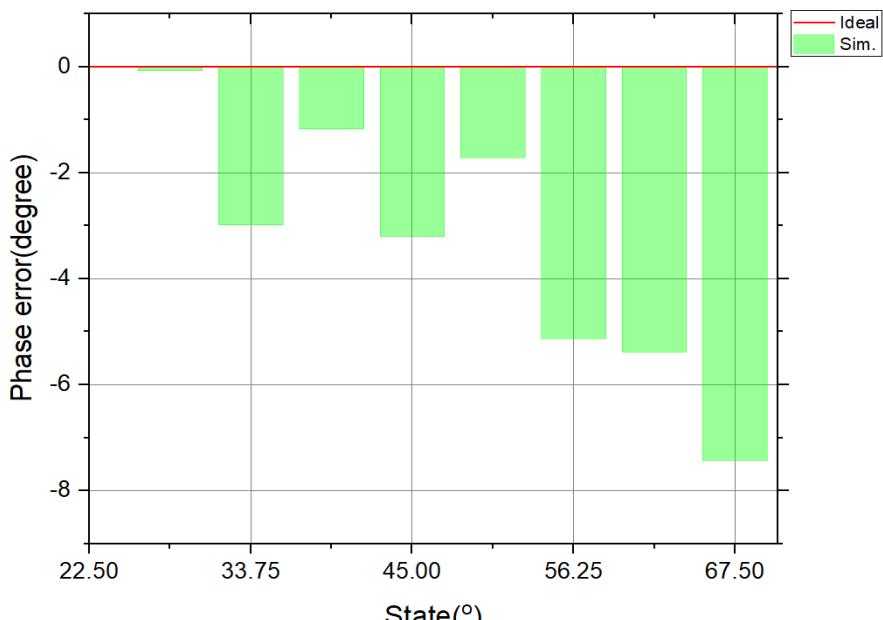
State	沒加衰減器			有加衰減器		
	大小(dB/ °)	與最大之差 值(dB/ °)	誤差(dB/ °)	大小(dB/ °)	與最大之差 值(dB/ °)	誤差(dB/ °)
22.500°	-0.14∠88.06°	0.00	0.00	-0.14∠88.06°	0.00	0.00
28.125°	-0.73∠88.13°	0.59∠-0.07°	0.19∠-0.07°	-0.73∠88.13°	0.59∠-0.07°	0.19∠-0.07°
33.750°	-0.73∠88.13°	0.59∠-0.07°	-0.33∠-0.07°	-1.03∠91.04°	0.89∠-2.98°	-0.03∠-2.98°
39.375°	-1.56∠89.23°	1.42∠-1.17°	-0.13∠-1.17°	-1.56∠89.23°	1.42∠-1.17°	-0.13∠-1.17°
45.000°	-2.67∠89.04°	2.53∠-0.98°	-0.13∠-0.98°	-2.47∠91.26°	2.33∠-3.20°	0.01∠-3.20°
50.625°	-3.32∠89.77°	3.18∠-1.71°	-0.09∠-1.71°	-3.32∠89.77°	3.18∠-1.71°	-0.09∠-1.71°
56.250°	-4.20∠91.73°	4.06∠-3.67°	-0.36∠-3.67°	-4.52∠93.19°	4.38∠-5.13°	-0.04∠-5.13°
61.875°	-5.77∠99.50°	5.63∠-11.44°	-0.22∠-11.44°	-5.71∠93.44°	5.57∠-5.38°	-0.28∠-5.38°
67.500°	-8.02∠109.01°	7.88∠20.95°	0.22∠-20.95°	-7.75∠95.49°	7.61∠-7.43°	-0.05∠-7.43°

表 3-6 最終版 VGA 各狀態大小和理想差值之數據。

State	(V _{c1} , V _{c2} , V _{c3} , V _{c4} , V _A)(V)	大小(dB/ °)	與最大之差 值(dB/ °)	理想差 值(dB/ °)	誤差(dB/ °)
22.500°	(1.8、1.8、1.8、1.8、0.0)	-0.14∠88.06°	0.00	0.00	0.00
28.125°	(0.0、1.8、1.8、1.8、0.0)	-0.73∠88.13°	0.59∠-0.07°	0.40	0.19∠-0.07°
33.750°	(1.8、1.8、1.8、1.8、0.6)	-1.03∠91.04°	0.89∠-2.98°	0.92	-0.03∠-2.98°
39.375°	(1.8、0.0、1.8、1.8、0.0)	-1.56∠89.23°	1.42∠-1.17°	1.55	-0.13∠-1.17°
45.000°	(1.8、1.8、1.8、1.8、0.6)	-2.47∠91.26°	2.33∠-3.20°	2.32	0.01∠-3.20°
50.625°	(0.0、1.8、0.0、1.8、0.0)	-3.32∠89.77°	3.18∠-1.71°	3.27	-0.09∠-1.71°
56.250°	(0.0、0.0、1.8、1.8、0.6)	-4.52∠93.19°	4.38∠-5.13°	4.42	-0.04∠-5.13°
61.875°	(0.0、1.8、0.0、1.8、0.6)	-5.71∠93.44°	5.57∠-5.38°	5.85	-0.28∠-5.38°
67.500°	(0.0、0.0、0.0、1.8、0.6)	-7.75∠95.49°	7.61∠-7.43°	7.66	-0.05∠-7.43°



(a)



(b)

圖 3-19 最終版可變增益放大器(a)大小及誤差和(b)相位誤差。

Chapter 4 主動式向量和式相移器電路設計



4.1 電路介紹

在第二章時，我們介紹過很多種類型的相移器，其中反射式相移器和開關式相移器較為常見，但此類架構都是由被動元件電感、電容所組成，因此它們的損耗會非常大。所以本論文採用的架構為向量和式相移器，其中包含主動電路可變增益放大器(VGA)可以降低損耗，不過也多出了直流電源功耗需要考慮。圖 4-1 為本論文的電路架構圖，首先輸入訊號從正交耦合器(quadrature hybrid)進入後，會分出兩路的訊號分別從直通端埠(through)和耦合端埠(coupled)輸出，且兩路的相位差為 90° ，稱之為 IQ 訊號。IQ 會再分別進入相位可反相衰減器(phase invertible variable attenuator, PIVA)，藉由 V_I 和 V_Q 控制電晶體開關達到 180° 的切換形成 $\pm I$ 、 $\pm Q$ ，達成 4 象限的切換。再來通過可變增益放大器(VGA)改變 $\pm I$ 、 $\pm Q$ 的訊號大小來達到我們所要的相位，由 Wilkinson power combiner 將兩路訊號合併。而我們在第三章介紹過我們 VGA 的相位切換範圍為 $22.5^\circ \sim 67.5^\circ$ ，共 45° ，因此最後需要再加上 45° Switch 進行切換達到 360° 全相位切換。

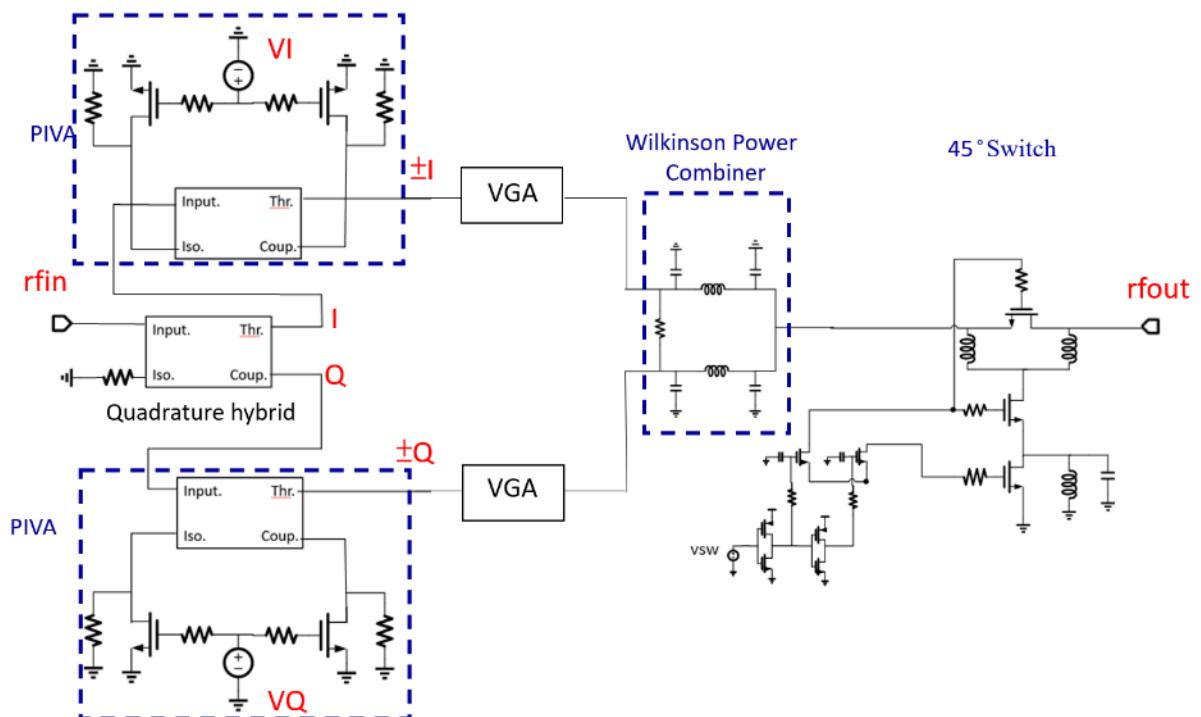


圖 4-1 本論文電路架構圖。

圖 4-2 為 PIVA 如何控制 V_I 和 V_Q 進行四象限的轉換，例如：第一象限 $0^\circ \sim 90^\circ$ 由 $+I$ 和 $+Q$ 組合而成，因此 $V_I=0V$ 和 $V_Q=0V$ 。第二象限 $90^\circ \sim 180^\circ$ 由 $-I$ 和 $+Q$ 組合而成，因此 $V_I=1.8V$ 和 $V_Q=0V$ 。第三象限 $180^\circ \sim 270^\circ$ 由 $-I$ 和 $-Q$ 組合而成，因此 $V_I=1.8V$ 和 $V_Q=1.8V$ 。第四象限 $270^\circ \sim 360^\circ$ 由 $+I$ 和 $-Q$ 組合而成，因此 $V_I=0V$ 和 $V_Q=1.8V$ 。

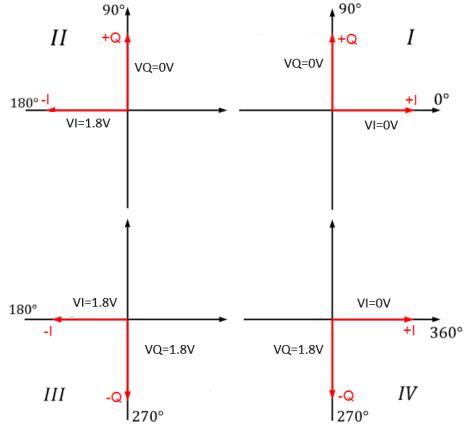


圖 4-2 PIVA 偏壓選擇 IQ 向量示意圖。

圖 4-3 為在不同象限時，不同向量的合成示意圖，上下兩路的可變增益放大器的大小以 VGA_I 和 VGA_Q 表示。以第一象限來說，若是相位移為 45° 時， $+I$ 和 $+Q$ 訊號所連接的 VGA 增益大小需一樣才能實現，因此 $VGA_I=VGA_Q$ 。若相位移小於 45° 時， $+I$ 訊號經由 VGA 增加的增益要大於 $+Q$ 訊號經由 VGA 增加的增益才能實現。反之若相位移大於 45° 時， $VGA_I < VGA_Q$ 才能實現。其他三個象限也是相同原理，如圖 4-3 所示，故不再詳細說明。而我們的相位範圍再 $22.5^\circ \sim 67.5^\circ$ 之間，而所需的大小範圍則等於 $\text{Cos}(22.5^\circ)/\text{Sin}(22.5^\circ)=7.656\text{dB}$ 。也因為我們可變增益放大器相位範圍在 $22.5^\circ \sim 67.5^\circ$ 之間，所以最後會再加上 45° phase shifter 實現 360° 全相位切換。

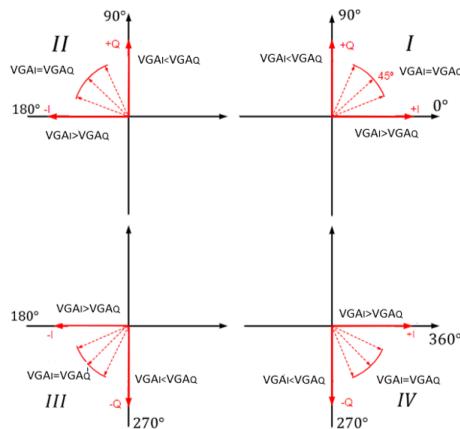


圖 4-3 不同象限向量合成示意圖。



4.2 被動部分電路

圖 4-4 中，除了可變增益放大器(VGA)為主動電路，其餘像是正交耦合器、PIVA、Wilkinson 功率分配器和 45° switch 皆為被動電路的部分。而主動電路，可變增益放大器已經在第三章時介紹過，因此下面將詳細介紹其餘被動電路的設計原理。

當訊號進入正交耦合器時，通共直通端埠(through)和耦合端埠(coupled)輸出，形成兩個相差 90° 的訊號，且要維持相同的損耗大小。而在一定的頻寬內，也要維持相位差平衡度及增益平衡度。而 PIVA 也是一樣，在切換 180° 時，兩種狀態下的損耗也需要維持相同。且在一定頻寬內，須維持相位差平衡度及增益平衡度。除此之外，正交耦合器及 PIVA 的反射係數也要夠好，這樣才能確保訊號傳遞時，不會在兩級電路間相互影響，破壞相位差和增益平衡度。

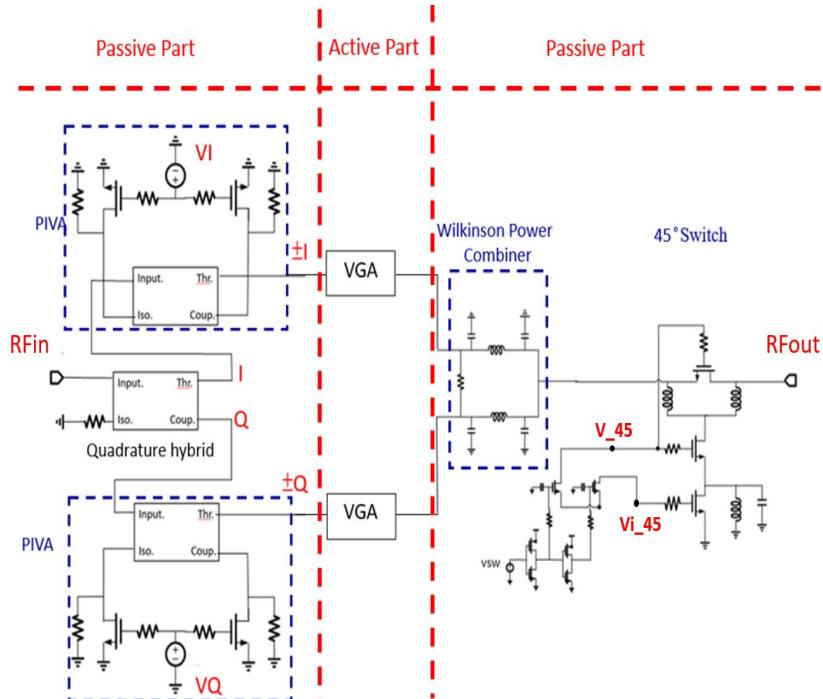
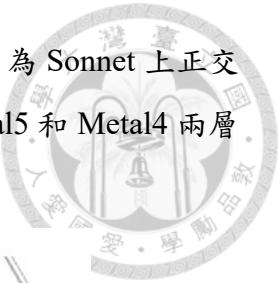


圖 4-4 電路架構圖。

4.2.1 正交耦合器模擬

在理想情況下，正交耦合器的訊號相位差為 90° ，直通端埠(through)和耦合端埠(coupled)的損耗皆為 3dB ，在隔離端(isolation)則沒有輸出訊號。且各端埠的反細數為零。

本電路採用台積電 $0.18\mu\text{m}$ CMOS 製程，因此在我們使用 Sonnet 進行電磁模擬



時，須將相關參數的資料都先設定完成，才可進行模擬。圖 4-5 為 Sonnet 上正交耦合器的電路圖，而為了減少下層金屬造成的損耗，我們將 Metal5 和 Metal4 兩層合併，如圖中紅色和藍色走線合併的部分。

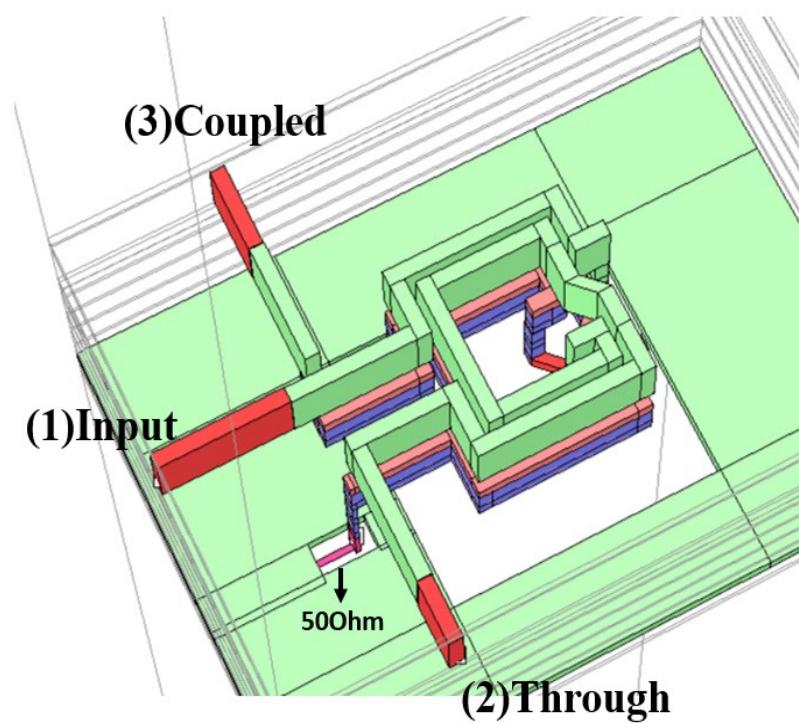
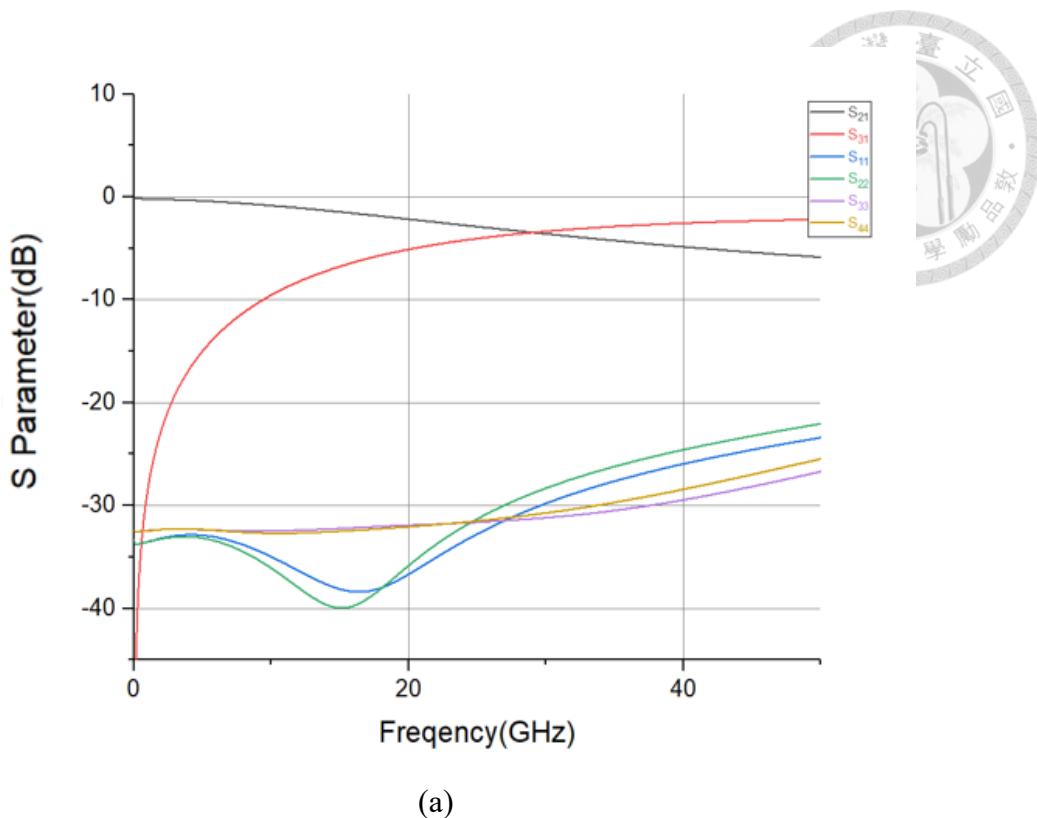


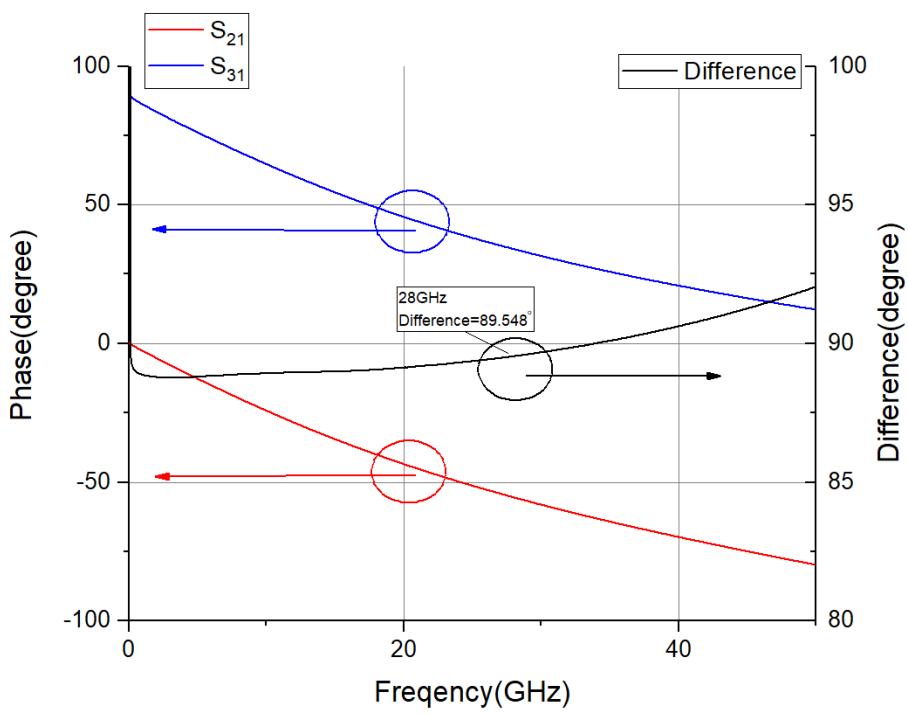
圖 4-5 正交耦合器電路圖。[19]

圖 4-5 中，採用的結構為變壓器式(transformer coupler)的架構，訊號由上層金屬 Metal6 input 端進入，經由 through 端輸出，同時會在下層金屬 Metal5 和 Metal4 產生耦合的訊號從 coupled 端流出。由於上下兩個訊號經過的金屬走線路徑長度不同而產生相位差。最後在 isolation 端加入 50Ω 的電阻，並在正交耦合器下方挖地，其面積為 $107\mu\text{m} \times 115\mu\text{m}$ 。

圖 4-6 為正交耦合器用 Sonnet 模擬完成後代入 ADS 後得出的 S 參數和相位對頻率作圖。圖 4-6(a)中可知，在 28GHz 時， S_{21} 和 S_{31} 分別為 -3.315dB 和 -3.595dB 相差 0.28dB ，且 0.5dB 的頻寬範圍為 6.9GHz 。而正交耦合器的反射係數 S_{11} 、 S_{22} 、 S_{33} 在 28GHz 時，都小於 -25 dB 。圖 4-6(b)為正交耦合器的相位及相位差，左側的 Y 軸代表 S_{21} 和 S_{31} 的相位，右側的 Y 軸則代表 S_{21} 和 S_{31} 兩者的相位差。在 28GHz 時， S_{21} 和 S_{31} 的相位差為 89.548° ，誤差為 -0.452° 。而相位差為 $\pm 0.5^\circ$ 的頻寬範圍在 $17.4\text{GHz} \sim 34.4\text{ GHz}$ 。因此在 28GHz 時，模擬的結果符合理想耦合器的條件。



(a)



(b)

圖 4-6 正交耦合器模擬結果(a)S 參數及(b)相位和相位差。

4.2.2 PIVA 設計和模擬

圖 4-7 為 PIVA 中的耦合器所採用的架構，此架構為蜿蜒式架構(meander

coupler)，上層走線金屬為 Metal6，下層金屬則由 Metal5 和 Metal4 組合而成，其中利用 via 將 Metal5 和 Metal4 連接，以減少傳輸時的損耗。正交耦合器下方的地面積為 $180*139\text{ }\mu\text{m}^2$ 。

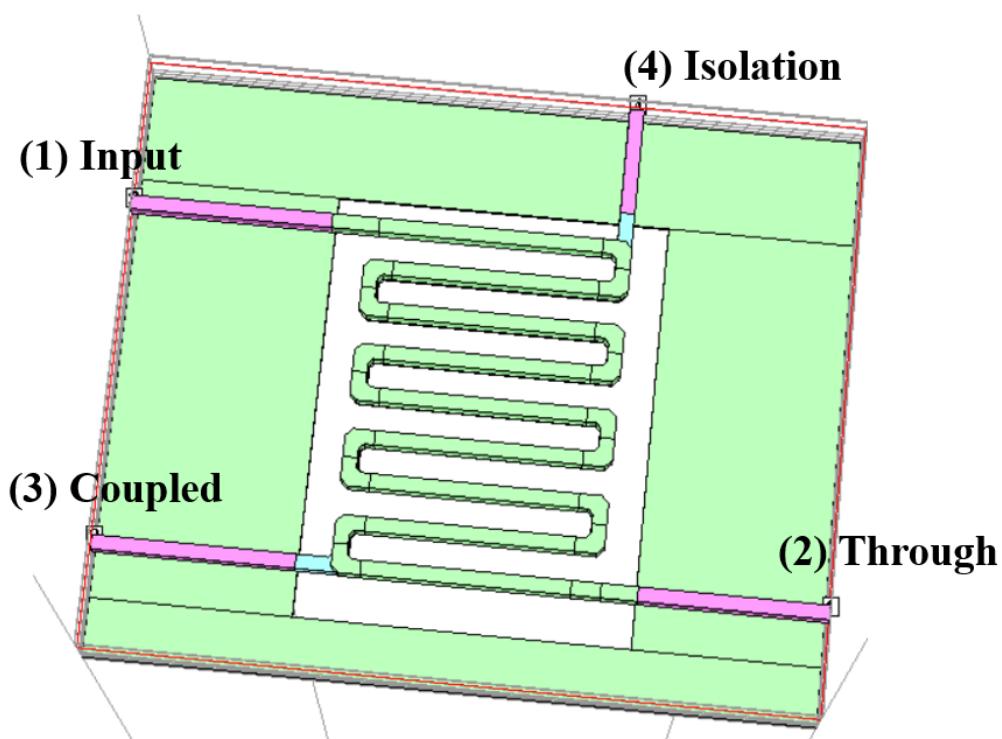
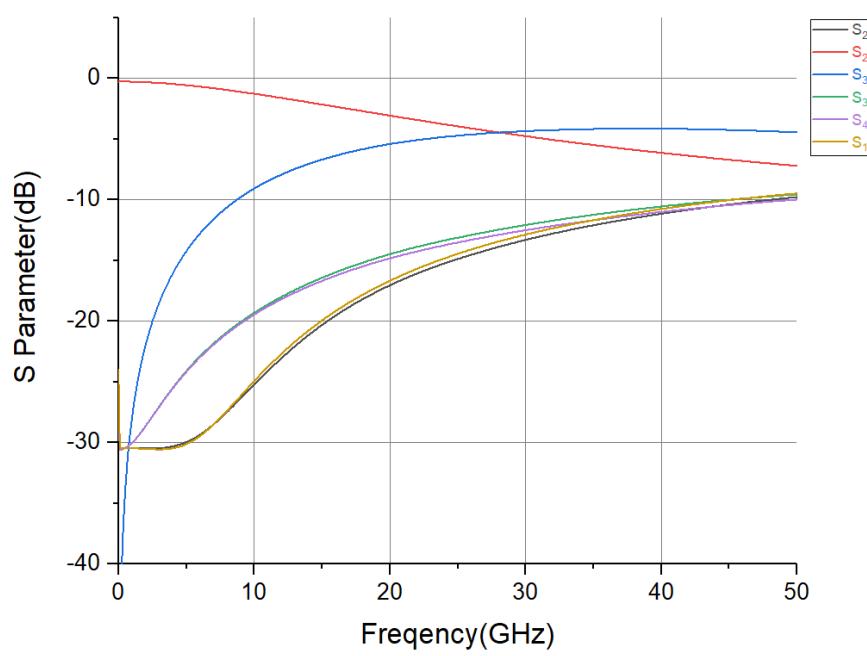


圖 4-7 蜿蜒式正交耦合器電路圖。[19]



(a)

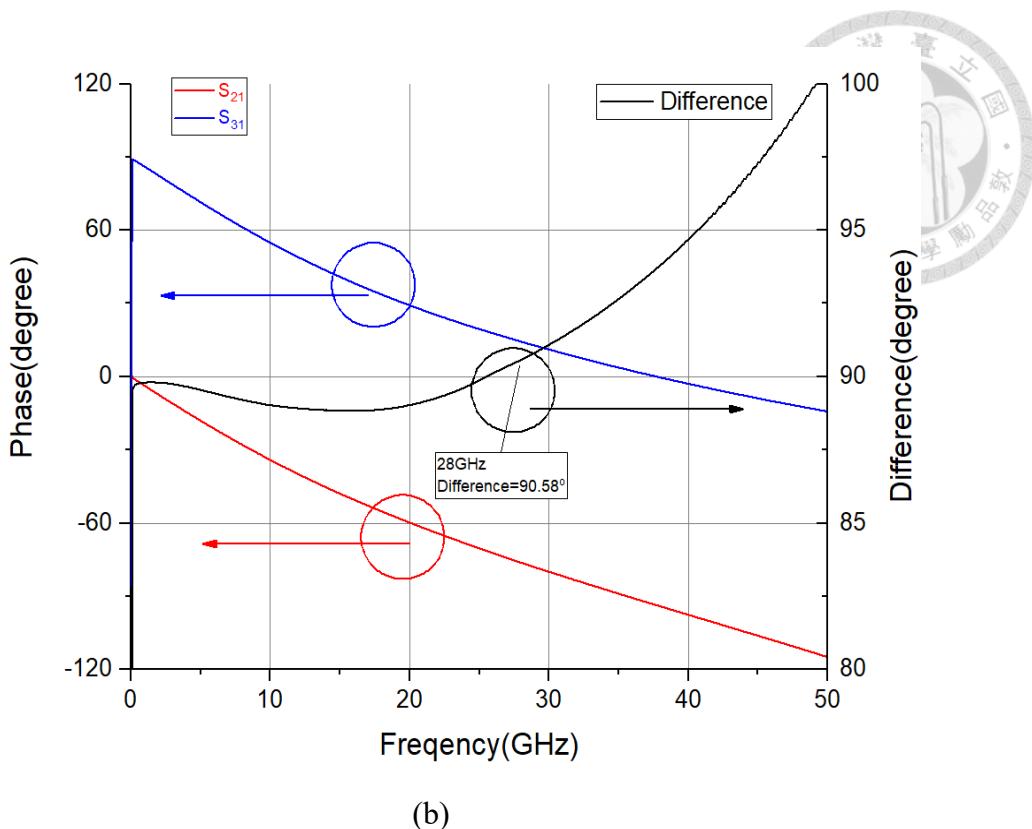


圖 4-8 蜻蜓式正交耦合器模擬結果(a)S 參數及(b)相位和相位差。

圖 4-8 為蜻蜓式正交耦合器用 Sonnet 模擬完成後帶入 ADS 後得出的 S 參數和相位對頻率作圖。圖 4-8(a)中可得知在 28GHz 時， S_{21} 和 S_{31} 分別為 -4.425dB 和 -4.477dB 相差 0.052dB，且 0.5dB 的頻寬範圍為 6.2GHz。而正交耦合器的反射係數 S_{11} 、 S_{22} 、 S_{33} 在 28GHz 時，都小於 -10 dB。圖 4-8(b)為蜻蜓式正交耦合器的相位及相位差，左側的 Y 軸代表 S_{21} 和 S_{31} 的相位，右側的 Y 軸則代表 S_{21} 和 S_{31} 兩者的相位差。在 28GHz 時， S_{21} 和 S_{31} 的相位差為 90.58° ，誤差為 0.58° 。而相位差為 $\pm 0.5^\circ$ 的頻寬範圍在 25.8GHz~30GHz。因此在 28GHz 時，模擬的結果符合理想耦合器的條件。

圖 4-9 為 PIVA 電路圖[23]，此架構也是反射式相移器的一種，主要由一個正交耦合器和一組相同的可變負載所組成，其中可變負載由一個電晶體和電阻 R_P 、電感 L_S 所合成。透過控制電晶體 M_{PIVA} 的電壓 V_{PIVA} 來改變電晶體的阻抗特性，當 $V_{PIVA}=0V$ 時，電晶體關閉，可等效成一個電容，相反，當 $V_{PIVA}=1.8V$ 時，電晶體打開，可等效成一個電阻。兩種狀態下所看到的阻抗值不同，因此造成相位的差距。下面將接著介紹整個 PIVA 的設計原理和流程。

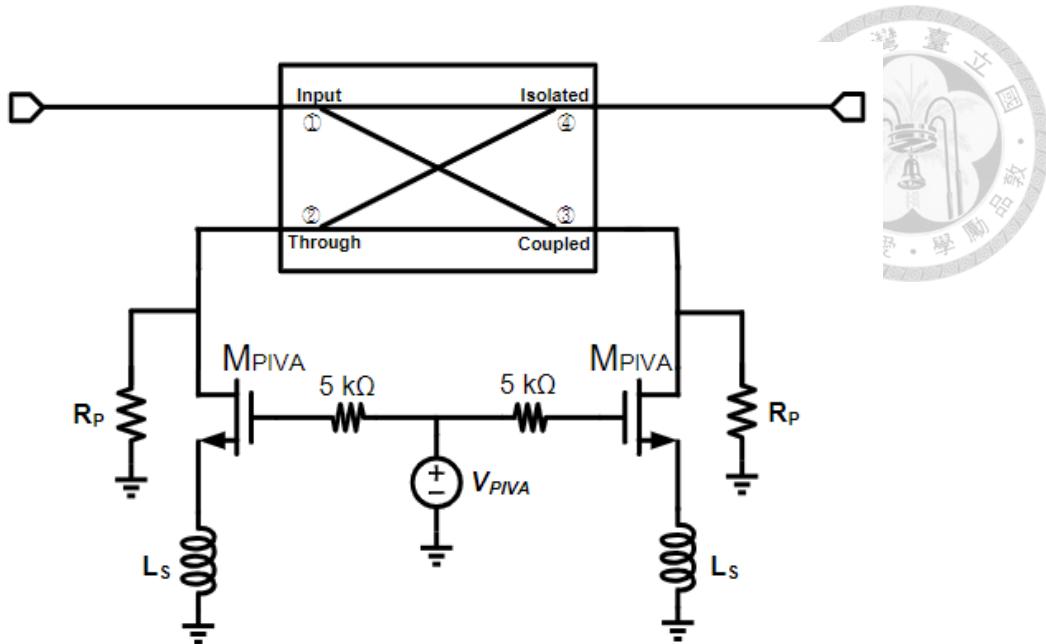


圖 4-9 PIVA 電路圖。[23]

首先我們先模擬單一電晶體從汲極端看進去的 Smith chart，如圖 4-10 所示。

圖 4-10(b)為模擬後的 Smith chart，可看到當 $V_{PIVA}=1.8V$ 時，電晶體屬於導通，阻抗值較小，因此模擬結果在 Smith chart 靠左的位置。隨著 V_{PIVA} 的電壓越來越小，電晶體開始關閉，等效為越來越大的電容，所以模擬結果會往 Smith chart 右下方跑，直到 $V_{PIVA}=0V$ ，電晶體徹底關閉為止。但此時的電晶體在不同的偏壓下，仍然無法從 Smith chart 的下半部切換至 Smith chart 的上半部，故無法達到 180° 的相位切換。因此我們接下來會加上電感[23]，增加它的相位移，實現 180° 切換。

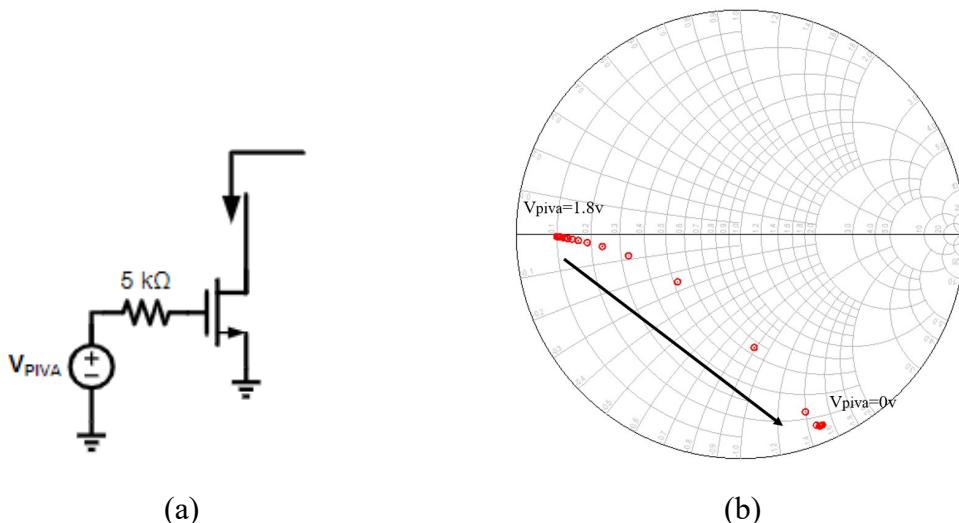


圖 4-10 電晶體汲極端在不同 V_{PIVA} 下模擬之(a)電路與(b)Smith chart。

加入電感後，如圖 4-11(a)所示。圖 4-11(c)為不同的電感 L_s 在 Smith chart 上



的模擬結果，可看到隨著電感 L_s 越來越大， $V_{PIVA}=1.8V$ 的點會往上升半部移動，而 $V_{PIVA}=0V$ 時，因為阻抗值較大所以加入電感 L_s 並不會隨著感值越大而有所變化。此時，切換電壓 V_{PIVA} 後，可使其狀態從 Smith chart 下半部移動至上半部。而圖 4-11(b)中，電感加在汲極端，也會有相同的效果。

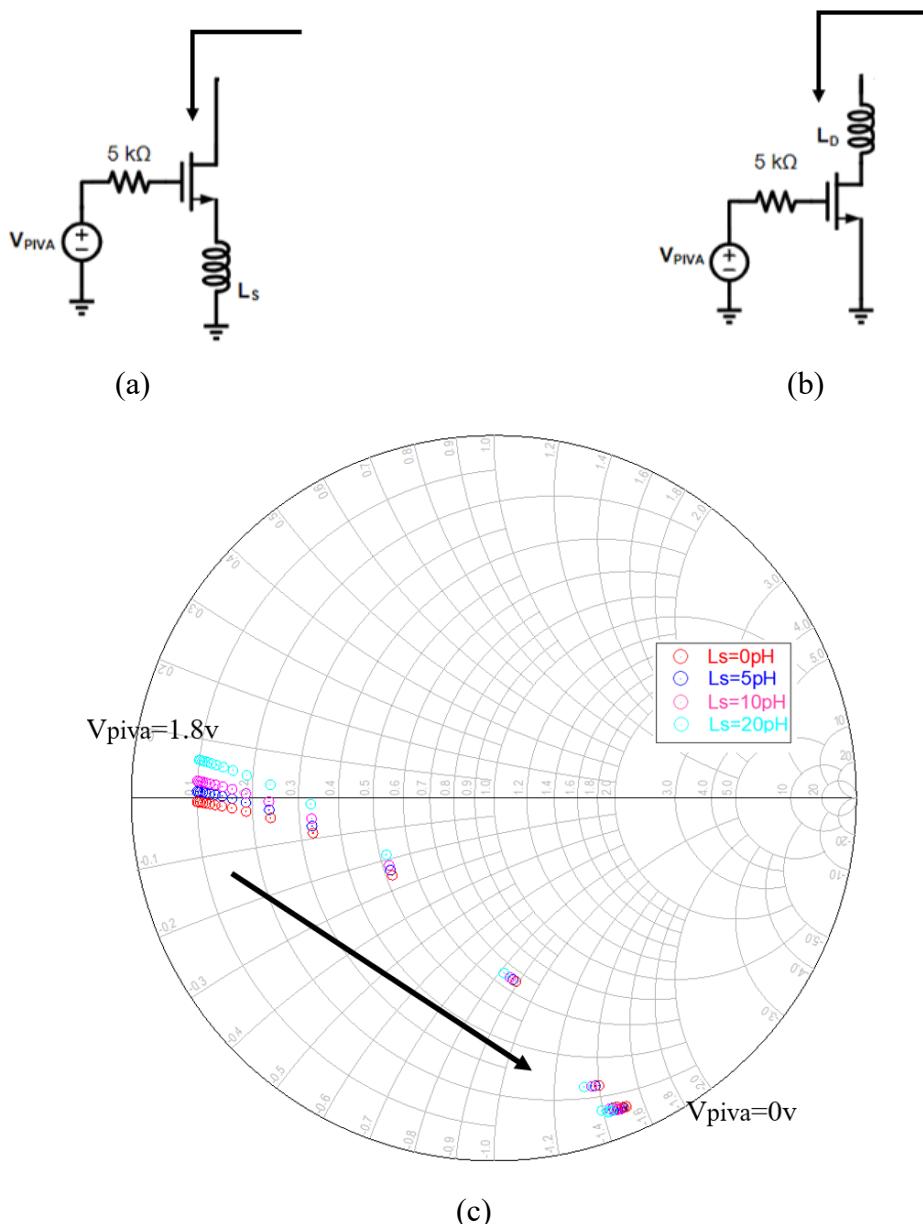


圖 4-11 電感與電晶體(a)源極串聯及(b)汲極串連與(c)電路的阻抗變化。

加入電感之後，已實現超過 180° 的相位移。此時我們還需要確認控制偏壓 $V_{PIVA}=0V$ 和 $1.8V$ 時，PIVA 的損耗是否相同，因此我們會在電晶體的汲極端接一個電阻 R_p [23] 改變可變負載阻抗的大小，並將兩個對稱的可變負載分別接在直通端埠(through)和耦合端埠(coupled)如圖 4-12(a)所示。圖 4-12(b)為我們模擬不同電

阻值對損耗大小的作圖，可看到在 $V_{PIVA}=1.8V$ 時，改變電阻值對其損耗幾乎不影響。造成此現象的原因為 $V_{PIVA}=1.8V$ 時，電晶體打開，此時的阻抗值較小，所以當並聯一大電阻後，可把電阻忽略不計，故不管如何改變電阻皆無法改變其損耗。

當 $V_{PIVA}=0V$ 時，電晶體關閉，此時阻抗值較大，所以並聯一大電阻後會改變其損耗。因此我們通過這個原理，調整電阻 R_P 使 PIVA 在 $V_{PIVA}=1.8V$ 及 $0V$ 時的損耗能夠相同，讓 PIVA 擁有優秀的平衡相位差和平衡增益。而此架構的電晶體尺寸為寬度 $3.5\mu m$ ，finger 數為 32，電感 L_s 為 $8pH$ 而電阻 R_P 為 1500Ω 。

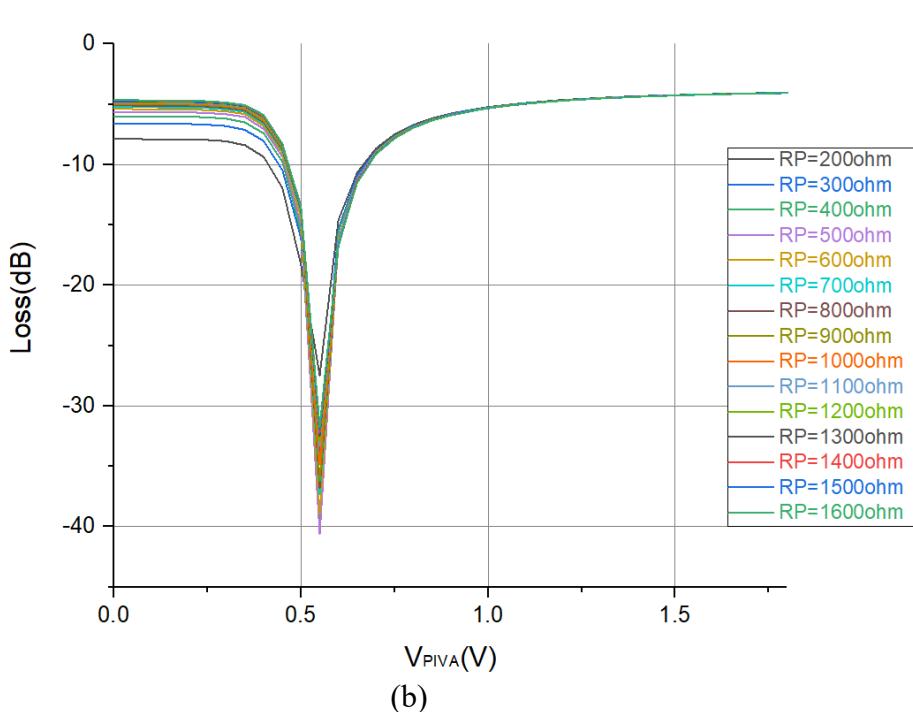
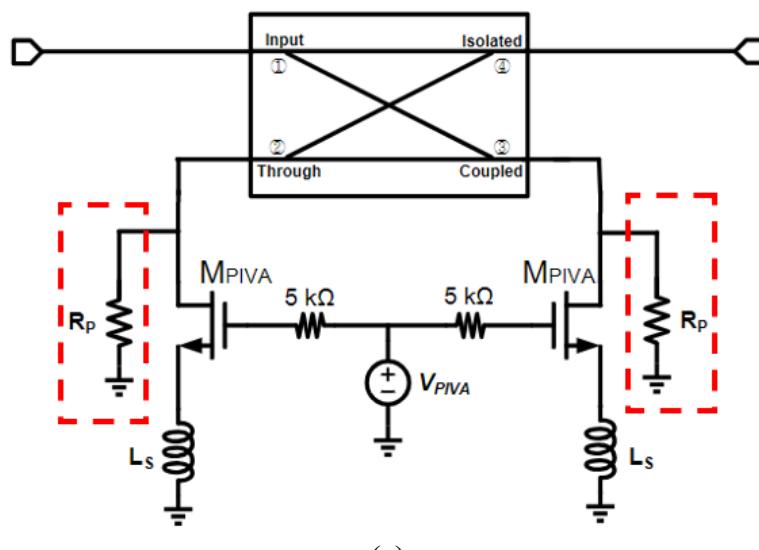
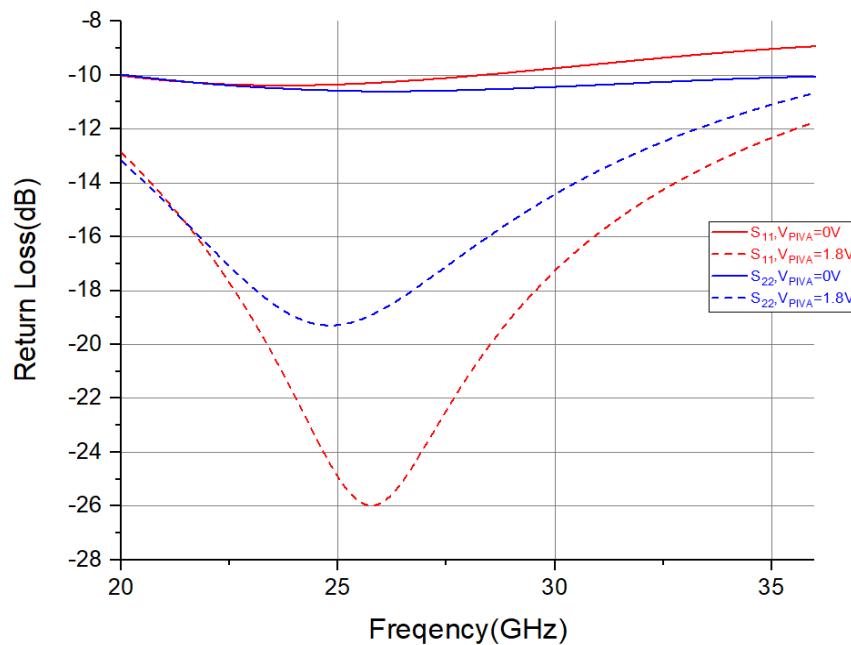
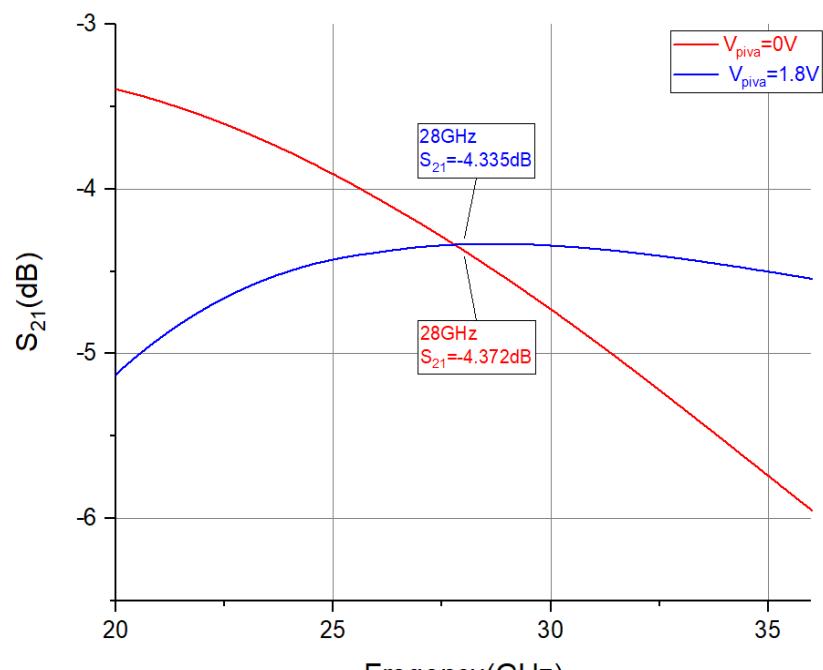


圖 4-12 (a)PIVA 中的平衡電阻及(b)模擬不同電阻值的損耗大小。

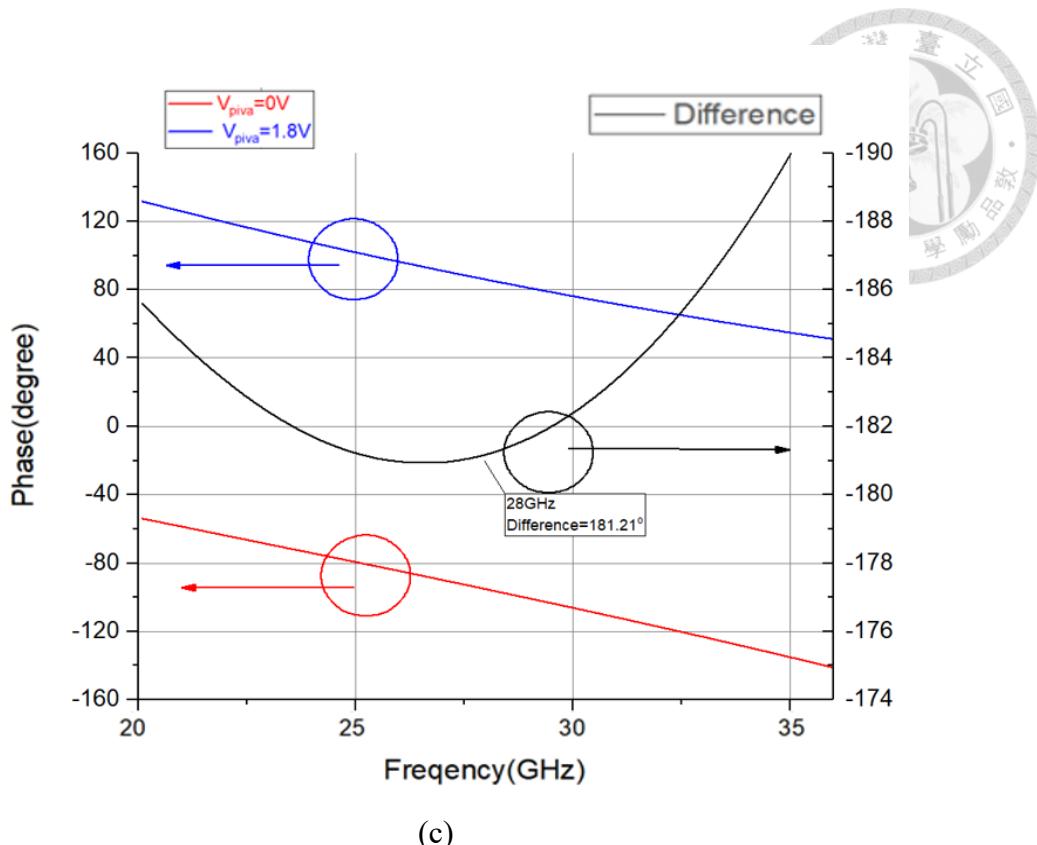
圖 4-12(b)中，可發現控制偏壓 V_{PIVA} 從 0.4V 往後損耗的變化變得非常劇烈，這導致我們只能將其作為開關式的相移器來使用，因此本論文只能將 PIVA 當作 180° 相移器使用，其控制偏壓 V_{PIVA} 在 0V/1.8V 間切換，將 I/Q 訊號變成 $\pm I/\pm Q$ 。



(a)



(b)



(c)

圖 4-13 PIVA 的模擬結果(a)反射係數、(b)損耗及(c)相位。

圖 4-13 為整個 PIVA 經過模擬後的結果。圖 4-13(a)為 PIVA 的反射係數，可得知在 28GHz 時， S_{11} 和 S_{22} 的大小皆小於-10dB。圖 4-13(b)為損耗的大小，在 28GHz 時， S_{21} 在 $V_{PIVA}=0V$ 和 $1.8V$ 分別為-4.372dB 和-4.335dB，只相差 0.037dB 而已。最後圖 4-13(c)為 PIVA 的相位，在 28GHz 時， S_{21} 的相位在 $V_{PIVA}=0V$ 和 $1.8V$ 分別為-95.792°和 85.419°，相差 181.21 °。

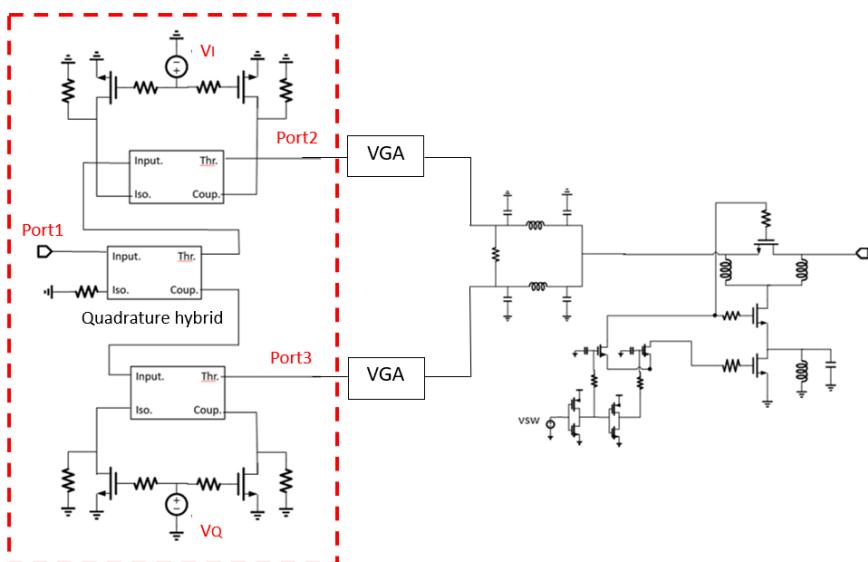


圖 4-14 ±IQ 產生器之電路圖。

圖 4-14 中紅色圈起來的部分為前半部的被動電路由正交偶合器和 PIVA 組成，上面已經介紹過個別電路的原理及數據，接下來會將兩個電路合在一起進行模擬，觀察它的特性。為了方便稱呼，下面我們將正交偶合器和 PIVA 組成的電路稱為 \pm IQ 產生器。

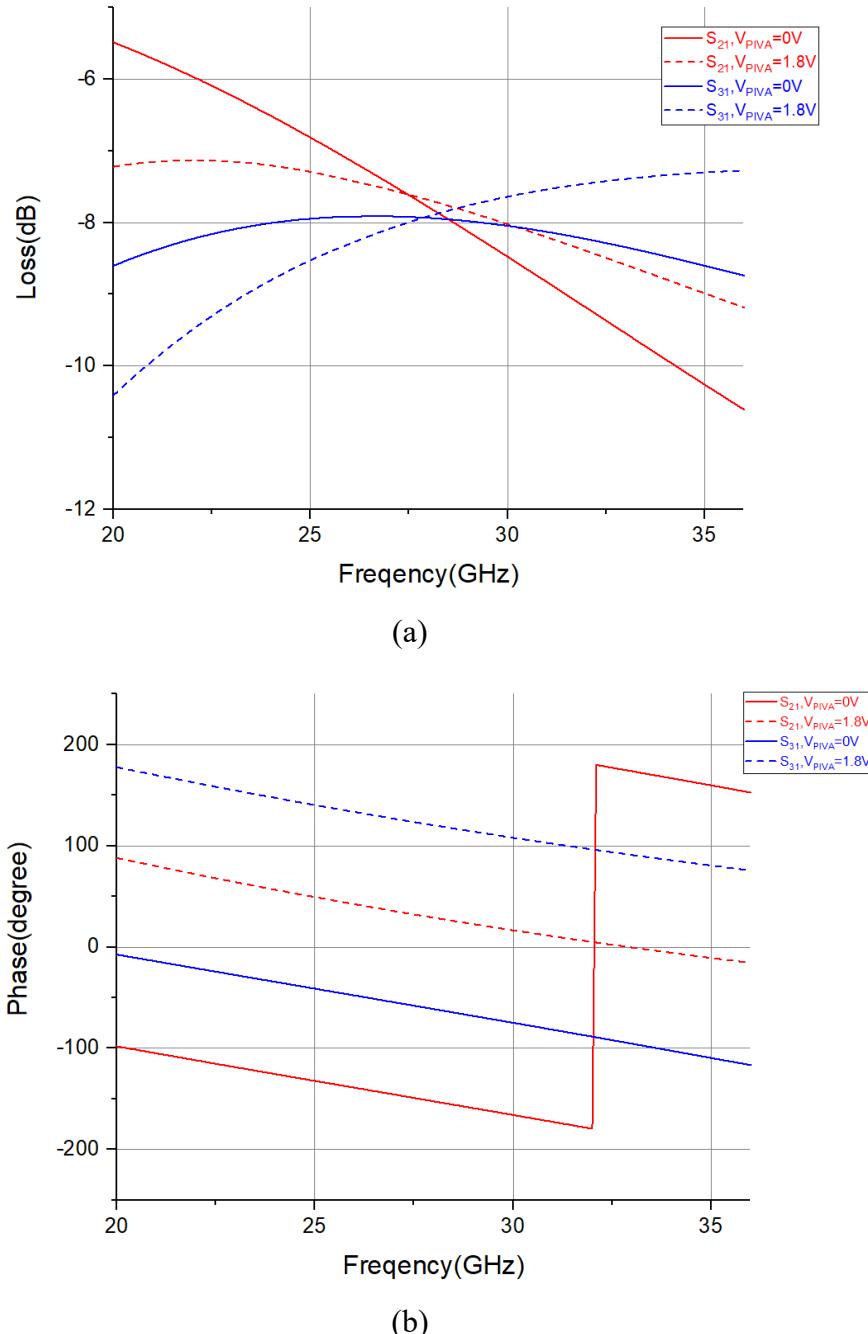


圖 4-15 \pm IQ 產生器之模擬(a)大小及(b)相位。

圖 4-15 為 \pm IQ 產生器模擬後的結果，圖 4-15(a)為損耗大小，在 28GH 時， S_{21} 代表 V_I 為 1.8V 和 0V 時的大小，分別為-7.69dB 和-7.78dB。 S_{31} 則代表 V_Q 為 1.8V



和 0V 時的大小，分別為 -7.91dB 和 -7.93dB。圖 4-15(b)為相位，在 28GHz 時， S_{21} 代表 V_I 在 1.8V 和 0V 時的相位，分別為 28.99 和 -152.38°。 S_{31} 則代表在 V_Q 為 1.8V 和 0V 時的相位，分別為 120.32° 和 -61.24°。

下面我們將四種狀態的數據整理成表格，如表 4-1 和表 4-2，在表 4-2 中，我們已 $V_I=0V$ 時的相位為基準，得到 $V_I=0V$ 、 $V_I=1.8$ 、 $V_Q=0V$ 、 $V_Q=1.8V$ 的相對角度分別為 0°、181.36°、91.14°、272.70°。

表 4-1 ±IQ 產生器四種狀態之損耗。

	Loss(dB)
$V_I=0V$	-7.78
$V_I=1.8V$	-7.69
$V_Q=0V$	-7.93
$V_Q=1.8V$	-7.91

表 4-2 ±IQ 產生器四種狀態之相位移角度。

28GHz	0V	1.8V
I 路徑 PIVA 角度/相對角度(°)	-152.38/0.00	28.99/181.36
Q 路徑 PIVA 角度/相對角度(°)	-61.24/91.14	120.32/272.70

表 4-3 ±IQ 產生器使用頻帶內之損耗與相對損耗比較表。

	Loss(dB)					
	27GHz		28GHz		29GHz	
	絕對	相對	絕對	相對	絕對	相對
$V_I=0V$	-7.45	0.00	-7.78	0.00	-8.13	0.00
$V_I=1.8V$	-7.54	-0.09	-7.69	0.09	-7.85	0.28
$V_Q=0V$	-7.91	-0.46	-7.93	-0.15	-7.98	0.15
$V_Q=1.8V$	-8.10	-0.65	-7.91	-0.13	-7.76	0.37

表 4-4 \pm IQ 產生器使用頻帶內之相位與相對相位比較表。

Phase($^{\circ}$)						
	27GHz		28GHz		29GHz	
	絕對	相對	絕對	相對	絕對	相對
$V_I=0V$	-145.65	0.00	-152.38	0.00	-159.10	0.00
$V_I=1.8V$	35.55	181.20	28.99	181.37	22.67	181.77
$V_Q=0V$	-54.50	91.15	-61.24	91.14	-68.00	91.10
$V_Q=1.8V$	126.79	272.44	120.32	272.69	114.06	273.16

接下來我們將 \pm IQ 產生器在 27GHz、28GHz 和 29GHz 下的四種狀態統整出來，如表 4-3 和表 4-4 所示。表 4-3 為損耗及相對損耗的大小，其中相對損耗最大值發生在 27GHz， $V_Q=1.8V$ 時，它的相對損耗為-0.63dB。表 4-4 為相位及相對相位，其中相對相位誤差最大值發生在 29GHz， $V_Q=1.8V$ 時，此時的相對相位為 273.16° 和理想 270° 相差 3.16°。

4.2.3 功率分配器設計和模擬

為了將 IQ 訊號進行合併，並且將上下兩路的相位相加實現相移器的效果，因此我們採用了 Wilkinson 功率分配器進行合成。圖 4-16 為 Wilkinson 功率分配器的電路圖，為一個 3 塊網路，埠 1(Port1)為輸入端，埠 2(Port)和埠 3(Port3)為輸出端。 Z_0 的阻值為 50Ω ，這樣在匹配前後級電路時較為容易。從埠 1 進入後，分成兩條四分之一波長，阻抗值為 $\sqrt{2} Z_0$ 的傳輸線，兩條傳輸線終端通過電阻 $2Z_0$ 連接起來。電阻 $2Z_0$ 能阻隔訊號從埠 3 流到埠 2 或是訊號從埠 2 流到埠 3，增加它的隔離度(isolation)。理想的情況下，從埠 1 進入的輸入訊號，會平分成上下兩路的訊號從埠 2 及埠 3 輸出且沒有任何損耗也能確保埠 2 及埠 3 擁有好的隔離度。此時 S_{21} 和 S_{31} 的大小皆為-3dB， S_{23} 和 S_{32} 為 0，反射係數也為 0。

此架構除了能夠將訊號平分成兩組訊號外，也可當作功率整合器使用，將兩路的訊號進行合併，此時埠 2 跟埠 3 為輸入端，埠 1 為輸出端。

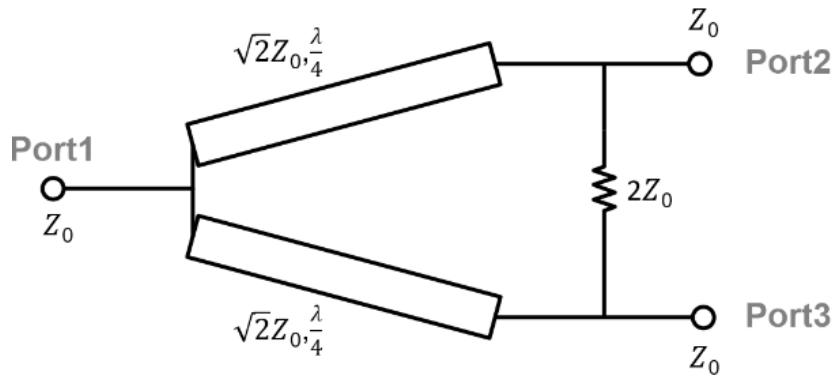


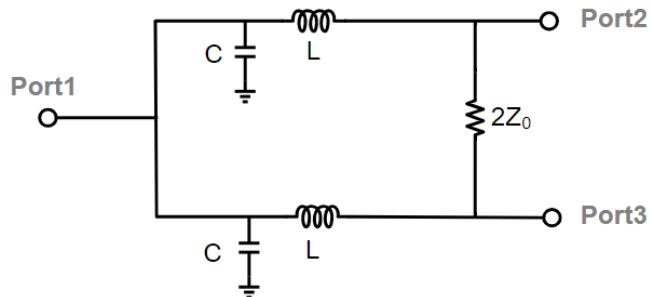
圖 4-16 Wilkinson 功率分配器電路。

然而在中心頻率為 28GHz 時，我們發現四分之一波長的傳輸線太長，不利於電路的佈局，因此我們利用 L/C 元件取代傳輸線如圖 4-17(a)所示。L 跟 C 值可利用諧振頻率以及原本傳輸線特徵阻抗帶入以下兩組公式進行計算：

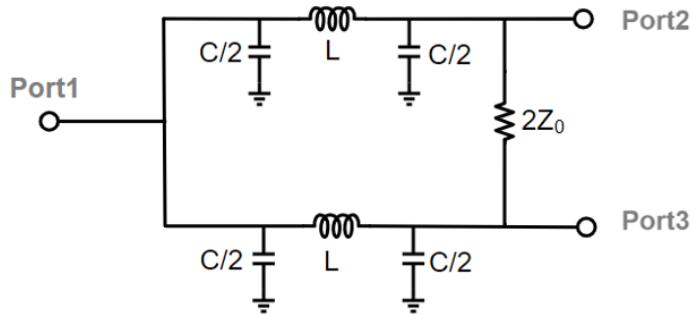
$$w_0 = \frac{1}{\sqrt{LC}} \quad (4-1)$$

$$\sqrt{2}Z_0 = \sqrt{\frac{L}{C}} \quad (4-2)$$

計算後，可得到 L 為 400pH，C 為 80fF。考慮到小電容在製程上會有變異量的問題，因此我們將其分為兩顆電容並聯，如圖 4-17(b)所示。而電磁模擬的 layout 圖則如圖 4-18 所示。



(a)



(b)

圖 4-17 使用(a)單一 L/C 與(b)兩個電容並聯的集總電路的 Wilkinson 分配器。

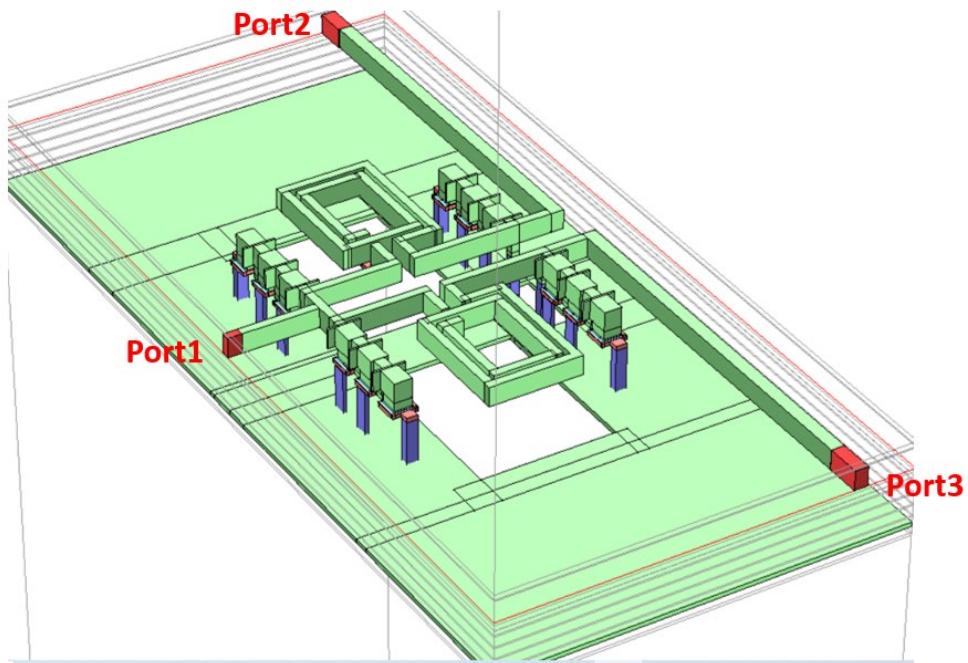
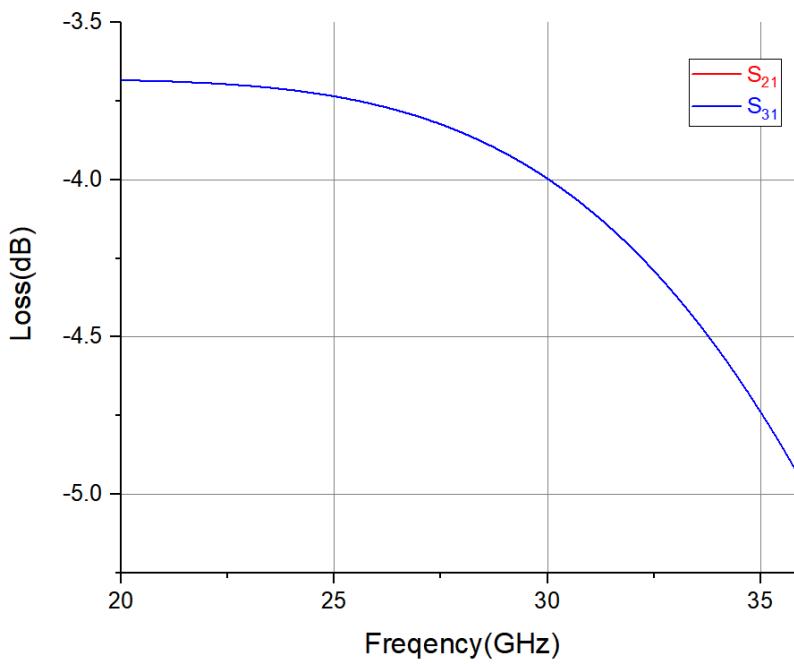


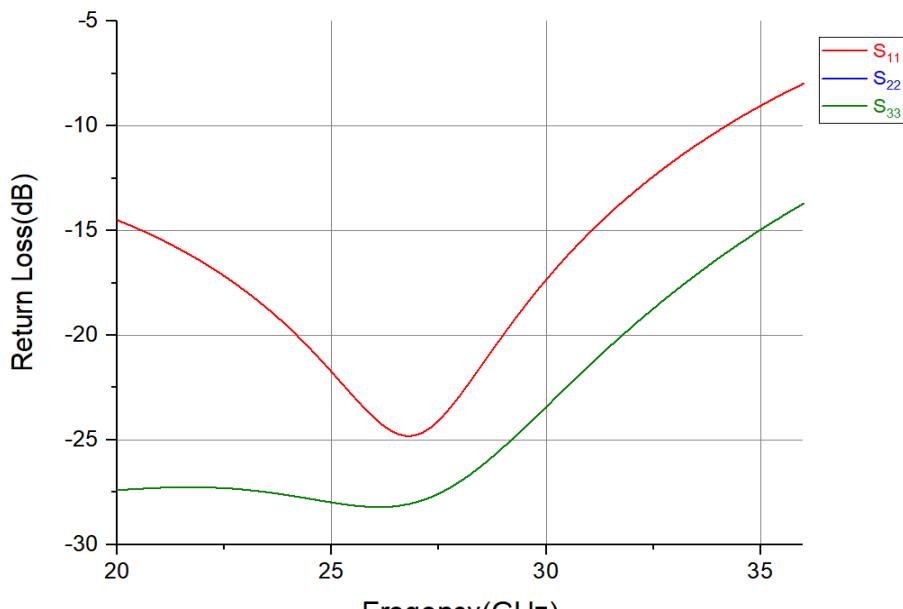
圖 4-18 Wilkinson 分配器之 layout 圖。

模擬時，我們採用功率分配器的電路架構如圖 4-17(b)所示。理想狀況下，在 28GHz 時， S_{21} 和 S_{31} 的大小皆為 -3dB，反射係數皆為 0。圖 4-18 為 Wilkinson 分配器之 layout 圖，圖 4-19 是我們將圖 4-18 進行電磁模擬後所得到的 S 參數圖。

其中圖 4-19(a)為損耗的大小。在 28GHz 時，可發現 S_{21} 和 S_{31} 因為是對稱的關係，所以都是 -3.85dB。圖 4-19(b)則是反射係數的大小。可發現反射係數的最低點大約落 27GHz 的位置，這是因為電磁模擬時有走線的影響導致頻率的偏移。不過在 28GHz 時，反射係數都在 -20dB 下。



(a)



(b)

圖 4-19 (a)功率分配器的損耗，(b)功率分配器的反射係數。

4.2.4 45°相移器設計和模擬

圖 4-20 為 45°相移器的電路圖[25]，我們使用的是開關式的相移器架構。利用電壓控制電晶體的開關，改變其阻抗值，造成輸入端所看進去的等效電路不同，導致相位產生位移。而當電晶體關閉時，將其等效為電容，當電晶體打開時，則等效為電阻。圖 4-21 是 45°相移器電路(a) V_{45} 為 1.8 V 及(b) V_{45} 為 0 V 之等效電



路圖。其中圖 4-21(b)中，忽略 C_{M1} 是因為 C_{M1} 值很小故零點頻率在很遠且共振頻率 $\frac{1}{\sqrt{L_1 C_{M1}}}$ 大於 28GHz。參考[25] 計算 L/C 值後，可得到個元件參數，如表 4-5。

接下來利用 C_{M2} 和 C_{M3} 反推出電晶體的尺寸，如表 4-6。圖 4-22 為 45°開關式相移器之 layout 圖。最後驗證當 $L_1=85\text{pH}$ ， $C_{M1}=60\text{fF}$ ， $\frac{1}{\sqrt{L_1 C_{M1}}}=442.8\text{GHz}$ 遠大於 28GHz。

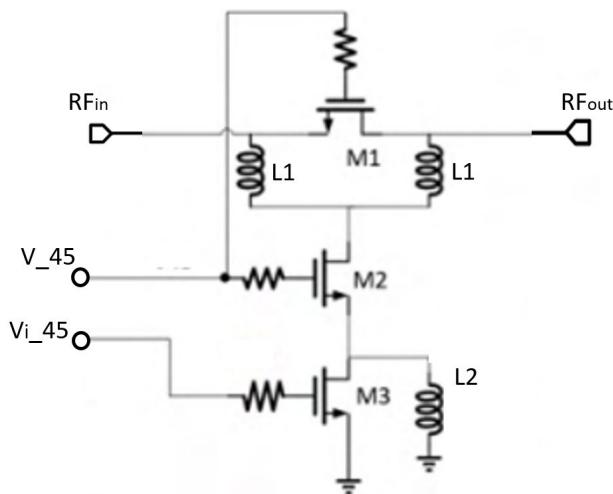


圖 4-20 45°相移器電路。[25]

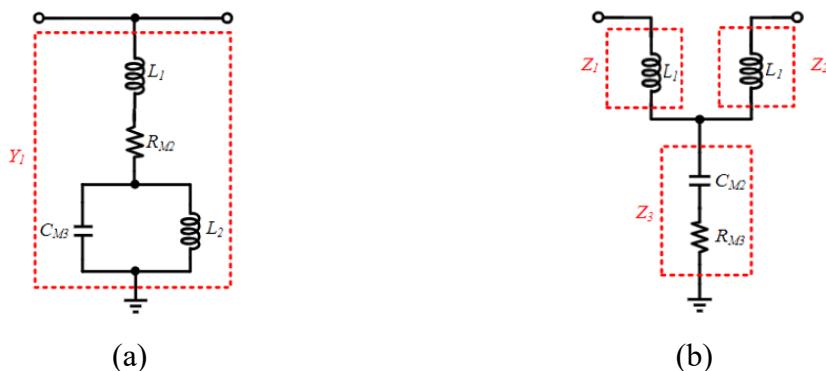


圖 4-21 45°相移器電路(a) V_{45} 為 1.8 V 及(b) V_{45} 為 0 V 之等效電路圖。

表 4-5 45°開關式相移器之等效參數表。

等效元件	數值
L_1	85pH
C_{M2}	60fF



C_{M3}	70fF
L_2	250pH

表 4-6 45°開關式相移器之電晶體尺寸。

電晶體	寬度	Finger 數
M_1	6um	18
M_2	6um	18
M_3	6um	15

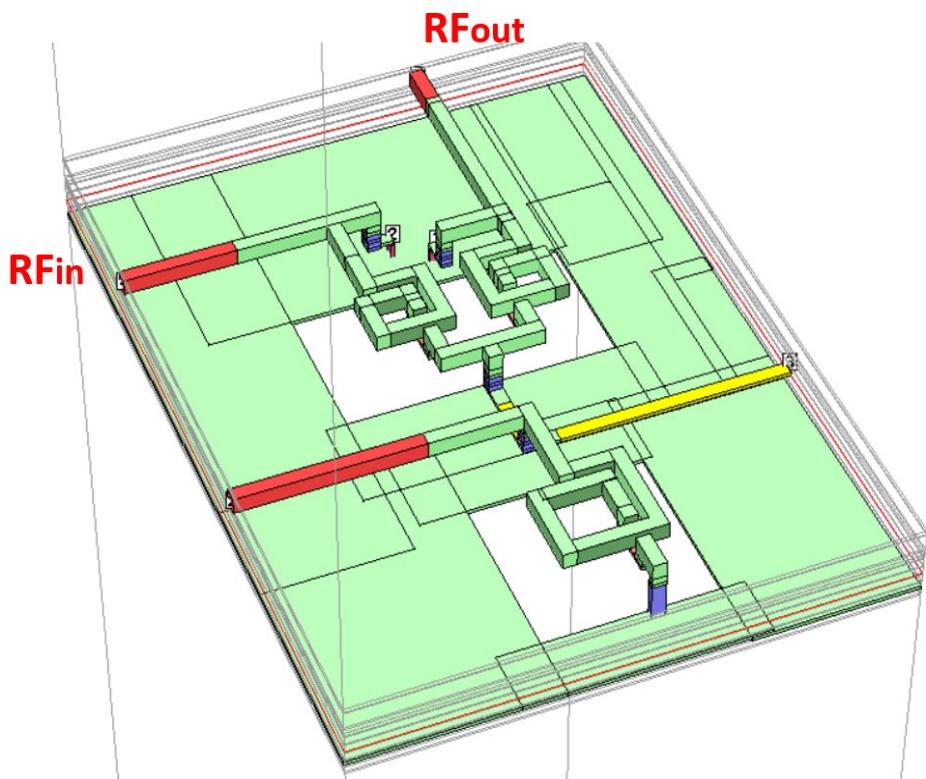
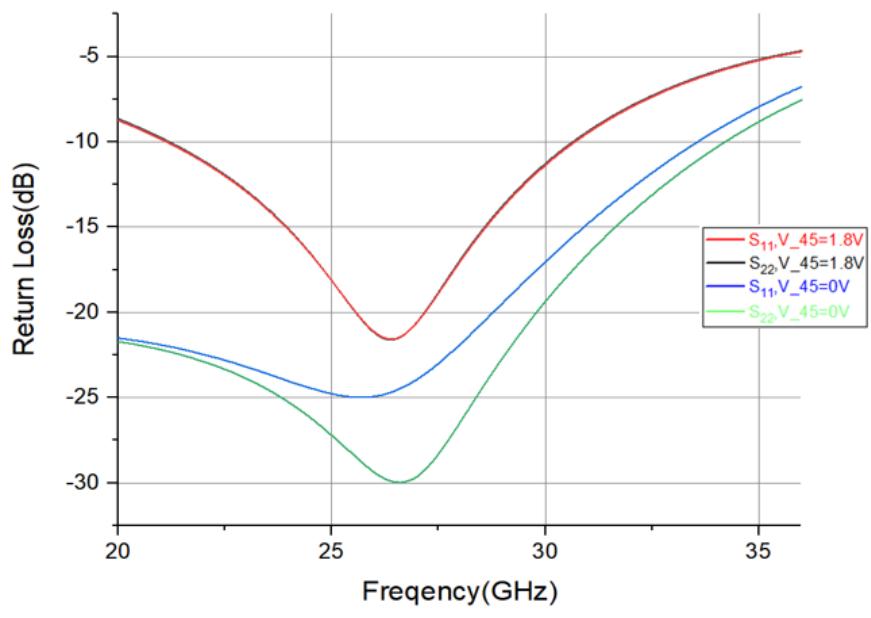
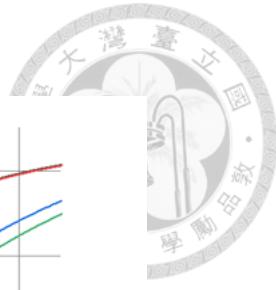
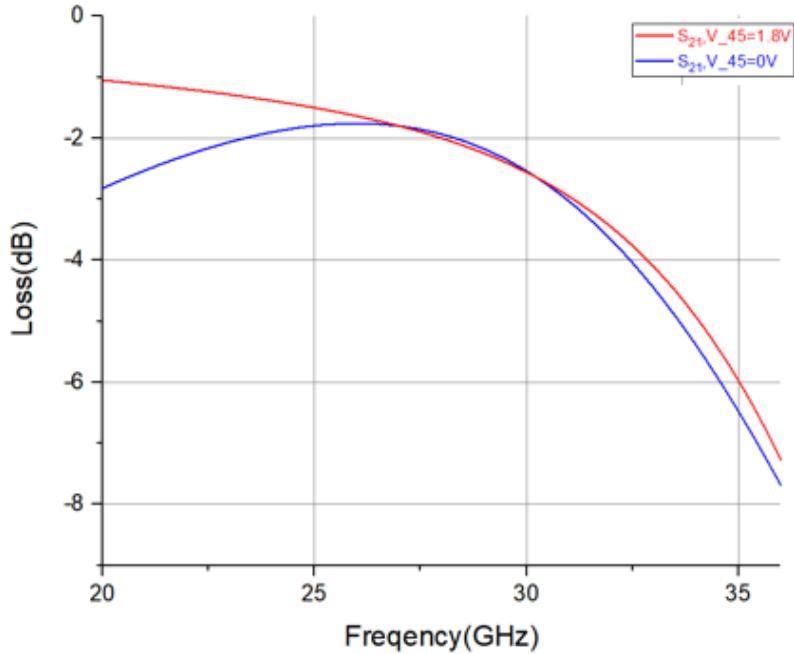


圖 4-22 45°開關式相移器之 layout 圖。

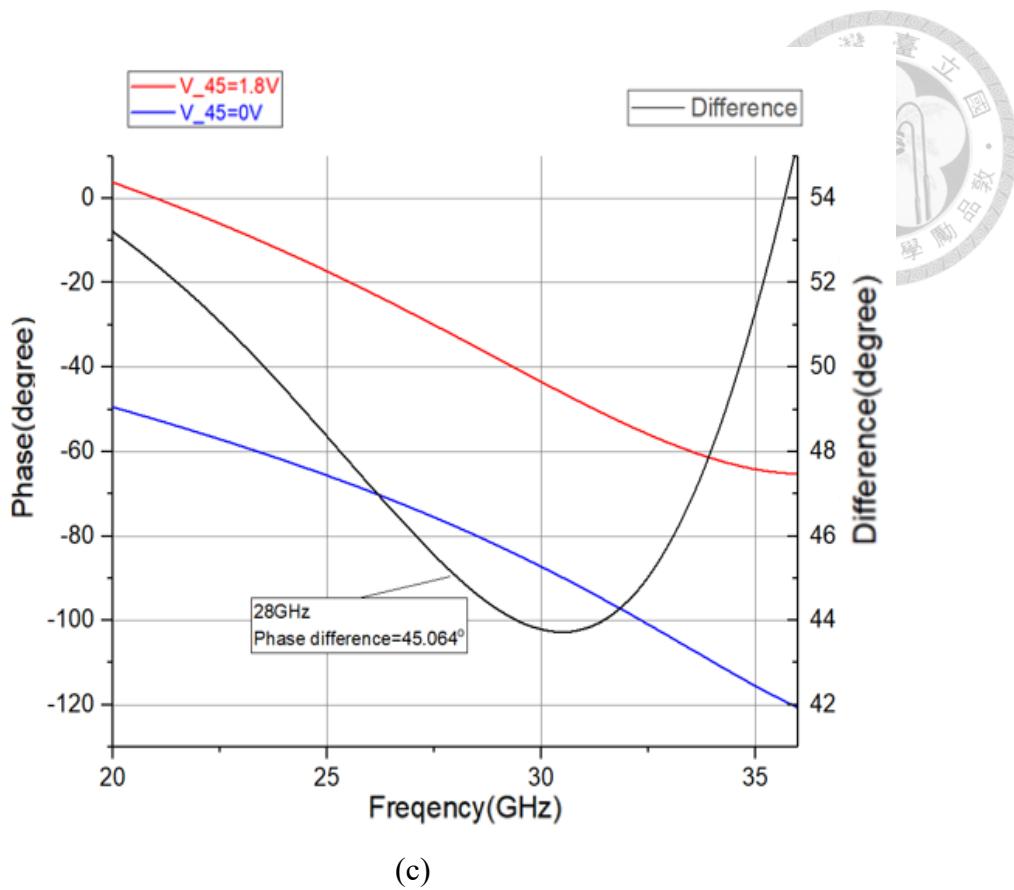
最後將電路進行電磁模擬如圖 4-22 所示，得到的 45°開關式相移器的特性如圖 4-23 所示。圖 4-23(a)為相移器的反射係數，在 28GHz 時，它們的大小都在-15dB 以下。圖 4-23(b)為他的損耗大小，分別為-1.935dB 和-2dB。圖 4-23(c)為相位及相位差，在 28GHz 時為 45.064°。以上特性符合我們對相移器的要求，切換狀態時，大小不會隨著改變，只有相位會改變。



(a)



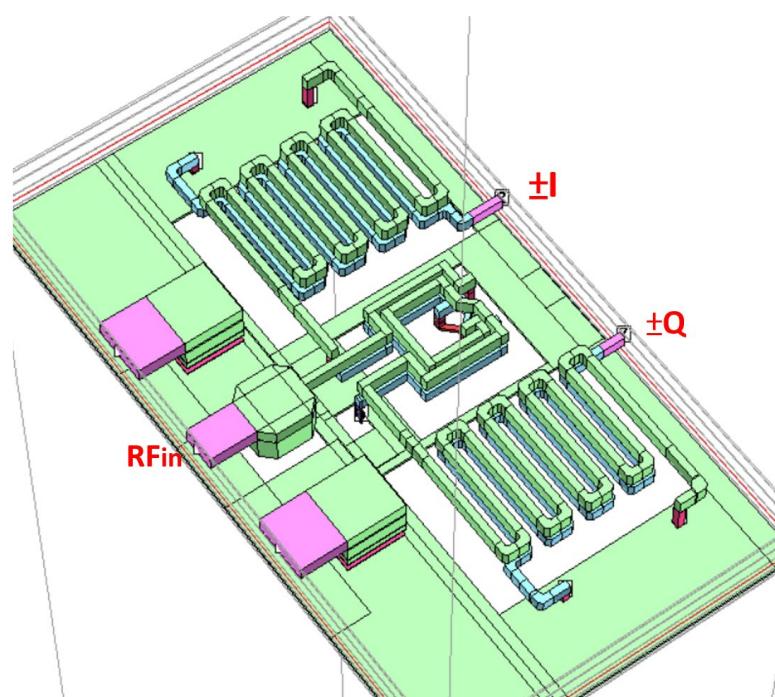
(b)



(c)

圖 4-23 45° 開關式相移器(a)反射係數、(b)大小和(c)相位及相位差。

4.3 相移器整體模擬



(a)

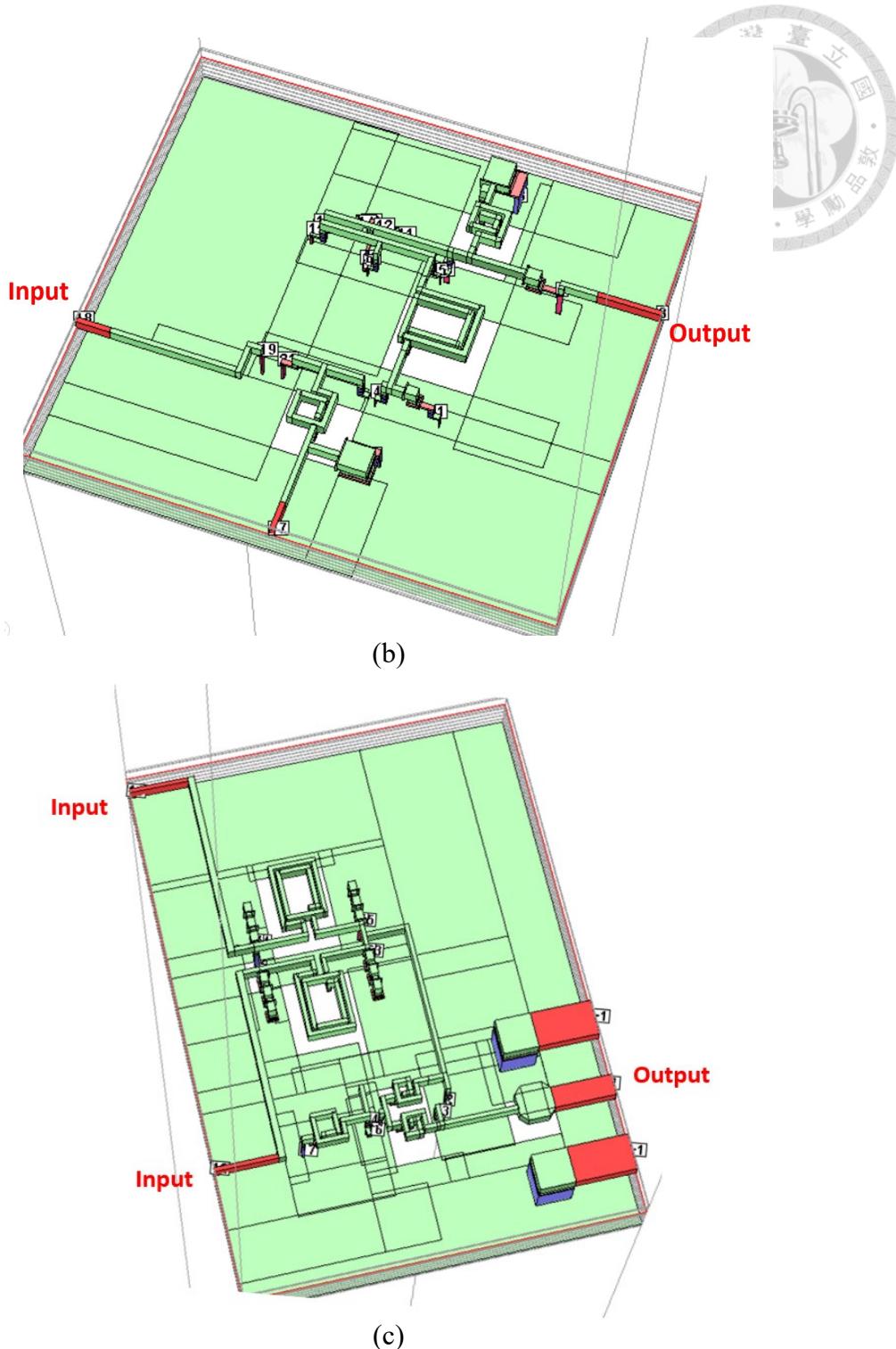


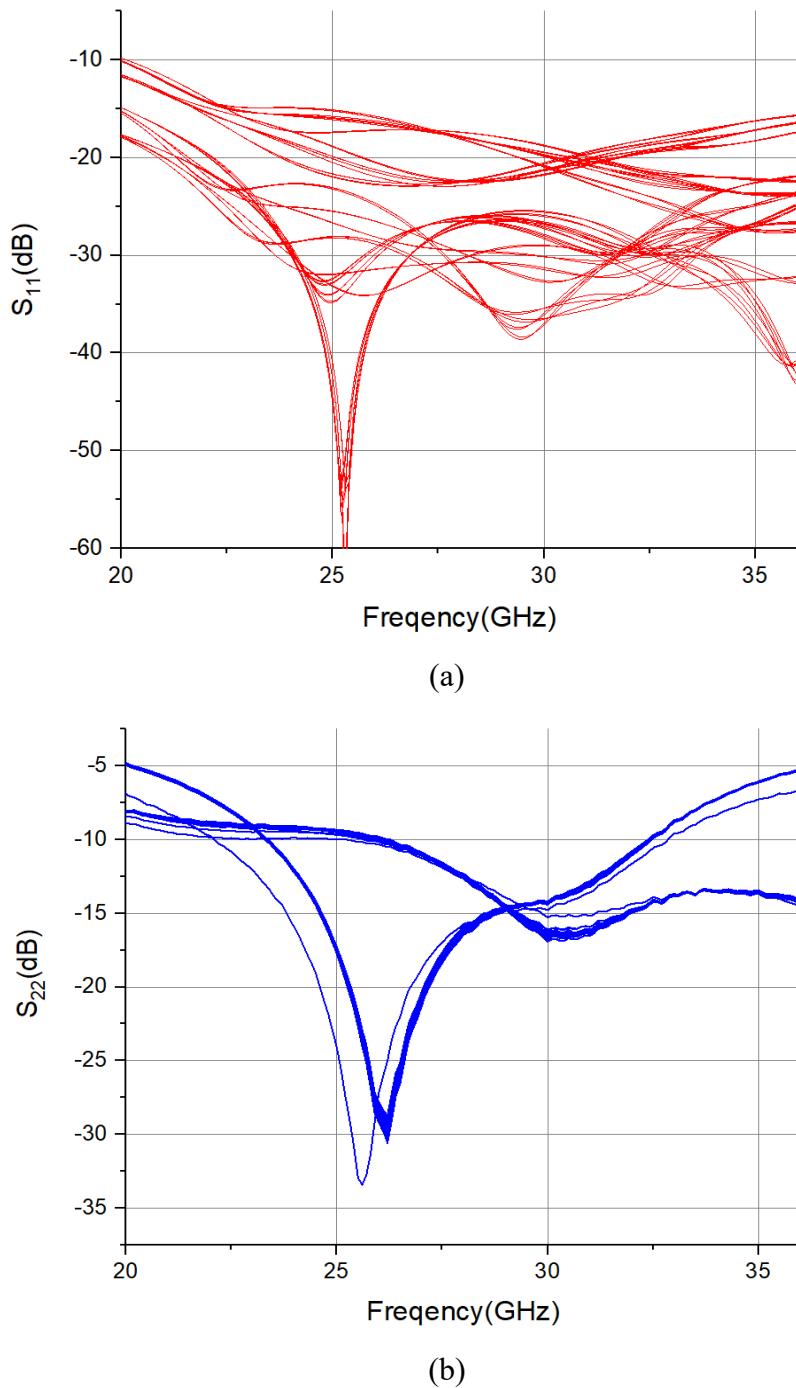
圖 4-24 (a)正交耦合器+PIVA、(b)VGA 及(c)功率整合器與 45° 開關式相移器。

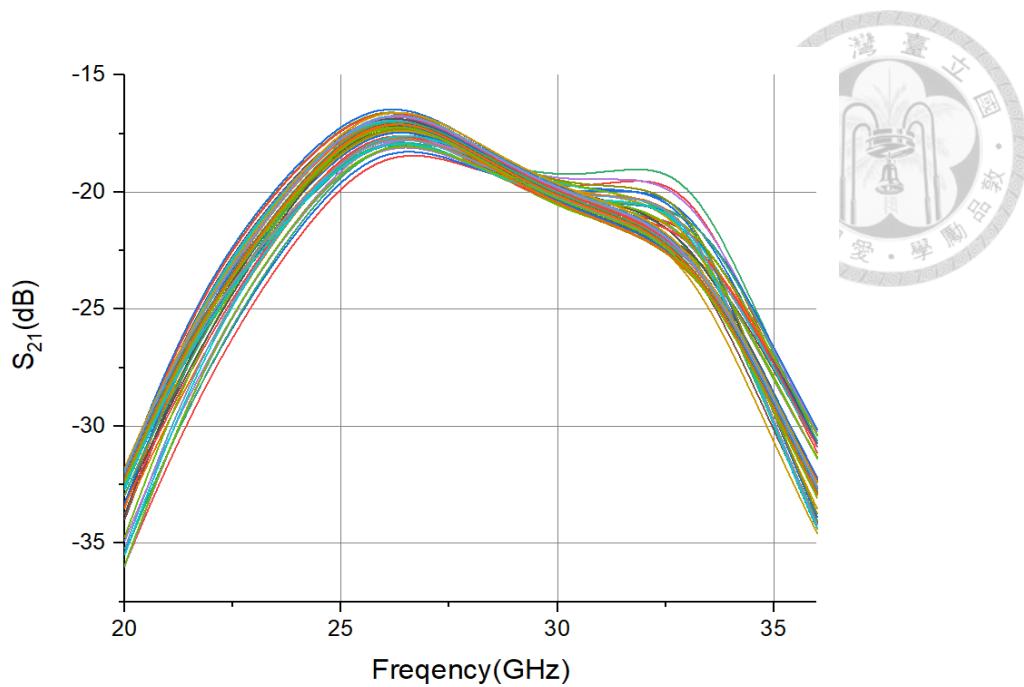
圖 4-1 為本次論文相移器的電路結構圖，包含正交耦合器、PIVA、最終版數位式可變增益放大器、功率整合器、 45° 開關式相移器。而使用最終版的 VGA 主要是因為考量到第一版 VGA 不同大小時的相位誤差過大，而最終版 VGA 在我們要的增益範圍內，相位誤差只有 7.44° 。我們將全部電路分為正交耦合器+PIVA、最終



版 VGA、功率整合器+45°開關式相移器 3 塊的大塊 EM 如圖 4-24 所示，進行電磁模擬後，代入 ADS 模擬。利用第三章所介紹過的方式利用 VGA 進行選點，得到的結果再進行微調，最後得到的 64 個我們所要的狀態。

圖 4-25 為相移器 64 個狀態的 S 參數圖。在 28GHz 時，圖 4-25(a)的 S_{11} 皆在 -10dB 以下，圖 4-25(b)的 S_{22} 也都在-10dB 以下。圖 4-25(c)則是 S_{21} ，在 28GHz 時，差不多在-16dB~ -17.5dB 之間。





(c)

圖 4-25 相移器 64 個狀態之(a)S11，(b)S22 及(c)S21。

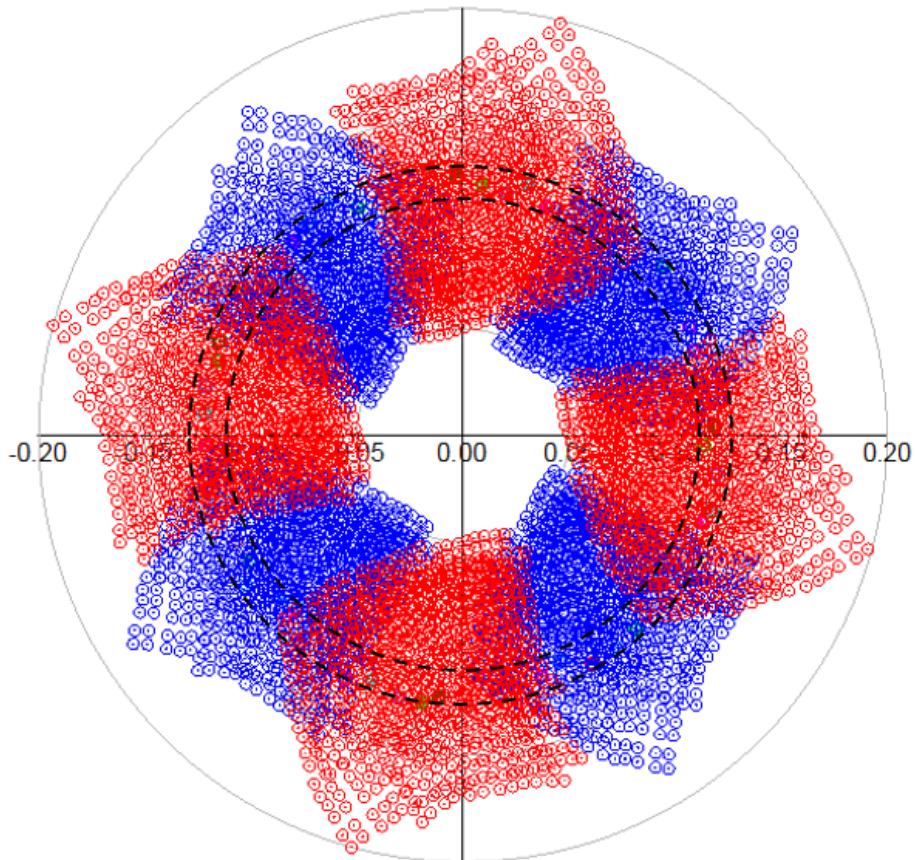


圖 4-26 相移器所有狀態。

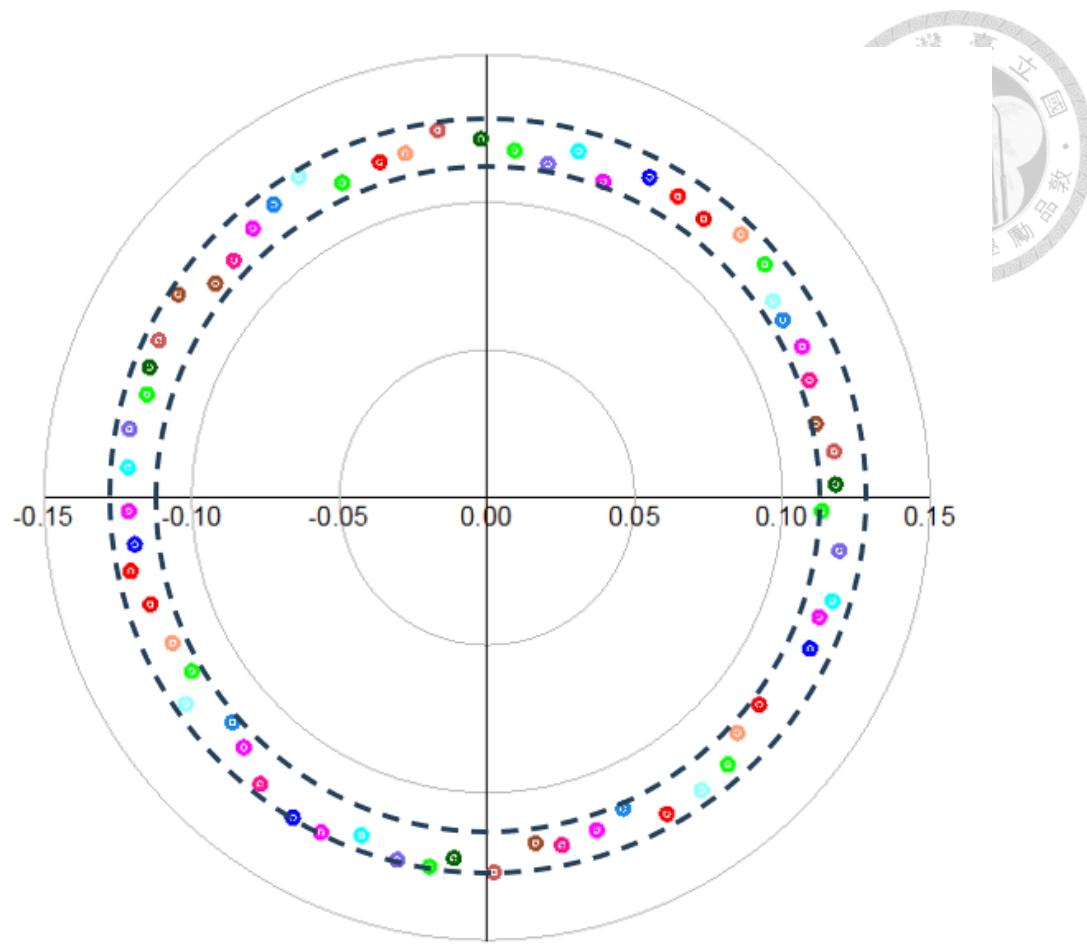
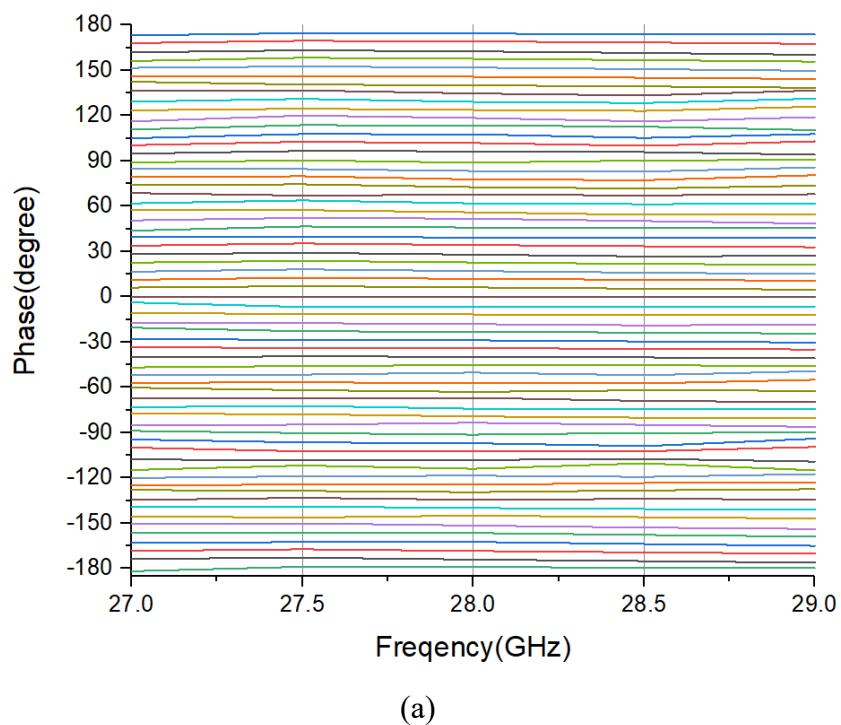
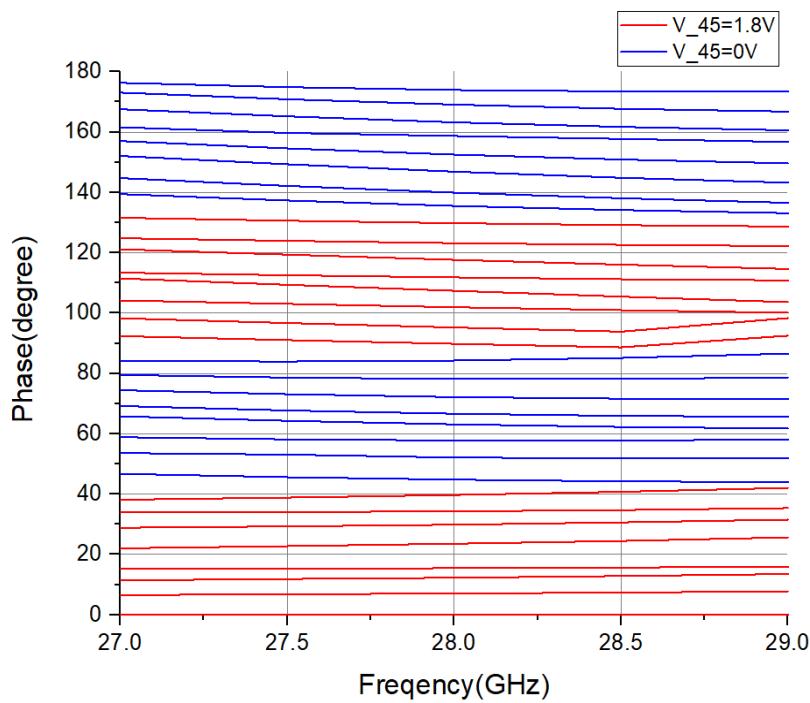
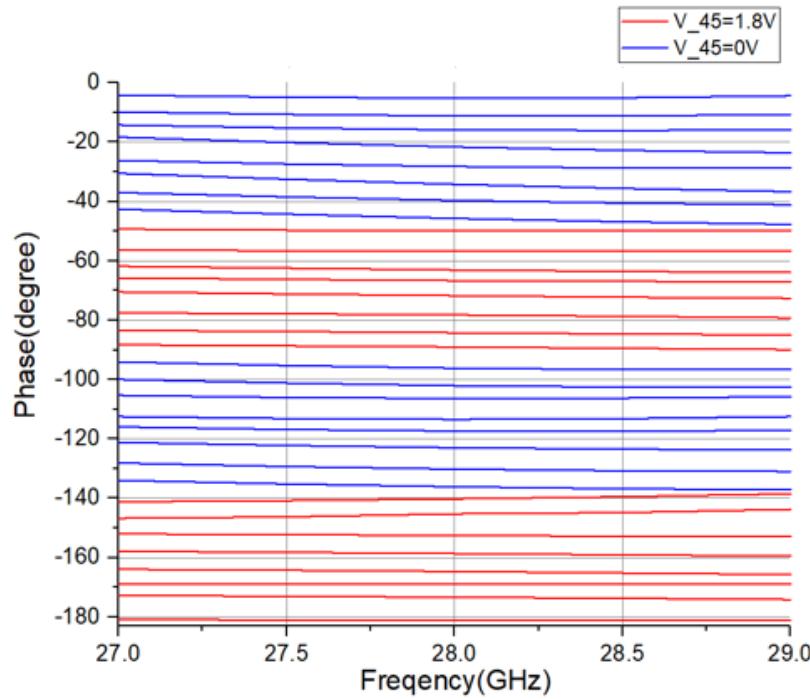


圖 4-27 相移器 64 種狀態之極座標圖。





(b)



(c)

圖 4-28 (a)相移器 64 種狀態之相位，(b)相移器前 32 種狀態即 $0^\circ \sim 180^\circ$ 之相位及
(c)相移器後 32 種狀態即 $-180^\circ \sim 0^\circ$ 之相位。

圖 4-26 為相移器的所有可能狀態之極座標圖，圖 4-27 為相移器 64 種狀態之
極座標圖，圖 4-28(a)為相移器 64 種狀態之相位，圖 4-28(b)為前 32 種狀態 $0^\circ \sim 180^\circ$

° 的相位，圖 4-28(c)為後 32 種狀態-180°~0°的相位，其中紅色跟藍色分別代表 45° phase shifter 切換時的狀態。由上述這兩張圖可發現此 64 種狀態的相位變化涵蓋 360°，約每 5.625° 相差一個狀態，且範圍為-17.924dB~18.938dB。其中圖 4-28(b) 跟圖 4-28(c)的線並不是非常水平，紅色線 $V_{45}=1.8V$ 時大致呈現正斜率，藍色線 $V_{45}=0V$ 時呈現負斜率。

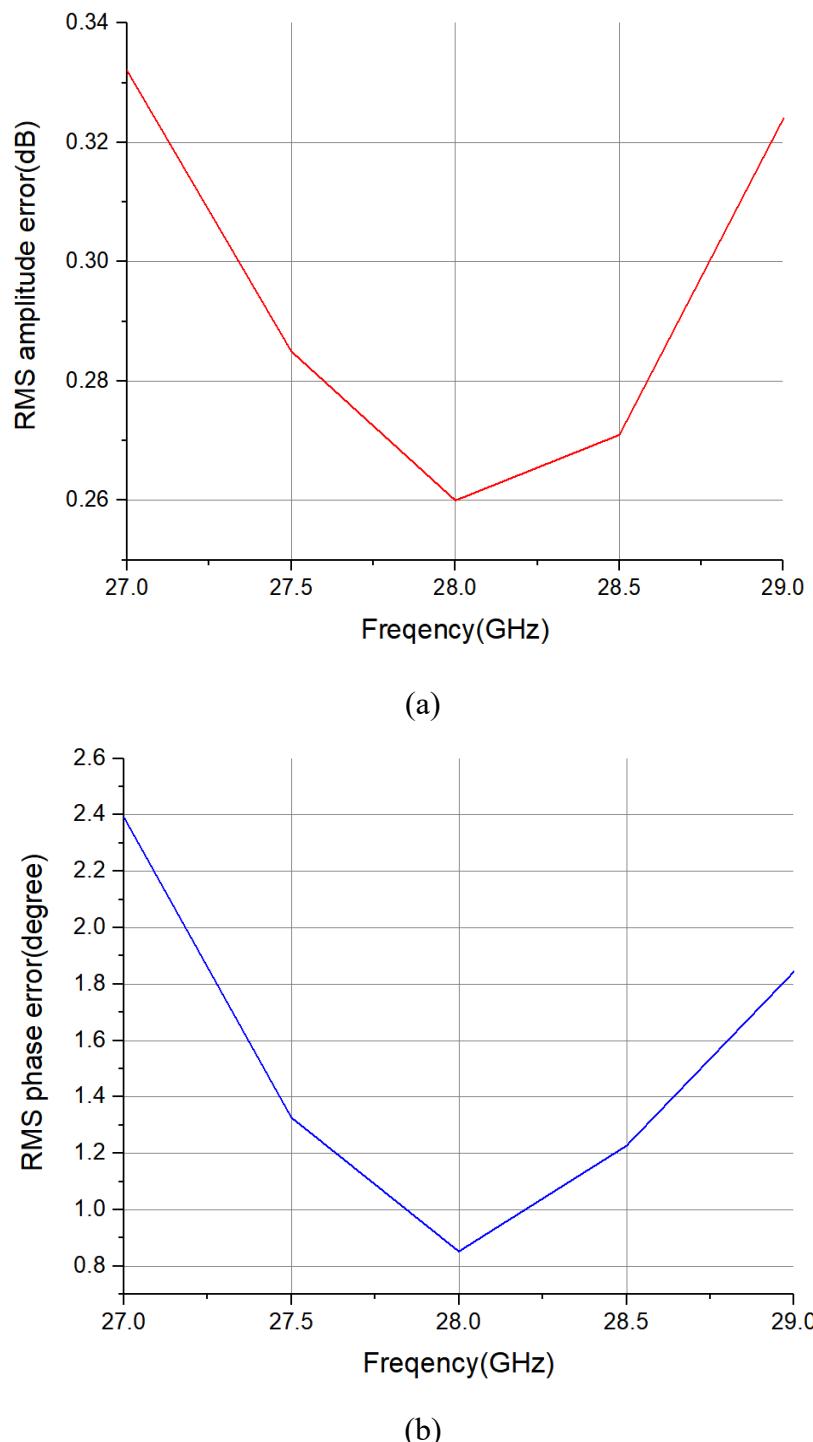


圖 4-29 相移器 64 個狀態之(a)均方根增益誤差與(b)相位誤差。

圖 4-29 為相移器 64 個狀態之均方根增益誤差與相位誤差，圖 4-29(a)，在 28GHz 時，均方根增益誤差為 0.26dB。圖 4-29(b)，在 28GHz 時，均方根相位誤差為 0.852° 。圖 4-30 為相移器的穩定係數，在 28GHz 時， $k=207.354$ ，故相移器電路為穩定。圖 4-31 為相移器的平均 IP_{1dB}，可發現 IP_{1dB} 大約落在 8dBm，符合當初我們訂定的大於 -5 dBm 的規格。

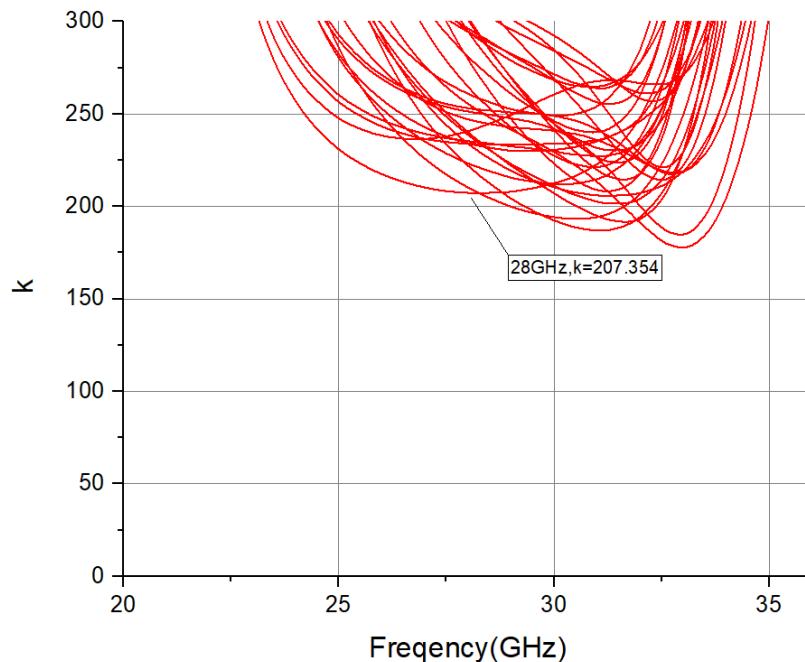


圖 4-30 相移器之穩定係數。

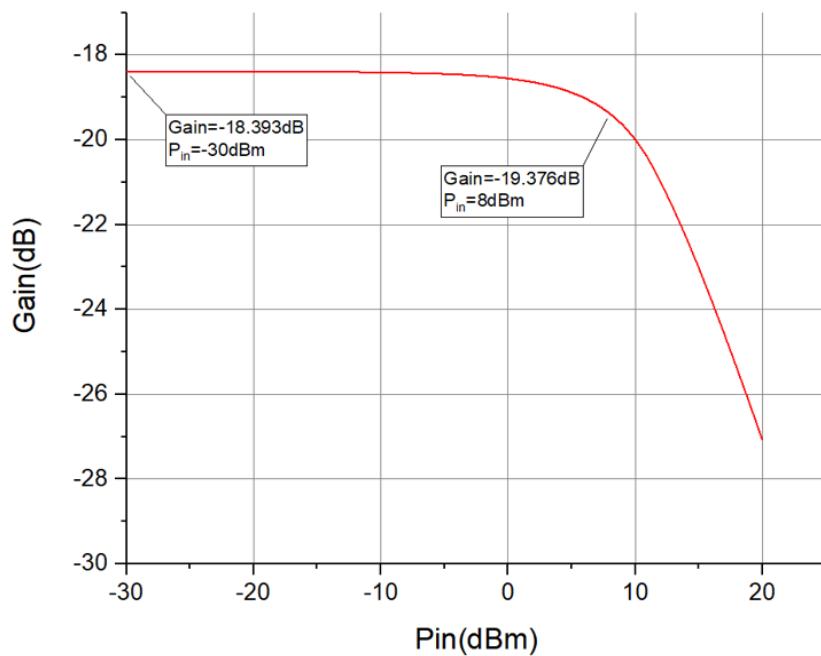


圖 4-31 相移器之平均 IP_{1dB}。

表 4-7 相移器個狀態之操作偏壓及角度。

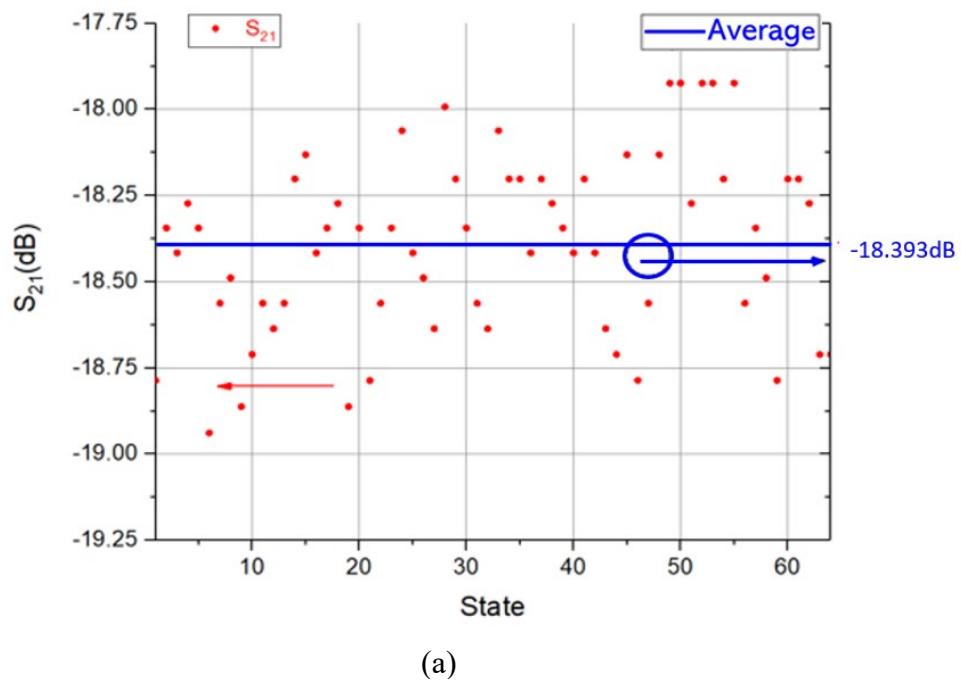
State	V _I (V)	V _Q (V)	V _{sw} (V)	(V _{c1} 、V _{c2} 、V _{c3} 、V _{c4} 、V _{ca} 、 V _{i1} 、V _{i2} 、V _{i3} 、V _{i4} 、V _{ia}) (V)	Phase(°)		Ideal(°)
					絕對	相對	
1	1.8	1.8	0	(0.0、1.8、0.0、0.0、0.0、 1.8、0.0、1.8、1.8、0.0)	-33.07	0.00	0.000
2	1.8	1.8	0	(1.8、0.0、0.0、1.8、0.6、 0.0、0.0、0.0、1.8、0.0)	-27.45	5.620	5.625
3	1.8	1.8	0	(0.0、1.8、0.0、1.8、0.6、 1.8、0.0、0.0、1.8、0.0)	-22.21	10.860	11.250
4	1.8	1.8	0	(0.0、1.8、0.0、1.8、0.6、 1.8、0.0、1.8、1.8、0.6)	-16.54	16.530	16.875
5	1.8	1.8	0	(0.0、0.0、1.8、1.8、0.0、 1.8、1.8、1.8、0.0、0.6)	-11.47	21.600	22.500
6	1.8	1.8	0	(1.8、0.0、1.8、1.8、0.6、 1.8、1.8、1.8、0.0、0.0)	-5.02	28.050	28.125
7	1.8	1.8	0	(0.0、0.0、0.0、1.8、0.0、 1.8、1.8、0.0、0.0、0.0)	0.08	33.150	33.750
8	1.8	1.8	0	(1.8、0.0、1.8、1.8、0.6、 0.0、1.8、0.0、0.0、0.0)	6.67	39.730	39.375
9	1.8	1.8	1.8	(0.0、1.8、0.0、0.0、0.0、 0.0、1.8、1.8、1.8、0.0)	12.83	45.900	45.000
10	1.8	1.8	1.8	(1.8、0.0、0.0、1.8、0.6、 1.8、1.8、0.0、1.8、0.0)	18.51	51.580	50.625
11	1.8	1.8	1.8	(1.8、1.8、0.0、1.8、0.6、 0.0、1.8、0.0、1.8、0.0)	23.65	56.720	56.250
12	1.8	1.8	1.8	(1.8、1.8、1.8、0.0、0.0、 0.0、1.8、1.8、1.8、0.6)	29.34	62.410	61.875
13	1.8	1.8	1.8	(0.0、0.0、0.0、1.8、0.0、 0.0、0.0、1.8、1.8、0.6)	34.51	67.580	67.500
14	1.8	1.8	1.8	(0.0、1.8、0.0、1.8、0.0、 0.0、1.8、0.0、1.8、0.6)	40.94	74.010	73.125
15	1.8	1.8	1.8	(0.0、1.8、0.0、1.8、0.0、 1.8、0.0、1.8、0.0、0.0)	45.89	78.960	78.750
16	1.8	1.8	1.8	(1.8、1.8、1.8、1.8、0.6、 0.0、0.0、1.8、0.0、0.6)	52.55	85.620	84.375
17	1.8	0	0	(0.0、1.8、1.8、1.8、0.0、 0.0、1.8、0.0、0.0、0.0)	58.40	91.470	90.000
18	1.8	0	0	(1.8、0.0、1.8、1.8、0.0、 0.0、0.0、1.8、0.0、0.0)	62.58	95.650	95.625
19	1.8	0	0	(1.8、0.0、0.0、1.8、0.0、 1.8、0.0、0.0、1.8、0.6)	68.47	101.540	101.250
20	1.8	0	0	(0.0、1.8、1.8、1.8、0.6、 0.0、1.8、1.8、0.0、0.0)	74.30	107.370	106.875
21	1.8	0	0	(1.8、1.8、1.8、0.0、0.0、 0.0、1.8、0.0、1.8、0.6)	79.29	112.360	112.500
22	1.8	0	0	(1.8、0.0、0.0、1.8、0.6、 0.0、0.0、0.0、1.8、0.0)	84.45	117.520	118.125
23	1.8	0	0	(0.0、0.0、0.0、1.8、0.6、 0.0、1.8、1.8、1.8、0.6)	89.95	123.020	123.750

State	V _I (V)	V _Q (V)	V _{sw} (V)	(V _{c1} 、 V _{c2} 、 V _{c3} 、 V _{c4} 、 V _{ca} 、 V _{i1} 、 V _{i2} 、 V _{i3} 、 V _{i4} 、 V _{ia}) (V)	Phase(°)		Ideal(°)
					絕對	相對	
24	1.8	0	0	(0.0 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0)	95.49	128.560	129.375
25	1.8	0	1.8	(0.0 、 1.8 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 1.8 、 1.8 、 0.6)	103.01	136.080	135.000
26	1.8	0	1.8	(0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 1.8 、 1.8 、 0.0)	108.53	141.600	140.625
27	1.8	0	1.8	(0.0 、 0.0 、 1.8 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0)	114.31	147.380	146.250
28	1.8	0	1.8	(1.8 、 1.8 、 1.8 、 1.8 、 0.6 、 1.8 、 1.8 、 0.0 、 1.8 、 1.8)	120.13	153.190	151.875
29	1.8	0	1.8	(1.8 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 1.8 、 1.8 、 0.6)	125.14	158.210	157.500
30	1.8	0	1.8	(1.8 、 1.8 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0)	130.39	163.460	163.125
31	1.8	0	1.8	(1.8 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0)	135.74	168.810	168.750
32	1.8	0	1.8	(0.0 、 0.0 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 1.8 、 1.8 、 0.6)	141.35	174.420	174.375
33	0	0	0	(0.0 、 1.8 、 1.8 、 0.0 、 0.6 、 1.8 、 0.0 、 1.8 、 1.8 、 0.0)	146.74	179.810	180.000
34	0	0	0	(1.8 、 0.0 、 1.8 、 0.0 、 0.0 、 0.0 、 0.0 、 1.8 、 1.8 、 0.0)	152.40	-174.530	-174.375
35	0	0	0	(1.8 、 0.0 、 0.0 、 1.8 、 0.6 、 0.0 、 1.8 、 1.8 、 1.8 、 0.6)	158.43	-168.500	-168.750
36	0	0	0	(0.0 、 1.8 、 1.8 、 0.0 、 0.0 、 0.0 、 1.8 、 1.8 、 1.8 、 0.6)	162.27	-162.660	-163.125
37	0	0	0	(0.0 、 0.0 、 0.0 、 1.8 、 0.0 、 1.8 、 1.8 、 0.0 、 1.8 、 0.6)	169.18	-157.750	-157.500
38	0	0	0	(1.8 、 0.0 、 0.0 、 1.8 、 0.0 、 1.8 、 0.0 、 0.0 、 1.8 、 0.6)	175.81	-151.120	-151.875
39	0	0	0	(1.8 、 0.0 、 1.8 、 1.8 、 0.6 、 0.0 、 0.0 、 1.8 、 0.0 、 0.0)	-178.98	-145.910	-146.250
40	0	0	0	(1.8 、 0.0 、 1.8 、 1.8 、 0.6 、 0.0 、 1.8 、 0.0 、 0.0 、 0.0)	-172.39	-139.320	-140.625
41	0	0	1.8	(0.0 、 1.8 、 1.8 、 0.0 、 0.6 、 0.0 、 1.8 、 1.8 、 1.8 、 0.0)	-167.38	-134.310	-135.000
42	0	0	1.8	(0.0 、 0.0 、 0.0 、 1.8 、 0.6 、 0.0 、 0.0 、 1.8 、 1.8 、 0.0)	-161.65	-128.580	-129.375
43	0	0	1.8	(1.8 、 0.0 、 0.0 、 1.8 、 0.6 、 1.8 、 1.8 、 1.8 、 1.8 、 0.6)	-155.72	-122.650	-123.750
44	0	0	1.8	(0.0 、 0.0 、 1.8 、 1.8 、 0.6 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0)	-149.86	-116.790	-118.125
45	0	0	1.8	(0.0 、 1.8 、 1.8 、 1.8 、 0.6 、 1.8 、 0.0 、 0.0 、 1.8 、 0.0)	-144.85	-111.780	-112.500
46	0	0	1.8	(0.0 、 1.8 、 1.8 、 1.8 、 0.6 、 0.0 、 1.8 、 0.0 、 1.8 、 0.6)	-138.24	-105.170	-106.875

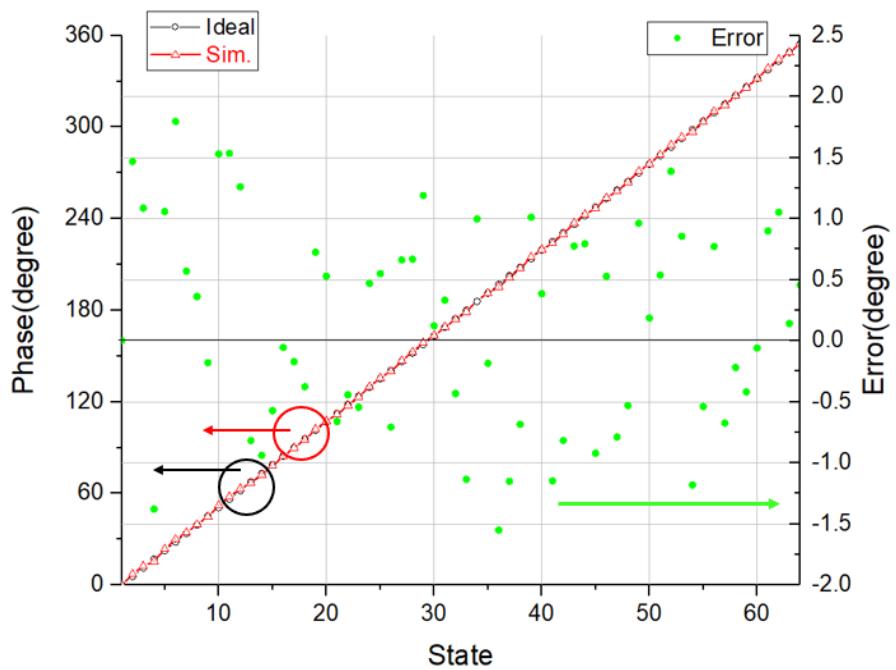
State	V _I (V)	V _Q (V)	V _{sw} (V)	(V _{c1} 、V _{c2} 、V _{c3} 、V _{c4} 、V _{ca} 、 V _{i1} 、V _{i2} 、V _{i3} 、V _{i4} 、V _{ia}) (V)	Phase(°)		Ideal(°)
					絕對	相對	
47	0	0	1.8	(1.8、0.0、0.0、1.8、0.0、 1.8、0.0、1.8、0.0、0.0)	-133.18	-100.110	-101.250
48	0	0	1.8	(0.0、1.8、0.0、1.8、0.0、 1.8、1.8、0.0、0.0、0.0)	-127.82	-94.750	-95.625
49	0	1.8	0	(1.8、0.0、1.8、1.8、0.0、 1.8、1.8、1.8、0.0、0.6)	-122.71	-89.640	-90.000
50	0	1.8	0	(1.8、1.8、0.0、1.8、0.0、 1.8、0.0、0.0、1.8、0.6)	-117.83	-84.760	-84.375
51	0	1.8	0	(0.0、1.8、1.8、1.8、0.6、 1.8、0.0、0.0、1.8、0.6)	-111.85	-78.780	-78.750
52	0	1.8	0	(0.0、0.0、0.0、1.8、0.0、 0.0、0.0、0.0、1.8、0.0)	-107.24	-74.170	-73.125
53	0	1.8	0	(1.8、1.8、1.8、0.0、0.0、 0.0、0.0、0.0、1.8、0.0)	-101.46	-68.390	-67.500
54	0	1.8	0	(1.8、0.0、0.0、1.8、0.6、 1.8、0.0、0.0、1.8、0.0)	-95.69	-62.620	-61.875
55	0	1.8	0	(0.0、0.0、1.8、0.0、0.0、 1.8、0.0、0.0、1.8、0.0)	-90.35	-57.280	-56.250
56	0	1.8	0	(0.0、0.0、1.8、0.0、0.6、 1.8、0.0、0.0、1.8、0.0)	-84.65	-51.580	-50.625
57	0	1.8	1.8	(1.8、1.8、1.8、1.8、0.0、 0.0、1.8、0.0、0.0、0.0)	-76.80	-43.730	-45.000
58	0	1.8	1.8	(0.0、0.0、1.8、1.8、0.0、 0.0、0.0、0.0、1.8、1.8)	-72.59	-39.520	-39.375
59	0	1.8	1.8	(1.8、1.8、0.0、1.8、0.0、 0.0、1.8、1.8、0.0、0.0)	-67.53	-34.460	-33.750
60	0	1.8	1.8	(1.8、0.0、1.8、1.8、0.0、 0.0、1.8、0.0、1.8、0.6)	-60.23	-27.160	-28.125
61	0	1.8	1.8	(0.0、0.0、1.8、1.8、0.6、 1.8、0.0、0.0、1.8、0.0)	-56.32	-23.430	-22.500
62	0	1.8	1.8	(1.8、1.8、0.0、1.8、0.6、 1.8、1.8、1.8、1.8、0.6)	-50.69	-17.620	-16.875
63	0	1.8	1.8	(1.8、0.0、0.0、1.8、0.6、 1.8、1.8、1.8、1.8、0.6)	-43.52	-10.450	-11.250
64	0	1.8	1.8	(1.8、1.8、1.8、0.0、0.6、 1.8、1.8、1.8、1.8、0.6)	-38.61	-5.540	-5.625

表 4-7 為相移器 64 種狀態下的控制偏壓及絕對相位、相對相位還有理想相位的比較表。將表 4-7 整理成圖後如圖 4-31 所示。最後得到相移器在 28GHz 時，RMS 的增益誤差為 0.419dB，大小平均為 -18.393 dB，大小的最大值跟最小值分別為 -17.924dB 跟 -18.938dB，可算出 max error 為 2.55% 和 -2.963%。RMS 的相位誤差為 0.852°，最大差值為 1.535°。圖 4-32 為每級電路的損耗示意圖，我們可由此算

出整個相移器的大小=-3.6-4.37-5.71-3.85+3-3.94=-18.47dB。和我們所模擬出來的小平均-18.393 dB 非常接近。



(a)



(b)

圖 4-32 相移器個狀態之(a)大小和平均及(b)相位及誤差。

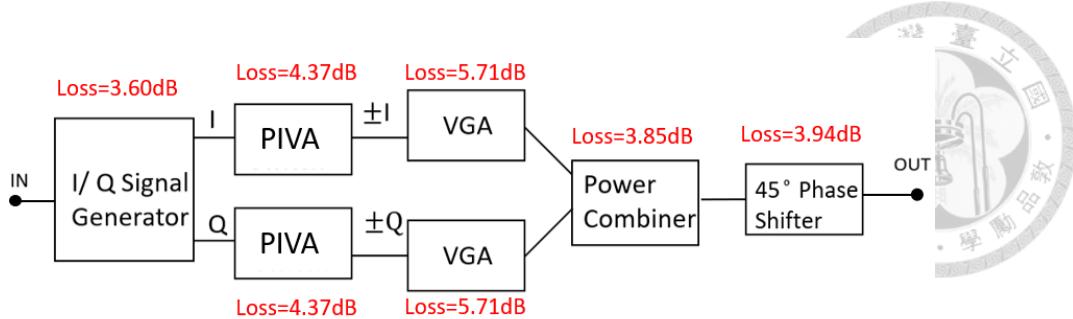


圖 4-33 每級電路的損耗示意圖。

4.4 電路佈局

圖 4-33 為相移器電路佈局圖。本電路使用台積電 180 nm CMOS 製程實現，整體電路面積為 $1.185\text{mm} \times 1.180\text{mm} = 1.398\text{mm}^2$ 。RF 的輸入訊號從晶片左側 RF_{in} 進入，RF 輸出訊號從晶片右側 RF_{out} 流出。上下 PAD 為直流偏壓，其中 VDD 為 1.8V， GND 接地， $\text{V}_{\text{c}1}$ 、 $\text{V}_{\text{c}2}$ 、 $\text{V}_{\text{c}3}$ 、 $\text{V}_{\text{c}4}$ 為上半部可變增益放大器(VGA)的四組開關的控制電壓， V_{ca} 為上半部 VGA 的衰減器的控制電壓， $\text{V}_{\text{b}1}$ 則是上半部 VGA 的 Gate 端的偏壓。 $\text{V}_{\text{i}1}$ 、 $\text{V}_{\text{i}2}$ 、 $\text{V}_{\text{i}3}$ 、 $\text{V}_{\text{i}4}$ 為下半部 VGA 的四組開關的控制電壓， V_{ia} 為下半部 VGA 的衰減器的控制電壓， $\text{V}_{\text{b}2}$ 則是下半部 VGA 的 Gate 端的偏壓。 V_I 和 V_Q 則是 PIVA 的控制電壓。

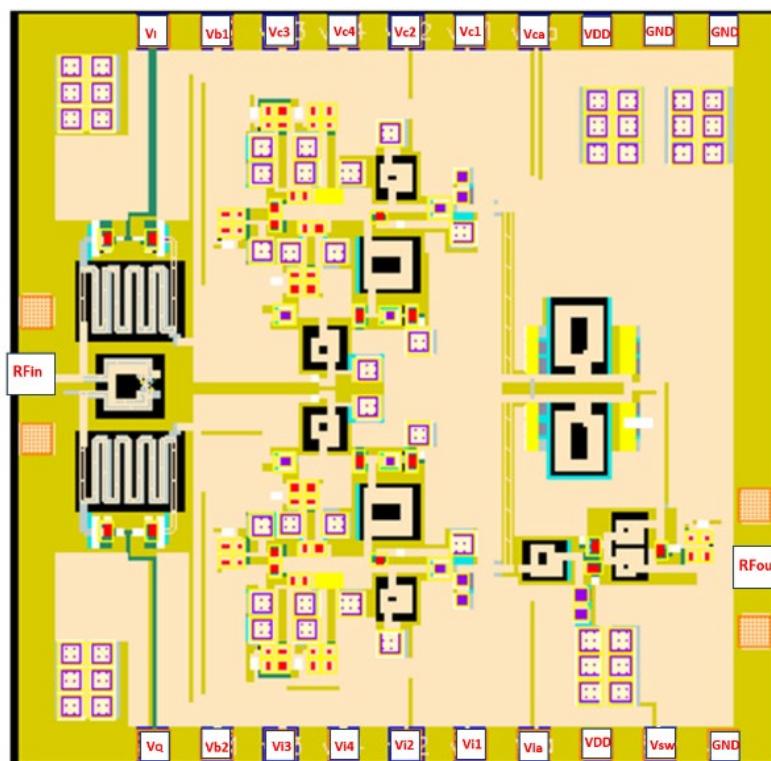


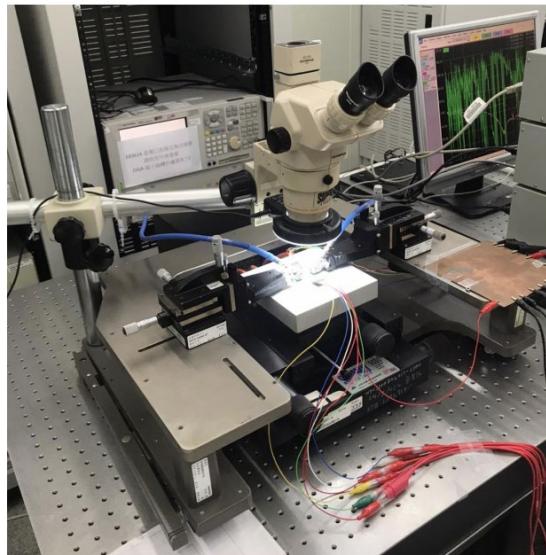
圖 4-34 相移器電路佈局圖。

Chapter 5 量測結果

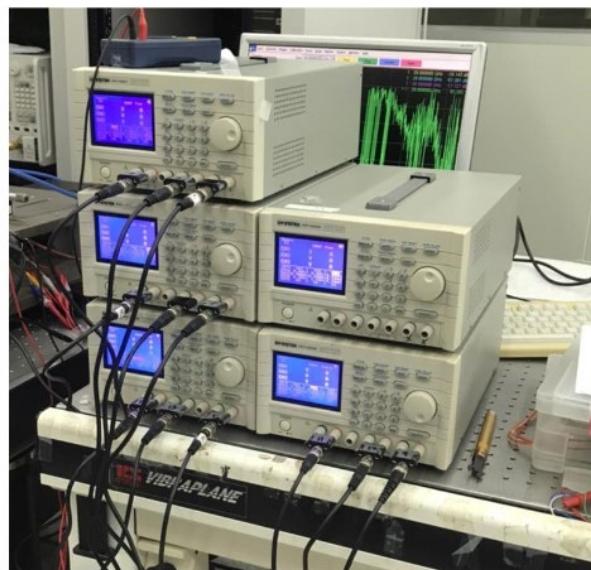


5.1 打線及量測環境

本論文的量測環境位於國立台灣大學電機二館 505 室，第一步先把晶片放在針台上，接著將探針(GSG)分別接到在輸入端和輸出端上，如圖 5-1(a)所示。小訊號由網路分析儀 Agilent N5227A 進行 S 參數在 28GHz 的量測，最後電晶體的偏壓和控制電壓都是由電源供應器提供，如圖 5-1(b)所示。



(a)



(b)

圖 5-1 (a)針台及(b)直流電源供應。



5.2 數位式可變增益放大器量測結果

圖 5-2 為數位式可變增益放大器的晶片圖，左側和右側分別是輸入和輸出端的 pad 以 GSG 的方式方便探針量測時連接。上下則是偏壓及控制電壓，由鏹線 (bond wire) 拉到 PCB 板上再由排針連接度邦線接在電源供應器上。下面將會展示量測結果。

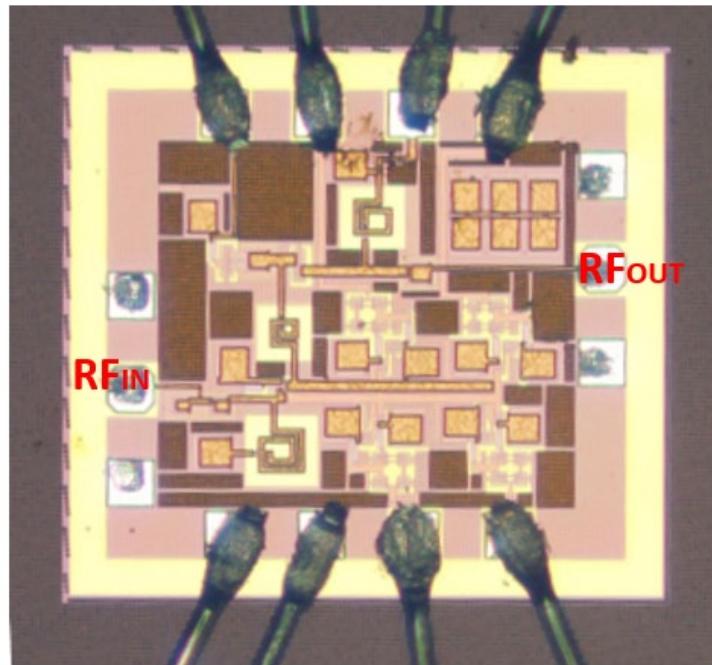
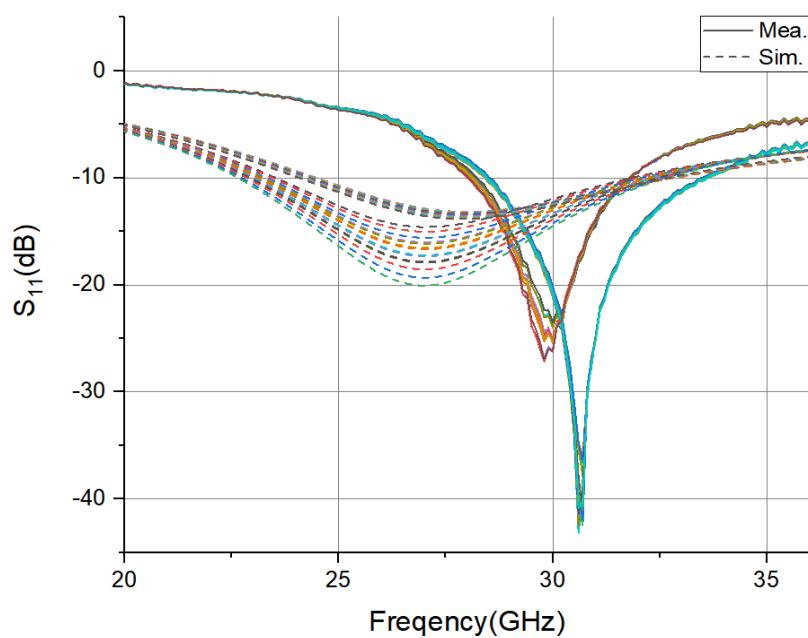
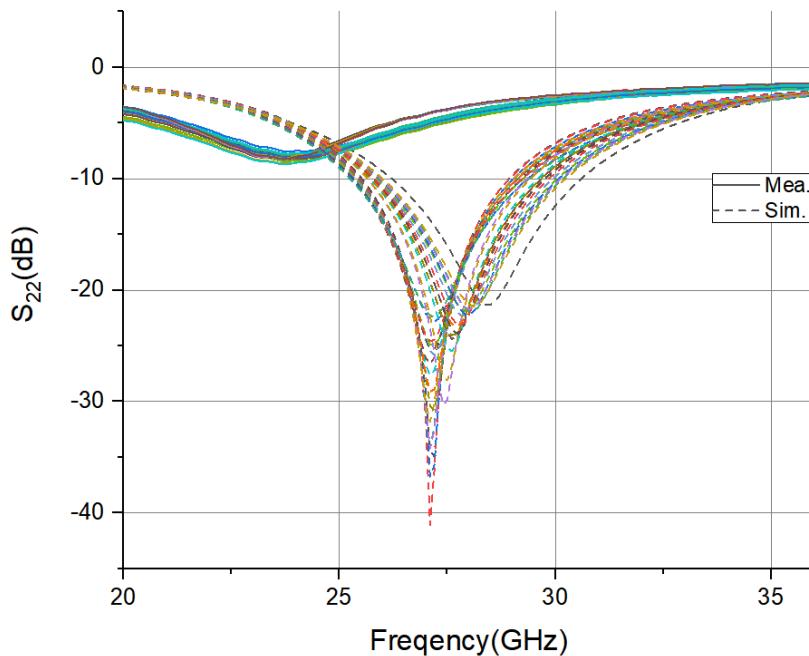


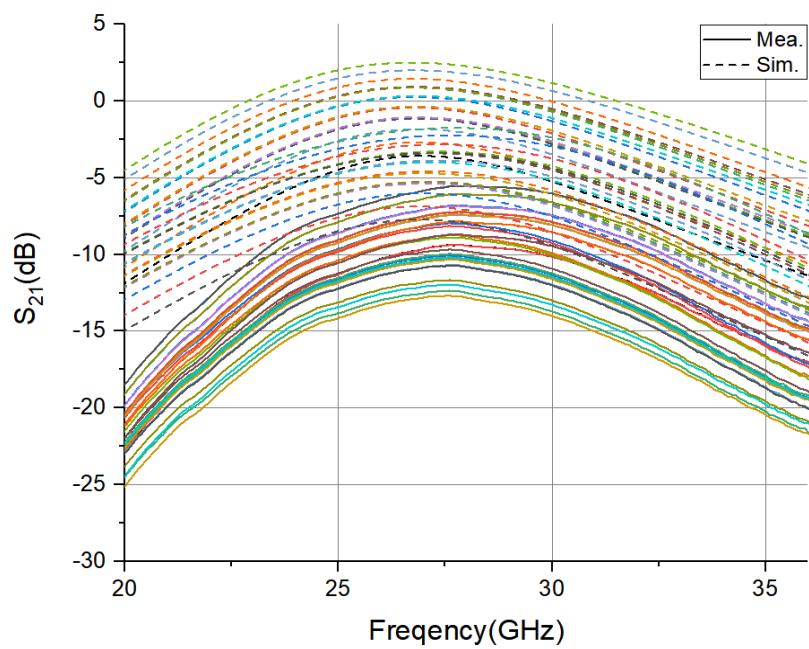
圖 5-2 數位式可變增益放大器晶片圖。



(a)



(b)



(c)

圖 5-3 數位式可變增益放大器(a)S₁₁、(b)S₂₂ 和(c)S₂₁ 之量測與第一版的模擬結果。

圖 5-3 為數位式可變增益放大器之量測與第一版的模擬結果。可看到圖 5-3(a)和圖 5-3(b)的反射係數都發生了頻偏的狀況而 S₂₂ 的大小大於-10dB，表示此時的反射係數過大。圖 5-3(c)的 S₂₁ 的大小也比模擬的結果還要小。此量測結果與我們

模擬結果完全不符合，因此下面將會探討問題在哪裡，並重新模擬出新的 S 參數和量測結果再次比較。

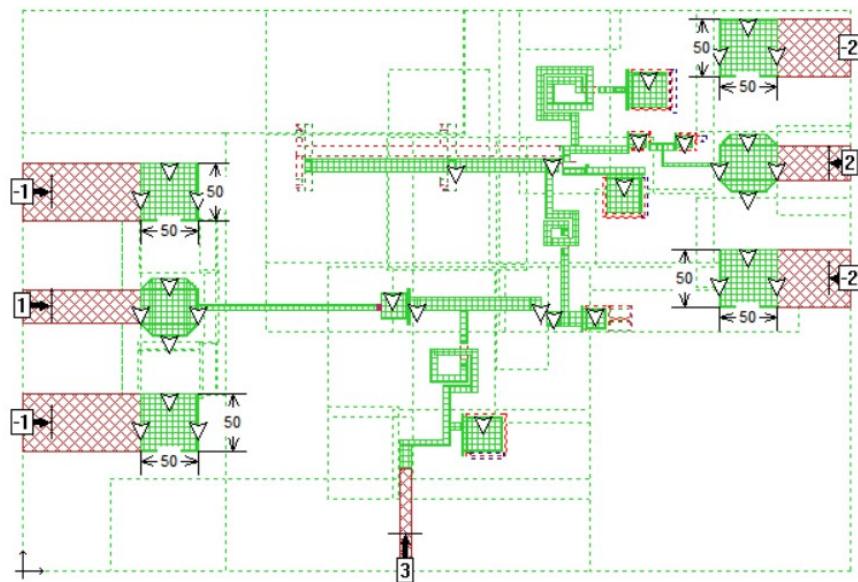
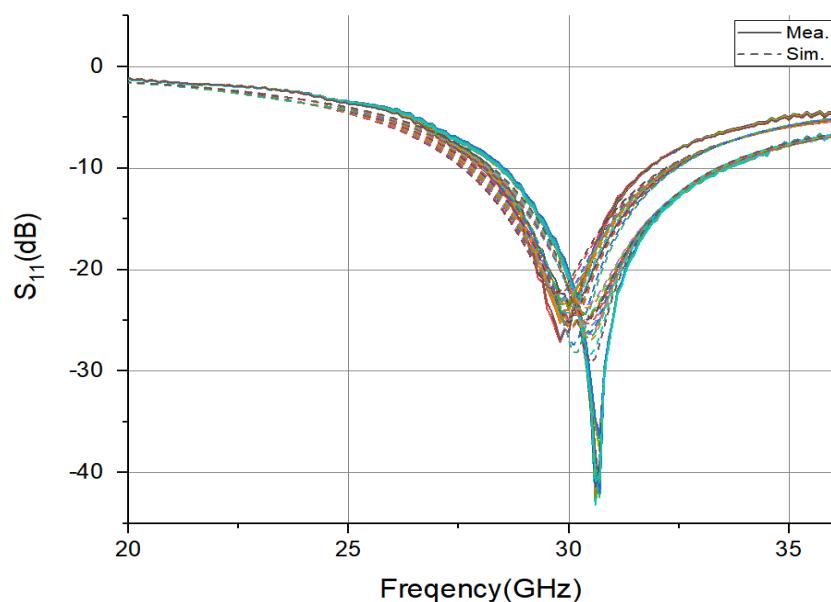
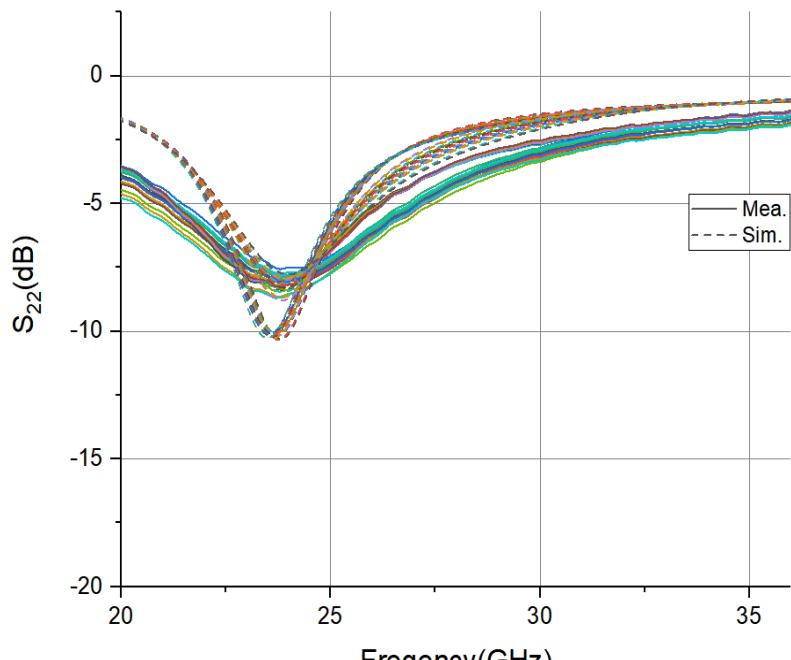


圖 5-4 可變增益放大器在 sonnet 上的 layout 圖。

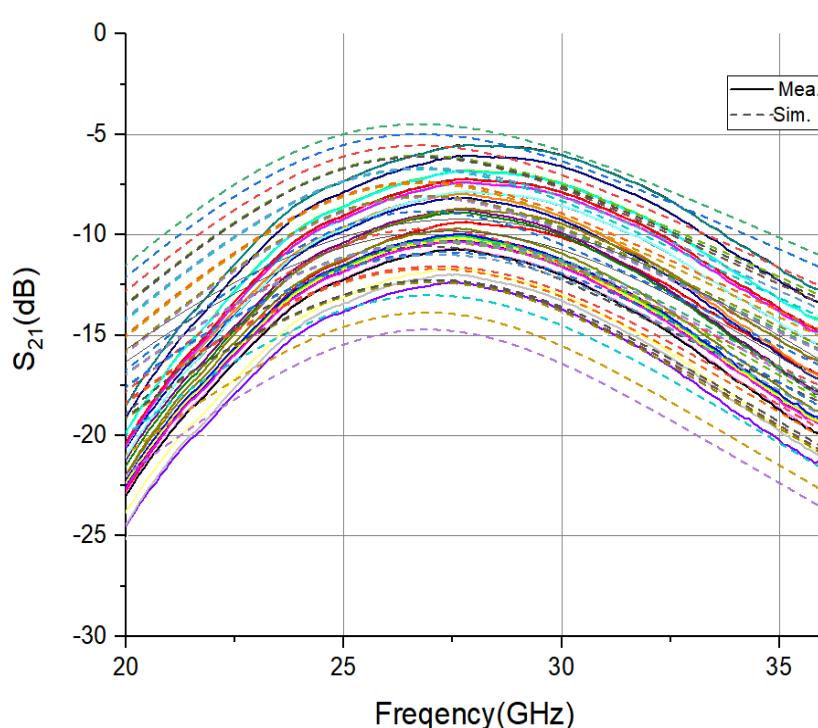
經過檢查原電路後，我們發現導致量測與模擬的結果不符的原因為我們的電路在進行電磁模擬時，只有考慮到小塊的電磁模擬，並沒有將可變增益放大器進行整塊的電磁模擬。因此我們利用 sonnet 將整塊可變增益放大器進行模擬，如圖 5-4 所示。下面我們會把電磁模擬後的結果重新代回 ADS 進行模擬，並與量測結果比較。



(a)



(b)



(c)

圖 5-5 數位式可變增益放大器(a) S_{11} 、(b) S_{22} 和(c) S_{21} 之量測與修改後模擬結果。

圖 5-5 為整塊可變增益放大器進行電磁模擬後和量測結果的比較圖，可以看到此時的 S 參數相較之前小塊電磁模擬的模擬結果更貼近量測結果。

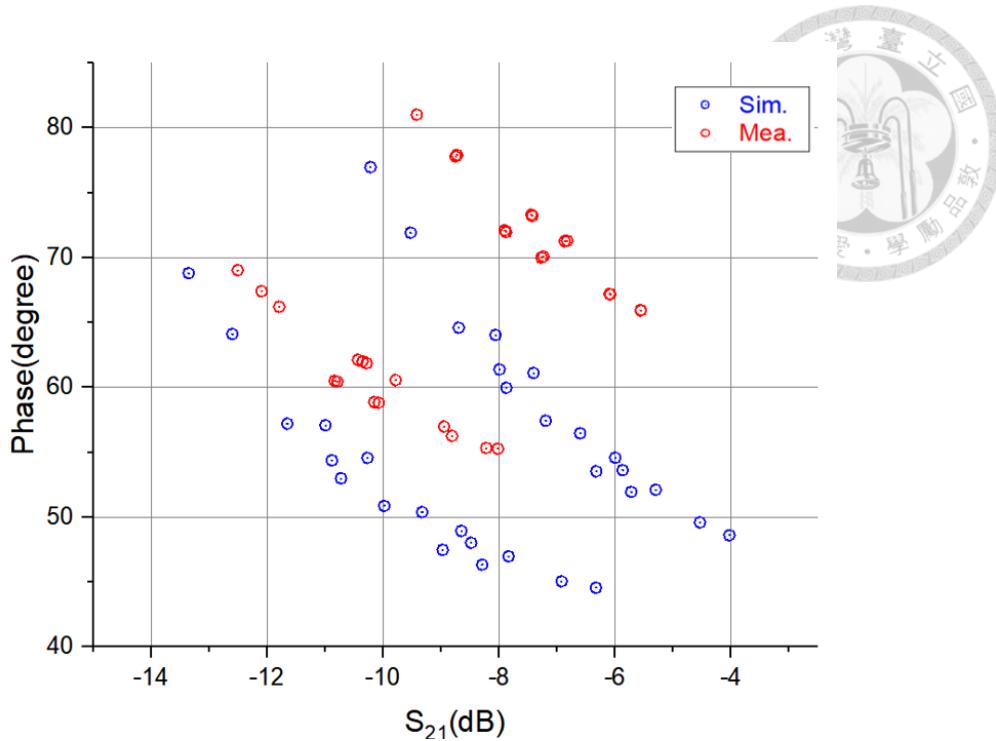


圖 5-6 數位式可變增益放大器在 28GHz 的模擬及量測之相位對大小作圖。

圖 5-6 為可變增益放大器在 28GHz 時，模擬及量測之相位對大小作圖，下面將會把這些數據做成表格進行比較和分析。

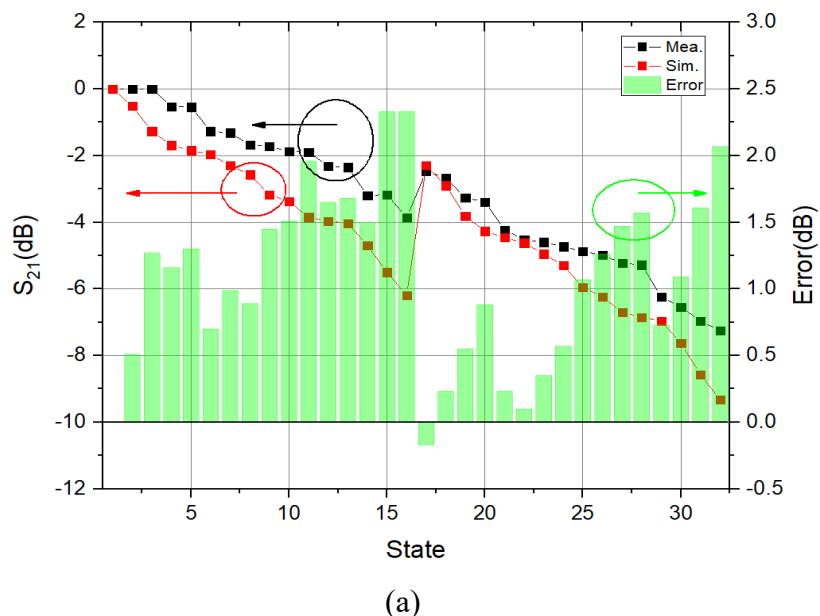
表 5-1 數位式可變增益放大器模擬及量測之大小及相位比較。

VA(V)	Measure(絕對)		Post-sim(絕對)		Measure(相對)		Post-sim(相對)	
	大小(dB)	相位(°)	大小(dB)	相位(°)	大小(dB)	相位(°)	大小(dB)	相位(°)
0	-5.55	65.92	-4.03	48.61	0.00	0.00	0.00	0.00
0	-5.55	65.92	-4.54	49.60	0.00	0.00	-0.51	1.00
0	-5.55	65.96	-5.30	51.94	0.00	0.04	-1.27	3.34
0	-6.08	67.17	-5.72	52.12	-0.53	1.26	-1.69	3.51
0	-6.09	67.20	-5.87	53.54	-0.54	1.28	-1.84	4.93
0	-6.82	69.99	-6.00	53.63	-1.27	4.07	-1.97	5.03
0	-6.87	70.09	-6.32	54.58	-1.31	4.17	-2.30	5.97
0	-7.23	71.27	-6.60	56.48	-1.68	5.35	-2.57	7.87
0	-7.27	71.30	-7.20	57.44	-1.72	5.38	-3.17	8.84
0	-7.42	71.97	-7.41	59.97	-1.87	6.05	-3.38	11.36

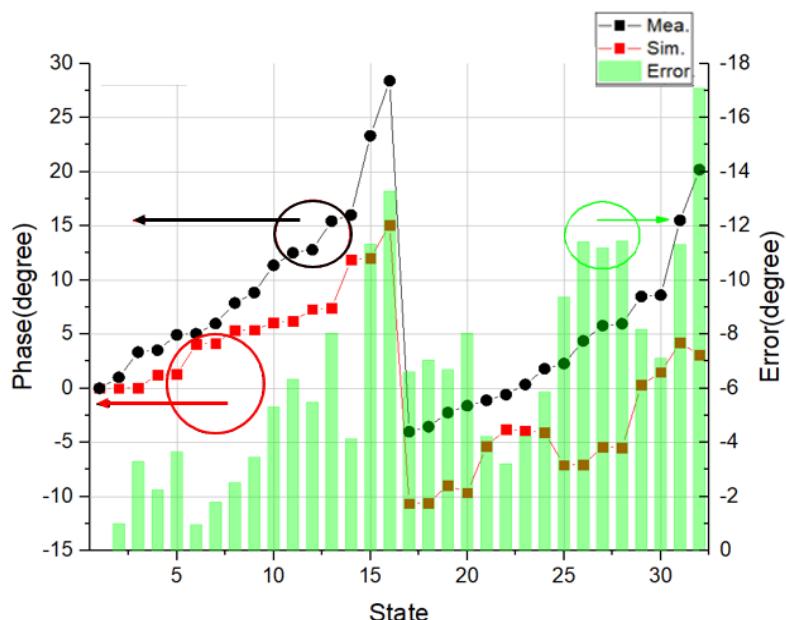
VA(V)	Measure(絕對)		Post-sim(絕對)		Measure(相對)		Post-sim(相對)	
	大小(dB)	相位(°)	大小(dB)	相位(°)	大小(dB)	相位(°)	大小(dB)	相位(°)
0	-7.44	72.09	-7.87	61.11	-1.89	6.17	-3.85	12.50
0	-7.88	73.22	-7.99	61.39	-2.32	7.30	-3.97	12.78
0	-7.90	73.30	-8.06	64.04	-2.35	7.39	-4.03	15.43
0	-8.75	77.79	-8.70	64.61	-3.20	11.87	-4.70	16.01
0	-8.72	77.91	-9.52	71.92	-3.17	11.99	-5.50	23.32
0	-9.42	81.01	-10.22	76.98	-3.86	15.09	-6.19	28.38
0.7	-8.02	55.27	-6.33	44.58	-2.47	-10.63	-2.30	-4.03
0.7	-8.22	55.33	-6.92	45.06	-2.67	-10.59	-2.90	-3.55
0.7	-8.81	56.97	-7.83	46.34	-3.26	-8.95	-3.81	-2.26
0.7	-8.95	56.27	-8.29	46.98	-3.39	-9.65	-4.27	-1.62
0.7	-9.78	60.58	-8.48	47.49	-4.23	-5.34	-4.46	-1.12
0.7	-10.07	62.13	-8.65	48.03	-4.52	-3.79	-4.62	-0.58
0.7	-10.15	62.02	-8.97	48.94	-4.60	-3.90	-4.95	0.34
0.7	-10.28	61.85	-9.33	50.39	-4.73	-4.07	-5.30	1.79
0.7	-10.43	58.83	-9.98	50.88	-4.88	-7.09	-5.95	2.28
0.7	-10.53	58.88	-10.27	52.99	-4.98	-7.04	-6.24	4.38
0.7	-10.79	60.51	-10.73	54.39	-5.23	-5.41	-6.70	5.78
0.7	-10.84	60.44	-10.88	54.57	-5.28	-5.48	-6.85	5.96
0.7	-11.79	66.22	-10.99	57.08	-6.24	0.30	-6.97	8.48
0.7	-12.10	67.41	-11.65	57.21	-6.54	1.49	-7.63	8.60
0.7	-12.54	70.12	-12.60	64.11	-6.96	4.20	-8.57	15.51
0.7	-12.81	69.02	-13.35	68.79	-7.26	3.10	-9.33	20.19

表 5-1 中為數位式可變增益放大器模擬及量測之大小及相位比較。接下來我們將表 5-1 整理成圖，如圖 5-7 所示。圖 5-7(a)為量測與模擬之相對大小和誤差，圖 5-7(b) 為量測與模擬之相對相位和誤差。將大小和相位都變成相對值時，可發現量測的大小範圍可達 7.26dB，而模擬結果則是 9.33dB。而量測的相位的變化量，

則是介於 15.09° 到 -10.63° ，模擬反而是 0° 到 28.38° 。最後量測和模擬的直流電流分別為 2.83mA 及 2.828mA 。由上述的結果可得知雖然可變增益放大器有足夠的範圍增益，但相位的誤差過於巨大。因此我們在第三章所設計的最終版本將增益範圍提升，但只選前面相位誤差較小的部分，既滿足足夠的增益範圍，相位誤差也下降到 7.44° 。而 S_{22} 大於 -10dB 的部分，也在最終版 VGA 中重新進行輸出匹配的改善。



(a)



(b)

圖 5-7 量測與模擬之(a)相對大小和誤差及(b)相對相位和誤差。



5.3 主動式向量和式相移器量測結果

5.3.1 第一顆相移器量測結果

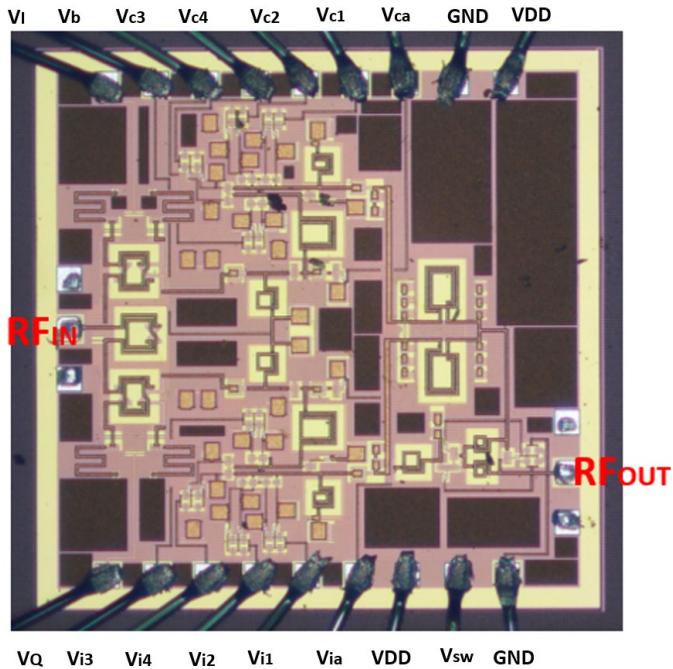


圖 5-8 第一顆相移器晶片圖。

圖 5-8 為第一顆相移器的晶片圖，左側和右側分別是輸入和輸出端的 pad 以 GSG 的方式方便探針量測。上下則是偏壓及控制電壓，由鎊線(bond wire)拉到 PCB 板上再由排針連接杜邦線。其中 V_{DD}、V_b、V_{ia} 和 V_{ca} 由電源供應器控制，其他控制電壓則是用 Arduino 來控制。下面將會展示 Arduino 的分壓方式和量測結果。

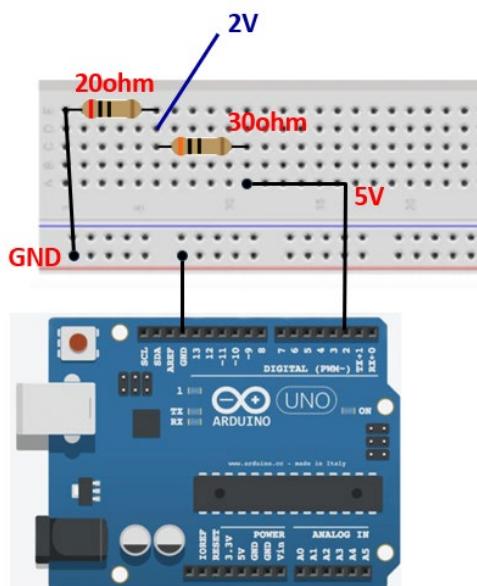
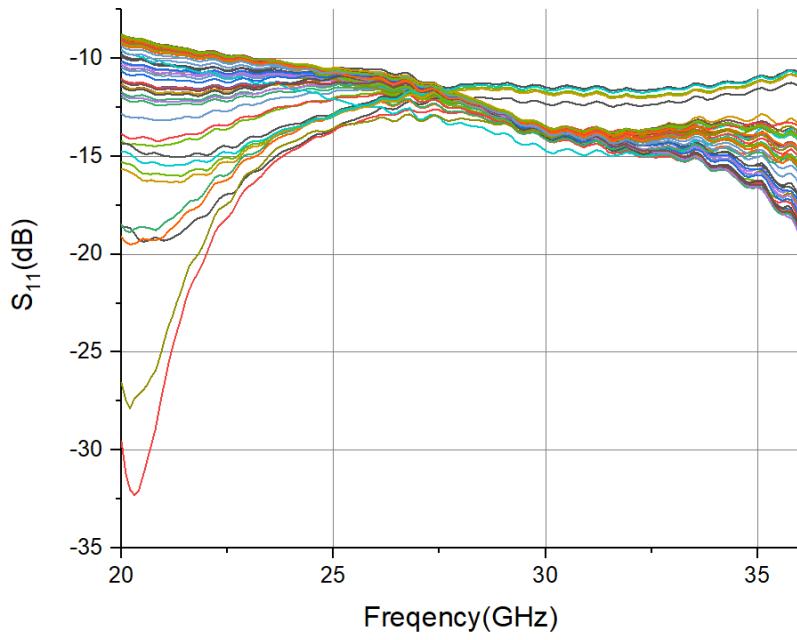


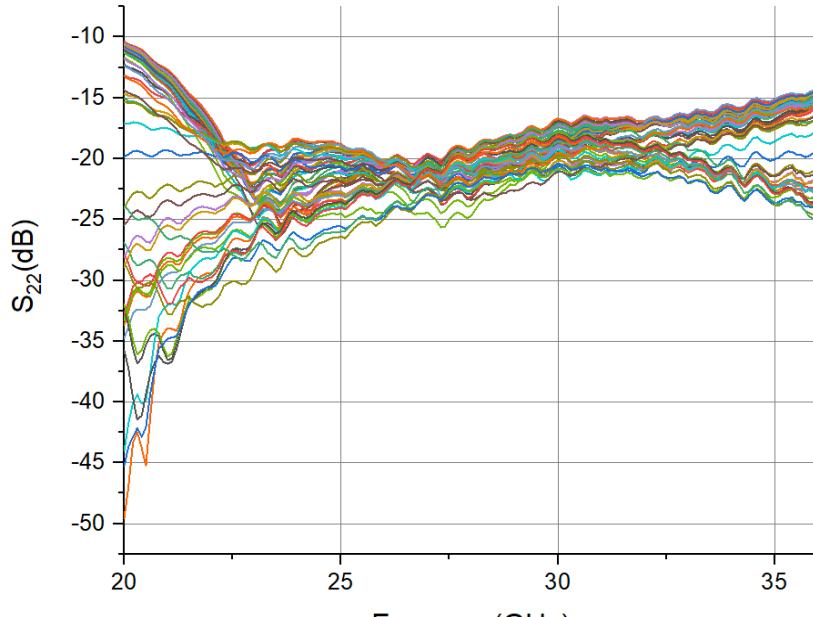
圖 5-9 Arduino 偏壓方式示意圖。



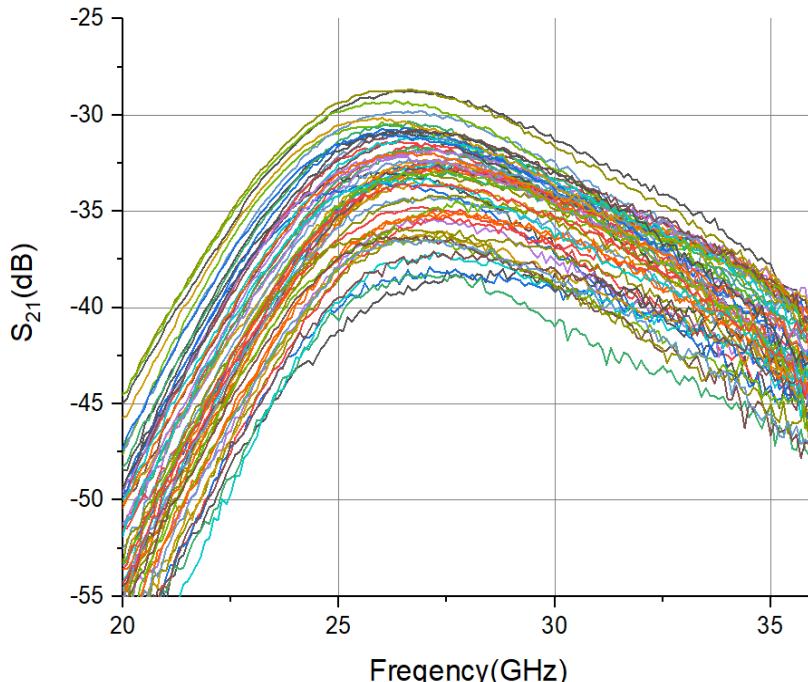
圖 5-9 為 Arduino 的偏壓方式示意圖。首先我們的控制電壓為數位式的開關，因此我們選用 Arduino 板上 Digital 的接腳當作偏壓。其中 Arduino 提供的電壓為 5V，因此我們利用 30Ω 和 20Ω 的進行分壓，得到 2V 而我們電路中的反相器能夠將其轉換成 1.8V。



(a)



(b)



(c)

圖 5-10 相移器(a) S_{11} 、(a) S_{22} 和(c) S_{21} 的量測結果。

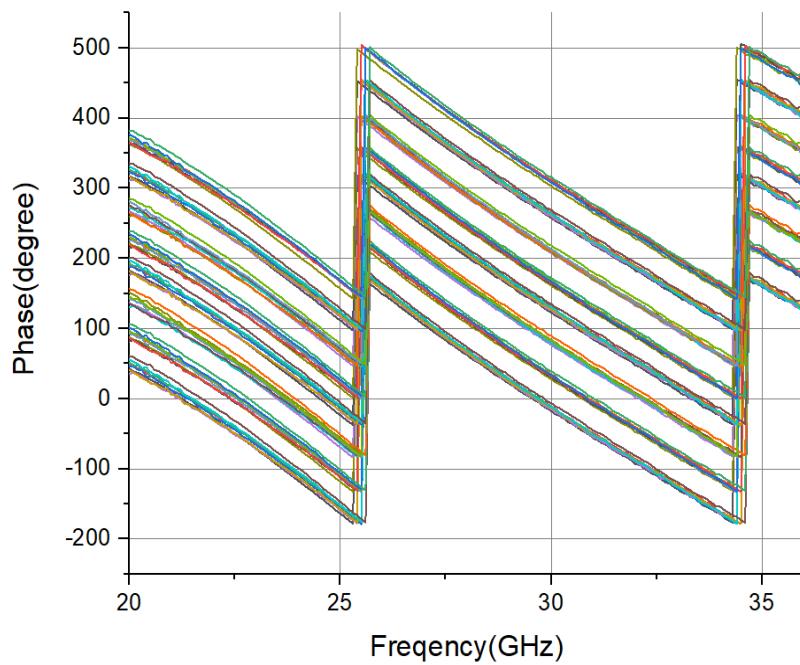


圖 5-11 相移器相位量測之結果。

圖 5-10(a)和圖 5-10(b)分別為 S_{11} 和 S_{22} ，在 28GHz 時皆小於-10dB。但觀察圖 5-10(c)及圖 5-11 可發現 S_{21} 的大小在-30dB 以下，且不管如何切換 VGA 的開關，它的相位變化都沒有明顯的改變。但 PIVA 和開關式 45°相移器，在切換時，是有變化的。因此我們將八種狀態的相位個別平均得到圖 5-12 和表 5-2 的結果，將數

據變為相對相位後可發現與理想值最大的誤差為 7.34° 。最後量測和模擬的電流分別是 20.48mA 和 14mA 。

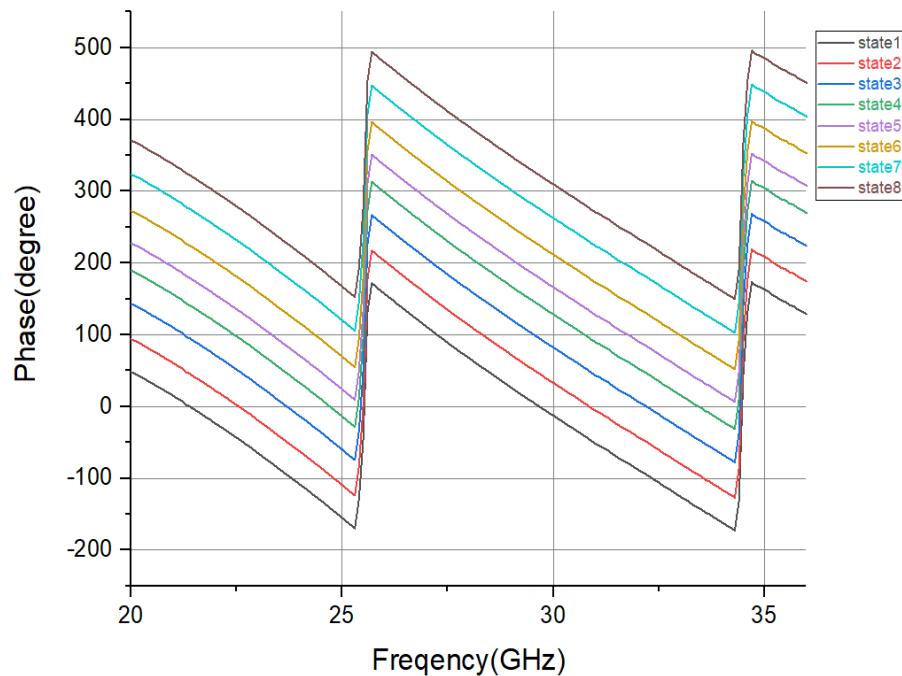


圖 5-12 相移器平均相位之結果。

表 5-2 相移器平均相位之結果。

state	$(V_I, V_Q, V_{sw}) (\text{V})$	Phase ($^\circ$) (絕對)	Phase ($^\circ$) (相對)	Ideal ($^\circ$)
1	(0.0, 0.0, 0.0)	67.89	0.00	0
2	(0.0, 0.0, 1.8)	113.55	45.66	45
3	(1.8, 0.0, 0.0)	162.88	94.99	90
4	(1.8, 0.0, 1.8)	209.12	141.23	135
5	(1.8, 1.8, 0.0)	246.98	179.09	180
6	(1.8, 1.8, 1.8)	292.36	224.47	225
7	(0.0, 1.8, 0.0)	343.22	275.33	270
8	(0.0, 1.8, 1.8)	390.23	322.34	315

由上述結果可知，晶片的被動電路部分是可正常運作的，但是數位式可變增益放大器卻無法切換相位，且量測的直流電流也比模擬時的還要高，所以確認數位式可變增益放大器運作失敗。下面就會開始探討電路上的問題，並加以改進。

首先我們重新去跑 Virtuoso 上的 PEX，去看 layout 上的直流電壓，最終得到的結果為 14mA ，和模擬的結果一致。接下來我們在去量測可變增益放大器上的電流，

我們通過改變放大器上的電晶體 gate 端的偏壓(V_b)，觀看電流的變化。在量測時，發現當我們開啟上下的 VDD 後，由於我們上下兩個可變增益放大器的電晶體 gate 端偏壓(V_b)是接在一起的，如圖 5-13 所示，所以不管怎麼調整偏壓，電流都沒有變化。因此我們將其中一邊的 VDD 關掉後，重新量測後，電流就會隨著偏壓的調整而有所改變，表 5-3 為量測結果。

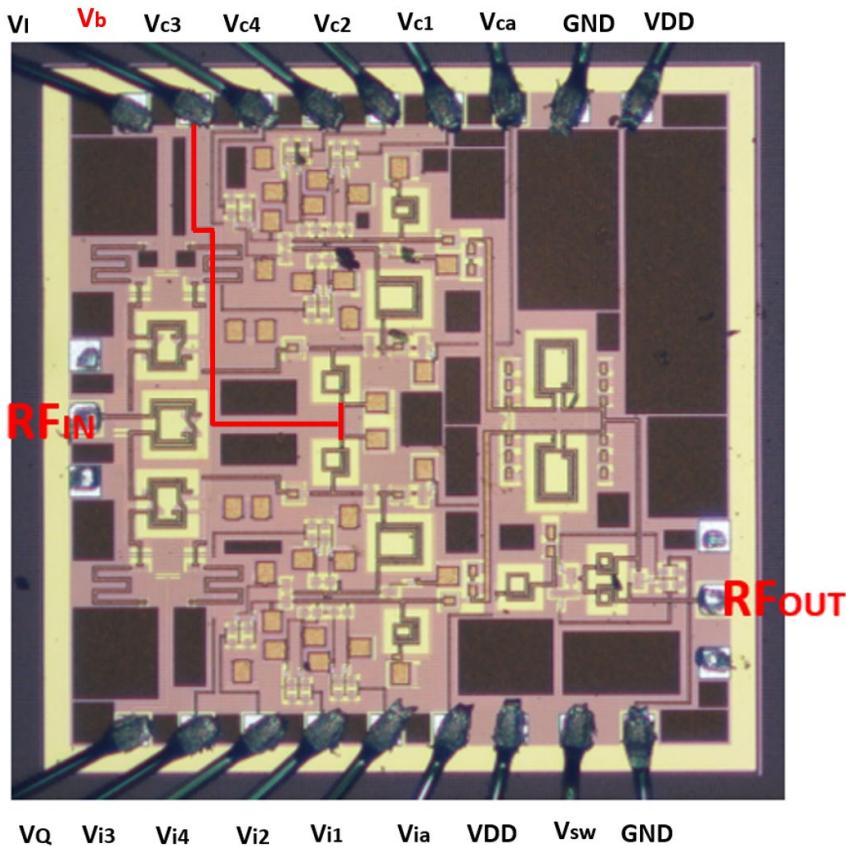


圖 5-13 相移器偏壓(V_b)共用示意圖。

表 5-3 數位式可變增益放大器偏壓對電流之比較表。

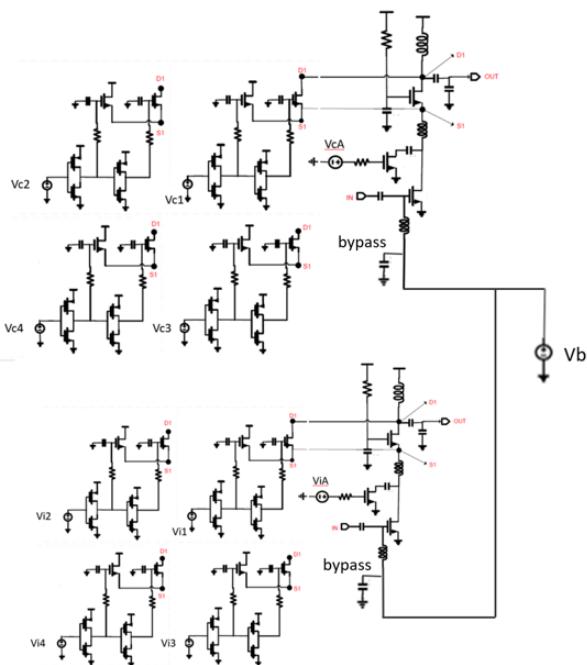
偏壓 (V)	上半 VGA 的電流 (mA)	下半 VGA 的電流 (mA)
0	10.86	4.10
0.75	12.48	8.00
1.8	14.84	10.68

當偏壓 0V 時，VGA 的電流不為 0 mA，且電流隨著偏壓的變化也不明顯，當偏壓從 0V 上升到 1.8V 時，電流的變化量分別為 3.98 mA 和 6.58 mA。

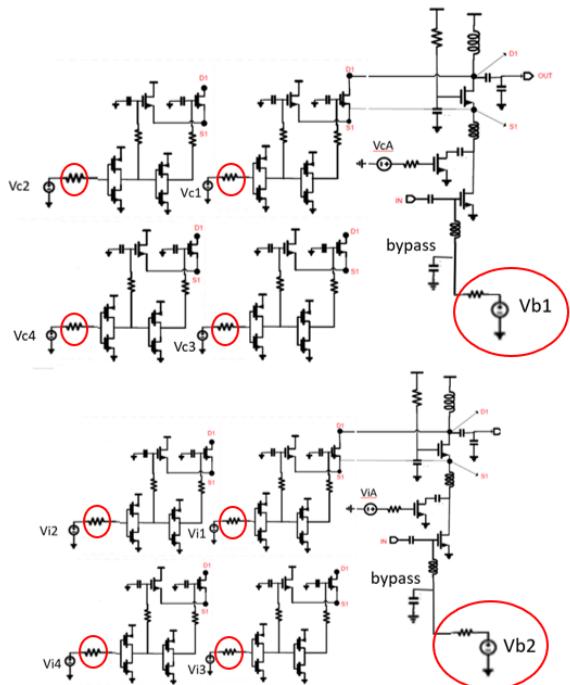
經過驗證，我們可得知放大器的偏壓(V_b)接在一起時，會影響放大器運作。當偏壓為 0V 時，放大器的電流不為 0 表示此時的電晶體已經失去放大器的功能，導致量測結果的增益小於-30dB。因此未來在 layout 上我們會在放大器的電晶體 gate



端加上電阻防止電晶體又壞掉，且將放大器的偏壓分開。



(a)



(b)

圖 5-14 (a)更改前電路及(b)更改後電路。

5.3.2 第二顆相移器量測結果

圖 5-15 為第二顆相移器的晶片圖，左側和右側分別是輸入和輸出端的 pad 以 GSG 的方式方便探針量測時連接。上下則是偏壓及控制電壓，由鎊線(bond wire)拉



到 PCB 板上再由排針連接杜邦線。其中 VDD、V_{b1}、V_{b2}、V_{ia} 和 V_{ca} 接在電源供應器上，其他控制電壓則是用 Arduino 來控制。下面將會展示 Arduino 的分壓方式和量測結果。

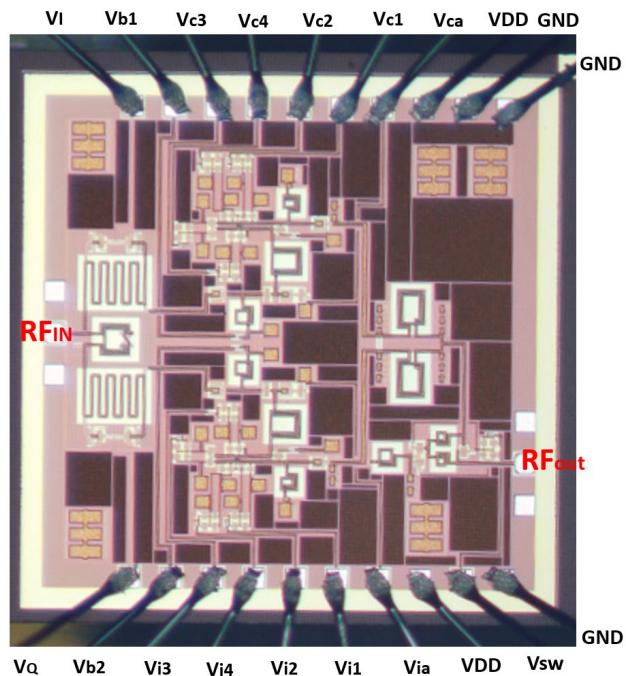
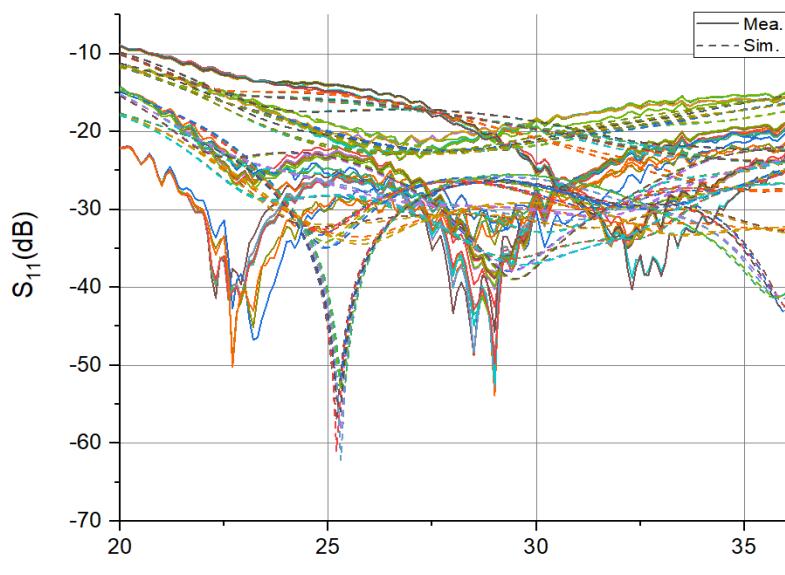


圖 5-15 第二顆相移器晶片圖。



(a)

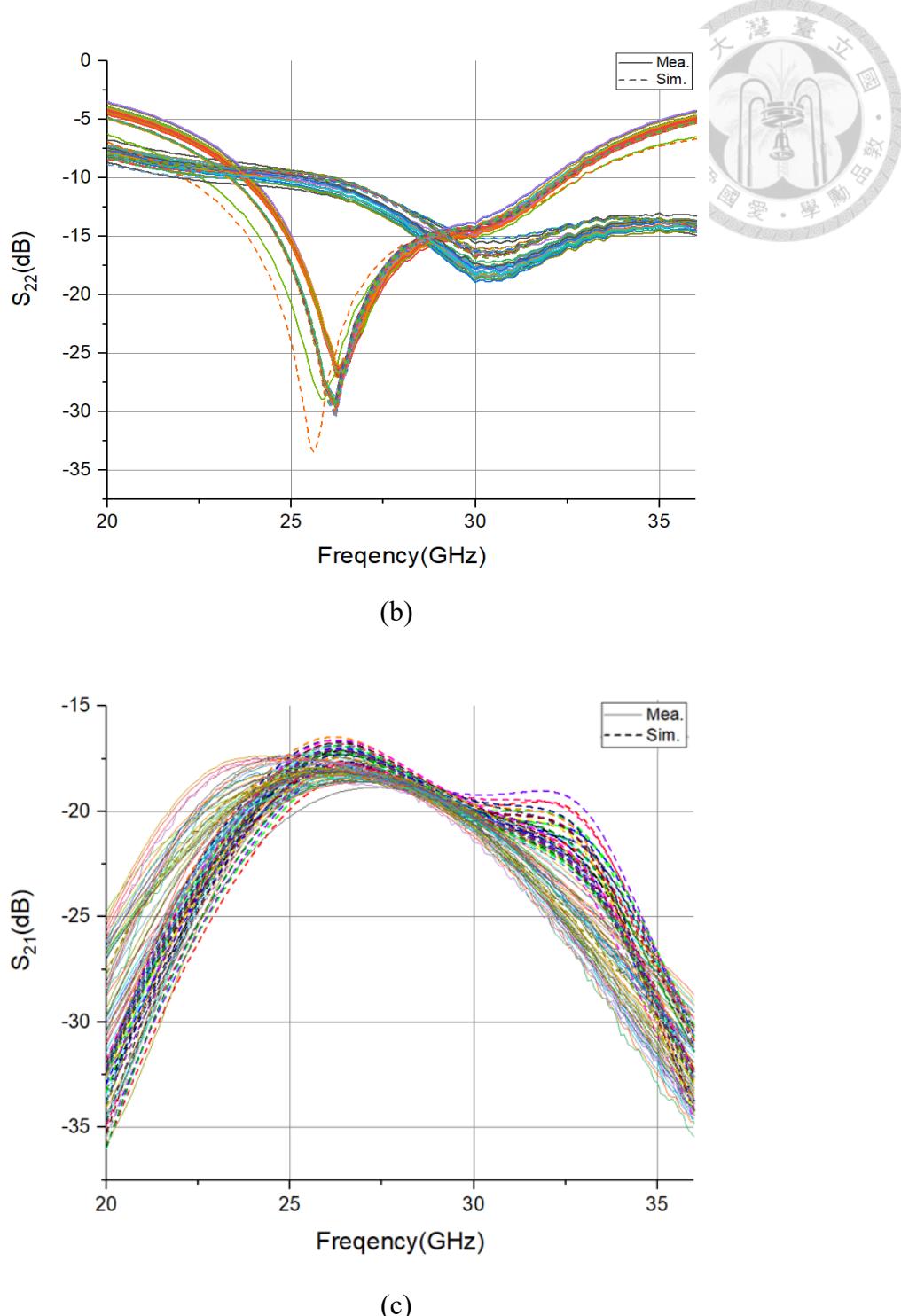


圖 5-16 相移器 64 個狀態之(a) S_{11} 、(b) S_{22} 和(c) S_{21} 。

圖 5-17 為相移器 64 種狀態之極座標圖，圖 5-18(a)為相移器 64 種狀態之相位，圖 5-18(b)為前 32 種狀態 $0^\circ \sim 180^\circ$ 的相位，圖 5-18(c)為後 32 種狀態 $-180^\circ \sim 0^\circ$ 的相位，其中紅色跟藍色分別代表 45° phase shifter 切換時的狀態。由上述這兩張圖可發現此 64 種狀態的相位變化涵蓋 360° ，約每 5.625° 相差一個狀態，且大小大



致相等。其中圖 5-18(b)和圖 5-18(c)的線並不是水平的，造成此種現象的原因為每級電路的特性隨著不同頻率時都會有所變化，所以導致整體相移器在不同頻率時相位有所改變。

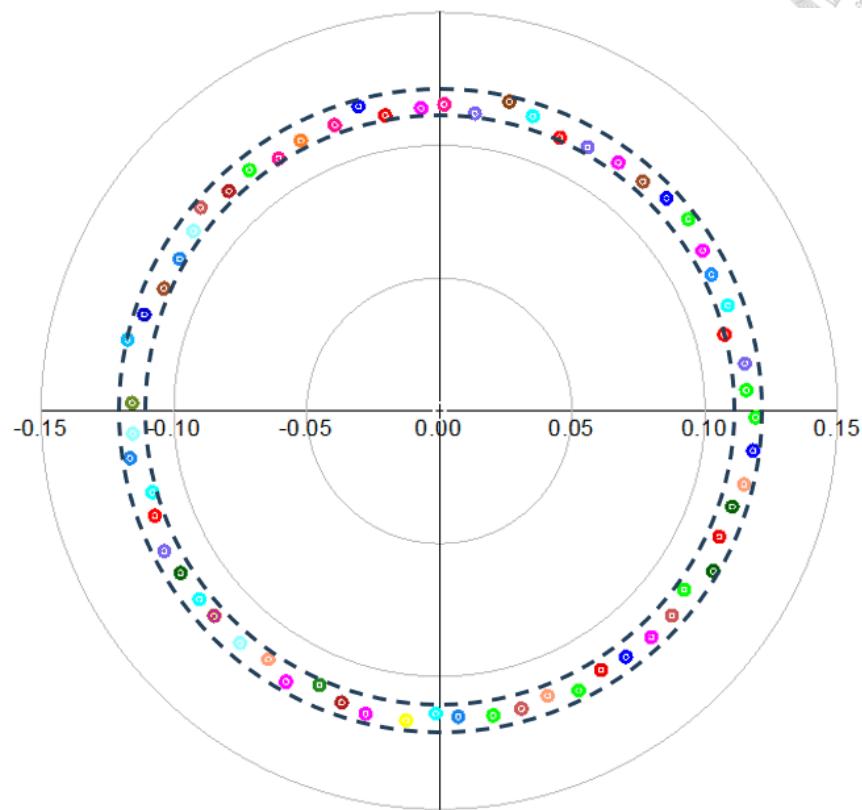
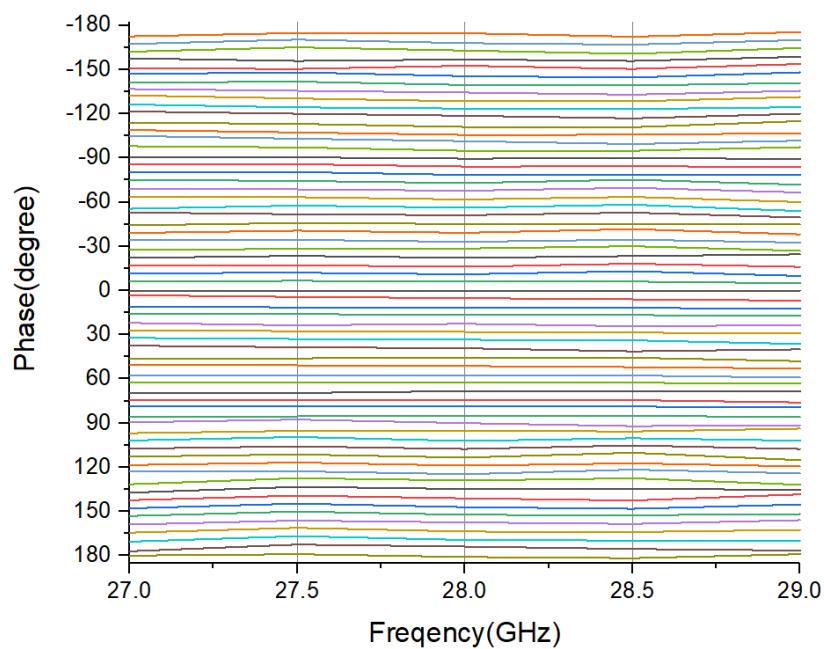
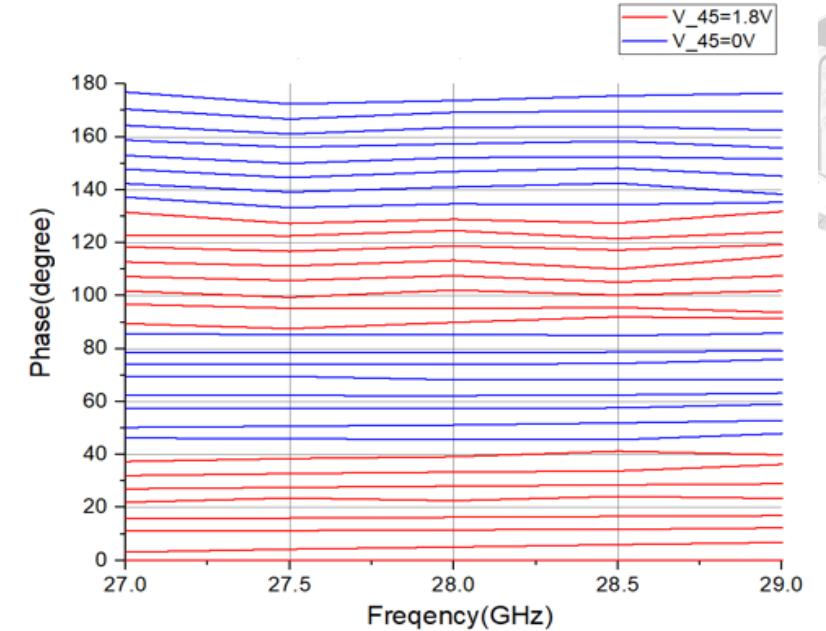


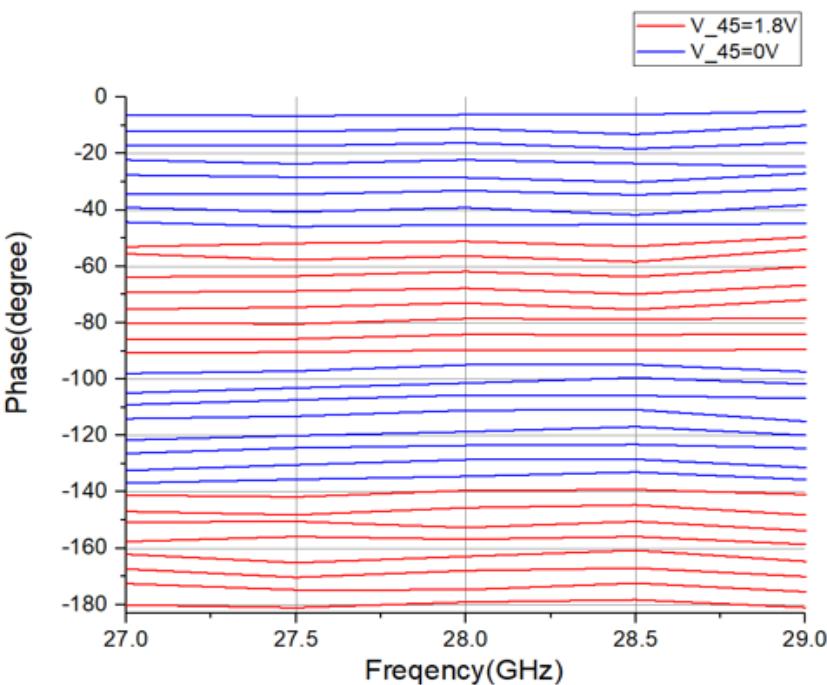
圖 5-17 相移器量測的 64 種狀態的極座標圖。



(a)



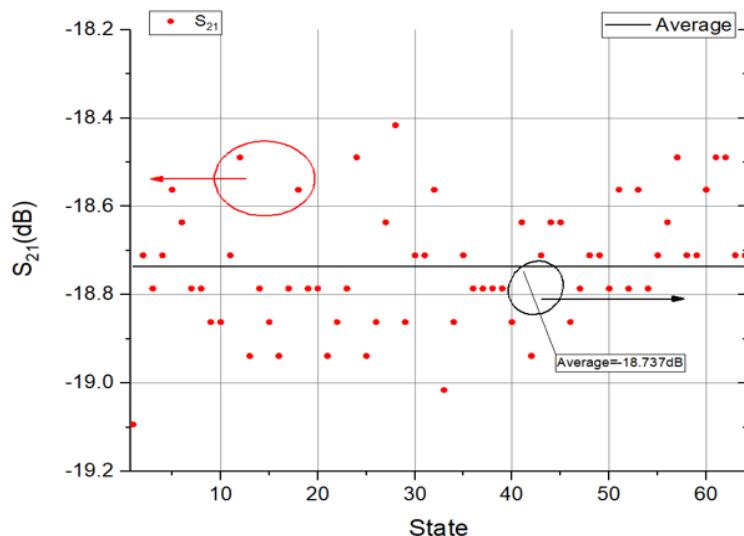
(b)



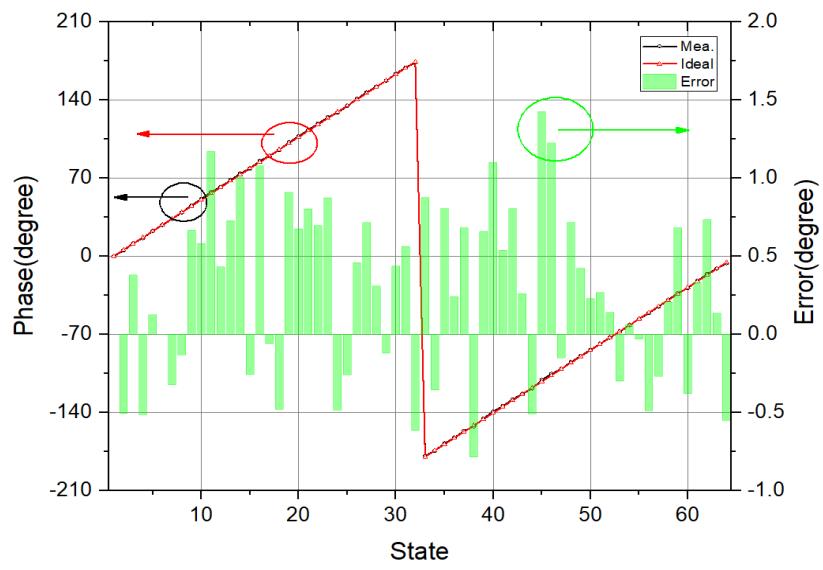
(c)

圖 5-18 相移器量測的 64 種狀態的相位，(b)相移器前 32 種狀態即 $0^\circ \sim 180^\circ$ 之相位及(c)相移器後 32 種狀態即 $-180^\circ \sim 0^\circ$ 之相位。

圖 5-19 為相移器 64 種狀態的(a)大小及平均和(b)相位及誤差。圖 5-20 為均方根增益誤差和均方根相位誤差。在 28GHz 時，量測的均方根增益誤差和均方根相位誤差為 0.139dB 和 0.609° ，模擬的均方根增益誤差和均方根相位誤差則為 0.26dB 和 0.852° 。

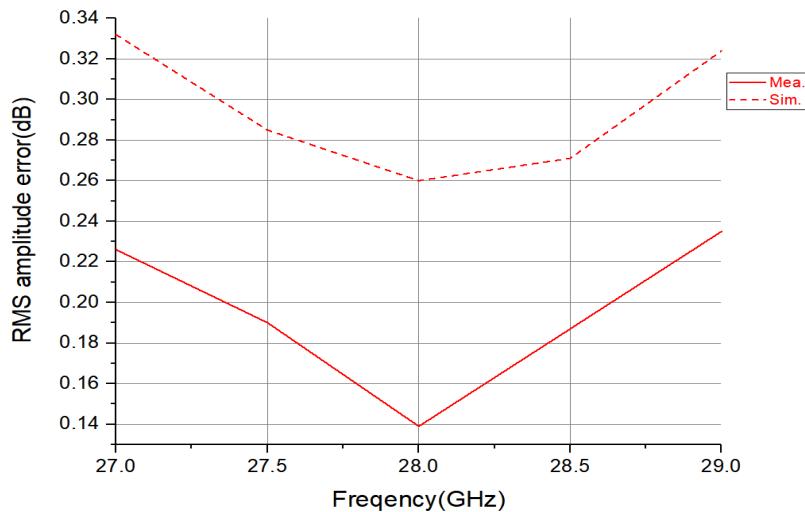


(a)

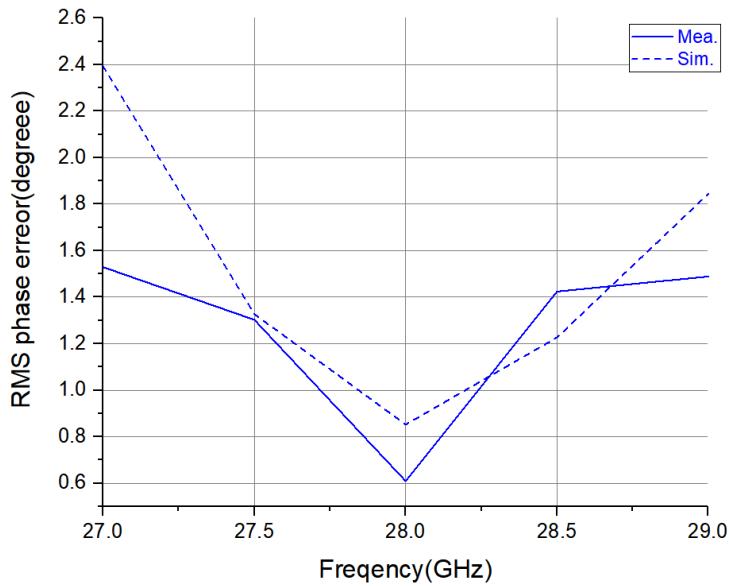


(b)

圖 5-19 相移器(a)大小及平均和(b)相位及誤差。



(a)



(b)

圖 5-20 相移器 64 個狀態之量測與模擬的(a)均方根增益誤差與(b)相位誤差。

表 5-4 相移器量測相位與理想相位比較表。

State	Phase (°)		Ideal (°)	Error (°)
	絕對	相對		
1	14.96	0.00	0.000	0.00
2	20.07	5.12	5.625	-0.51
3	26.59	11.63	11.250	0.38
4	31.32	16.36	16.875	-0.52
5	37.58	22.63	22.500	0.13
6	43.08	28.12	28.125	0.00
7	48.38	33.43	33.750	-0.32
8	54.20	39.24	39.375	-0.13
9	60.62	45.67	45.000	0.67
10	66.16	51.21	50.625	0.58
11	72.38	57.42	56.250	1.17
12	77.26	62.31	61.875	0.43
13	83.19	68.23	67.500	0.73
14	89.09	74.13	73.125	1.00
15	93.45	78.49	78.750	-0.26
16	100.41	85.46	84.375	1.08
17	104.90	89.94	90.000	-0.06
18	110.10	95.14	95.625	-0.48
19	117.12	102.16	101.250	0.91
20	122.51	107.55	106.875	0.68



State	Phase (°)		Ideal (°)	Error (°)
	絕對	相對		
21	128.26	113.30	112.500	0.80
22	133.78	118.82	118.125	0.70
23	139.58	124.62	123.750	0.87
24	143.84	128.89	129.375	-0.49
25	149.70	134.74	135.000	-0.26
26	156.04	141.08	140.625	0.46
27	161.92	146.97	146.250	0.72
28	167.14	152.19	151.875	0.31
29	172.34	157.38	157.500	-0.12
30	178.52	163.56	163.125	0.44
31	-175.73	169.31	168.750	0.56
32	-171.29	173.76	174.375	-0.62
33	-164.17	-179.13	-180.000	0.88
34	-159.78	-174.73	-174.375	-0.36
35	-152.99	-167.94	-168.750	0.81
36	-147.93	-162.88	-163.125	0.24
37	-141.86	-156.82	-157.500	0.68
38	-137.70	-152.66	-151.875	-0.79
39	-130.64	-145.59	-146.250	0.66
40	-124.57	-139.52	-140.625	1.10
41	-119.51	-134.46	-135.000	0.54
42	-113.61	-128.57	-129.375	0.81
43	-108.53	-123.49	-123.750	0.26
44	-103.68	-118.64	-118.125	-0.51
45	-96.12	-111.07	-112.500	1.43
46	-90.69	-105.65	-106.875	1.23
47	-86.44	-101.40	-101.250	-0.15
48	-79.95	-94.91	-95.625	0.72
49	-74.62	-89.58	-90.000	0.42
50	-69.19	-84.15	-84.375	0.23
51	-63.53	-78.48	-78.750	0.27
52	-58.03	-72.99	-73.125	0.14
53	-52.84	-67.80	-67.500	-0.30
54	-46.86	-61.81	-61.875	0.06
55	-41.32	-56.28	-56.250	-0.03
56	-36.16	-51.12	-50.625	-0.49
57	-30.31	-45.27	-45.000	-0.27
58	-24.21	-39.17	-39.375	0.21
59	-18.11	-33.07	-33.750	0.68



State	Phase (°)		Ideal (°)	Error (°)
	絕對	相對		
61	-7.21	-22.17	-22.500	0.33
62	-1.18	-16.14	-16.875	0.74
63	3.84	-11.11	-11.250	0.14
64	8.78	-6.18	-5.625	-0.55

表 5-5 相移器特性比較表。

Parameter	[26] 2020 JSSC	[27] 2018 IEEE	[28] 2021 IEEE	[29] 2022 IEEE	This work
Process	65nm CMOS	65nm CMOS	28nm CMOS	65nm CMOS	180nm CMOS
Frequency (GHz)	27.8-28.2	28	28	27-34	28
Insertion Loss(dB)	>-2.5	<-3	-0.36	-5.8	-18.74±0.36
Return Loss(dB)	<-10	<-10	<-10	<-10	<-10
Resolution (°)	5.625	5.625	2.8125	11.25	5.625
Phase Range (°)	360	360	360	360	360
RMS amplitude Error (dB)	<0.5	<0.21	0.36	1.17	<0.14
RMS phase Error (°)	<2.1	<1.2	0.92	1.96	<0.61
DC Power (mW)	22	14.16	35	32	25.2
IP1dB(dBm)	-8	NA	NA	NA	NA
Area(mm ²)	0.29	0.731	0.19	0.31	1.4
FOM	5.45	33.33	16.22	0.98	9.03

$$F_oM = \frac{f_o[GHz]*Gain_{AV}[abs]*Resolution[bits]}{RMS\ phase\ error[^{\circ}]*RMS\ amplitude\ error[dB]*P_d[mW]}$$

表 5-5 為相移器特性比較表。和其他論文相比，我們擁有最好的 RMS amplitude error 和 RMS phase error。但我們的增益只有-18.74dB，為最差的，因此最後得到的

FOM 只有 9.03，和其他論文相比排第三。而晶片面積的部分也是所有論文中最大的。



Chapter 6 結論與未來展望



6.1 結論

本論文採用 180nm CMOS 製程實現在 Ka 頻段的主動式向量和式的相移器，主要的應用在於 5G 毫米波段的通訊系統上。

本次的相移器架構由正交耦合器、PIVA、數位式可變增益放大器、功率整合器及 45°開關式相移器組合而成。正交耦合器產生 IQ 相差 90°的訊號後再由 PIVA 切換 0°/180°形成 $\pm I \pm Q$ 的訊號，此時已經完成四象限的切換。接下來通過數位式可變增益放大器改變 IQ 訊號的大小由功率整合器相加達到相位移的效果。最後因數位式可變增益放大器的可變增益範圍不夠，無法達到 360°的全相位切換，因此最後補上了 45°開關式相移器。其中數位式可變增益放大器利用控制電晶體開或關，影響電流的導向藉此改變增益大小，且解析度達到 6bits。

本論文的電路設計主要都在 Agilent ADS 上模擬，電磁模擬的部分則是利用 Sonnet 軟體進行，Layout 在 Virtuoso 上繪製，然後通過 LVS 及 DRC 驗證後送出製作。最後晶片回來後，在台大電機二館的 505 室進行量測。本論文的相移器在模擬下，反射係數 S_{11} 和 S_{22} 在 28GHz 時都小於-10dB， S_{21} 的平均大小為-18.393 dB，最大誤差為-2.963%。均方根增益誤差為 0.26dB，均方根相位誤差則為 0.852°。直流功耗為 25.09mW。本論文量測的結果在 28GHz 時反射係數 S_{11} 和 S_{22} 都小於-10dB， S_{21} 的平均大小為-18.737 dB，最大誤差為 1.92%。均方根增益誤差為 0.139 dB，均方根相位誤差則為 0.609°。直流功耗為 25.2mW。

本論文成功實現在 Ka 頻段進行相位的切換，並且解析度達到 6bits，而能夠改善的部分為數位式可變增益放大器，如何提升它的增益讓相移器整體大小增加或是改善它的增益範圍，這樣就不用再加上 45°開關式相移器既可以節省面積也能減少因為 45°開關式相移器造成的損耗。

6.2 未來展望

本論文的 VGA 有消耗 DC power 但增益是小於 0dB 的，首先可從電路佈局上改善，因為當時 VGA 的 4 組數位開關所使用的電晶體為 RFMOS，面積較大，所以需要較長的走線連接，也因此造成大量的損耗，若將 4 組數位式的開關都改

成普通 MOS 有助於提升 VGA 整體的增益。如圖 6-1 所示，pre-sim 的 S_{21} 在 28GHz 時最大值為 4.722dB，而 po-sim 也就是考慮走線後的 EM 模擬得到的 S_{21} 在 28GHz 時最大值為 -0.143dB，相差了 4.865dB，因此若能減少走線的長度可增加 VGA 整體的增益。之後也可以改用 current combined 的方式將上下兩路的 VGA 直接進行合併，不需要再透過 power combiner 電路合併既可節省面積也能減少 power combiner 造成的損耗。還有就是 PIVA 這個架構也可以通過 Gilbert cell 的方式和 VGA 結合，如圖 6-2 所示[18]，紅色圈起來的部分為 Gilbert cell 的開關，達到 $0^\circ/180^\circ$ 的轉換，減少 PIVA 造成的損耗。最後 VGA 的 gain range 則可以通過增加數位控制開關的電晶體的尺寸，增益下降的幅度更大，造成 gain range 提升。但因為輸出阻抗的部分會隨著數位開關的開或關而有所改變，且電晶體尺寸越大影響越大，故須注意 output matching 的問題以及 phase variation。

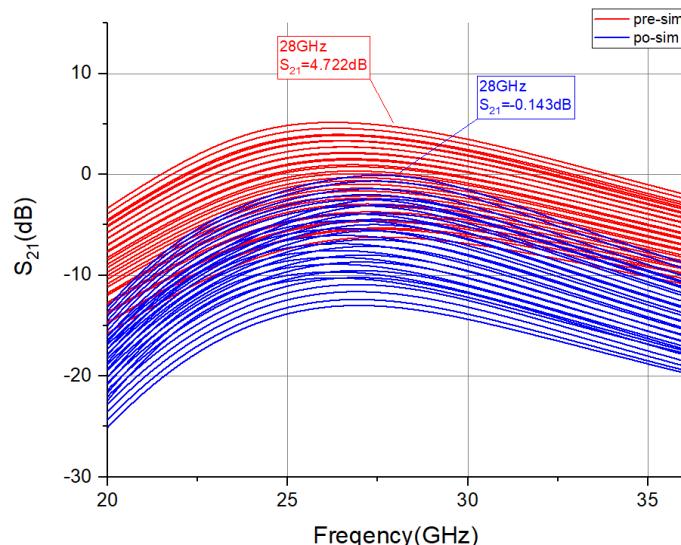


圖 6-1 pre-sim 和 po-sim 的 S_{21} 。

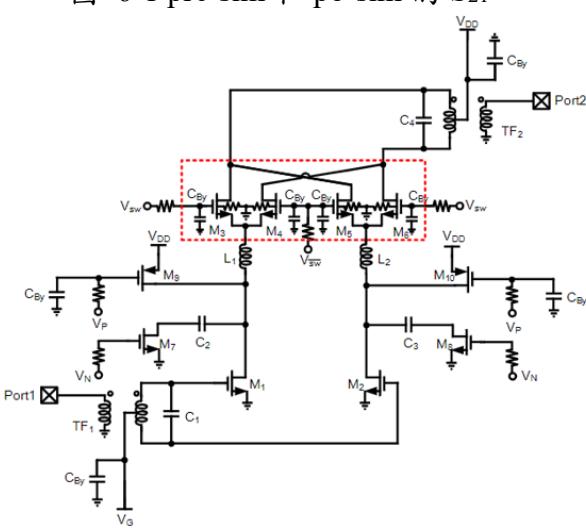


圖 6-2 0- π 可變增益放大器之電路架構圖。[18]

參考文獻



- [1] TECH NEWS 科技新報 一次搞懂 5G！三大特性：高速度、低延遲、多連結 [Online]. Available: <https://technews.tw/2020/09/27/5g-figure-out/>
- [2] 新通訊多元測試推進全球標準 5G 生態系「安全」不缺席:[Online]. Available: <https://www.2cm.com.tw/2cm/zh-tw/market/2EBE1A0F9C2540F88E573F5B9C2ECDF>
- [3] 紀鈞翔. 5G 行動通訊之毫米波相位陣列天線系統. [Online]. Available: <https://ictjournal.itri.org.tw/Content/Messagess/contents.aspx?&MmmID=654304432061644411&CatID=654313611231473607&MSID=654516526542211241>
- [4] Chunyuan Zhou, He Qian, and Zhiping Yu, "A lumped elements varactor-loaded transmission-line phase shifter at 60GHz," in *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, November 2010, pp. 656-658.
- [5] Hyo-Sung Lee and Byun-Wook Min, "W-band CMOS 4-bit phase shifter for high power and phase compression points," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no.1, pp. 1-5, January 2015.
- [6] W. Li, Y. Chiang, J. Tsai, H. Yang, J. Cheng and T. Huang, "60-GHz 5-bit phase shifter with integrated VGA phase-error compensation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 3, pp. 1224-1235, March 2013.
- [7] J. H. Tsai, C. K. Liu, and J. Y. Lin, "A 12 GHz 6-bit switch-type phase shifter MMIC," *2014 44th European Microwave Conference*, October 2014, pp. 1916-1919.
- [8] F. Ellinger, R. Vogt, and W. Bachtold, "Ultracompact reflective-type phase shifter MMIC at C-band with 360° phase-control range for smart antenna combining," *IEEE J. Solid-State Circuits*, vol. 37, no. 4, pp. 481-486, April 2002.
- [9] Y. Chang, Z. Ou, H. Alsuraisry, A. Sayed and H. Lu, "A 28-GHz low-power vector-sum phase shifter using biphasic modulator and current reused Technique," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 11, pp. 1014-1016,

November 2018.

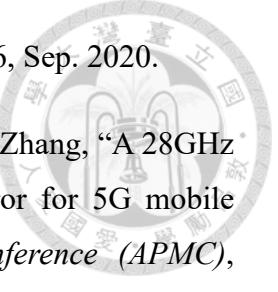


- [10] I. S. Song, J. G. Lee, G. Yoon, and C. S. Park, "A low power LNA-phase shifter with vector sum method for 60 GHz beamforming receiver," *IEEE Microwave and Wireless Components Letters*, vol. 25, no. 9, pp. 612-614, July 2015.
- [11] T. Yu and G. M. Rebeiz, "A 22~24 GHz 4-element CMOS phased array with on-chip coupling characterization," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2134-2143, September 2008.
- [12] T. Yu and G. M. Rebeiz, "A 24 GHz 6-bit CMOS phased-array receiver," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 6, pp. 422-424, June 2008.
- [13] Pen-Jui Peng, "Design of phase shifter for microwave and millimeter-wave applications," Graduate Institute of Communication Engineering, Master Thesis, National Taiwan University, June 2010.
- [14] Liang-Cheng Chen, "A Ka band bi-directional active vector-sum phase shifter using bi-directional variable gain amplifier ,," Graduate Institute of Electronics Engineering, Master Thesis, National Taiwan University, October 2021.
- [15] B. Razavi, RF Microelectronics, 2nd ed. Paul Boger, 2011.
- [16] Y.-T. Chang, Y.-N. Chen, and H.-C. Lu, "A 38 GHz low power variable gain LNA using PMOS current-steering device and Gm-boost technique," *2018 Asia-Pacific Microwave Conference (APMC)*, November 2018, pp. 654-656.
- [17] Yongran Yi, Dixian Zhao, and Xiaohu You, "A Ka-band CMOS digital-controlled phase-invariant variable gain amplifier with 4-bit tuning range and 0.5-dB resolution," in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 10-12, June, 2018, pp. 152-155, doi: 10.1109/RFIC.2018.8428833
- [18] Cheng-Han Yu, "A Ka band active vector-sum phase shifter using 0- π variable gain amplifier," Graduate Institute of Electronics Engineering, Master Thesis, National Taiwan University, December 2021.
- [19] Zhe-Wei Ou, "A Ka band low gain variation vector-sum phase shifter using phase-

invertible variable gain attenuator," Graduate Institute of Electronics Engineering, Master Thesis, National Taiwan University, July 2017.

- 
- [20] C. W. Wang, H. S. Wu, and C. K. C. Tzuang, "CMOS passive phase shifter with group-delay deviation of 6.3 ps at K-band," *IEEE Trans. Micro. Theory Tech.*, vol. 59, no. 7, pp. 1778-1786, July 2011.
 - [21] L. M. Devlin and B. J. Minnis, "A versatile vector modulator design for MMIC," *IEEE International Digest on Microwave Symposium*, May 1990, pp. 519-521.
 - [22] M. Chongcheawchamnan, S. Bunnjaweht, D. Kpogla, D. Lee, and I. D. Robertson, "Microwave I-Q vector modulator using a simple technique for compensation of FET parasitics," *IEEE Trans. Micro. Theory Tech.*, vol. 50, no. 6, pp. 1642-1646, June 2002.
 - [23] H. S. Wu, C. W. Wang, J. G. Ma, and C. K. Tzuang, "A K-band CMOS monopulse comparator incorporating the phase-invertible variable attenuator," *2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2013, pp.249-251.
 - [24] A. E. Ashtiani, N. Sueng-II, A. d'Espona, S. Lucyszyn, and I. D. Robertson, "Direct multilevel carrier modulation using millimeter-wave balanced vector modulators," *IEEE Trans. Micro. Theory Tech.*, vol. 46, no. 12, pp. 2611-2619, Dec. 1998.
 - [25] Yun-Hsuan Yeh, "Phase shifters and power detectors for 5G communication," Graduate Institute of Electronics Engineering, Master Thesis, National Taiwan University, July 2016.
 - [26] J. Pang, Zheng Li, Ryo Kubozoe, Xueting Luo, Rui Wu, Yun Wang, Dongwon You, Ashbir Aviat Fadila, Rattanan Saengchan, Takeshi Nakamura, Joshua Alvin, Daiki Matsumoto, Bangan Liu, Aravind Tharayil Narayanan, Junjun Qiu, Hanli Liu, Zheng Sun, Hongye Huang, Korkut Kaan Tokgoz, Keiichi Motoi, Naoki Oshima, Shinichi Hori, Kazuaki Kunihiro, Tomoya Kaneko, Atsushi Shirane, and Kenichi Okada, "A 28-GHz CMOS phased-array beamformer utilizing neutralized bi-directional technique supporting dual-polarized MIMO for 5G

NR," *IEEE J.Solid-State Circuits*, vol. 55, no. 9, pp. 2371-2386, Sep. 2020.

- 
- [27] Xingyu Qi, Shuyu Liu, Zongyuan Zheng, Bo Wang, and Xing Zhang, "A 28GHz 6-bit two-stage vector-sum phase shifter with low RMS error for 5G mobile communication," *IEEE 2018 Asia-Pacific Microwave Conference (APMC)*, November, 2020, doi: 10.23919/APMC.2018.8617563.
 - [28] J. Zhou, Huizhen Jenny Qian, and Xun Luo, "High-resolution wideband vector-sum digital phase shifter with on-chip phase linearity enhancement technology", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 6, pp. 2457-2469, June 2021.
 - [29] H. Yang, Y. Yu, C. Zhao, H. Liu, Y. Wu, and K. Kang, "A dual-band vector-sum phase shifter for 28-GHz and 60-GHz phased arrays in 65-nm CMOS", *2022 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2022, pp. 3082-3086.