

國立臺灣大學電機資訊學院光電工程學研究所



碩士論文

Graduate Institute of Photonics and Optoelectronics  
College of Electrical Engineering and Computer Science

National Taiwan University

Master's Thesis

應用於超導量子讀取系統之低溫 CMOS 低功耗寬頻低雜訊放  
大器設計與實現

Design and Implementation of Cryo-CMOS Low-Power Broadband Low-  
Noise Amplifiers for Superconducting Quantum Readout Systems

吳勉育

Mian-Yu Wu

指導教授：邱奕鵬 博士

Advisor: Yih-Peng Chiou, Ph.D.

中華民國 115 年 1 月

January, 2026

## 誌謝

首先，我要由衷感謝指導教授邱奕鵬博士。在論文研究過程中，老師在跨領域技術整合上給予了我許多寶貴的指導，特別是在面對電路板實務問題與電路設計邏輯的衝突時，老師能以精準的學術眼光，協助我撥雲見日並建立清晰的架構。此外，感謝賴志賢教授與江衍忠教授於百忙中撥冗擔任口試委員，針對論文的研究細節與撰寫邏輯提供了精闢的見解，使本論文更臻完善。

在實務研發方面，特別感謝工研院電光系統所的昌昇副組長與哲豪博士。感謝兩位在我對電路設計尚處於摸索階段時，耐心地由淺入深帶領我建立專業知識，並提供豐沛的資源與量測環境，讓研究得以順利推進。

此外，感謝實驗室的同儕們：育世、子宸、陳徹、信淵、俊弘。感謝你們在研究路上的討論與協助，與你們共同奮鬥的時光，讓我的碩士生活過得十分充實且精彩。

最後，我要向我的家人表達最深的謝意。感謝父母在碩士期間提供經濟上的全力支持，讓我可以無後顧之憂地專注於學業與研究。謹將這份研究成果，與所有支持我的家人與朋友共同分享。

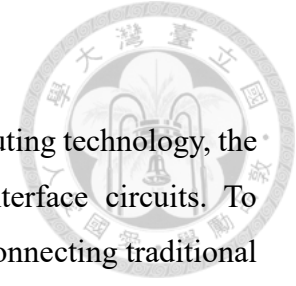
## 中文摘要

隨著超導量子計算技術的快速發展，量子位元數量的規模化對讀取介面電路提出了嚴峻挑戰。為了克服傳統室溫電子設備需透過大量長電纜連接至低溫腔體所帶來的訊號損耗與熱負載問題，將射頻前端電路整合至 4 K 低溫環境的 Cryo-CMOS 技術已成為關鍵解決方案。本論文旨在設計並實作適用於 4 K 環境、頻寬涵蓋 4 - 10 GHz 之寬頻低雜訊放大器，以滿足頻分多工量子讀取系統之需求。

本研究採用 TSMC 28 nm CMOS 製程，設計並實作了源極電感退化與交叉電容耦合共閘極 (CCC-CG) 兩款不同架構之低雜訊放大器。源極退化架構利用電感性回授達成低雜訊與良好輸入匹配，而 CCC-CG 架構則透過交叉耦合電容提升等效轉導( $g_m$ )，在低功耗下實現寬頻匹配與增益平坦度。電路設計過程中考量了低溫下 MOS 電晶體載子遷移率提升與閾值電壓漂移之特性，並針對 Chip-on-Board (COB) 封裝引入的打線寄生效應進行了嚴謹的電磁模擬與優化。量測結果顯示，兩款晶片在常溫環境下皆功能正常，且透過引入打線電感與 PCB 寄生模型之擬合模擬，成功驗證了實測頻率偏移之物理成因。在 4 K 低溫量測中，受惠於金屬導線電阻下降與電晶體轉導提升，電路展現出優異的增益與雜訊性能。本研究成功驗證了 28 nm CMOS 製程應用於高效能量子讀取介面之可行性，並建立了從元件建模、電路設計到低溫封裝量測的完整開發流程，為未來大規模量子電腦之控制晶片設計提供重要參考。

關鍵字：低雜訊放大器、低溫 CMOS、量子位元讀取、源極電感退化、交叉電容耦合共閘極。

# ABSTRACT



With the rapid development of superconducting quantum computing technology, the scaling of qubit numbers poses severe challenges to readout interface circuits. To overcome the signal attenuation and thermal load issues caused by connecting traditional room-temperature electronics to the cryogenic chamber via massive long cables, integrating RF front-end circuits into the 4 K cryogenic environment using Cryo-CMOS technology has become a key solution. This thesis aims to design and implement broadband low-noise amplifiers (LNAs) suitable for the 4 K environment, covering a bandwidth of 4 – 10 GHz, to meet the requirements of frequency-division multiplexing (FDM) quantum readout systems.

This study utilizes the TSMC 28 nm CMOS process to design and implement two different LNA architectures: Source Inductive Degeneration and Cross-Coupled Capacitor Common-Gate (CCC-CG). The source degeneration architecture utilizes inductive feedback to achieve low noise and good input matching, while the CCC-CG architecture enhances effective transconductance through cross-coupled capacitors, achieving broadband matching and gain flatness with low power consumption. The circuit design process considered the characteristics of carrier mobility enhancement and threshold voltage shift of MOS transistors at cryogenic temperatures. Furthermore, rigorous electromagnetic simulation and optimization were conducted to address the wire-bonding parasitic effects introduced by Chip-on-Board (COB) packaging.

Measurement results show that both chips function normally at room temperature. Through fitting simulations incorporating wire bond inductance and PCB parasitic models, the physical causes of the measured frequency shift were successfully verified. In 4 K cryogenic measurements, benefiting from the reduced resistance of metal interconnects and the increased transistor transconductance, the circuits demonstrated excellent gain and noise performance. This research successfully verifies the feasibility of applying the 28 nm CMOS process to high-performance quantum readout interfaces and establishes a complete development flow—from device modeling and circuit design to cryogenic packaging measurement—providing an important reference for the design of control chips for future large-scale quantum computers.

**Keywords**— Low Noise Amplifier (LNA), Cryo-CMOS, Qubit Readout, Source Inductive Degeneration, Cross-Coupled Capacitor Common-Gate (CCC-CG).

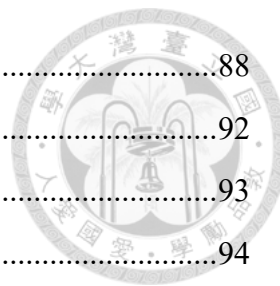
# 目次



誌謝 .....	i
中文摘要 .....	ii
ABSTRACT .....	iii
目次 .....	iv
圖次 .....	vii
表次 .....	xi
<b>第一章 緒論.....</b>	<b>1</b>
1.1 文獻回顧.....	1
1.2 研究動機.....	10
1.3 論文架構.....	11
<b>第二章 基本原理與研究方法 .....</b>	<b>12</b>
2.1 低雜訊放大器的效能指標及拓樸[9,19] .....	12
2.1.1 雜訊指數 (Noise Figure, NF) .....	12
2.1.2 增益 (Gain) .....	17
2.1.3 輸入輸出匹配 (Matching) .....	17
2.1.4 穩定度 (Stability) .....	18
2.1.5 功耗 (Power Consumption) .....	19
2.1.6 線性度 (Linearity) .....	19
2.1.7 輸入匹配架構比較 (Matching topology comparison) .....	20
2.2 共源極低雜訊放大器(common-source LNA)架構分析 .....	23
2.2.1 架構原理.....	23
2.2.2 源極電感退化 (Inductive Source Degeneration) .....	23
2.2.3 雜訊特性分析.....	25
2.3 共閘極低雜訊放大器(Common-gate LNA)架構分析 .....	26
2.3.1 架構原理.....	26
2.3.2 交叉電容耦合共閘極 (Cross-Coupled Capacitor Common-gate) .....	26
2.3.3 雜訊特性分析.....	28
2.4 雜訊匹配(noise matching).....	29

<b>第三章</b>	<b>低雜訊放大器設計與模擬</b>	<b>31</b>
3.1	設計流程	31
3.1.1	整體設計流程	31
3.1.2	電路架構與元件參數設計策略	32
3.2	源極退化低雜訊放大器(Inductively Degenerated LNA)	32
3.2.1	輸入級設計與分析	32
3.2.2	中間級設計與分析	35
3.2.3	輸出級設計與驅動	37
3.2.4	完整電路模擬與分析	39
3.3	交叉電容耦合共閘極低雜訊放大器(CCC-CG LNA)	44
3.3.1	輸入級設計與分析	44
3.3.2	中間級設計與分析	47
3.3.3	輸出級設計與驅動	49
3.3.4	完整電路模擬與分析	51
3.4	低溫模型模擬結果	56
3.4.1	源極退化低雜訊放大器	57
3.4.2	交叉電容耦合共閘極低雜訊放大器	60
<b>第四章</b>	<b>實驗架構與量測結果</b>	<b>64</b>
4.1	晶片設計與封裝實現	64
4.1.1	晶片製程與佈局 (IC Layout)	64
4.1.2	量測用 PCB 測試板設計與實作	67
4.1.3	封裝與晶片顯微照片 (Die Bonding and Micrograph)	71
4.2	實驗架構與量測方法	75
4.2.1	測試晶片實驗架設 (test-kit)	75
4.2.2	常溫環境量測架構	77
4.2.3	低溫環境量測架構	79
4.3	Test-Kit 量測結果	81
4.4	DUT 室溫量測結果	83
4.4.1	源極退化低雜訊放大器	83

4.4.2	交叉電容耦合共閘極低雜訊放大器.....	88
4.5	DUT 低溫量測結果.....	92
4.5.1	源極退化低雜訊放大器.....	93
4.5.2	交叉電容耦合共閘極低雜訊放大器.....	94
<b>第五章</b>	<b>結論.....</b>	<b>96</b>
	參考文獻.....	97



## 圖次

圖 1.1.1 射頻接收機的基頻轉換示意圖 .....	2
圖 1.1.2 可調頻率的 transmon qubit[9] .....	3
圖 1.1.3 超導量子位元讀取系統架構圖，說明 LNA 在低溫環境中的位置[13] .....	4
圖 1.1.4 用於操作 50 個量子位元 Google 量子處理器的微波電子設備[12] .....	5
圖 1.1.5 量子計算中相關的電磁頻譜範圍[12] .....	5
圖 1.1.6 在 40nm CMOS 製程中，厚氧化層 NMOS 與 PMOS 的 I-V 特性[14] .....	7
圖 1.1.7 在 40nm CMOS 製程中，薄氧化層 NMOS 與 PMOS 的 I-V 特性[14] .....	7
圖 1.1.8 文獻[15]所提出 LNA 於 16K 下之性能：NF、增益與輸入匹配。 .....	8
圖 1.1.9 文獻[17]所提出 Cryo-CMOS LNA 之三階增益響應模擬結果 .....	8
圖 1.1.10 文獻[13]所提出具高 Q 電感與反饋結構之超低功耗 LNA 設計 .....	9
圖 2.1.1 熱雜訊模型圖：(a)電阻元件中的等效熱雜訊電壓源；(b)MOSFET 通道中的等效熱雜訊電流源模型 .....	13
圖 2.1.2 基板與氧化層之間的 dangling bonds[19] .....	14
圖 2.1.3 閃爍雜訊的轉折頻率[19] .....	15
圖 2.1.4 MOSFET 中的感應閘極電流雜訊[19] .....	16
圖 2.1.5 輸入阻抗平面上的 Constant- $\Gamma$ 等高線 .....	18
圖 2.1.6 電阻終端匹配 .....	20
圖 2.1.7 源極電感退化 .....	21
圖 2.1.8 回授型匹配結構 .....	21
圖 2.1.9 共閘極輸入匹配 .....	22
圖 2.2.1 (a)共源極放大器基本電路圖；(b)對應之小訊號等效模型 .....	23
圖 2.2.2 (a)源極電感退化；(b)對應之小訊號等效模型 .....	24
圖 2.3.1 (a) 共閘極放大器基本電路圖；(b)對應之小訊號等效模型 .....	26
圖 2.3.2 基本的 CGLNA 架構，具備 $gm$ 增強的回授放大器[27] .....	27
圖 2.3.3 交叉電容耦合共閘極 LNA[27] .....	27
圖 2.4.1 兩個雜訊波在輸入端的相干合成行為[28] .....	29
圖 2.4.2 串聯放大器系統示意圖 .....	30
圖 3.2.1 源極退化低雜訊放大器輸入級架構 .....	33

圖 3.2.2 輸入級的反射損耗頻率響應模擬結果 .....	34
圖 3.2.3 輸入級電壓增益模擬結果 .....	34
圖 3.2.4 中間級共源極放大器之電路架構圖 .....	35
圖 3.2.5 第二級與第三級放大器之電壓增益模擬結果 .....	36
圖 3.2.6 輸出級共汲極緩衝電路架構與偏壓設計 .....	37
圖 3.2.7 輸出級的反射損耗頻率響應模擬結果 .....	38
圖 3.2.8 輸出級電壓增益模擬結果 .....	38
圖 3.2.9 完整低雜訊放大器電路圖 .....	39
圖 3.2.10 全電路佈局後模擬之 S 參數結果 .....	40
圖 3.2.11 全電路佈局後模擬之雜訊指數結果 .....	41
圖 3.2.12 全電路佈局後模擬之 IP1dB 結果 .....	41
圖 3.2.13 全電路佈局後模擬之 IIP3 結果 .....	42
圖 3.2.14 移除輸出緩衝級後之 IP1dB 模擬結果 .....	43
圖 3.2.15 移除輸出緩衝級後之 IIP3 模擬結果 .....	43
圖 3.3.1 交叉電容耦合共閘極低雜訊放大器輸入級架構 .....	45
圖 3.3.2 輸入級的反射損耗頻率響應模擬結果 .....	45
圖 3.3.3 輸入級電壓增益模擬結果 .....	46
圖 3.3.4 中間級放大器之電路架構圖 .....	47
圖 3.3.5 中間級放大器之電壓增益模擬結果 .....	48
圖 3.3.6 輸出級緩衝電路結構 .....	49
圖 3.3.7 輸出級反射損耗模擬結果 .....	50
圖 3.3.8 輸出級電壓增益模擬結果 .....	50
圖 3.3.9 完整 CCC-CG 低雜訊放大器電路圖 .....	51
圖 3.3.10 全電路佈局後模擬之 S 參數結果 .....	52
圖 3.3.11 全電路佈局後模擬之雜訊指數結果 .....	53
圖 3.3.12 全電路佈局後模擬之 IP1dB 結果 .....	53
圖 3.3.13 全電路佈局後模擬之 IIP3 結果 .....	54
圖 3.3.14 移除輸出緩衝級後之 IP1dB 模擬結果 .....	55
圖 3.3.15 移除輸出緩衝級後之 IIP3 模擬結果 .....	55

圖 3.4.1 源極退化低雜訊放大器於不同模擬條件下之 S21.....	58
圖 3.4.2 源極退化低雜訊放大器於不同模擬條件下之 S11.....	58
圖 3.4.3 源極退化低雜訊放大器於不同模擬條件下之 S12.....	59
圖 3.4.4 源極退化低雜訊放大器於不同模擬條件下之 S22.....	59
圖 3.4.5 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之 S21.....	61
圖 3.4.6 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之 S11.....	61
圖 3.4.7 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之 S12.....	62
圖 3.4.8 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之 S22.....	63
圖 4.1.1 採用源極電感退化結構的低雜訊放大器 layout.....	65
圖 4.1.2 交叉電容共閘極低雜訊放大器 layout.....	65
圖 4.1.3 採用源極電感退化結構的低雜訊放大器在顯微鏡下晶片實體影像.....	66
圖 4.1.4 交叉電容共閘極低雜訊放大器在顯微鏡下晶片實體影像.....	66
圖 4.1.5 採用源極電感退化架構之低雜訊放大器的 PCB 設計圖.....	67
圖 4.1.6 單端 CPWG 微帶線結構與設計參數示意圖.....	68
圖 4.1.7 單端 CPWG 結構在 4–10 GHz 頻段之 Smith 圖匹配結果.....	68
圖 4.1.8 交叉電容共閘極低雜訊放大器的 PCB 設計圖.....	69
圖 4.1.9 差動 CPWG 微帶線結構與設計參數示意圖.....	69
圖 4.1.10 差動 CPWG 結構在 4–10 GHz 頻段之 Smith 圖匹配結果.....	70
圖 4.1.11 源極電感退化架構低雜訊放大器打線實體圖.....	72
圖 4.1.12 源極電感退化架構低雜訊放大器之打線放大圖.....	72
圖 4.1.13 交叉電容共閘極低雜訊放大器打線實體圖.....	73
圖 4.1.14 交叉電容共閘極低雜訊放大器之打線放大圖.....	73
圖 4.1.15 源極電感退化架構低雜訊放大器之 COB 封裝實體圖.....	74
圖 4.1.16 交叉電容共閘極低雜訊放大器之 COB 封裝實體圖.....	74
圖 4.2.1 Test-kit 量測系統的連接示意圖.....	75
圖 4.2.2 測試晶片實際安裝於 CRX-4K 低溫腔體內之照片.....	76
圖 4.2.3 常溫量測系統連接示意圖.....	77
圖 4.2.4 常溫量測實際儀器配置照片.....	78
圖 4.2.5 Bluefors 低溫系統量測架構示意圖.....	79

圖 4.2.6 Bluefors 低溫系統實體安裝照片 .....	80
圖 4.3.1 室溫與低溫條件下，1×8 NMOS 之 IDS – VDS 輸出特性曲線.....	81
圖 4.3.2 室溫與低溫條件下，1×8 NMOS 之轉導隨頻率變化曲線 .....	82
圖 4.4.1 源極退化 LNA 輸入反射係數之頻率響應 .....	84
圖 4.4.2 源極退化 LNA 反向隔離度之頻率響應 .....	84
圖 4.4.3 源極退化 LNA 小訊號增益之頻率響應 .....	85
圖 4.4.4 源極退化 LNA 輸出反射係數之頻率響應 .....	85
圖 4.4.5 輸入反射係數之 Smith Chart 阻抗軌跡分析 .....	86
圖 4.4.6 輸出反射係數之 Smith Chart 阻抗軌跡分析 .....	86
圖 4.4.7 雜訊指數之量測與模擬結果比較 .....	87
圖 4.4.8 交叉電容耦合共閘極 LNA 輸入反射係數之頻率響應 .....	88
圖 4.4.9 交叉電容耦合共閘極 LNA 增益之頻率響應 .....	89
圖 4.4.10 交叉電容耦合共閘極 LNA 反向隔離度之頻率響應 .....	90
圖 4.4.11 交叉電容耦合共閘極 LNA 輸出反射係數之頻率響應 .....	91
圖 4.5.1 源極退化低雜訊放大器常溫及低溫增益之頻率響應圖 .....	93
圖 4.5.2 交叉電容耦合共閘極低雜訊放大器常溫及低溫增益之頻率響應圖 .....	94

## 表次

表 1.1.1 低雜訊放大器與功率放大器之功能與設計重點比較 .....	1
表 2.1.1 各輸入級拓樸之優缺點比較 .....	22
表 3.2.1 元件參數數值整理 .....	40
表 3.3.1 CCC-CG 元件參數數值整理 .....	52
表 4.5.1 比較表 .....	95



# 第一章 緒論



## 1.1 文獻回顧

低雜訊放大器 (low noise amplifier, LNA) 是射頻 (RF) 與微波系統中的重要關鍵元件，主要應用於射頻接收系統的前端電路，其核心功能在於接收並放大來自天線的極微弱訊號。由於這些訊號的功率通常非常低，一般落在  $-130$  dBm 至  $-40$  dBm 之間，因此若放大過程中引入過多雜訊，將顯著降低整個接收系統的靈敏度與訊雜比 (signal-to-noise ratio, SNR) [1]。其定義為訊號功率與雜訊功率的比值，表示為：

$$SNR = \frac{P_{signal}}{P_{noise}} \quad (1.1.1)$$

為評估接收品質的重要指標。低雜訊放大器之設計目標即是提供足夠增益同時盡可能降低附加的雜訊指數 (noise figure, NF)，藉以有效提升訊號品質並確保系統的整體接收性能。相較於另一種常見的射頻元件—功率放大器 (power amplifier, PA)，兩者在系統中的定位與設計重點截然不同。如表 1.1.1，雖然功率放大器可提供較大的輸出功率 (約  $0$  dBm 至  $+50$  dBm 以上)，但由於其設計強調高功率與高效率，故雜訊特性普遍較差，不適合直接用於處理微弱訊號的放大任務。相反地，低雜訊放大器憑藉其低雜訊指數及高靈敏度的優點，成為射頻接收端第一級放大電路的理想選擇。

表 1.1.1 低雜訊放大器與功率放大器之功能與設計重點比較

項目	低雜訊放大器	功率放大器
用途	接收微弱訊號	發射高功率訊號
功率範圍	$-130 \sim -40$ dBm	$0 \sim 50$ dBm
雜訊特性	低	高
使用位置	接收端第一級	發射端最後級
設計重點	低雜訊、高靈敏度	高功率、高效率

此外，低雜訊放大器在無線通訊[2]、衛星通訊[3]、雷達系統[4]，以及近期快速發

展的量子計算領域[5,6]中皆扮演關鍵角色[7]。由於這些應用領域對於訊號純淨度要求極高，微小的訊號雜訊增加都可能導致訊息判讀上的嚴重錯誤，因此低雜訊放大器所提供的低雜訊、高靈敏度特性對整個系統之效能具有決定性的影響。

圖 1.1.1 展示了一種典型的射頻接收機前端電路架構，微弱的射頻訊號經由天線接收後，首先透過低雜訊放大器進行低雜訊放大，再透過混頻器 (mixer) 與本地振盪器 (LO) 進行頻率轉換，以獲取基頻 (base-band) 訊號。可見低雜訊放大器在此架構中所扮演的關鍵角色，確保了後續訊號處理電路能夠順利且精確地完成訊號解調與分析工作。

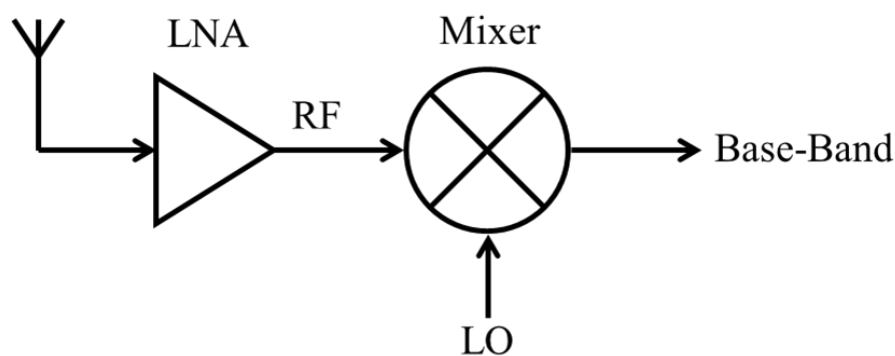


圖 1.1.1 射頻接收機的基頻轉換示意圖

隨著無線通信技術的發展，低雜訊放大器的研究重點逐漸轉向寬頻、低功耗和高線性度設計。隨著 CMOS 製程技術的進步，基於 CMOS 的低雜訊放大器由於其低成本、高度集成化及與數位電路整合的優勢，逐漸成為主流選擇。然而，由於 CMOS 具有較高的寄生效應與較低的增益，使得其在高頻段（如 5G NR、Wi-Fi 6E 及毫米波應用）設計仍然面臨挑戰[8]。目前的 CMOS 低雜訊放大器設計多採用共源共閘疊接 (Common Source Cascode) 結構，透過共源極 (CS) 提供高增益，而共閘極 (CG) 則可提升隔離度以降低回饋效應並提高穩定性。

近年來，量子計算技術的發展迅速，提供了高效處理複雜問題的潛力。特別是以量子為基礎的量子電腦，已成為計算科技最前沿的研究方向之一[9]。量子電腦的基本運算單元為量子位元 (qubit)，與傳統電腦中僅能處於 0 或 1 的二進位元不同，量子位元可同時處於  $|0\rangle$  與  $|1\rangle$  的疊加態，這賦予量子電腦指數級的並行

處理能力。例如，50 個量子位元即可形成  $2^{50}$  個可能態的組合，極為適合解決傳統電腦難以處理的大規模問題。目前最常見的量子位元實作之一為超導式 transmon qubit，其架構為由 Josephson 接面（Josephson junction, JJ）與大電容組成的非線性共振腔。該設計來自於 cooper pair box 架構的延伸，透過增加電容來降低對電荷雜訊的敏感度，提升系統的穩定性[10]。圖 1.1.2 顯示了一個典型的可調頻率 transmon qubit，其包含分佈式電容、XY 控制的 coplanar waveguide (CPW) 線與 Z 控制線，Z 控制線可施加磁通量以動態調變量子位元的頻率。

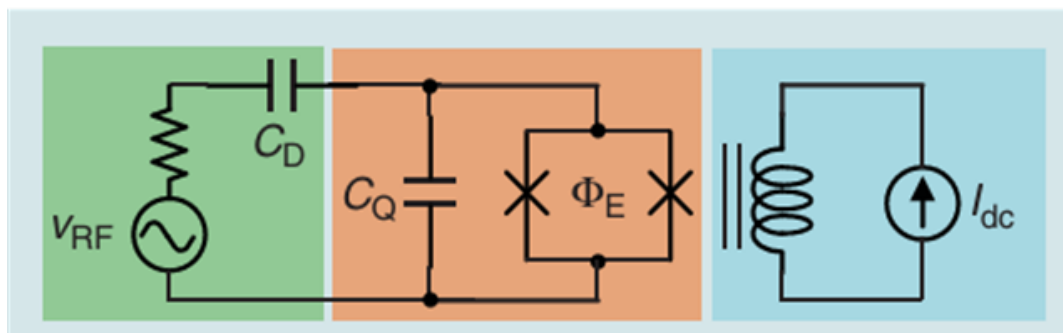


圖 1.1.2 可調頻率的 transmon qubit[9]

Josephson 接面通常採用雙層鋁 (Al) 沉積製程，兩層之間經過氧化形成隧道障壁，並以電子束微影 (e-beam lithography) 製作於藍寶石或高阻矽基板上。較大尺寸的結構則多透過光微影 (photolithography) 與 lift-off 製程實現，並使用鋁或鈮 (Nb) 作為金屬材料。先進製程中 Josephson 接面的尺寸一致性可控制在 1% 以內，對應約 30 MHz 的量子位元頻率誤差。然而，多數實驗室所使用的低量產製程線僅採用 100–200 mm 的試產規模晶圓，導致實際元件參數變異可能超過 1%。

為了讀取量子位元的量子態，transmon qubit 通常會與一個微波共振腔 (resonator) 進行耦合，形成 dispersive readout 架構。當量子位元頻率與共振腔頻率間 detuning 足夠大時，系統進入 dispersive 區域，此時量子位元雖不會與共振腔直接交換能量，但其狀態會影響共振腔的有效頻率，使得外部微波信號在通過共振腔時產生不同的反射相位。此相位改變可藉由後端量測判斷量子位元處於  $|0\rangle$  或  $|1\rangle$  狀態，此架構支援連續測量，並可與低溫低雜訊放大器 (cryogenic LNA) 以及後級解調器整合，構成完整且靈敏度極高的量子讀取電路，如圖 1.1.3 所示。由於讀出信號極為微弱，為避免對量子位元狀態造成干擾，讀出脈衝功率通常小於

-100 dBm，而反射訊號甚至可能低於 -120 dBm。因此，必須在 4 K 環境中設置極低雜訊放大器以放大微波信號，並確保信號的完整性[11]。隨著系統擴展，為支援多個量子位元同時讀取，目前普遍採用頻分多工技術（frequency division multiplexing, FDM）以降低傳輸線複雜度，使單顆低雜訊放大器可同時讀出 5–10 個量子位元的頻率編碼訊號[12]。圖 1.1.4 顯示的是 Google 針對 50 個量子位元系統所建構的控制電子架構，包含多個頻率合成器與後端數位解調器，可同時控制並讀出分布於 4–8 GHz 頻段的超導量子位元。對應的量測頻寬與中頻 IF 分布如圖 1.1.5 顯示，因此量子處理器系統需支援寬頻、高密度頻道分布的特性。除硬體控制架構外，系統設計需考量低溫下的元件特性。若控制與讀出電子系統無法整合於低溫端，將導致大量高頻信號線進入 dilution refrigerator，造成熱負載與雜訊影響。因此，近年興起將低雜訊放大器、解調器、甚至控制 DAC 等功能下放至 4 K 的 Cryo-CMOS 晶片上。此舉可進一步降低線路複雜度與功耗，提升系統整合性。

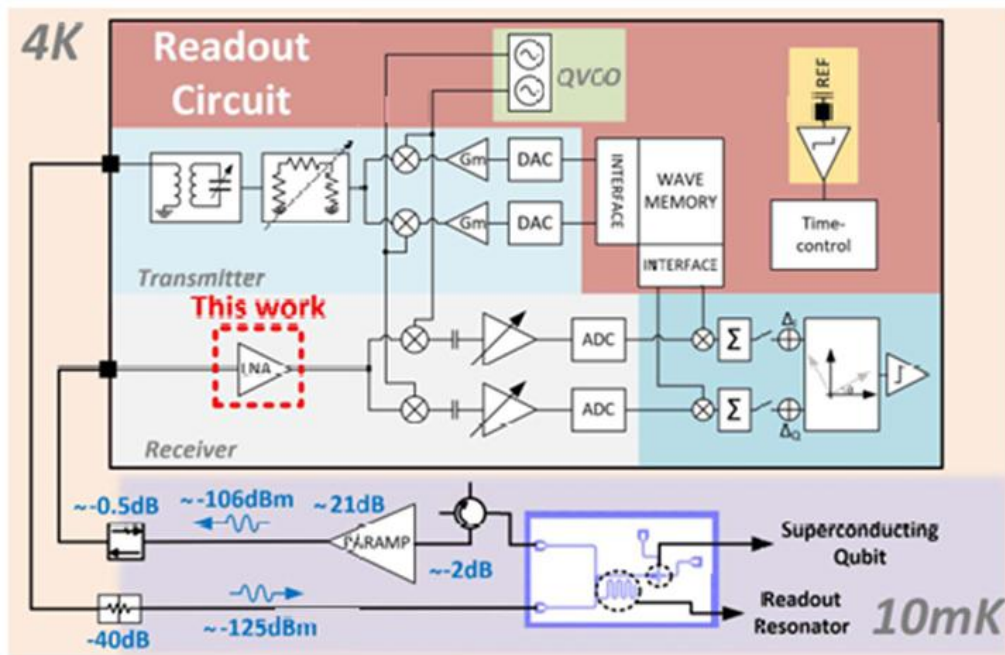


圖 1.1.3 超導量子位元讀取系統架構圖，說明 LNA 在低溫環境中的位置[13]

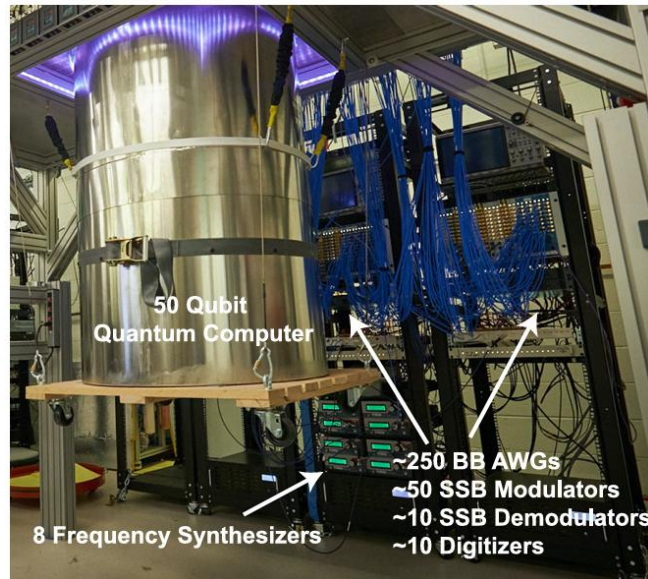


圖 1.1.4 用於操作 50 個量子位元 Google 量子處理器的微波電子設備[12]

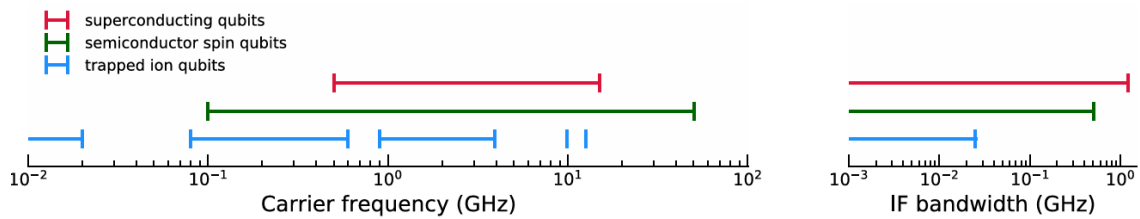


圖 1.1.5 量子計算中相關的電磁頻譜範圍[12]

除了系統架構的簡化外，操作溫度亦對元件效能具有關鍵性影響。相較於常溫（300 K），在 4 K 環境下 MOSFET 通常展現出更佳的驅動能力與穩定性，有助於提升整體量子讀取電路的性能與可靠性。具體而言，4 K 操作環境具備以下幾項主要優勢：

- (1) 熱雜訊抑制與量子態穩定性提升：量子位元對熱擾動高度敏感，低溫可有效延長其相干時間（coherence time），避免 decoherence。
- (2) 簡化互連佈線與系統擴展性：若控制與讀取電路位於不同溫層，需用大量電纜將訊號從室溫導至低溫，增加系統複雜度與佈線成本。將部分 CMOS 控制器放置於 4 K 層可有效減少所需連接數量，提升擴展彈性。
- (3) 提升雜訊性能與放大器效能：在 4 K 環境下，低雜訊放大器可實現更低的雜訊指數，進而提升信號雜訊比，穩定量子位元讀取準確性。
- (4) 功耗與整合性折衷平衡：與極低溫（<100 mK）相比，4 K 層可容許更高功耗

與散熱餘裕，利於整合更多控制與讀取模組。

因此，4 K 作為中介溫層在整體量子讀取架構中，兼具效能與整合優勢，成為 Cryo-CMOS 電路設計的關鍵平臺。



在低溫環境下，MOSFET 的轉導( $g_m$ )會顯著提升，這一現象主要歸因於載子遷移率的增加以及熱載子散射的減少。文獻中指出，當溫度從 300 K 降至 4 K 時，電子的遷移率顯著提升，使得 MOSFET 的驅動能力增強[14]。

具體來說，MOSFET 的轉導  $g_m$  由下式表示：

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (1.1.2)$$

其中， $\mu$  為載子遷移率， $C_{ox}$  為氧化層電容密度， $\frac{W}{L}$  為通道尺寸比例， $V_{GS}$  為柵源電壓， $V_{th}$  為閾值電壓。在低溫下，載子散射減少，遷移率顯著增加，導致  $g_m$  隨之提高。然而，低溫環境下 MOSFET 的閾值電壓  $V_{th}$  也會上升，部分抵消了遷移率增強對  $g_m$  的提升作用。根據測試結果，當溫度從 300 K 降至 4 K 時，MOSFET 的轉導  $g_m$  平均提升約 30%，此提升主要源於電子遷移率的大幅增強，這對於低溫電子電路設計而言是一項重要的考量。此外，由於低溫下元件的非理想效應（如 kinking 和閾值電壓漂移）可能影響電路的穩定性。觀察圖 1.1.6 及圖 1.1.7 的 I-V 特性曲線可以發現，不論是在厚氧化層或薄氧化層製程中，低溫下的汲極電流較常溫有顯著提升，且在飽和區的轉導表現更為強勁。然而，隨之而來的 kink effect（如圖中低溫曲線在特定電壓下的電流擾動）會增加輸出電導的複雜性。因此在設計 Cryo-CMOS 電路時，必須考慮這些變化來優化元件的偏壓與匹配條件，以確保低雜訊放大器或其他高頻電路的最佳效能。

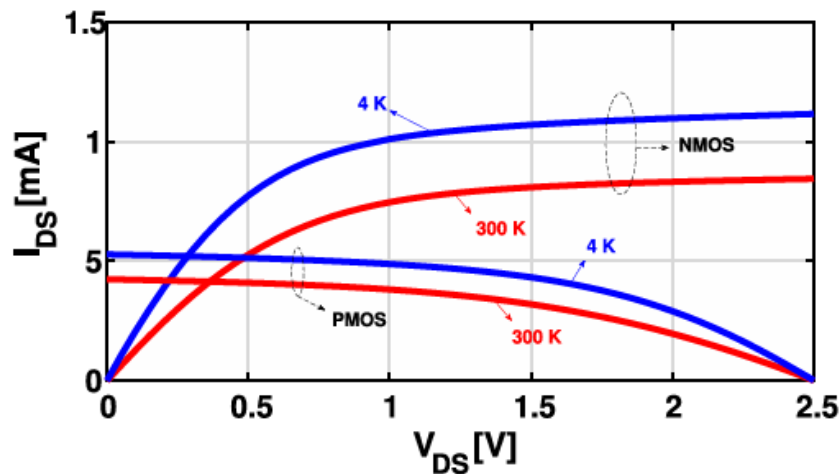
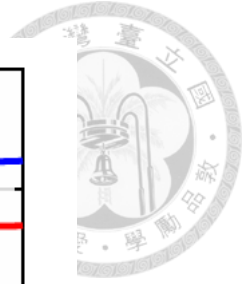


圖 1.1.6 在 40nm CMOS 製程中，厚氧化層 NMOS 與 PMOS 的 I-V 特性[14]

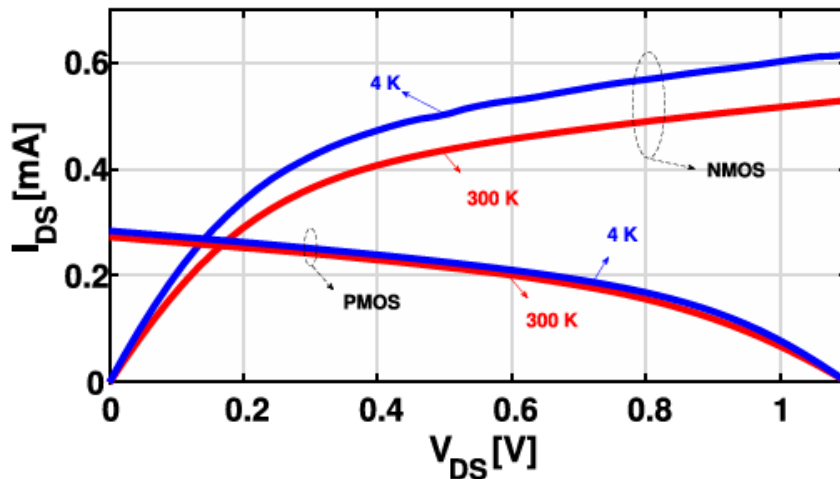


圖 1.1.7 在 40nm CMOS 製程中，薄氧化層 NMOS 與 PMOS 的 I-V 特性[14]

為回應上述技術挑戰，近年來許多研究聚焦於設計具寬頻特性、低功耗與極低雜訊指數的 cyro-CMOS LNA，以滿足未來量子讀取系統大規模佈建之需求。文獻 [15] 提出一款基於 22nm CMOS FDSOI 製程之低溫低雜訊放大器，透過變壓器式回授網路實現雜訊與功率同時匹配 (SNPM)，於 16 K 時在 4.2–9.2 GHz 頻段可達最低 0.065 dB 雜訊指數與超過 31 dB 的增益，展現出優異的寬頻與低溫操作性能。其測試結果如圖 1.1.8 所示，展示於 16 K 下達成極低雜訊指數(最低達 0.065 dB)、高增益與良好匹配，驗證其 SNPM 設計於實際 cryogenic 環境中具備優異性能。而文獻[16]則展示一款實作於 180nm CMOS 技術的 X 頻段 LNA，於 77 K 條件下提供 18 dB 增益與 78 K 等效雜訊溫度，為首例於此頻段具實驗驗證之冷卻型 CMOS

低雜訊放大器。針對量子計算應用需求，文獻[17]進一步開發一款寬頻 Cryo-CMOS 低雜訊放大器，操作頻率涵蓋 4.6 – 8 GHz，在 4.2 K 時提供 0.23 – 0.65 dB 的低雜訊指數與 42 dB 增益，證實其可作為高能量子位元讀取放大器之可行性設計。如圖 1.1.9 所示，三階 LNA 設計於 4.6 – 8 GHz 內具備  $\pm 0.5$  dB 增益平坦度，展現其在頻分多工架構中維持讀取一致性的潛力。此外，文獻[13]則提出一款僅消耗 4.2 mW 功率的超低功耗低雜訊放大器，於 6 – 8 GHz 頻段達成 0.4 – 0.7 dB 之雜訊表現，並結合高 Q 值電感與電容性負載設計以提升匹配效率與穩定性，顯著降低冷卻功耗，特別適用於大規模量子系統的實際應用。如圖 1.1.10，透過高 Q 值電感與 capacitive feedback 架構實現僅 4.2 mW 功耗，適用於冷卻功率受限的應用場景。綜合以上成果可見，先進製程、回授匹配技巧與功耗優化策略皆為實現未來可擴展、高性能量子讀取平台中低溫低雜訊放大器的關鍵設計面向。

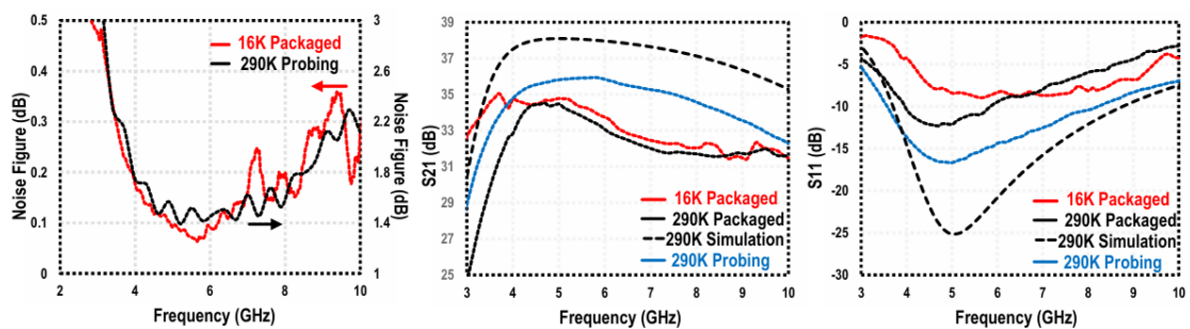


圖 1.1.8 文獻[15]所提出 LNA 於 16K 下之性能：NF、增益與輸入匹配。

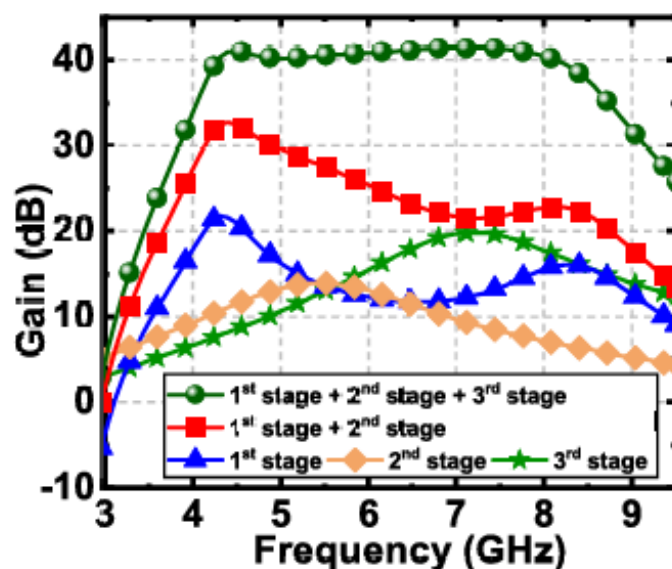


圖 1.1.9 文獻[17]所提出 Cryo-CMOS LNA 之三階增益響應模擬結果

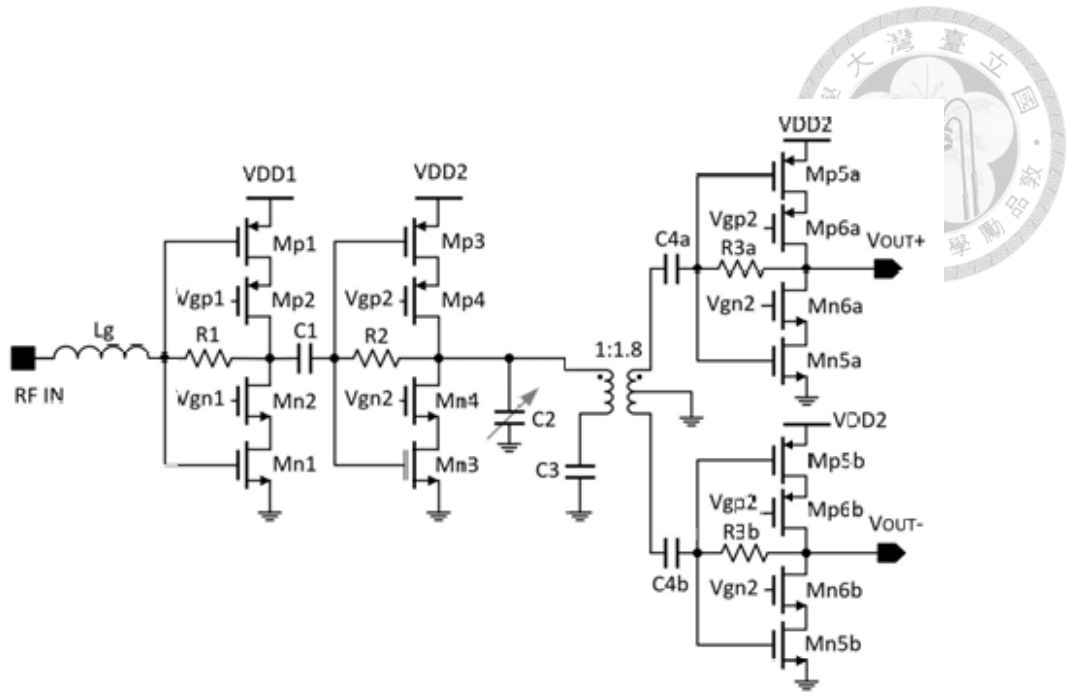


圖 1.1.10 文獻[13]所提出具高 Q 電感與反饋結構之超低功耗 LNA 設計



## 1.2 研究動機

隨著量子計算逐步邁向實用化，量子錯誤修正(Quantum Error Correction, QEC)[18]已成為不可或缺的核心技術。由於目前量子位元在操作時仍存在較高的錯誤率，單一邏輯量子位元往往需要由數百個實體量子位元來實現。這意味著，未來的量子系統將朝向數萬甚至十萬等級的規模發展，其對於量子讀取與控制介面的需求也隨之大幅提升。

在此背景下，低雜訊放大器作為量子讀取鏈路的關鍵前端元件，直接影響整體系統的訊號品質與可擴展性。綜觀現有文獻，多數 Cryo-CMOS 的低雜訊放大器設計雖能在 4 K 等極低溫環境下展現優異的雜訊性能與增益，但卻常面臨頻寬受限與功耗偏高的設計權衡問題。特別是在必須同時兼顧寬頻響應與低功耗需求時，設計空間受到極大限制。另一方面，隨著多頻道量子位元讀取技術被廣泛應用於量子讀取架構，單一低雜訊放大器必須能涵蓋 4 - 10 GHz 的寬頻範圍，以同時處理多個量子位元的讀取訊號，否則將需要額外增加放大器數量，不僅使系統複雜度上升，也進一步惡化低溫環境下的散熱問題。因此，如何在確保低雜訊與高增益的同時，實現寬頻響應與毫瓦級功耗，已成為現階段 Cryo-CMOS 低雜訊放大器設計中的重大挑戰。

基於上述動機，本研究旨在探討如何於 4 K 低溫環境下實現具備寬頻特性與低功耗的 Cryo-CMOS 低雜訊放大器架構，以因應 QEC 與 FDM 架構下對大規模、多頻道量子位元讀取的實際需求，並為未來量子計算系統的規模化發展提供重要支撐。

### 1.3 論文架構

本論文共分為五個章節，旨在針對應用於量子計算讀取系統之低溫 CMOS 低雜訊放大器，從基礎理論、電路設計、模擬分析到最終的晶片實作與量測進行系統性的完整闡述。第一章緒論首先說明研究背景與動機，介紹超導量子計算之讀取架構以及 Cryo-CMOS 電路在其中的關鍵角色，同時回顧現有文獻中應用於低溫環境之低雜訊放大器設計架構與效能，並明確定義本研究之設計目標與規格。接著，第二章將探討低雜訊放大器之關鍵效能指標，包括雜訊指數、增益、線性度與穩定度等，並深入分析 MOS 電晶體在射頻頻段下的雜訊模型，推導本研究採用之源極電感退化與交叉電容耦合共閘極兩種核心架構之運作原理，為後續設計建立理論基礎。

第三章詳細說明兩款低雜訊放大器之電路設計流程，涵蓋電晶體尺寸選取、偏壓點設定、各級放大器架構實現，以及被動元件之電磁模擬與佈局後模擬結果，並探討低溫環境下電晶體模型參數變化對電路特性之預測影響。第四章則聚焦於實驗架構與量測結果，說明晶片之佈局實現、Chip-on-Board (COB) 封裝製程及量測用 PCB 之設計考量，並詳述從 Test-kit 元件特性驗證、常溫 S 參數與雜訊量測，到 4 K 低溫環境下之量測結果，透過實測數據與模擬結果之交叉比對，分析封裝寄生效應對電路效能之具體影響。最後，第五章將總結本論文之研究成果與貢獻，比較兩款低雜訊放大器在常溫與低溫環境下之效能差異，並針對未來 Cryo-CMOS 讀取電路之設計優化方向提出具體建議。

## 第二章 基本原理與研究方法



### 2.1 低雜訊放大器的效能指標及拓樸[9,19]

在低雜訊放大器的設計中，需綜合考量多項影響其整體效能與穩定操作的設計要素。低雜訊放大器常作為接收鏈中的第一級增益電路，其性能直接決定系統的訊雜比、靈敏度與讀取準確性，因此其設計需達成一系列指標的最佳化，包括雜訊指數(Noise Figure, NF)、增益(Gain)、輸入輸出匹配(Matching)、穩定度(Stability)、功耗(Power Consumption)以及線性度(Linearity)等。特別是在量子讀取系統與其他低溫應用中，低雜訊放大器必須在極低功率的條件下，同時維持低雜訊與高增益的表現。此外，因應多頻道架構與頻分多工技術，低雜訊放大器的寬頻特性與增益平坦度亦成為重要考量。各項設計參數彼此環環相扣，需進行系統性的權衡與最適化。本節將分別探討低雜訊放大器的關鍵效能指標，以建立對其設計準則的全面理解。

#### 2.1.1 雜訊指數 (Noise Figure, NF)

雜訊因子 (Noise factor,  $F$ ) 及雜訊指數 (Noise Figure, NF) 是評估放大器在訊號放大過程中所引入額外雜訊的關鍵指標，對於接收系統而言具有決定性的影響。其定義為理想無雜訊系統所具備的最大訊雜比與實際系統之輸出訊雜比的比值，其數學定義如下：

$$F = \frac{SNR_{in}}{SNR_{out}} \quad (2.1.1)$$

$$NF = 10 \log_{10} F \quad (2.1.2)$$

$SNR_{in}$  為輸入端的訊雜比， $SNR_{out}$  為輸出端的訊雜比。通常以 NF 用分貝 (dB) 為單位表示。雖然雜訊指數可作為量化放大器整體雜訊性能的指標，但實際設計中仍需進一步解析雜訊的來源與成因，以利進行針對性的抑制與最佳化。以下將介紹低雜訊放大器中常見的幾種主要雜訊類型：

##### (a) 熱雜訊 (Thermal noise) [20]

熱雜訊，又稱約翰遜雜訊 (Johnson noise)，是由電子在導體或半導體中因熱擾動產生的隨機運動所引起，存在於所有具有電阻特性的元件中，為最基本且無法避

免的雜訊來源。在實際電路中，無論是獨立電阻元件或是 MOSFET 通道本身的電阻特性，皆會產生熱雜訊並對整體系統性能造成影響。對於理想電阻器，其雜訊可由一個等效的隨機電壓源建模，其方均根值與電阻值與溫度呈線性關係，表示為：

$$\overline{v_n^2} = 4kTR\Delta f \quad (2.1.3)$$

其中  $k$  為波茲曼常數 ( $1.38 \times 10^{-23} \text{ J/K}$ )、 $T$  為絕對溫度 (K)、 $R$  為電阻值 ( $\Omega$ )、 $\Delta f$  為觀察頻寬 (Hz)。而在 MOSFET 中，當元件處於飽和區操作時，通道中的熱雜訊則可建模為等效的隨機電流源，其雜訊功率密度與轉導  $g_m$  成正比，描述式為：

$$\overline{i_{n,ch}^2} = 4kT\gamma g_m \quad (2.1.4)$$

其中  $\gamma$  為製程相關的雜訊係數，通常約為 2/3 至 1。為了更直觀地理解上述物理模型，圖 2.1.1 展示了熱雜訊的等效電路：圖(a)為電阻元件中產生的等效熱雜訊電壓源模型；圖(b)則展示了 MOSFET 通道中，由轉導驅動的等效熱雜訊電流源模型。根據文獻[20]，在場效電晶體中，導通通道的熱雜訊為主導機制，其等效輸出雜訊可由與轉導相關的熱電流表示。由於 MOSFET 的熱雜訊與偏壓條件與元件尺寸密切相關，因此設計時常需透過增大通道面積或調整工作點來提升轉導以抑制輸入端等效雜訊。熱雜訊的頻率響應為白雜訊，其功率在觀察頻帶內為常數。值得注意的是，在 4 K 等極低溫環境中，熱雜訊強度將隨溫度顯著下降，對應之雜訊指數亦能大幅降低，這是低溫電子系統（如 Cryo-CMOS）在量子應用中得以實現高靈敏度的重要物理基礎。

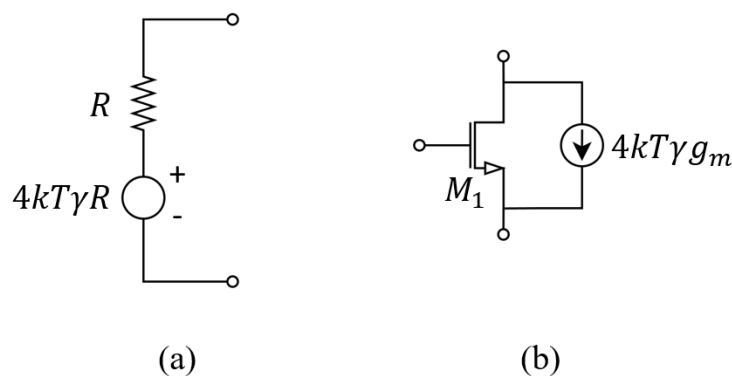


圖 2.1.1 熱雜訊模型圖：(a)電阻元件中的等效熱雜訊電壓源；(b)MOSFET 通道中的等效熱雜訊電流源模型

(b) 閃爍雜訊 (Flicker noise) [21]

閃爍雜訊，又稱  $1/f$  雜訊，為電晶體在低頻操作時的主要雜訊來源，特別常見於閘極氧化層與矽基板之間的介面。此現象源於通道中的載子在穿越界面時，受到懸掛鍵 (dangling bonds) 陷阱態的捕捉與釋放所致，導致電流產生隨機變動。如圖 2.1.2 所示，在 MOSFET 的基板與二氧化層界面處存在許多懸掛鍵，這些界面缺陷是引發電荷捕捉效應的主因。這類雜訊的能量分佈集中在低頻段，並隨頻率升高而遞減。

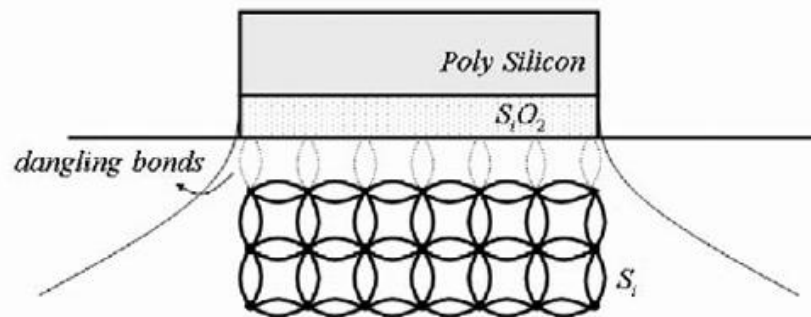


圖 2.1.2 基板與氧化層之間的 dangling bonds[19]

在電路模型中，閃爍雜訊通常以串聯於閘極端的電壓源表示，其功率密度可由以下經驗公式描述：

$$\overline{v_g^2}(f) = \frac{k}{W \times L \times C_{ox} \times f} \quad (2.1.5)$$

其中， $W$  及  $L$  分別為 MOSFET 的通道寬度與長度， $C_{ox}$  為單位面積氧化層電容， $f$  為頻率， $k$  為製程相關的經驗常數。圖 2.1.3 則進一步展示了閃爍雜訊與熱雜訊在頻譜上的交會關係。在低頻區段，閃爍雜訊佔據主導地位；隨著頻率增加，其強度逐漸下降，直到與熱雜訊相等的轉折頻率 (corner frequency)。對於一般射頻應用而言，當操作頻率高於轉折頻率後，熱雜訊將成為主導項。

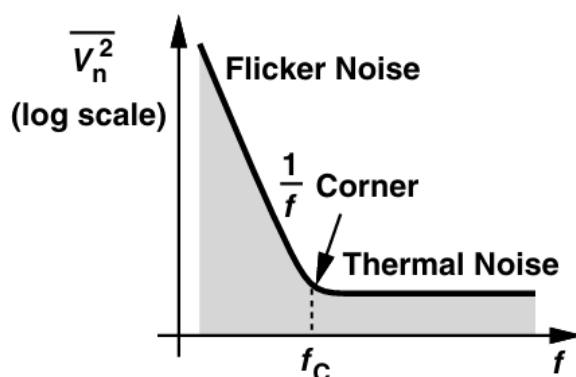


圖 2.1.3 閃爍雜訊的轉折頻率[19]

(c) 離散雜訊 (Shot noise) [22]

離散雜訊是一種起源於電荷載子離散性質的隨機雜訊，當電流由一方流向另一方時，因載子以個別粒子形式通過能障（例如 PN 接面、MOSFET 閘極漏電流或二極體）而產生統計波動。與熱雜訊不同，離散雜訊並非由熱擾動引起，而是與載子穿越過程的隨機性直接相關，功率密度可表示為：

$$\overline{i_n^2} = 2qI\Delta f \quad (2.1.6)$$

其中  $q$  為基本電荷 ( $1.602 \times 10^{-19} \text{ C}$ )， $I$  為平均直流電流 (A)， $\Delta f$  為頻寬 (Hz)，這表示離散雜訊強度與直流偏壓電流成正比，且同樣具有白雜訊特性，即在有效頻率範圍內功率譜為常數。在 MOSFET 中，主要來自於閘極漏電流 (Gate Leakage Current) 及少量的源極、汲極界面載子注入現象。在傳統射頻低雜訊放大器設計中，由於偏壓電流相對較小，離散雜訊的影響通常不會比熱雜訊與閘極電阻雜訊來得顯著。然而，隨著元件尺寸微縮與工作電壓降低（特別是亞閘極操作或極低功耗設計），離散雜訊的相對貢獻有逐漸上升的趨勢。

(d) 分佈式閘極電阻雜訊 (Distributed Gate Resistance Noise) [23]

在高頻 CMOS 電路中，MOSFET 閘極材料多採用多晶矽 (poly-Si) 製成，然而多晶矽本身具有有限導電率，因此在高頻操作時，閘極無法被視為理想導體，而表現出可量測的分佈式電阻特性。這段閘極內部的電阻會產生額外的熱雜訊貢獻，並影響輸入端的雜訊性能。此現象可透過一個等效電阻模型描述，其阻值與 MOSFET 的幾何尺寸以及佈局方式密切相關，近似於以下式子：

$$R_G = \frac{R_H W}{3n^2 L} \quad (2.1.7)$$

$R_H$  為單位正方形的多晶矽電阻， $W$  及  $L$  分別為 MOSFET 的通道寬度與長度， $n$  則代表指型結構中的指數數量 (multi-finger number)。根據此關係式，增加指數  $n$  或縮短指距可有效降低分佈式閘極電阻，進而抑制其對輸入雜訊的貢獻。由於分佈式閘極電阻雜訊隨頻率上升而變得更加顯著，因此在設計高頻低雜訊放大器時，必須適當優化 MOSFET 的版圖配置，以最大程度降低此類雜訊影響。

(e) 感應閘極電流雜訊 (Induced Gate Current Noise) [24]

在 MOSFET 結構中，閘極氧化層與基板之間形成類似電容的結構。當通道中的載子發生隨機擾動時，這些擾動可透過閘極氧化層電容耦合至閘極端，產生感應型的閘極電流雜訊，如圖 2.1.4 所示。此類雜訊在低頻範圍內影響較小，但隨著操作頻率升高，特別是在射頻頻率範圍內，其貢獻逐漸顯著，成為高頻低雜訊放大器設計中不可忽略的雜訊來源。

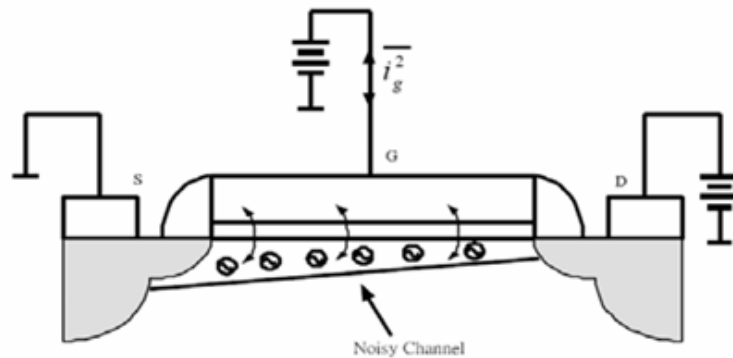


圖 2.1.4 MOSFET 中的感應閘極電流雜訊[19]

根據 Van der Ziel 所提出的模型[25]，感應閘極電流雜訊的功率譜密度可表示為：

$$\overline{i_{ng}^2}(f) = 4kT\delta \cdot g_z \cdot \Delta f \quad (2.1.8)$$

$\delta$  是取決於通道長度的參數，對長通道元件約為 4/3，對短通道元件約為 2。 $g_z$  定義為：

$$g_z = \frac{\omega^2 C_{gs}^2}{5g_{a0}} \quad (2.1.9)$$

式中， $\omega$  為角頻率， $C_{gs}$  為閘極到源極的寄生電容， $g_{a0}$  為零偏壓下的汲極電導。由公式可見，此類雜訊的功率密度隨頻率平方增加，顯示其對高頻輸入雜訊表現有



強烈影響。在實務設計中，為降低感應閘極電流雜訊，可考慮縮短通道長度、減小  $C_{gs}$  或提高  $g_{d0}$ ，以減緩頻率上升帶來的雜訊惡化效應。

### 2.1.2 增益 (Gain)

在低雜訊放大器設計中，增益是評估訊號放大能力的重要指標，直接影響接收系統的靈敏度與整體訊雜比。增益通常以分貝 (dB) 表示，定義為輸出功率與輸入功率的比值，其數學表達式為：

$$G = 10 \log_{10} \left( \frac{P_{out}}{P_{in}} \right) \quad (2.1.10)$$

在實際系統中，低雜訊放大器的增益必須足夠大，以有效抑制後續級（特別是降頻混頻器）所引入的雜訊貢獻，並確保訊號能被後級電路可靠接收。然而，增益的設計亦需在降低雜訊指數與維持線性度之間取得權衡，因為較高的增益雖有助於改善前端訊雜比，但同時會放大後級電路的非線性失真效應，影響系統的動態範圍。

此外，現代射頻設計趨勢中，低雜訊放大器往往直接驅動混頻器，兩者之間不再特別進行阻抗匹配，因此相較於傳統以功率增益 (Power Gain) 分析系統鏈結的方式，採用電壓增益 (Voltage Gain) 進行計算更為直觀且符合實際電路行為。適當的增益設定，是兼顧接收機靈敏度、動態範圍與系統整體效能的基本要求。

### 2.1.3 輸入輸出匹配 (Matching)

在低雜訊放大器設計中，輸入與輸出阻抗的匹配 (Matching) 對於整體系統性能具有關鍵影響。以接收機前端為例，低雜訊放大器通常直接連接至天線或前級濾波器，因此，其輸入阻抗應盡可能設計為標準值 50 歐姆，以降低反射損耗 (Return Loss)，提升接收效率。從訊號功率觀點來看，理想情況下應實現共軛匹配 (Conjugate Matching)，以最大化功率傳輸。然而，在實際射頻系統中，由於天線、前端濾波器或混頻器等器件間存在非理想傳輸損失與反射，完全共軛匹配往往難以達成。特別是考量到接收機架構中各模組間的阻抗變異與電路寄生效應，現代低雜訊放大器設計更傾向於將輸入阻抗維持在接近 50 歐姆的實數值，以確保系統的寬頻穩定性與簡化整體匹配設計。輸入回波損耗 (Input Return Loss) 是衡量匹配品質的重要指標，其定義為反射功率與入射功率之比值。對於一個源端阻抗為  $R_s$  的系統，反射係數  $\Gamma$  可表達為：

$$\Gamma = \frac{Z_{in} - R_s}{Z_{in} + R_s} \quad (2.1.11)$$

其中， $Z_{in}$  為放大器的輸入阻抗。理想的輸入回損通常要求小於  $-10$  dB，表示只有約 10% 的入射功率被反射回源端，如圖 2.1.5 所示，輸入阻抗平面上可繪製不同反射係數對應的等高線 (Constant-contours)。以 50 歐姆為中心，形成一系列圓形輪廓，其中每一個圓圈代表相同反射損耗的阻抗範圍。通常，輸入回損小於  $-10$  dB 被視為可接受的設計標準，對應於圓圈內部的阻抗範圍；若能達到  $-20$  dB 以上的回損，則匹配效果更為理想。透過觀察這些等高線分佈，可直觀判斷輸入阻抗的偏移量對反射損耗性能的影響，進而作為低雜訊放大器輸入端匹配設計的重要依據。此外，輸出阻抗的設計也需考量後續電路（如混頻器或基頻放大器）的匹配要求，但由於現代接收機多以電壓擺幅最大化 (Voltage Swing Maximization) 為優先目標，輸出端通常亦不強制要求完全共軛匹配，而以提升線性度與穩定性為設計重點。

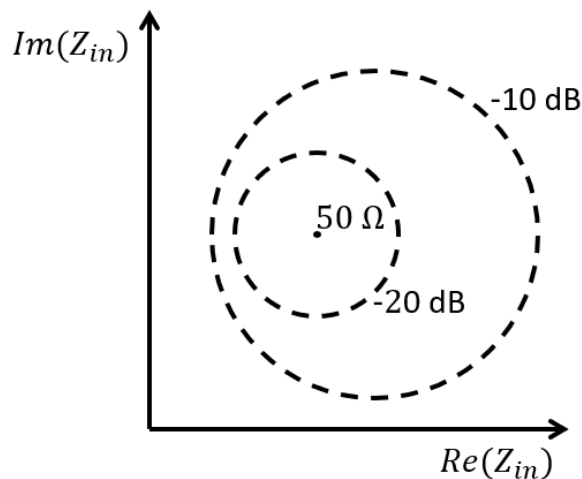


圖 2.1.5 輸入阻抗平面上的 Constant- $\Gamma$  等高線

#### 2.1.4 穩定度 (Stability)

在低雜訊放大器設計中，穩定度是確保電路可靠運作的重要指標。與接收機中其他內部電路不同，低雜訊放大器必須直接面對外界環境的變動，例如天線端阻抗的不穩定性。若未妥善設計，低雜訊放大器可能在特定源端阻抗條件下產生震盪，導致增益劇烈變化，甚至失效。因此，必須對所有可能的源端阻抗條件，於所有頻率範圍內維持穩定 (All Frequency Stability)。衡量電路穩定性常用的參數為穩定因



子  $K$ ，其定義為：

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{21}||S_{12}|} \quad (2.1.12)$$

其中  $\Delta = S_{11}S_{22} - S_{12}S_{21}$ 。當  $K > 1$  且  $|\Delta| < 1$  時，電路對任何組合的源端與負載阻抗皆無震盪（無條件穩定, Unconditionally Stable）[26]。反之，若  $K < 1$ ，則電路可能在某些條件下不穩定。在現代 RF 接收機中，由於低雜訊放大器的輸入負載（如前端濾波器或天線）通常可控，輸出端接續混頻器亦有固定阻抗，因此  $K$  因子提供了一個保守的穩定性評估標準。為了增強穩定性，設計上常需確保良好的逆向隔離（Reverse Isolation），即減小  $S_{12}$ ，以避免輸出訊號回授至輸入端造成震盪。此外，低雜訊放大器的穩定性亦受到布局影響，例如源極接地的電感、供電線路中的寄生感抗等，都可能在特定頻率引發不期望的震盪。因此，在高頻設計中，需特別注意最小化接地阻抗與供電線感抗，以確保電路在寬頻範圍內的穩定性。

### 2.1.5 功耗（Power Consumption）

在低雜訊放大器設計中，功耗雖然在常溫系統中通常不是首要優化目標，但在低溫應用，特別是 4 K 環境下，功耗控制變得極為關鍵。由於極低溫環境中的冷卻能力有限，每增加 1 mW 的功耗都會顯著提高冷卻負擔，影響整體系統的穩定性與運作成本。一般而言，低雜訊放大器的功耗僅佔接收機系統總功耗的一小部分，因此在大多數常溫接收器中，雜訊性能被視為優先考量。然而，針對冷源受限的量子讀取系統與深冷探測應用，低雜訊放大器必須在保持低雜訊指數的同時，嚴格限制其功耗於毫瓦級甚至更低，才能避免對整體冷卻系統造成負面影響。因此，在低溫低雜訊放大器設計中，功耗與雜訊性能需同時作為優化目標，並透過電流重用（Current Reuse）、低電壓偏壓與高效能匹配網路等設計策略來達成。

### 2.1.6 線性度（Linearity）

在低雜訊放大器的設計中，除須追求極小化雜訊外，線性度表現亦是評估電路能否在大訊號環境下維持訊號完整性的關鍵指標。當輸入訊號強度增加時，受限於 MOSFET 元件的非線性物理特性，電路將產生增益壓縮與交調失真等現象。學術上常用 1 - dB 壓縮點（ $P_{1dB}$ ）來界定放大器線性操作的功率上限，即實際增益相較於理想線性增益衰減 1 dB 時的訊號強度，用以確保輸出訊號不致產生嚴重的振幅扭曲。此外，為了衡量電路對鄰近頻段干擾的耐受能力，通常引入三階交調截點（IIP3）作為量化基準，此指標定義了三階交調產物功率在理論上與基頻訊號功率相



等時的輸入功率點，數值越高代表電路在處理多頻訊號時，具備更佳的動態範圍與抗干擾表現。

### 2.1.7 輸入匹配架構比較 (Matching topology comparison)

為了實現與天線或系統介面的 50 歐姆輸入阻抗匹配，在低雜訊放大器常見的輸入端架構可分為以下四種類型：

#### (a) 電阻終端匹配 (Resistive termination)

將一個實體的電阻（例如 50 歐姆）並聯於輸入端，藉此達成阻抗匹配。如圖 2.1.6 所示，這種方法透過在閘極端增加分路電阻來調整輸入阻抗。此方法結構簡單，但電阻本身會產生熱雜訊，導致雜訊指數上升。此外，高頻時會因輸入電容影響而難以維持匹配，因此僅適用於低頻窄頻系統。

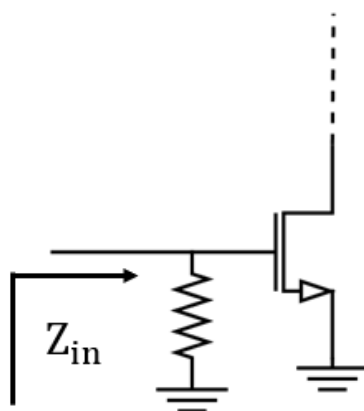


圖 2.1.6 電阻終端匹配

#### (b) 源極電感退化 (Inductive source degeneration)

最常見的匹配技術。將一個電感  $L_s$  串聯於源極，可同時調整輸入阻抗實部與虛部，如圖 2.1.7。此架構可避免使用有雜訊的實體電阻，並維持良好的雜訊指數與匹配能力，是 CMOS LNA 中的主流架構。輸入阻抗形式為：

$$Z_{in} = sL_s + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (2.1.13)$$

適當設計  $L_s$  與  $g_m$  可使實部接近 50 歐姆，並同時進行共振匹配。

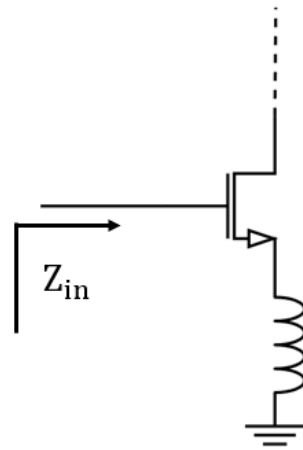


圖 2.1.7 源極電感退化

(c) 回授型匹配結構(Shunt-series feedback)

為了在不大幅犧牲雜訊性能的前提下獲得更寬的匹配頻寬，另一種常見的做法是採用回授型匹配結構。如圖 2.1.8 所示，此架構透過一個電阻連接輸出與輸入端實現並聯回授，藉此同時達成輸入阻抗匹配與頻率響應平坦化。這種設計的核心優勢在於其優異的寬頻特性，能夠在較廣的頻率範圍內維持穩定的增益與阻抗匹配。然而，回授電阻的使用仍會引入額外的熱雜訊，且回授路徑的存在可能對電路的穩定性造成挑戰。此外，在 CMOS 製程中，實現高精度與高 Q 值的 On-chip 電阻具有一定的難度，這在設計時需納入整合成本的考量。

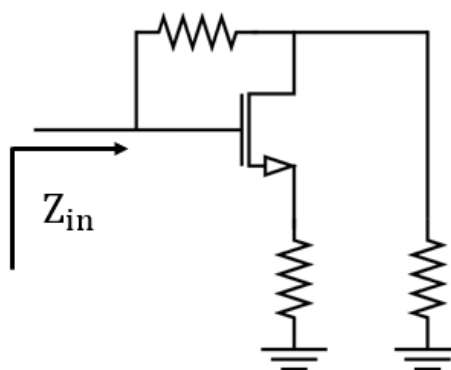


圖 2.1.8 回授型匹配結構

(d) 共閘極輸入匹配( $\frac{1}{g_m}$  Termination)

此為共閘極(Common-gate)輸入結構，其源極端輸入阻抗為  $\frac{1}{g_m}$ ，如圖 2.1.9。



只要設計適當的轉導  $g_m$ ，即可達到阻抗匹配。由於此架構沒有明確的回授電路與輸入電阻，雜訊表現良好，且具備寬頻特性。不過，為達成  $\frac{1}{g_m} = 50 \Omega$ ，會對電流與晶片功耗帶來壓力。

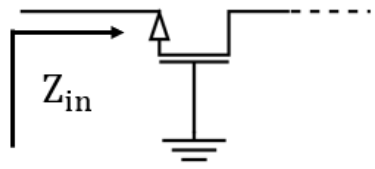


圖 2.1.9 共閘極輸入匹配

表 2.1.1 各輸入級拓撲之優缺點比較

架構	優點	缺點
Resistive Termination	穩定性佳 結構簡單	雜訊較大 增益表現較差
Inductive Source Degeneration	良好阻抗匹配 雜訊及線性度較佳	面積較大 頻寬受限於電感
Shunt-Series Feedback	頻寬寬廣 阻抗可調整	穩定性差 設計較複雜
Common-Gate	輸入匹配容易 結構簡潔	雜訊表現較差

綜合以上對各類輸入級架構的分析，表 2.1.1 彙整了其在性能指標上的優缺點對比。在設計選擇上，需依據應用頻段、雜訊指標、線性度要求以及晶片面積限制等多項因素進行權衡。本研究使用了 Inductive Source Degeneration 及從 Common-Gate 延伸的 Cross-Coupled Capacitor Common-gate 兩種架構，將於後續章節中詳述。

## 2.2 共源極低雜訊放大器(common-source LNA)架構分析

### 2.2.1 架構原理

共源極低雜訊放大器 (Common-Source LNA) 是最基本且廣泛應用於射頻接收機中的架構之一。其基本形式為 MOSFET 的源極接地，閘極作為輸入端，汲極作為輸出端。由於共源極具有高增益、結構簡單、偏壓與匹配彈性大等優點，常作為低雜訊放大器設計的首選。如圖 2.2.1 顯示了典型的共源極低雜訊放大器基本結構，其中包括負載電阻以及偏壓電路。

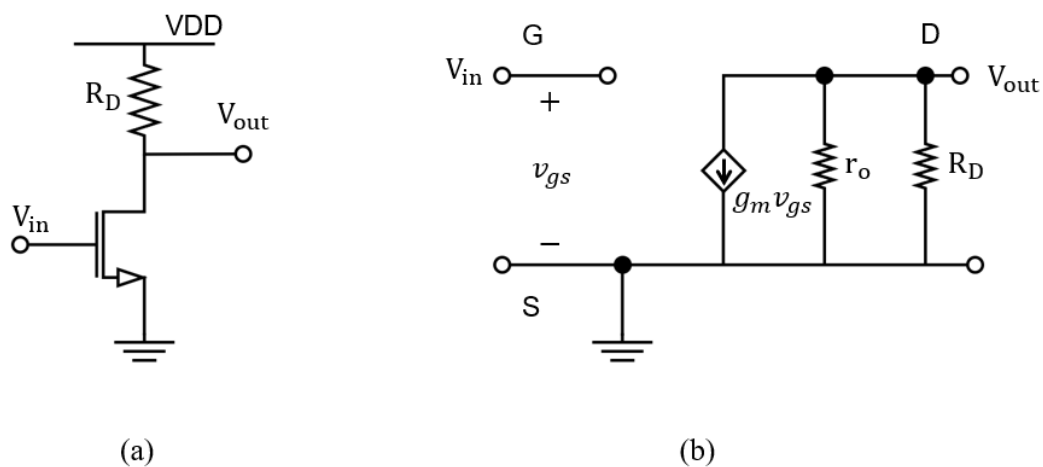


圖 2.2.1 (a)共源極放大器基本電路圖；(b)對應之小訊號等效模型

考慮到小訊號模型，如圖 2.2.1(b)。假設汲極負載為  $R_D$ ，小訊號輸出電阻為  $r_o$ ，則電壓增益  $A_v$  可推導為：

$$A_v = -g_m(R_D \parallel r_o) \quad (2.2.1)$$

其中  $g_m$  為 MOSFET 的轉導， $R_D \parallel r_o$  表示負載電阻與 MOSFET 本身汲極-源極電阻的並聯等效。若  $R_D \ll r_o$ ，則增益簡化成：

$$A_v \approx -g_m R_D \quad (2.2.2)$$

### 2.2.2 源極電感退化 (Inductive Source Degeneration)

雖然基本共源極結構具有高增益，但直接使用容易面臨輸入匹配困難、穩定性降低以及頻率響應受限等問題。為了解決這些問題，通常會在源極加入一個電感  $L_S$ ，形成所謂的源極電感退化 (Inductive Source Degeneration) 架構，如圖 2.2.2 所示。

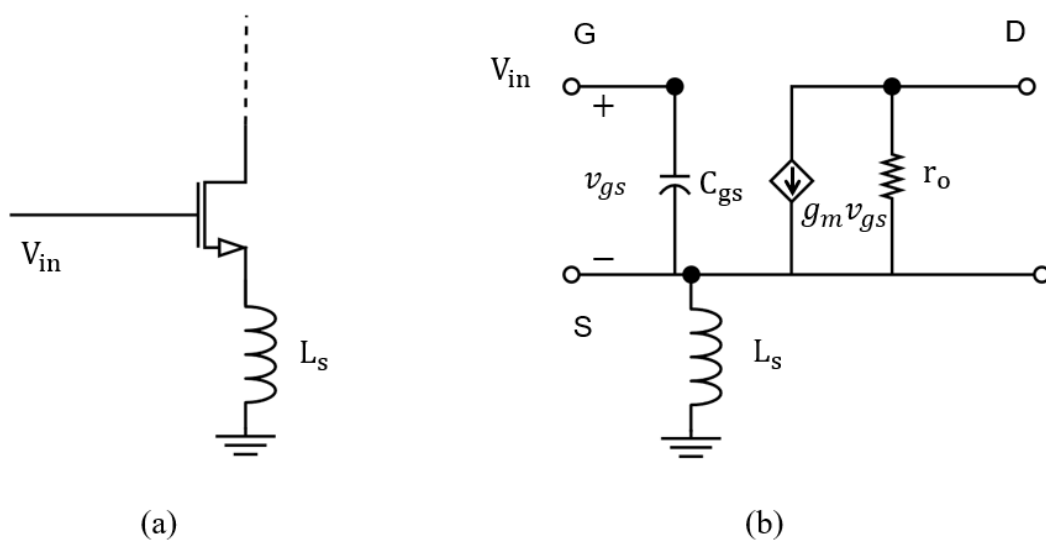


圖 2.2.2 (a)源極電感退化；(b)對應之小訊號等效模型

考慮到包含閘極-源極寄生電容  $C_{gs}$  的小訊號等效電路，其輸入阻抗的推導：

閘極到源極的電壓為：

$$V_{gs} = I_x \left( \frac{1}{sC_{gs}} \right) \quad (2.2.3)$$

源極電流為：

$$I_m = g_m V_{gs} \quad (2.2.4)$$

源極電感上的電壓為：

$$V_p = (I_x + I_m) s L_s = \left( I_x + I_x \frac{g_m}{sC_{gs}} \right) s L_s \quad (2.2.5)$$

輸入電壓為：

$$V_x = V_p + V_{gs} \quad (2.2.6)$$

整理得輸入阻抗：

$$Z_{in} = \frac{V_x}{I_x} = \frac{1}{sC_{gs}} + sL_s + \frac{g_m L_s}{C_{gs}} \quad (2.2.7)$$

此處輸入阻抗由三個部分組成，分別對應到電容性、電感性與實部阻抗。為達成良好的匹配，通常設計使  $\frac{g_m L_s}{C_{gs}} \approx 50 \Omega$ 。而加上負載電阻  $R_D$ ，電壓增益推導則基於源

極電感的影響，輸入電壓為：

$$V_{in} = V_{gs} + (I_x + I_m) s L_s = V_{gs} (1 + g_m s L_s) \quad (2.2.8)$$

輸出電壓為：

$$V_{out} = -g_m V_{gs} R_D \quad (2.2.9)$$



因此電壓增益為

$$A_v = \frac{V_{out}}{V_{in}} = \frac{-g_m V_{gs} R_D}{V_{gs}(1+g_m s L_s)} = \frac{-g_m R_D}{1+g_m s L_s} = \frac{-g_m R_D}{1+j\omega g_m L_s} \quad (2.2.10)$$

當  $\omega g_m L_s \ll 1$  時，增益可簡化為  $-g_m R_D$ 。而高頻時，由於源極電感產生的負回授作用，可抑制增益變化、提升穩定性與頻寬。

### 2.2.3 雜訊特性分析

共源極低雜訊放大器的主要雜訊來源包括 MOSFET 通道中的熱雜訊與感應閘極電流雜訊。通道熱雜訊來自熱載子的隨機運動，產生與  $\frac{1}{g_m}$  成正比的等效輸入雜訊電壓，為整體系統雜訊性能的主因之一。而感應閘極電流雜訊則源自通道內電流擾動，經由閘極電容  $C_{gs}$  耦合至輸入端，在高頻下影響尤其明顯。

在設計中引入源極電感退化後，雖可改善輸入阻抗匹配並提升穩定性，卻也導致輸入訊號經過源極電感後被分壓，造成有效輸入雜訊電壓的額外提升。因此，源極退化對整體雜訊指數會造成不利影響，必須在匹配與雜訊性能之間取得折衷[9]。

輸入等效雜訊電壓密度表示式為：

$$\overline{v_{n, in}^2} = 4kT\gamma\left(\frac{1}{g_m} + j\omega L_s\right)^2 \Delta f \quad (2.2.11)$$

其中， $\gamma$  為 MOSFET 的雜訊係數（長通道約為 2/3）， $\omega$  為角頻率， $\Delta f$  為頻寬。從公式可看出，源極電感一方面提升匹配能力與穩定性，另一方面也造成雜訊貢獻的額外複數項，因此設計時需於匹配與雜訊表現之間取得平衡。



## 2.3 共閘極低雜訊放大器(Common-gate LNA)架構分析

### 2.3.1 架構原理

共閘極低雜訊放大器 (Common-gate LNA) 是另一種常見於高頻應用的低雜訊放大器架構，其基本電路形式為 MOSFET 的閘極接固定偏壓，源極作為輸入端，汲極作為輸出端。如圖 2.3.1 所示。

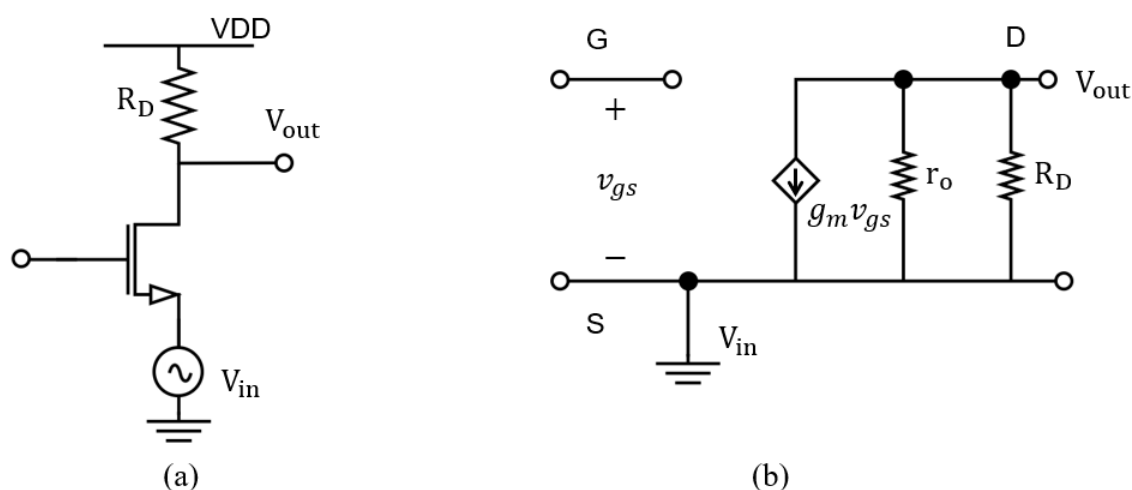


圖 2.3.1 (a) 共閘極放大器基本電路圖；(b)對應之小訊號等效模型

此架構的最大優勢在於其輸入阻抗為：

$$Z_{in} = \frac{1}{g_m} \quad (2.3.1)$$

在無需額外匹配網路的情況下，即可利用設計合適的轉導 達成與 50 歐姆輸入阻抗的自然匹配，因此具備高度寬頻性與設計簡潔性。由於閘極端為小訊號接地，此架構幾乎無反向傳輸 ( $S_{12}$ 低)，穩定性良好。

其小訊號電壓增益為：

$$A_v = -g_m R_D \quad (2.3.2)$$

其中  $R_D$  為負載電阻。

### 2.3.2 交叉電容耦合共閘極 (Cross-Coupled Capacitor Common-gate)

在介紹進階結構前，圖 2.3.2 顯示了基本共閘極放大器架構，其中利用一個負回授放大器實現  $g_m$  - boosting，有效提升等效轉導值並改善輸入匹配。此種架構適用於寬頻應用，且具備低雜訊與穩定性佳等優點。而 Zhuo 等人提出交叉電容耦



合共閘極架構 (Cross-Coupled Capacitor Common-Gate, CCC-CGLNA) [27]，其主要結構如圖 2.3.3 所示。

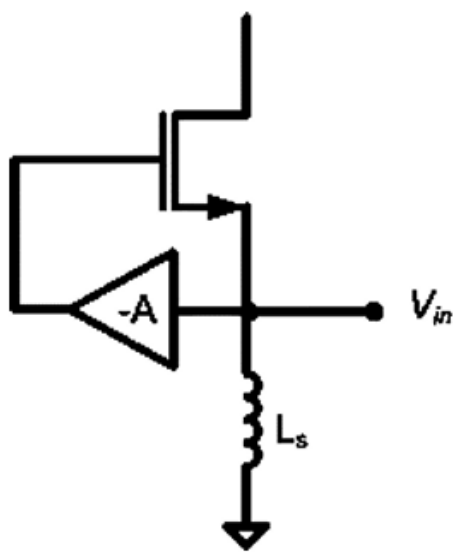


圖 2.3.2 基本的 CGLNA 架構，具備  $g_m$  增強的回授放大器[27]

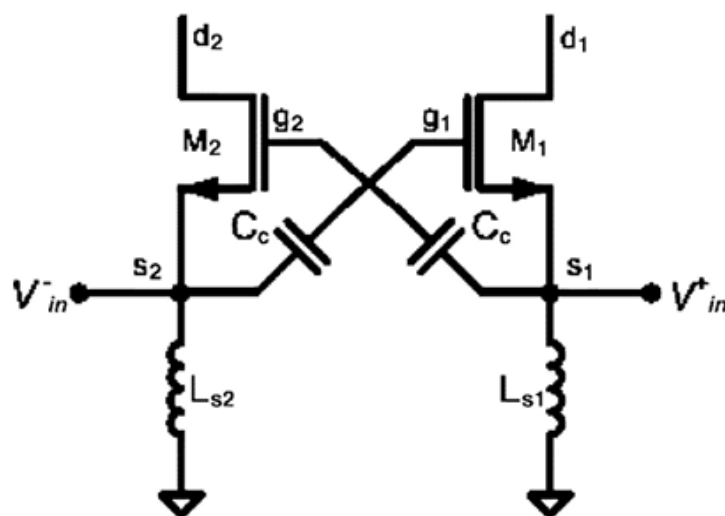


圖 2.3.3 交叉電容耦合共閘極 LNA[27]

該架構在差動輸入的兩個 MOSFET 間加入交叉電容  $C_c$ ，使輸出訊號反相耦合回對側閘極，形成立體式的負回授通道。此負回授有效提升 MOSFET 的等效轉導：

$$g_{m,eff} = g_m(1 + A) \quad (2.3.3)$$

其中  $A$  為交叉耦合反相增益，近似為輸出與閘極間的反相轉換比，取決於  $C_c$  與主

閘電容  $C_{gs}$  的比值：

$$A = \frac{C_c}{C_c + C_{gs}} \quad (2.3.4)$$

此架構可在不提升偏壓電流的情況下，增大增益與降低輸入阻抗：

$$Z_{in} = \frac{1}{g_m(1+A)} \quad (2.3.5)$$

藉由調整交叉電容與主電晶體寬度，即可精細控制輸入匹配與增益，而無需額外匹配電感。其加上負載電阻  $R_D$  的電壓增益可寫為：

$$A_v = g_m(1+A)R_D \quad (2.3.6)$$

此種交叉耦合結構類似於電容式正回授，在不引發不穩定的前提下，有效提升轉導並抑制雜訊貢獻。

### 2.3.3 雜訊特性分析

基本共閘極低雜訊放大器雖具有寬頻與匹配優勢，但其雜訊表現通常不如共源極架構，特別是在低頻段。共閘極低雜訊放大器的雜訊來源包括 MOSFET 通道熱雜訊、感應閘極電流雜訊以及閘極串聯電阻雜訊。在交叉電容耦合共閘極低雜訊放大器架構中，因為交叉耦合負回授提升了等效轉導  $g_{m,eff}$ ，輸入等效雜訊電壓因而下降。其等效雜訊因子可近似表示為：

$$NF = 1 + \frac{\gamma}{g_{m,eff}R_s} = 1 + \frac{\gamma}{g_m(1+A)R_s} \quad (2.3.7)$$

其中  $\gamma$  為熱雜訊係數， $R_s$  為來源阻抗（一般為 50 歐姆）。由於  $g_{m,eff}$  的提升，雜訊因子可在不增加偏壓電流下下降，對於低功耗設計尤其有利。





## 2.4 雜訊匹配(noise matching)

在低雜訊放大器設計中，「雜訊匹配」是使輸入源阻抗  $Z_s$  等於最佳雜訊阻抗  $Z_{opt}$ ，以達到最小雜訊因子  $F_{min}$  的操作條件。然而，這並非僅是阻抗轉換問題，而是基於雜訊波的相位與幅度干涉效應。Belostotski 在 2016 年提出的分析中，輸入端可被視為接收來自兩個方向的雜訊波：一為來自訊號源的入射波，另一為放大器內部產生、經阻抗反射後的雜訊波。這兩個波在輸入節點的向量相位與幅度若適當疊加，將產生部分抵銷，使得輸出總雜訊最小，如圖 2.4.1 所示[28]，圖中  $c_1$  與  $c_2$  分別代表源端與內部雜訊在輸入端的等效反射波，兩者相位差角度將決定其疊加後的干涉結果，進而影響總輸出雜訊。

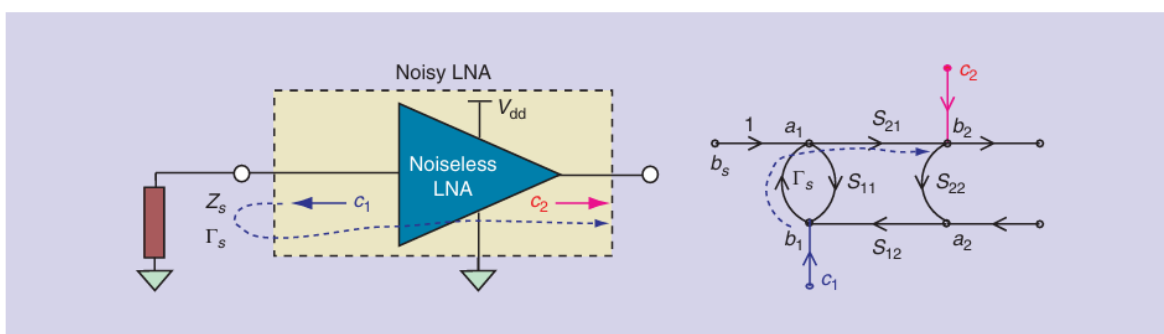


圖 2.4.1 兩個雜訊波在輸入端的相干合成行為[28]

文獻以標準二埠雜訊理論定義雜訊因子為：

$$NF = NF_{min} + 4R_n \frac{|\Gamma_s - \Gamma_{opt}|^2}{(1 - |\Gamma_s|^2)(1 - |\Gamma_{opt}|^2)} \quad (2.4.1)$$

此公式指出，只要輸入反射係數  $\Gamma_s$  趨近於最佳雜訊反射係數  $\Gamma_{opt}$ ，第二項會趨近於 0，使得  $NF \rightarrow NF_{min}$ ，而  $F_{min}$  為放大器在理想匹配下的極限雜訊下界，對應於內部雜訊波與源雜訊波完全抵銷的理想狀態，與阻抗設計獨立，常藉由晶體管尺寸與偏壓優化取得。這個觀點提供了對「雜訊匹配」的深層解釋：其本質是控制雜訊波在接收節點的干涉條件，使其總合向量最小化。此物理解釋也說明了，雖然理論上  $Z_s = Z_{opt}$  為最優，但只要偏離不大（即  $|\Gamma_s - \Gamma_{opt}|$  小），則  $NF$  仍可接近最小值。因此在寬頻應用中，可選擇在關鍵頻段進行精確匹配，於其他頻段容許輕微偏移。

進一步地，若將低雜訊放大器放置於多級放大器的接收前端系統中，其雜訊性能的重要性可以透過Friis雜訊公式 得到合理量化與物理解釋。根據 Friis equation，若有一組串聯的放大器，如圖 2.4.2，其總雜訊因子  $NF_{total}$  可表示為：

$$NF_{cascade} = NF_1 + \frac{NF_2-1}{G_1} + \frac{NF_3-1}{G_1G_2} + \frac{NF_4-1}{G_1G_2G_3} \dots \quad (2.4.2)$$

其中  $F_i$  為第  $i$  級放大器之雜訊因子， $G_i$  為該級的功率增益。由此可見，第一級放大器的雜訊因子  $F_1$  對整體系統的影響最大，因為其後級貢獻的雜訊會被前級增益  $G_1, G_2 \dots$  所抑制。因此，在系統設計中通常僅需對第一級放大器（即低雜訊放大器）進行嚴格的雜訊匹配設計，以將  $F_1$  小化，即可大幅改善整體系統的等效雜訊指數。相對地，後續各級放大器則可著重於增益、線性度或功耗等指標，無須額外進行雜訊匹配。

此結果也說明了為何實務上低雜訊放大器扮演至關重要的角色——不僅是提供前端放大，更是決定整個訊號鏈雜訊底限的關鍵。因此，低雜訊放大器設計應特別著重雜訊參數之最佳化與源端阻抗匹配的細節設計，並配合合理偏壓、元件尺寸與匹配網路，達成雜訊抑制與功耗兼顧的目標。

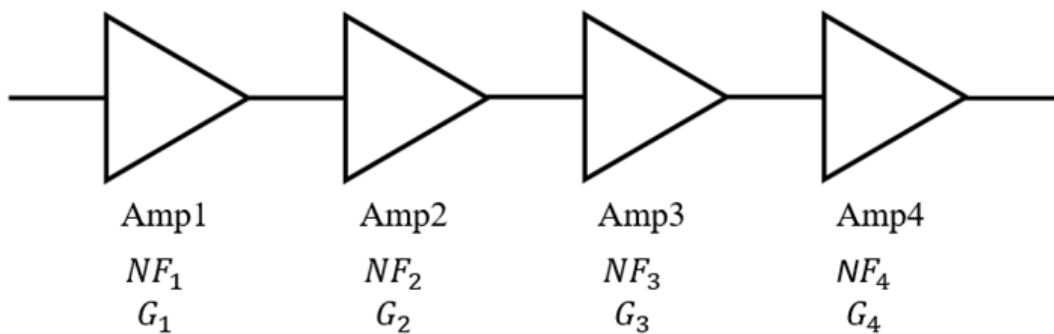


圖 2.4.2 串聯放大器系統示意圖

## 第三章 低雜訊放大器設計與模擬



### 3.1 設計流程

#### 3.1.1 整體設計流程

本研究針對未來大規模超導量子位元(superconducting qubit)讀取架構的需求，設計具備寬頻、高增益、低雜訊、低功耗特性的低雜訊放大器，以提升整體讀取系統效能並降低外部電纜傳輸所導致的雜訊干擾。第一步是決定應用需求與目標規格。根據主流的量子電腦架構，其多位元讀取普遍採用 FDM 機制，對應的讀取頻段範圍約落在 4–10 GHz。因此本設計將 LNA 的 3 dB 頻寬設定為 4–10 GHz，並希望其雜訊指數在 4 K 環境下小於 0.6 dB，增益 ( $S_{21}$ ) 高於 30 dB，功耗限制於 10 mW 以下。此外，為了保證輸入輸出端的阻抗匹配以利信號傳輸，反射係數  $S_{11}$  與  $S_{22}$  均需低於 -10 dB；第二步為電路架構選型與理論設計。本章擬定兩種不同的 LNA 架構進行比較與優化。第一種為經典架構源極退化共源極 LNA，此架構於第一級採用共源極搭配源極串聯電感，以提升輸入穩定性與實現阻抗匹配，後續再串接兩級共源極放大器進行增益提升，並於最終級使用共汲極結構 (common drain) 作為輸出緩衝。第二種為交叉電容耦合共閘極 LNA，其利用交叉耦合電容的被動增益提升特性，來增加等效轉導並降低整體雜訊指數。該架構先以共閘極輸入實現寬頻匹配，再透過交叉電容實現反相放大，後級則依序串接共源極放大器與共汲極輸出級達到所需增益與阻抗匹配；第三步為根據 MOS 元件模型，推導各級放大電路之小訊號參數，並控制每級電流在 1.5 mA 以內以符合低功耗設計條件。模擬部分使用 ADS 進行交流訊號響應、S 參數與雜訊指數等驗證，確保電路效能符合預期；第四步，在確認模擬結果符合初步要求後，進入繪製佈局圖階段。佈局圖完成後，再利用 HFSS 或 ADS Momentum 進行電磁模擬，模擬金屬走線帶來的寄生參數，並視模擬結果進行微調優化；最後一步則是根據晶片 pad 配置與測試需求設計量測用 PCB 測試板，採用共面波導 (CPWG) 架構配置差動與單端訊號線，並於直流偏壓路徑加入 bypass 電容與接地接點。製作完成後利用網路分析儀進行室溫初步量測，包括 S 參數與輸出訊號雜訊表現。後續章節將分別說明兩種架構的設計與模擬結果，並進行量測分析與設計比較。



### 3.1.2 電路架構與元件參數設計策略

本研究之電路設計策略旨在於有限的功耗預算下，同時滿足寬頻帶操作與低雜訊之要求。針對整體架構的級數考量，由於單級放大器難以在寬頻範圍內同時提供足夠的增益與平坦度，且為了達到系統規格所設定之高增益目標，本研究針對不同電路之特性，採用多級串聯之拓樸架構。原則上，前級主要負責低雜訊放大並貢獻系統所需之主要增益，而後級則視特定電路需求配置為第二增益級或輸出緩衝級，藉以優化級間匹配並提升整體驅動能力與頻率響應之平坦度。針對元件參數的細部設計，首先在偏壓電壓的選擇上，以最低雜訊指數與最高增益之間進行權衡分析，透過模擬尋找兩者之最佳平衡點以確立閘極偏壓。待工作電壓選定後，接著依據預定的操作電流與功耗規範，相應調整電晶體的通道寬度與長度，確保電路在符合功耗限制的同時，亦能維持預期的增益與雜訊性能。此外，末級電路選用源極隨耦器 (Source Follower) 架構，主要考量其具備優異的阻抗轉換能力。該架構能將前級的高輸出阻抗轉換為低阻抗，以達成寬頻帶的 50 歐姆輸出匹配。相較於被動元件匹配，Source Follower 不僅能提供平坦的頻率響應並節省佈局面積，更重要的是提供了良好的級間隔離效果，能防止後級負載變動影響前級增益與頻率響應，確保量測與整合時的訊號穩定性。

## 3.2 源極退化低雜訊放大器(Inductively Degenerated LNA)

### 3.2.1 輸入級設計與分析

本電路之輸入級採用源極退化共源極 (common-source with source degeneration) 串接 cascode 架構，具備良好的輸入匹配與穩定性。其基本架構參考文獻[29]，在主放大晶體管之源極串接一顆電感  $L_s$ ，閘極寄生電容  $C_{gs}$  及額外外接電容  $C_{ex}$  共同形成總等效電容：

$$C_{total} = C_{gs} + C_{ex} \quad (3.2.1)$$

並與  $L_s$  產生共振，用以控制輸入阻抗的實部響應，使在設計頻段內接近 50 歐姆，以滿足  $S_{11} < -10$  dB 的匹配要求，其輸入阻抗可近似表示成：

$$Z_{in} = sL_g + \frac{1}{sC_{gs}} + \left(1 + \frac{g_m}{sC_{gs}}\right) \frac{sL_s}{1 + s^2 L_s C_{ex}} \quad (3.2.2)$$

$L_g$  為閘極前串接之電感，主要作用為補償輸入阻抗虛部，並與  $C_{total}$  形成額外的串

聯共振，諧振頻率近似為：

$$f_{res} \approx \frac{1}{2\pi\sqrt{L_g C_{total}}} \quad (3.2.3)$$

藉由調整  $L_g$  可有效平移匹配頻點，使最低 NF 點與最佳匹配點在寬頻範圍內更為接近，這種設計策略稱為 bandwidth-constrained noise optimization。電路架構如圖 3.2.1 所示。

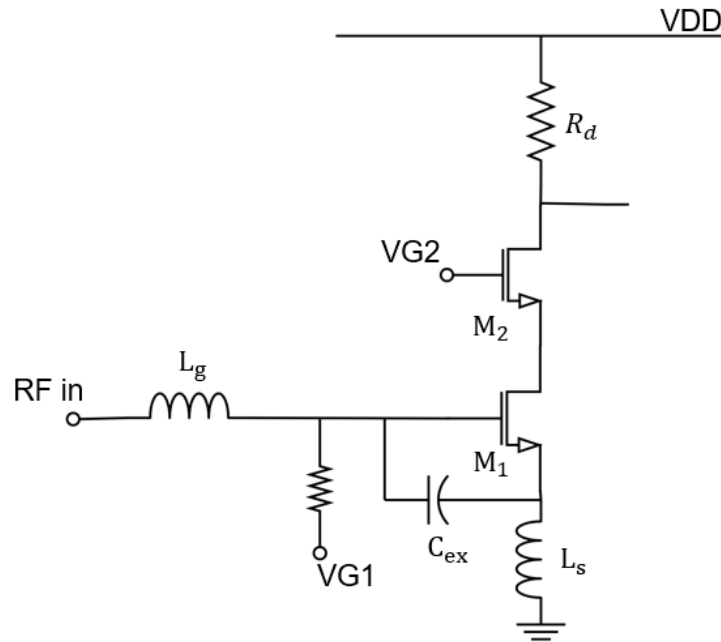


圖 3.2.1 源極退化低雜訊放大器輸入級架構

此源極電感結構除提供阻抗匹配外，亦具穩定系統與線性化增益的效果。因電感在高頻具有感抗特性，能有效抑制振盪與非線性行為；同時透過源極負回授，使得輸入級的增益隨頻率變化趨於平緩，提升了頻寬內的整體穩定性。電晶體之尺寸設為  $W/L = 14 \mu\text{m} / 0.03 \mu\text{m}$ ，偏壓則設定在  $V_{GS} = 0.48 \text{ V}$ ，操作於飽和區以實現高轉導 ( $g_m$ ) 與低雜訊性能。此外，在主放大晶體管之上串接一顆共閘極晶體管，形成典型的 cascode 結構，其主要優點為大幅提升輸出阻抗與穩定增益，並有效抑制米勒效應所導致的高頻增益劣化。Cascode 結構亦能減少前級放大對輸出負載的敏感性，使得系統在寬頻操作下具備更佳的雜訊與穩定表現。負載部分則不採用 IC 上的電感，而是使用電阻當作負載。雖然電阻型負載將導致較高的電壓降、進而拉高所需之 VDD 電源電壓（本設計需 1.3 V），但其優點在於頻率響應平坦、面積較小、穩定性高，並且不會在特定頻率形成窄頻共振，有助於維持寬頻性能與模擬穩

定性。本段電路以 ADS 進行模擬，分別取得輸入反射損耗與電壓增益(Voltage Gain)於設計頻段內之響應，如圖 3.2.2 及圖 3.2.3，模擬結果顯示反射損耗在 6.3–8 GHz 間小於 -10 dB，增益部分最高則有 18 dB。

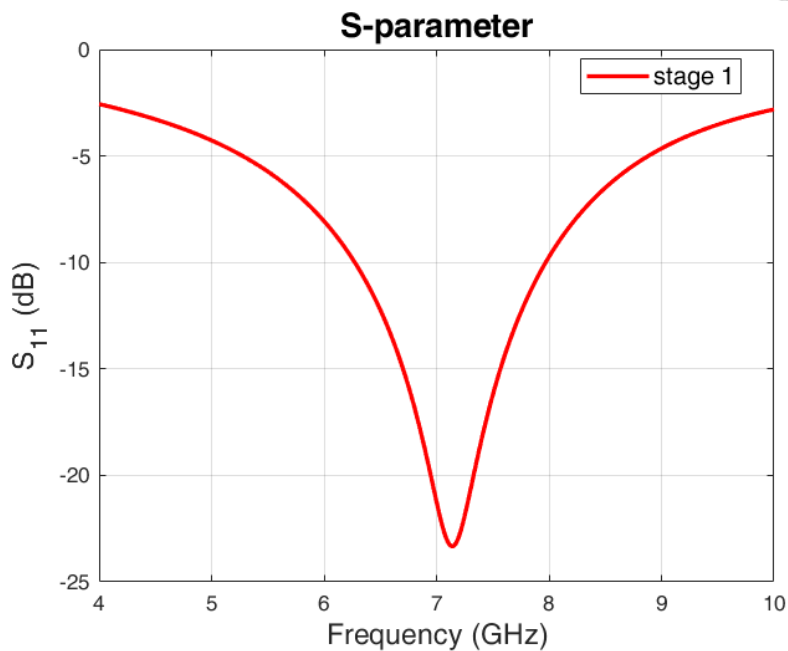


圖 3.2.2 輸入級的反射損耗頻率響應模擬結果

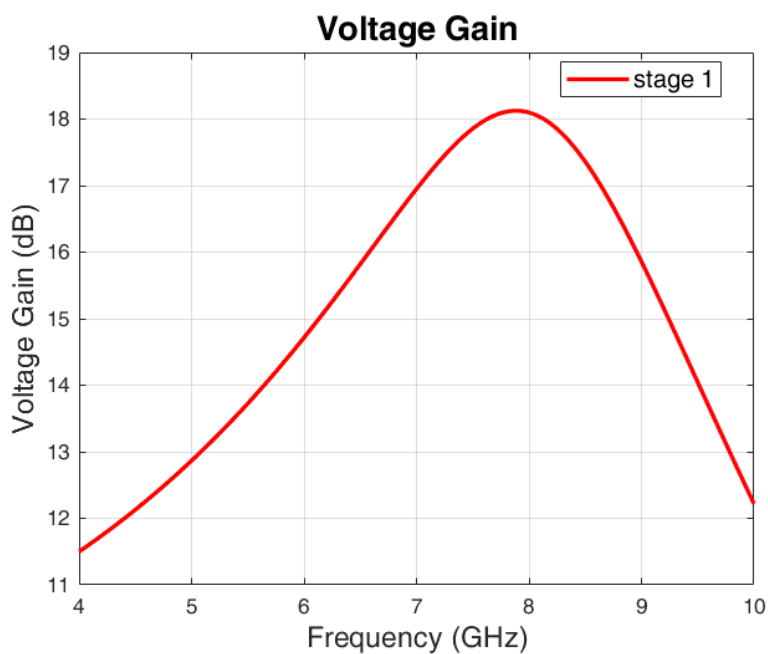


圖 3.2.3 輸入級電壓增益模擬結果

### 3.2.2 中間級設計與分析

第二級與第三級延續輸入級的共源極配置，主要目的在於提升整體電壓增益與驅動能力。兩級放大器的設計強調增益平坦性與製程一致性，確保在多級串接下系統具備穩定的頻率響應特性。每級放大器皆採用  $R_d$  作為負載元件，以提高交流增益，同時壓抑高頻段的頻率擾動。相較於輸入級的源極電感與額外電容配置，中間級則移除源退化元件與諧振調整網路，使得電路結構更為簡化，並降低晶片面積與寄生效應。中間級的電壓增益可由下式近似表示：

$$A_v = -g_m * R_D \quad (3.2.4)$$

其中  $g_m$  為電晶體的轉導值，該公式反映放大器增益主要受限於器件本身的  $g_m$  以及電阻設計。

在偏壓設定方面，透過控制閘極電壓 ( $VG2$ ) 來穩定操作點，確保跨級匹配與功率調節的需求。為提升高頻響應能力，設計中亦特別調整  $R_d$  的寬頻特性，以兼顧增益與穩定性。圖 3.2.4 為中間放大級的基本電路架構圖，圖 3.2.5 則展示第二級與第三級於 4 – 10 GHz 頻段的電壓增益模擬結果。模擬結果顯示，雖然增益隨頻率略微下滑，但整體維持在 8 – 9.5 dB 的範圍內，具備良好的頻寬，適合作為輸出端驅動或後級緩衝電路的前驅級。

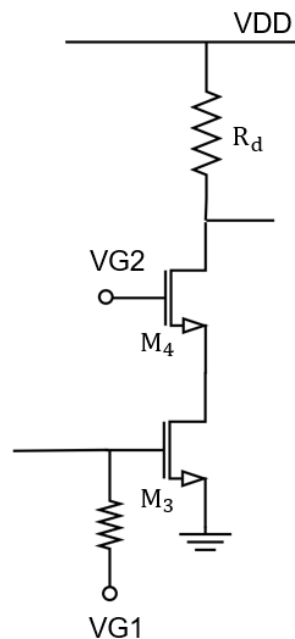


圖 3.2.4 中間級共源極放大器之電路架構圖

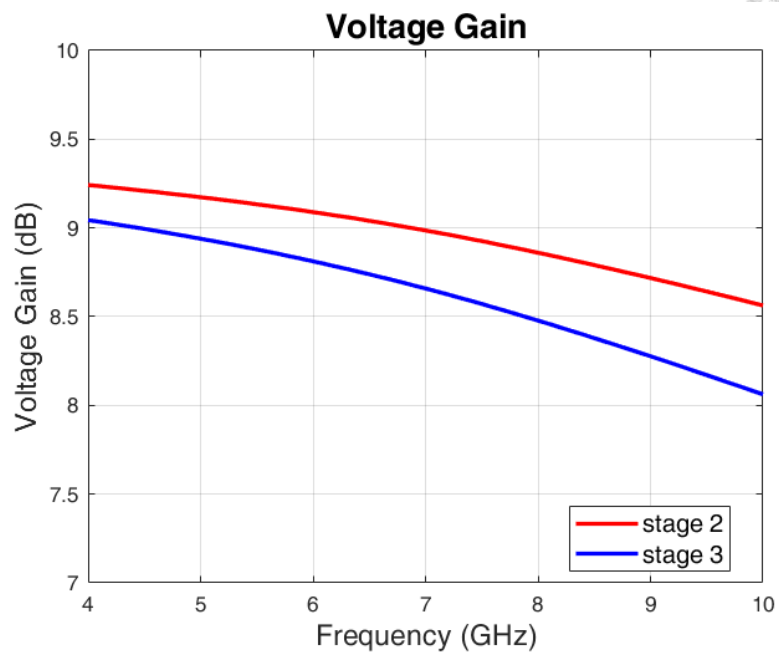
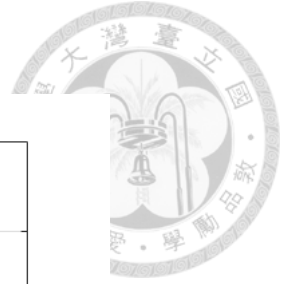
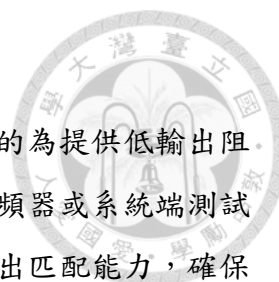


圖 3.2.5 第二級與第三級放大器之電壓增益模擬結果



### 3.2.3 輸出級設計與驅動

本設計之輸出級採用共汲極 (common-drain) 結構，主要目的為提供低輸出阻抗，以強化後級驅動能力並維持輸出端的匹配穩定性。在高頻混頻器或系統端測試應用中，常需與 50 歐姆負載匹配，因此輸出級需具備良好的輸出匹配能力，確保訊號傳輸效率與反射抑制效果。而共汲極緩衝器結構的理論上輸出阻抗可由下式估算：

$$Z_{out} = \frac{1}{g_m} \quad (3.2.5)$$

根據上述關係式，本設計選擇上方主輸出電晶體操作於飽和區，並透過適當的尺寸設定以實現所需轉導值，使輸出阻抗接近 50 歐姆。考量製程尺寸限制與電流消耗間的權衡，選擇的電晶體尺寸為  $W/L = 12 \mu m / 0.03 \mu m$ ，以達成低輸出阻抗並滿足驅動要求。此外，下方電流源部分採用電阻偏壓搭配 MOSFET 結構以形成簡化型電流源，不僅能提供穩定的工作電流，亦可節省電路面積與偏壓線路的設計複雜度。如圖 3.2.6 所示，整體輸出級結構簡潔，並有效支援後續線路及量測系統的需求。

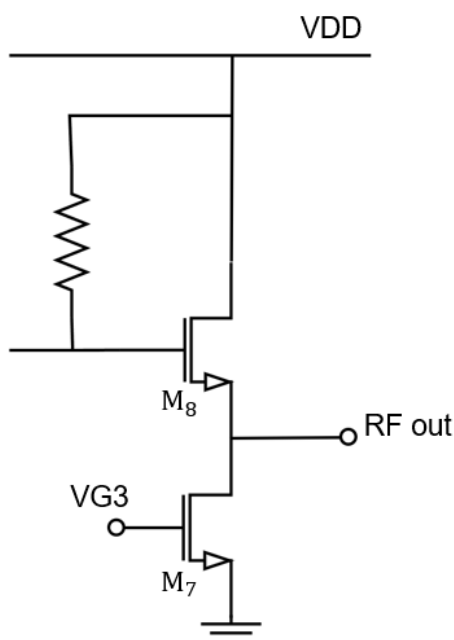


圖 3.2.6 輸出級共汲極緩衝電路架構與偏壓設計

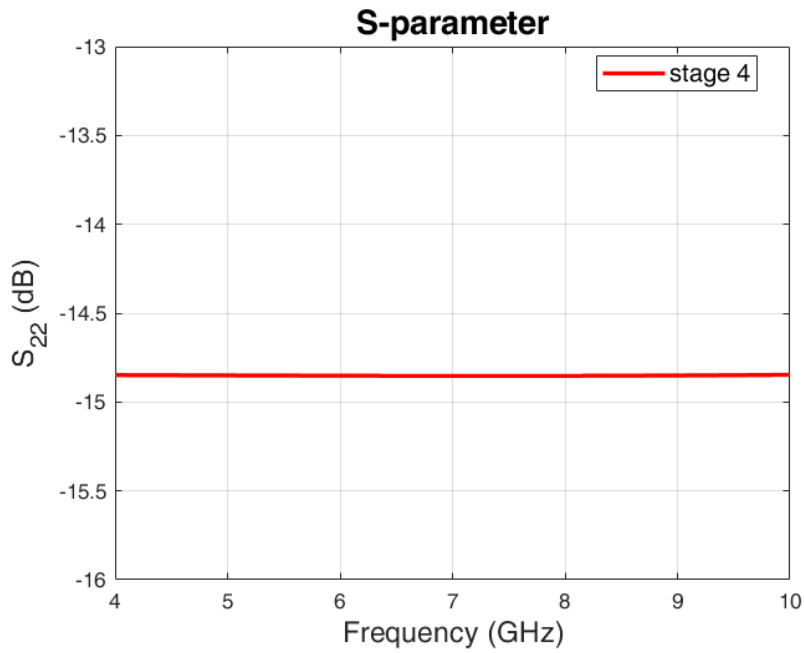


圖 3.2.7 輸出級的反射損耗頻率響應模擬結果

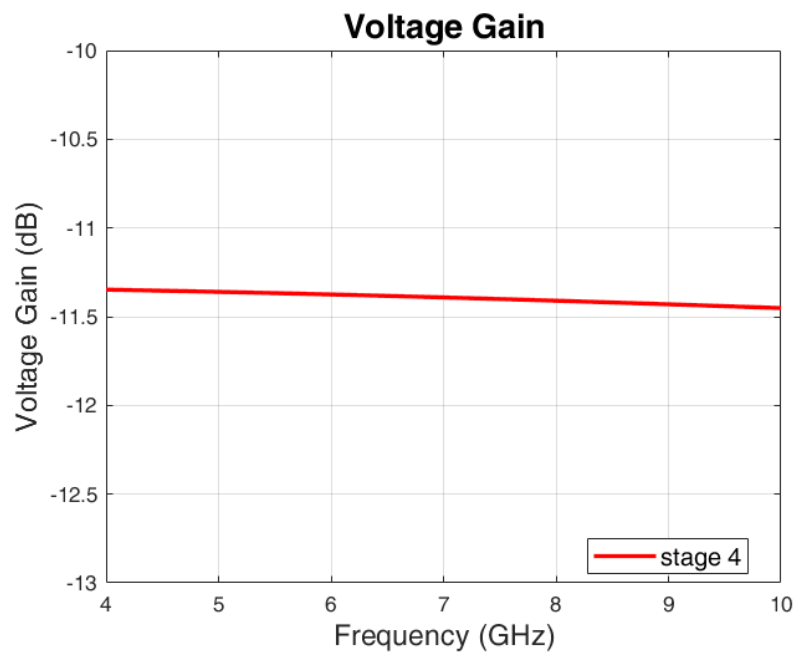


圖 3.2.8 輸出級電壓增益模擬結果

圖 3.2.7 為輸出級  $S_{22}$  參數模擬結果，顯示輸出反射損耗在操作頻帶內維持在  $-15$  dB 左右，表現出良好的輸出匹配能力。圖 3.2.8 為輸出級電壓增益模擬結果，可觀察到於  $4 - 10$  GHz 操作頻帶內，損耗約  $-11.5$  dB。此一負增益特性主要來自共汲極緩衝結構本身的訊號傳遞損耗，包含 MOS 電晶體的本體損失、源極電流源的壓降影響，以及與負載阻抗間的功率轉換效率。若後續模組與混頻器間能有良好

阻抗匹配，則此緩衝級可視情況省略，以提升整體增益並降低功耗。

### 3.2.4 完整電路模擬與分析

整合前述各級設計，繪製整體低雜訊放大器電路圖，並進行模擬驗證其整體效能表現，如圖 3.2.9 所示。表 3.2.1 則是各元件的實際值。整體模擬結果顯示於圖 3.2.10，輸入端  $S_{11}$  在 7 GHz 處達最低點，約為  $-20$  dB。而在目標頻寬內則是只有  $-4$  dB，顯示輸入匹配仍有改善空間，另一方面在輸出端的  $S_{22}$  維持在  $-14$  dB 以下，確保輸出匹配良好，利於與後級電路（如混頻器或 ADC）連接。增益  $S_{21}$  約為 20 dB，3 dB 頻寬約落在 4 – 8 GHz，與原先設計目標的 4 – 10 GHz 全頻寬相比，仍存在一定落差。該頻寬限制可能源於中段級或輸出級的頻率響應不完全對稱，亦可能與版圖寄生效應、電容耦合方式或負載匹配有關。圖 3.2.11 顯示整體雜訊指數（Noise Figure, NF）在操作頻段 6 – 8 GHz 間最低可達約 4.8 dB，於 4 – 10 GHz 全頻段內有 5 – 9.5 dB 的雜訊表現。在線性度表現方面，如圖 3.2.12 所示，在操作頻段內該架構之 IP1dB 為  $-40.7$  dBm。而根據圖 3.2.13 的模擬結果，其輸入三階交調截取點（IIP3）為  $-31.7$  dBm。若考量該架構約 20 dB 之功率增益，其 IIP3 數值與  $(-\text{Gain})$  之距離約為 11.9 dB。此線性度表現主要受限於為了最佳化雜訊特性所選用的低電流偏壓條件。此外，在高增益的串聯配置下，訊號到達末級時擺幅最大，受限於 Source Follower 緩衝級的電壓餘裕與電流驅動能力，使其較早進入訊號壓縮區並產生非線性失真，從而決定了整體的 IP1dB 與 IIP3 表現。

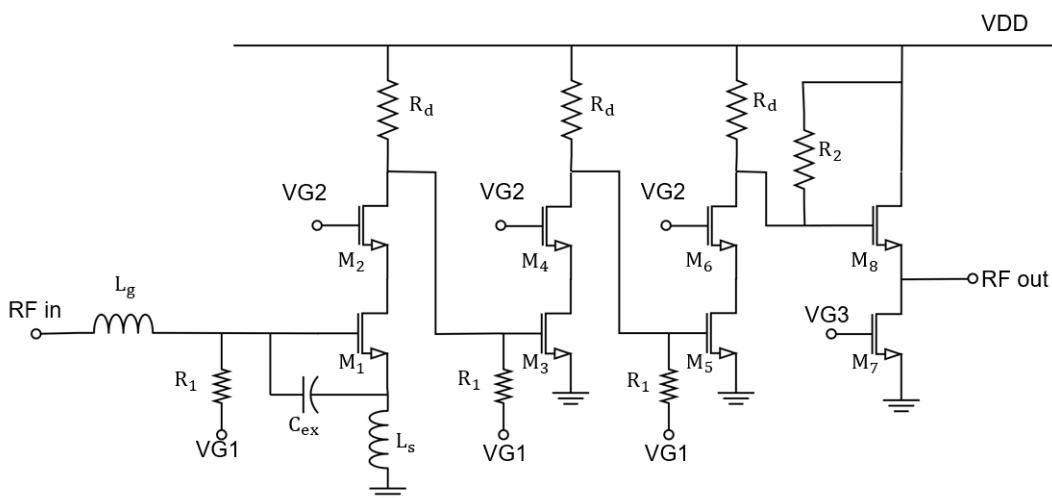


圖 3.2.9 完整低雜訊放大器電路圖

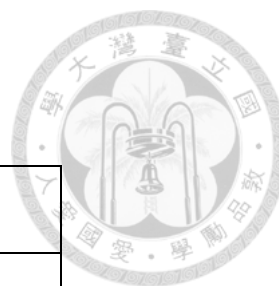


表 3.2.1 元件參數數值整理

$C_{ex}$	82.84 fF
$L_g$	4.5 nH
$L_s$	0.4 nH
$R_1$	48k ohm
$R_2$	12k ohm
$R_d$	259 ohm
$M_{1-6}$ (W/L)	14 $\mu m$ / 0.03 $\mu m$
$M_{7-8}$ (W/L)	12 $\mu m$ / 0.03 $\mu m$

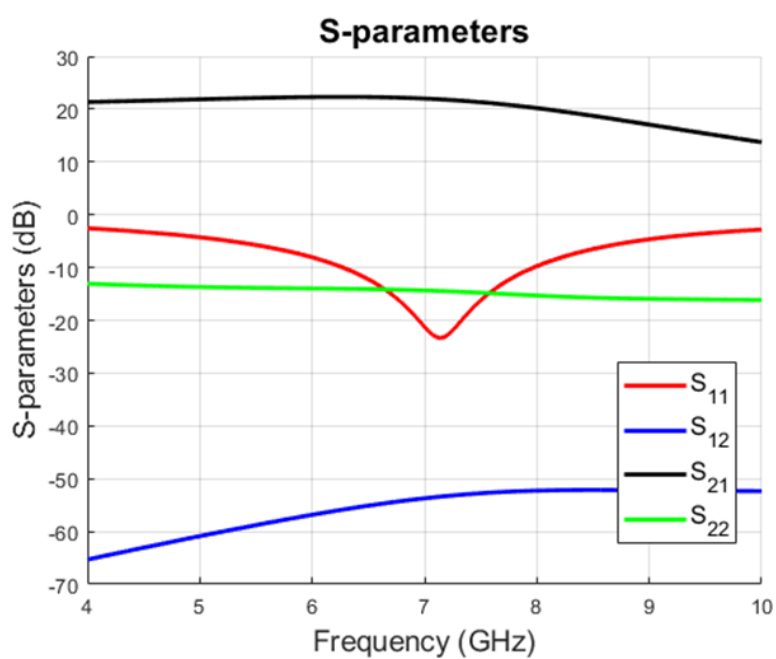


圖 3.2.10 全電路佈局後模擬之 S 參數結果

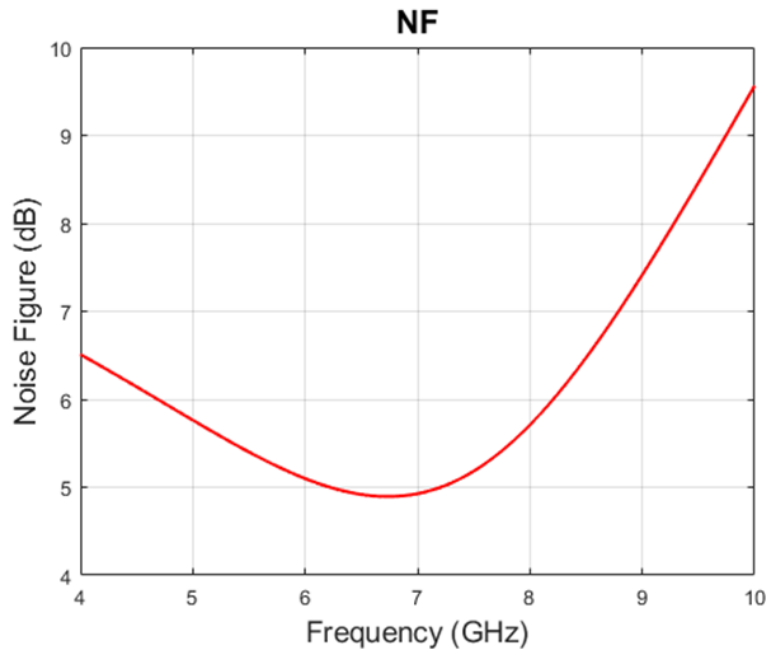


圖 3.2.11 全電路佈局後模擬之雜訊指數結果

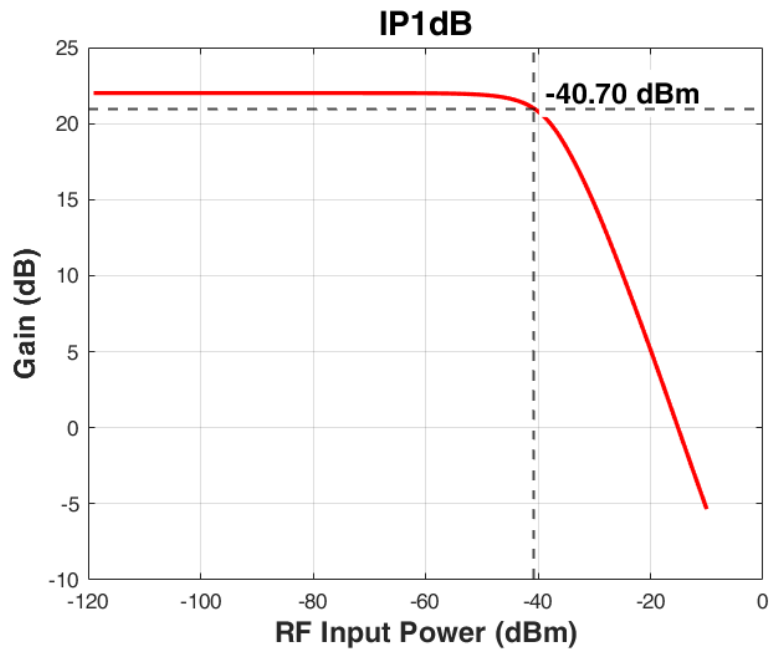


圖 3.2.12 全電路佈局後模擬之 IP1dB 結果

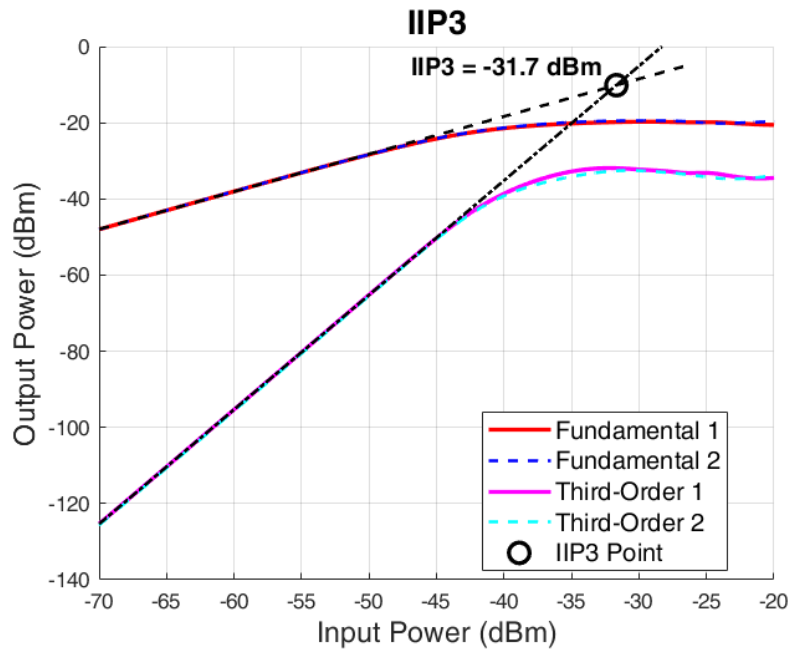


圖 3.2.13 全電路佈局後模擬之 IIP3 結果

針對電路線性度表現的進一步探討，鑑於末級 Source Follower 之架構特性恐怕對整體線性度有重大影響，本研究進一步執行了移除末級之對照模擬。在此模擬設置中，將原有的共汲極緩衝級移除，改由前級放大電路直接進行輸出匹配，藉此量化輸出緩衝級所造成的線性度損耗。圖 3.2.14 與圖 3.2.15 分別顯示了移除緩衝級後的 IP1dB 與 IIP3 模擬結果。數據顯示，在改以前級直接進行輸出匹配的情況下，電路之 IP1dB 可由 -40.7 dBm 提升至 -35.0 dBm，改善幅度約 5.7 dB；而 IIP3 則由 -31.7 dBm 提升至 -21.2 dBm，改善幅度達 10.5 dB。此模擬結果證實，核心放大級本身具備較佳的大訊號操作能力，整體電路之線性度瓶頸確係源自於輸出緩衝級之電壓餘裕限制。儘管移除緩衝級能釋放線性度潛能，但考量到實際應用中對 50 歐姆寬頻輸出匹配與反向隔離度之要求，採用 Source Follower 仍為系統整合考量下之必要設計折衷。

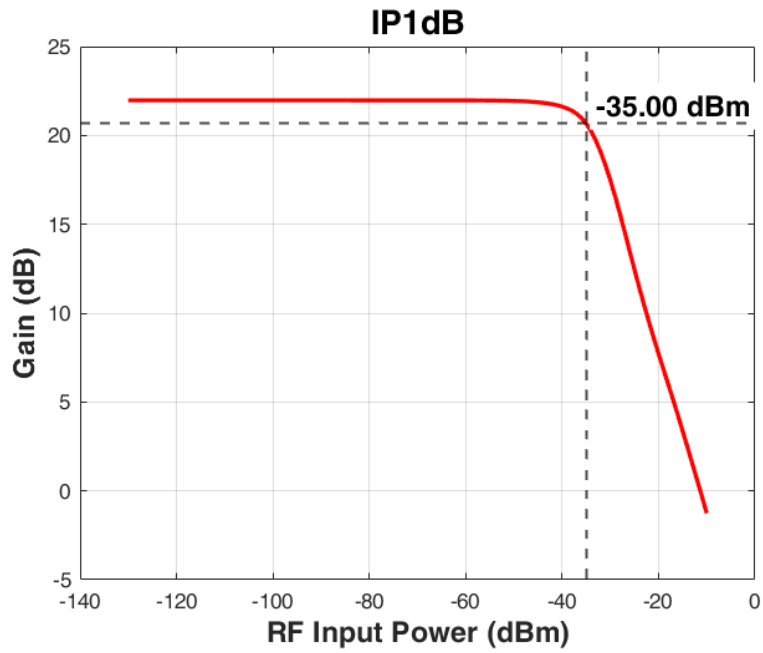


圖 3.2.14 移除輸出緩衝級後之 IP1dB 模擬結果

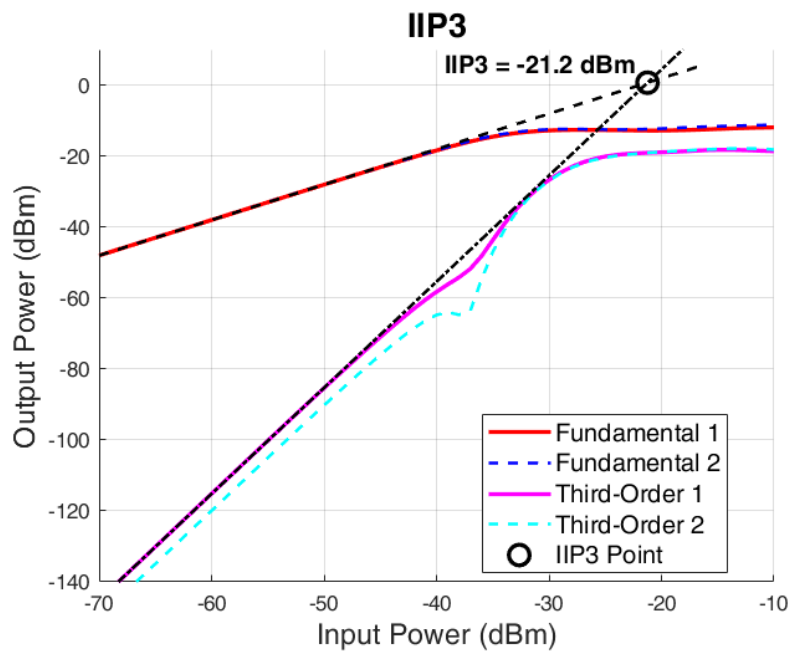


圖 3.2.15 移除輸出緩衝級後之 IIP3 模擬結果

### 3.3 交叉電容耦合共閘極低雜訊放大器(CCC-CG LNA)

#### 3.3.1 輸入級設計與分析

本節探討交叉電容耦合共閘極低雜訊放大器中，輸入級的結構與設計考量。此架構的核心概念為以共閘極拓撲提供寬頻的輸入匹配能力，並透過交叉耦合的電容對提升等效轉導，進而改善增益與雜訊表現[27]。在差動共閘極間引入交叉電容  $C_c$ ，其電容值遠大於電晶體的寄生閘極電容  $C_{gs}$  時，反向增益  $A$  可表示為：

$$A = \frac{C_c}{C_c + C_{gs}} \quad (3.3.1)$$

在不額外提高功耗的前提下，能顯著提升等效轉導與增益，同時降低輸入阻抗，有助於實現寬頻輸入匹配並改善整體雜訊表現。此外，為進一步提升增益並改善電晶體的頻率響應，輸入級仍保留了 cascode 結構，其功能與前述 3.2.1 節相似，主要提升輸出阻抗、抑制非線性效應並穩定增益表現。負載電阻亦與前述功能一致，具備穩定性與增益平坦特性，且不會在特定頻率形成雜訊共振。整體輸入級架構如圖 3.3.1 所示，架構中的電晶體尺寸設定為  $W/L = 14 \mu\text{m} / 0.03 \mu\text{m}$ ，偏壓則設定在  $V_{GS} = 0.46 \text{ V}$ ，並搭配  $L_s$  進行最佳化以達成最低雜訊指數。

模擬結果如圖 3.3.2 和圖 3.3.3 所示，輸入匹配於目標頻寬 4–10 GHz 間皆有 -12 dB 以下的良好匹配，而電壓增益則維持約 21–22 dB，具備穩定增益特性，驗證此輸入級設計能兼顧寬頻匹配與增益效率。

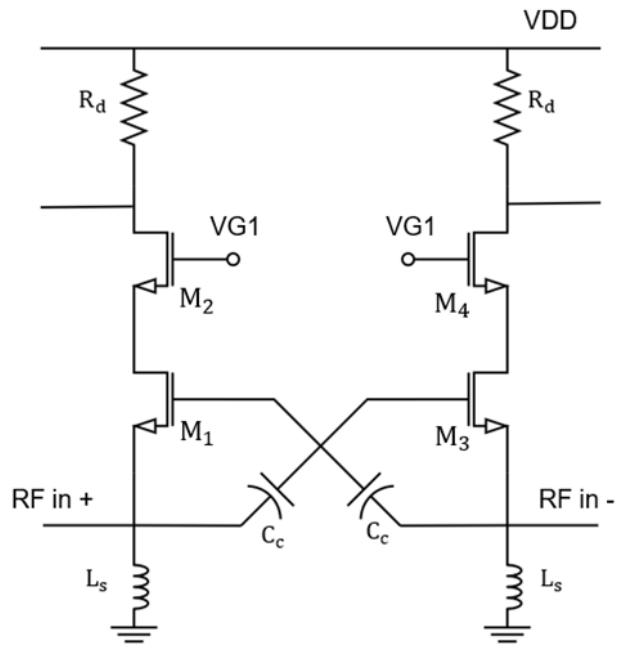


圖 3.3.1 交叉電容耦合共閘極低雜訊放大器輸入級架構

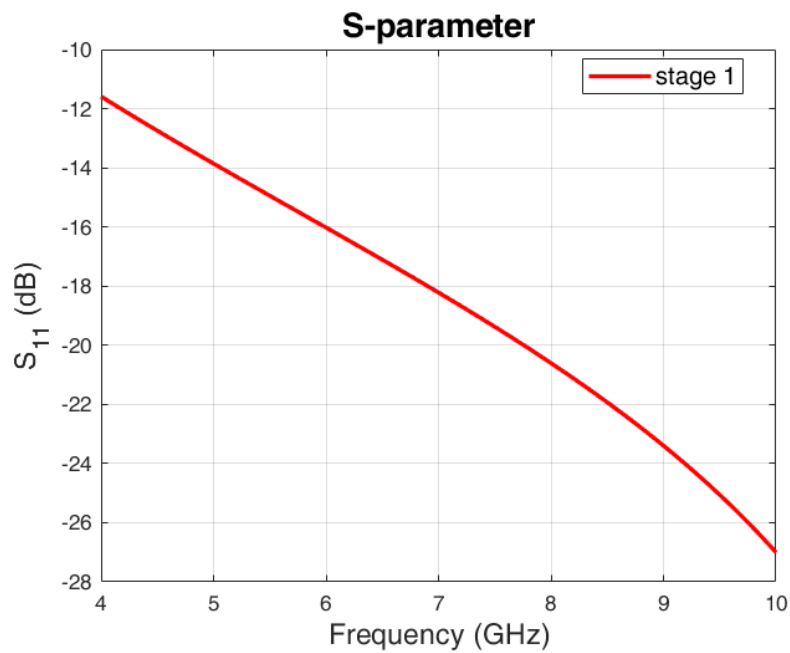


圖 3.3.2 輸入級的反射損耗頻率響應模擬結果

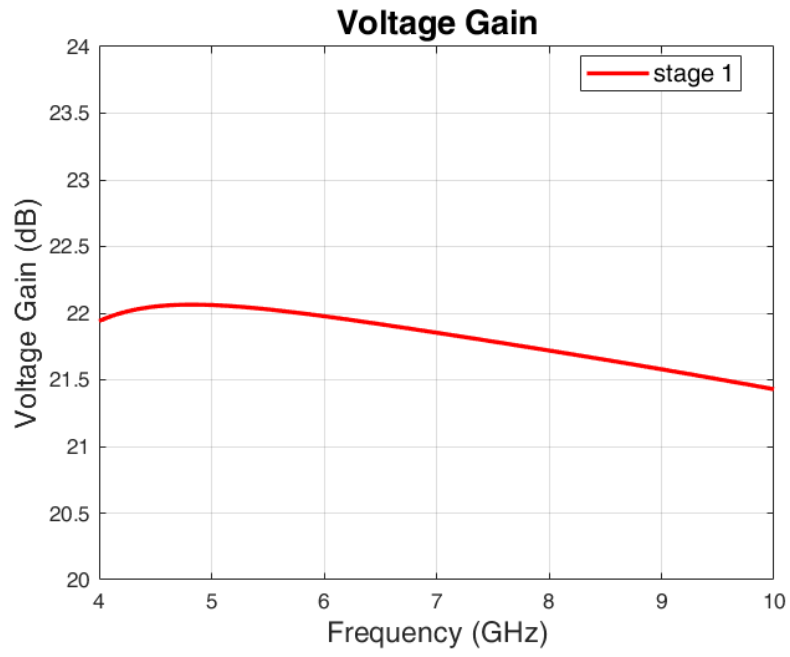
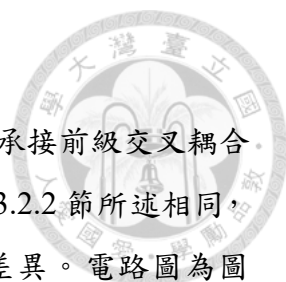


圖 3.3.3 輸入級電壓增益模擬結果



### 3.3.2 中間級設計與分析

為進一步提升整體增益，本節設計中間級共源極放大架構，承接前級交叉耦合差動訊號，透過提供額外電壓增益以驅動後級負載。雖其結構與 3.2.2 節所述相同，但由於前級輸出信號擺幅與偏壓條件不同，模擬結果亦略有差異。電路圖為圖 3.3.4 所示，一樣採用傳統共源極拓撲，其電壓增益可由下式近似表示：

$$A_v = -g_m * R_D \quad (3.3.2)$$

而電壓增益模擬結果在圖 3.3.5，顯示在 4 – 10 GHz 操作範圍內，平均增益落在 15.4 – 15.8 dB 間，具備良好的頻率平坦性與增益穩定性，有助於整體鏈路效能表現。

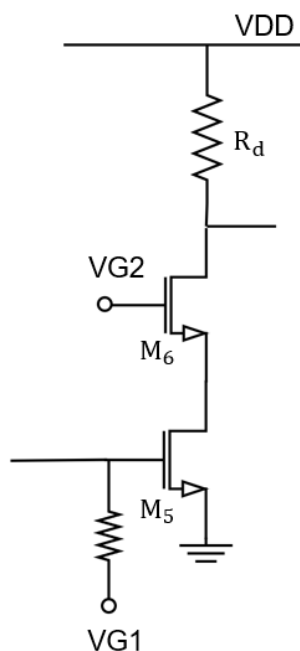


圖 3.3.4 中間級放大器之電路架構圖

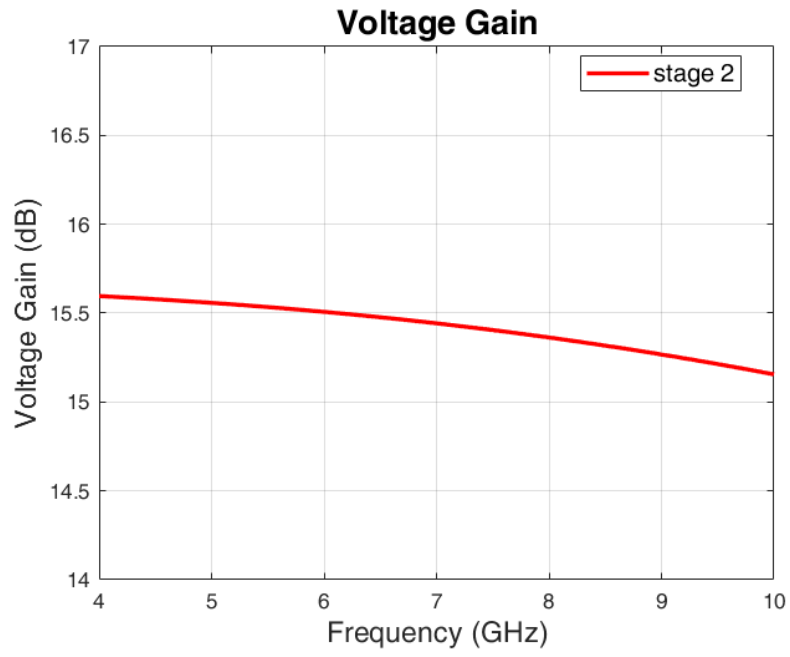


圖 3.3.5 中間級放大器之電壓增益模擬結果

### 3.3.3 輸出級設計與驅動

本節所採用之輸出級架構與 3.2.3 節相同，為共源極與共漏級串接之緩衝配置，主要功能為降低輸出阻抗，提升整體驅動與匹配能力。雖拓撲一致，但由於輸入訊號振幅與偏壓條件不同，模擬結果仍須重新討論。圖 3.3.6 為本次設計之輸出級結構。能有效降低輸出端阻抗，提升驅動能力與匹配效率，並具備良好的緩衝效果，防止前級受到負載反射影響而產生失真。此外，使用簡化的電阻偏壓源提供穩定偏壓，可節省晶片面積並降低佈線複雜度。

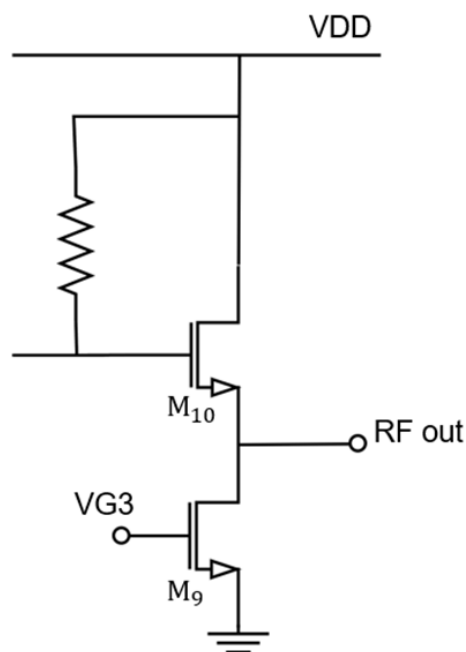


圖 3.3.6 輸出級緩衝電路結構

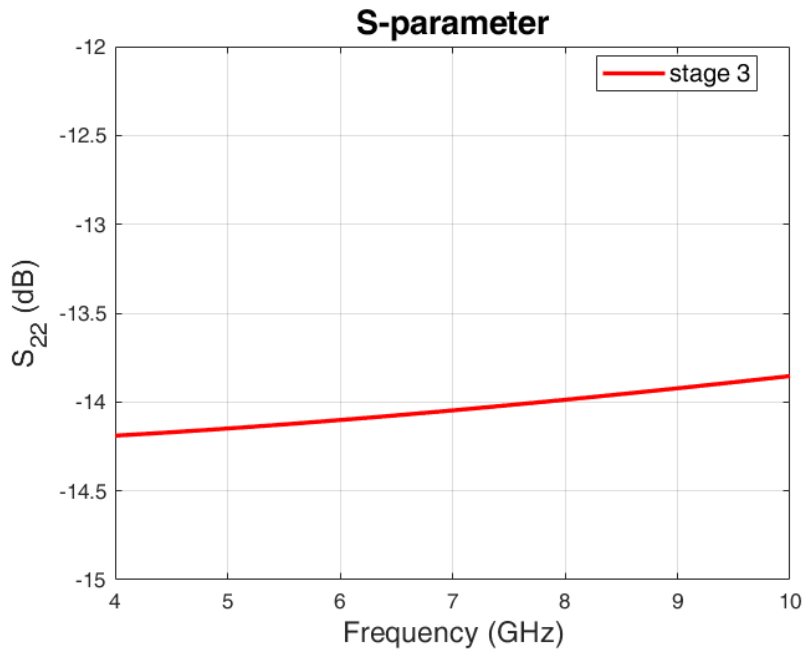


圖 3.3.7 輸出級反射損耗模擬結果

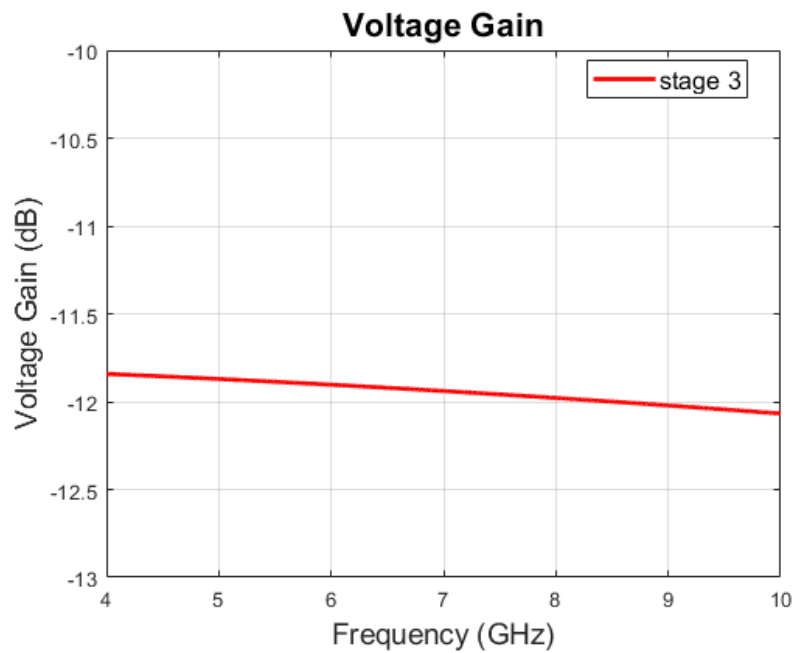


圖 3.3.8 輸出級電壓增益模擬結果

圖 3.3.7 及圖 3.3.8 分別呈現其模擬之輸出反射損耗與電壓增益， $S_{22}$  值約維持在  $-14$  dB，而電壓增益則維持於  $-12$  dB 左右，符合緩衝級預期損耗的特性。



表 3.3.1 CCC-CG 元件參數數值整理

$C_c$	463.1 fF
$L_s$	3.6 nH
$R_1$	10.76k ohm
$R_d$	615 ohm
$M_{1-8}$ (W/L)	14 $\mu m$ / 0.03 $\mu m$
$M_{9-12}$ (W/L)	12 $\mu m$ / 0.03 $\mu m$

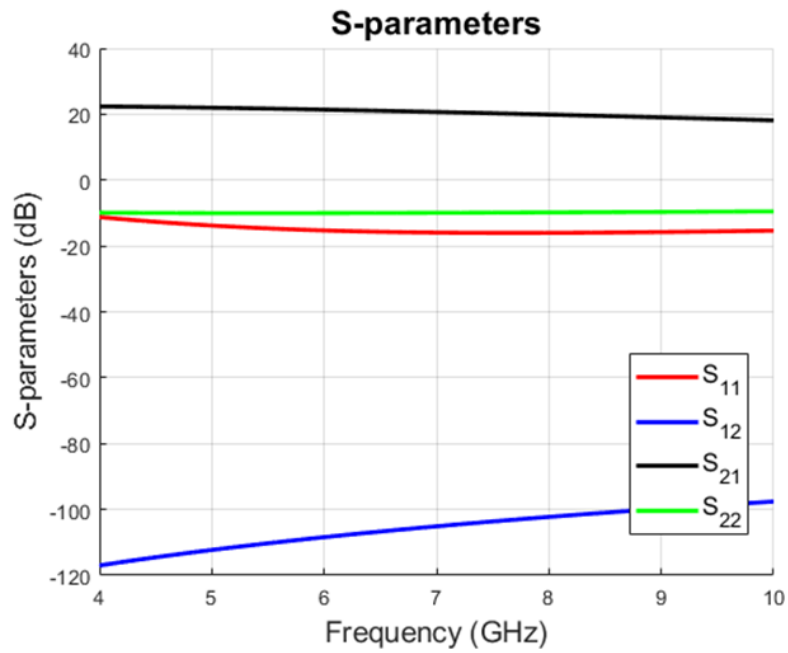
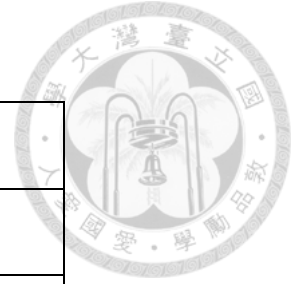


圖 3.3.10 全電路佈局後模擬之 S 參數結果

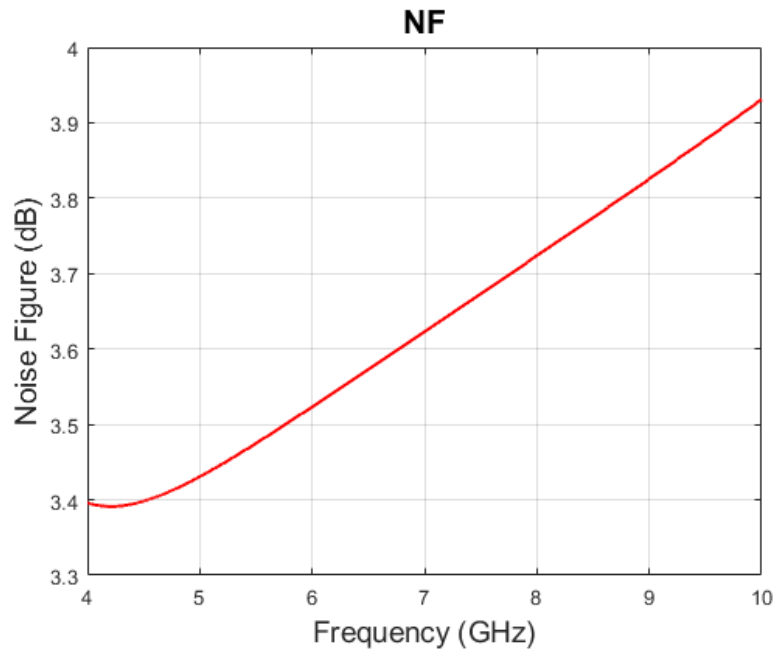


圖 3.3.11 全電路佈局後模擬之雜訊指數結果

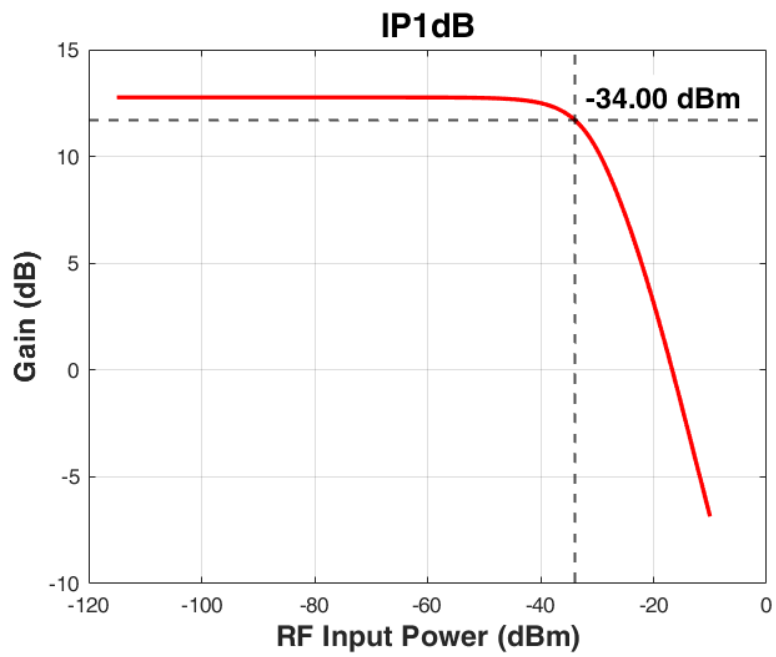


圖 3.3.12 全電路佈局後模擬之 IP1dB 結果

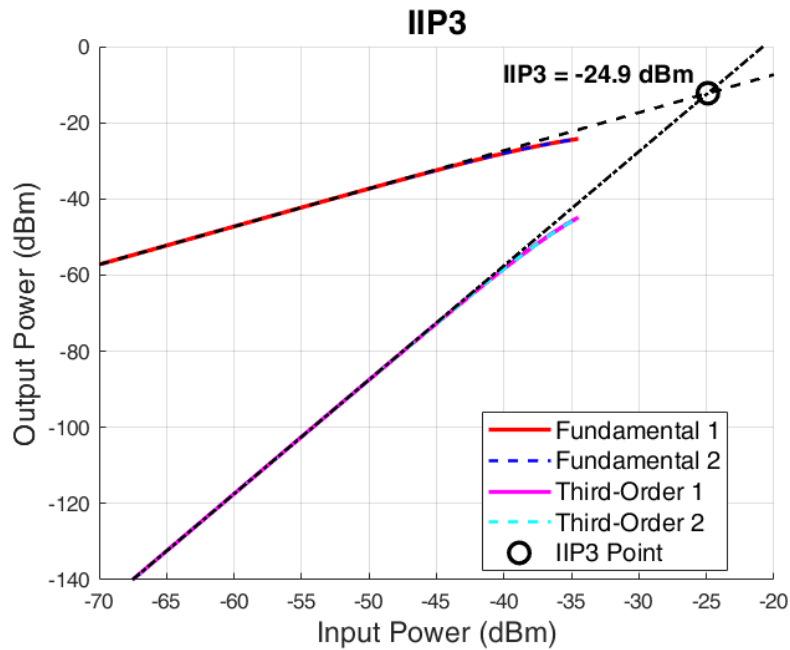


圖 3.3.13 全電路佈局後模擬之 IIP3 結果

同樣地，針對此架構之線性度表現，亦採用了相同的驗證邏輯。鑑於模擬結果顯示完整電路之線性度可能受限於末級驅動能力，本節執行了移除末級源極隨耦器之對照模擬。透過將共汲極緩衝級移除，並針對前級交叉耦合放大電路進行輸出匹配，藉此量化輸出緩衝級對整體線性度與增益之具體影響。圖 3.3.14 及圖 3.3.15 分別展示了移除緩衝級後的 IP1dB 與 IIP3 模擬結果。數據顯示，在移除緩衝級後，電路之 IP1dB 由原先的 -34.0 dBm 提升至 -24.0 dBm，改善幅度達 10 dB；而 IIP3 則由 -24.9 dBm 提升至 -15.8 dBm，改善幅度約 9.1 dB。此對照模擬有力地證實了核心電路本身具備極佳的線性度潛能，限制其大訊號表現的主要瓶頸確係來自於後級緩衝電路。然而，考量到系統應用中對於寬頻 50 歐姆輸出匹配與高反向隔離度之需求，採用 Source Follower 仍為兼顧整體效能之必要設計折衷。

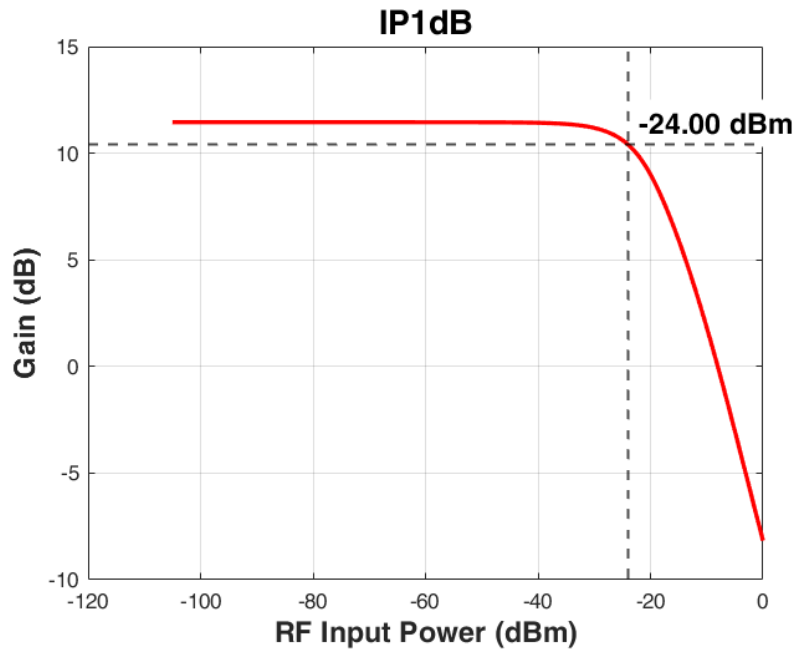


圖 3.3.14 移除輸出緩衝級後之 IP1dB 模擬結果

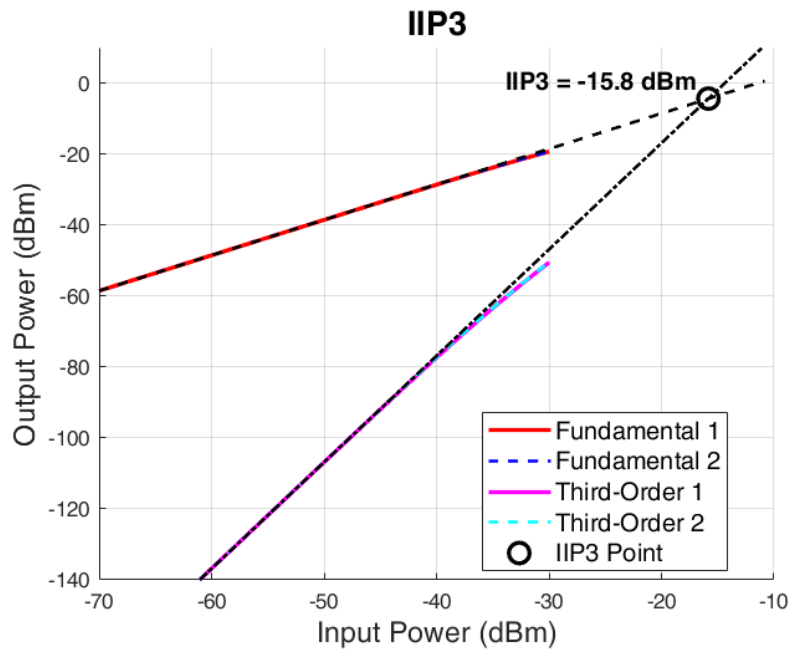


圖 3.3.15 移除輸出緩衝級後之 IIP3 模擬結果

綜上所述，源極退化與交叉電容耦合兩種 LNA 架構皆展現出良好的寬頻增益與匹配特性，其中交叉電容共閘極架構於高頻段表現出更優異的雜訊指數，有潛力應用於 4 K 低溫環境下的多頻量子讀取架構。下一章將進一步針對上述架構進行下線及量測，並作為後續進行低溫佈局驗證與量測分析的設計基礎。



### 3.4 低溫模型模擬結果

由於標準製程設計套件 (PDK) 所提供的元件模型通常僅驗證至工業標準溫度範圍 (如  $-40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ )，無法直接準確描述 CMOS 電晶體在極低溫環境下的物理行為。為了在設計階段精確預估電路在低溫下的效能，並確保低雜訊放大器能符合量子讀取系統的需求，本節針對電晶體在低溫下的關鍵參數變化進行了模擬預測與模型修正。當操作溫度由室溫降低至低溫時，MOSFET 將呈現兩個主要特性的顯著變化。首先是閾值電壓 (Threshold Voltage,  $V_{th}$ ) 的上升，模擬結果顯示，若維持相同的閘極偏壓條件，低溫下的  $V_{th}$  上升將導致過驅動電壓下降，進而抑制汲極電流。其次，由於低溫環境大幅降低了載子傳輸過程中的熱擾動與散射效應，載子遷移率將呈現大幅度的提升。此一特性直接貢獻於轉導的增加，使得電晶體在低溫下具備更優異的增益效率與更低的雜訊係數。在電路設計上，必須綜合考量上述兩項因素的消長：雖然閾值電壓的漂移會壓抑電流，但遷移率的提升通常佔主導地位，使整體元件性能優於室溫。為了在模擬環境中準確重現上述效應，本研究採用了由實驗室同學協助建立的極低溫電晶體修正模型參數。此模型係基於針對 TSMC 28 nm 製程獨立開發之單顆電晶體測試元件，在極低溫環境下進行實測與擬合所得。關於該測試元件的具體架構、量測方法及詳細的參數提取結果，將於本論文 4.2 中進行完整的說明與驗證。

除了主動元件的低溫模型修正，被動元件 (特別是電感器與傳輸線) 在低溫下的品質因子變化亦是影響低雜訊放大器效能的關鍵。由於標準電磁模擬軟體僅內建室溫金屬導電率，無法反映低溫環境下因晶格散射降低而導致的導電率提升現象，因此必須手動設定適當的導電率修正倍率以進行模擬預測。針對低溫金屬導電率的設定，本研究參考了相關文獻對先進製程導線的分析。根據[30]與[31]之研究指出，奈米製程金屬線的低溫導電率改善幅度深受「尺寸效應 (Size Effect)」限制。對於線寬較窄的中下層金屬線，受限於晶界散射與表面散射，其低溫導電率提升倍率較為保守，約為室溫的 1.4 倍至 2 倍；而對於線寬較寬的訊號線，提升倍率則可達 4 倍至 5 倍。基於此文獻數據，本研究首先設定了 1.4 倍、4 倍與 5 倍的導電率模型，以涵蓋文獻預測的範圍。此外，考量到本設計之電感與主要傳輸線皆布局於製程的最頂層超厚金屬，其金屬厚度與寬度遠大於文獻所探討的一般訊號線。理論上，較大的截面積能進一步降低表面散射的影響，使金屬特性更接近高純度的塊材



銅。因此，本研究額外設定了一組 10 倍導電率的模擬條件，作為頂層金屬在極低溫下的樂觀估計邊界。

### 3.4.1 源極退化低雜訊放大器

綜合上述針對主動元件模型之修正與被動元件導電率之設定，本節將進一步檢視 LNA 之整體電路特性模擬結果。為了具體量化降溫前後的差異，模擬圖表中以標示 1x 之曲線代表採用常溫 PDK 模型與常溫導電率的基準狀態；其餘倍率(1.4x - 10x) 則代表套用低溫修正模型後，在不同金屬損耗條件下的預測響應。

首先觀察增益 ( $S_{21}$ )，如圖 3.4.1 所示。常溫在頻帶內的最高增益約為 22 dB，其頻率響應曲線相對平緩，高頻端的增益衰退較為和緩。當切換至低溫模型並設定導電率為 1.4x (藍色虛線) 時，增益顯著躍升至 29 dB，頻率響應的形狀與常溫相近。但在將導電率往上增加時，頻率響應的形狀發生了顯著改變，特別是在 8.5 GHz 以上的高頻段，其增益衰減斜率明顯較常溫模型更為陡峭。此現象之物理成因猜測為於低溫環境下被動元件品質因子的劇烈變化。在常溫下，金屬寄生電阻較大，導致匹配網路呈現低 Q 值特性，其共振頻寬較寬，因此在偏離中心頻率的高頻處，增益下降速度較慢。反之，在低溫環境下，隨著導電率提升與損耗降低，電感與傳輸線的 Q 值大幅上升，使電路的選頻特性 (Frequency Selectivity) 增強。高 Q 值電路雖然能提供更集中的峰值增益，但其共振頻寬相對受限，導致通帶邊緣的濾波效應更加劇烈，因而在高頻處呈現出更為陡峭的滾降特性。儘管高頻滾降較為嚴重，但在低頻內，低溫模型仍穩定維持約 30 dB 的平坦增益。

在輸入反射係數 ( $S_{11}$ ) 方面 (圖 3.4.2)，模擬結果顯示本設計具有極佳的穩健性。無論是常溫基準或低溫模型，最佳匹配頻率皆穩定維持在 7.2 GHz 附近，且回波損耗均優於 20 dB。這意味著即便低溫下的高 Q 值特性改變了頻率響應的形狀，輸入匹配網路的阻抗點並未發生顯著漂移。

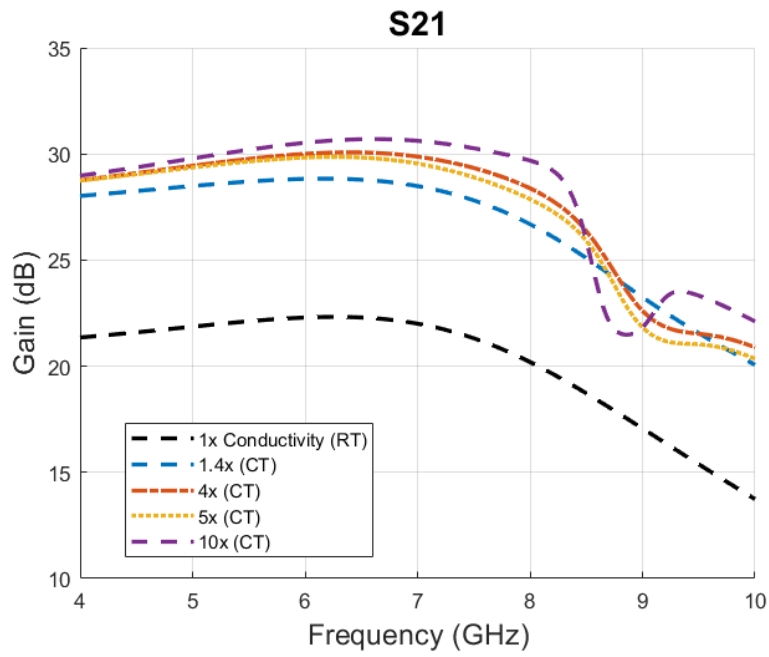


圖 3.4.1 源極退化低雜訊放大器於不同模擬條件下之  $S_{21}$

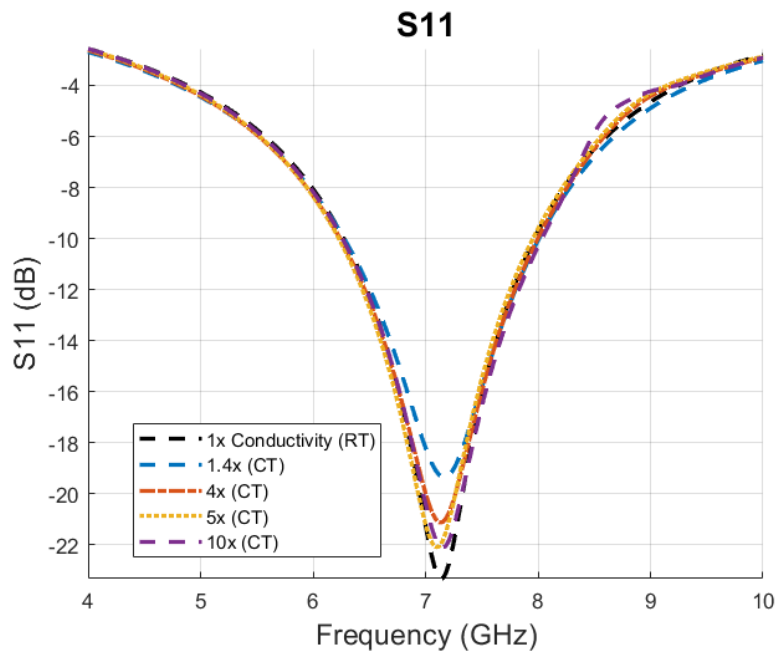


圖 3.4.2 源極退化低雜訊放大器於不同模擬條件下之  $S_{11}$

輸出反射係數 ( $S_{22}$ ) 如圖 3.4.4 所示，常溫模型的曲線較為平滑；而切換至低溫模型後，同樣受惠於元件 Q 值提升，系統阻尼下降，導致高頻段 (8-10 GHz) 出現較明顯的漣波震盪。儘管如此，在主要操作頻帶內， $S_{22}$  仍普遍維持在 -10 dB 以下，符合輸出匹配規格。最後，反向隔離度 ( $S_{12}$ ) 在所有條件下皆低於 -50 dB (圖 3.4.3)，確保了系統優異的單向性。

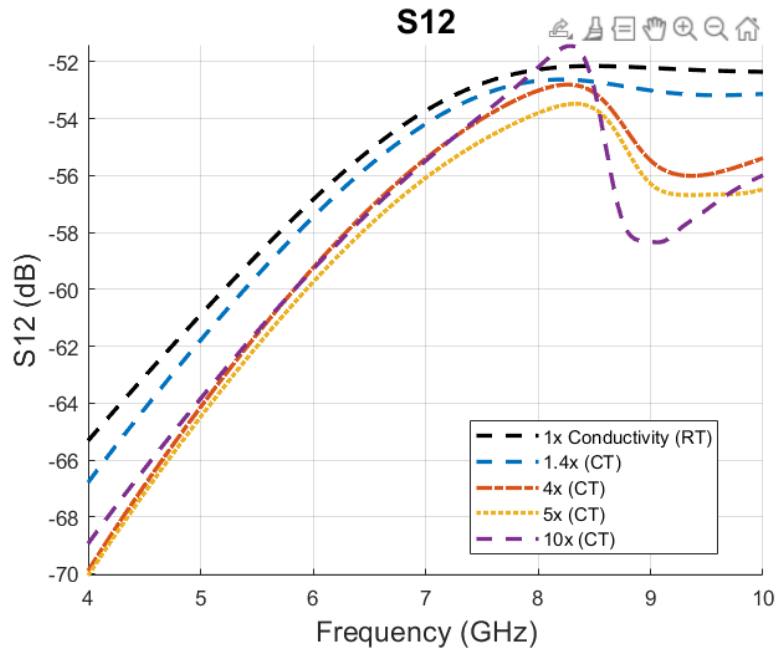


圖 3.4.3 源極退化低雜訊放大器於不同模擬條件下之  $S_{12}$

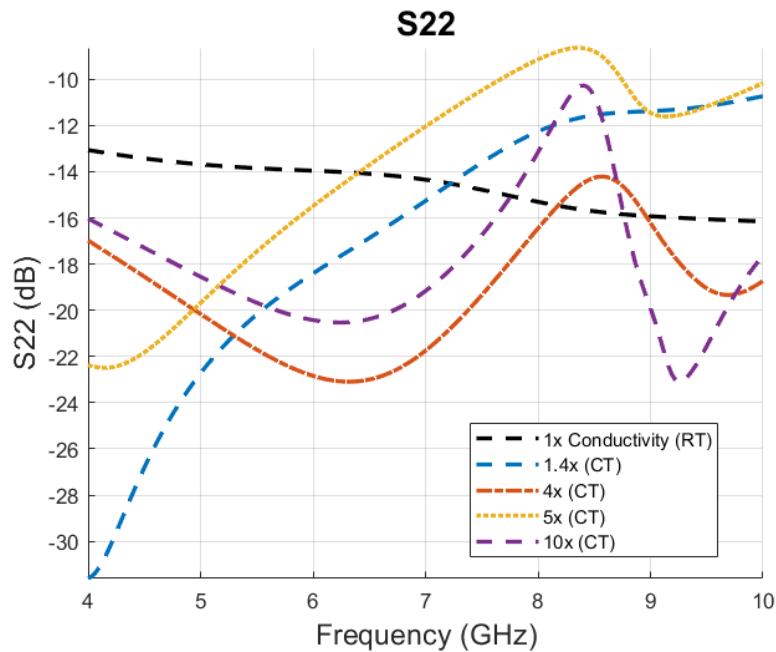


圖 3.4.4 源極退化低雜訊放大器於不同模擬條件下之  $S_{22}$



### 3.4.2 交叉電容耦合共閘極低雜訊放大器

本節針對採用交叉電容耦合技術之共閘極低雜訊放大器進行常溫與低溫環境下的模擬驗證。在數據呈現上，承接前節 3.4.1 之分析策略，鑑於 4x 與 5x 導電率模型對電路特性的影響極為相近且趨勢一致，為求圖表之清晰度並聚焦於關鍵物理現象的比較，本節在繪圖時省略了 4x 之曲線，僅保留 1.4x、5x 與 10x 作為低溫金屬特性的代表性參數，並以常溫模擬作為對照。首先觀察增益，如圖 3.4.5，模擬結果顯示低溫模型在 4 GHz 至 10 GHz 的頻帶內，其增益顯著優於常溫模型。常溫下之平均增益約為 17 dB，而切換至低溫模型 (CT) 後，增益提升至約 20.5 dB。此增益的顯著提升，主要歸因於低溫下載子遷移率增加，導致電晶體轉導上升；配合交叉耦合電容帶來的  $g_m$  - boosting 效應，進一步放大了此增益優勢。然而，值得注意的是，低溫模型的增益曲線在高頻段 (6 GHz 以上) 呈現了比常溫模型更為劇烈的衰減趨勢。雖然常溫曲線整體增益較低，但其隨頻率下降的斜率相對平緩；反觀低溫曲線在過了 6 GHz 後，增益隨頻率下滑。此現象可歸因於兩個因素：第一，低溫下雖然轉導提升貢獻了低頻增益，但電晶體的高頻寄生電容效應並未同比例改善，導致增益頻寬積的限制更為明顯；第二，電路中的負載電感與匹配元件在低溫下品質因子提升，使得電路的頻率選擇性 (Frequency Selectivity) 增強，導致通帶外的訊號衰減速度變快。因此，儘管低溫環境提升了峰值增益，卻也使得高頻端的增益平坦度劣化。在輸入反射係數方面 (圖 3.4.6)，可以觀察到顯著的頻率漂移現象。常溫模型的最佳匹配點位於 4.7 GHz (約 -36 dB)，而低溫模型的匹配點則大幅向高頻移動至約 6.3 GHz (約 -26 dB)。此頻率偏移主要源於低溫下電晶體輸入阻抗的變化。對於交叉電容耦合共閘極架構而言，其輸入阻抗與  $\frac{1}{g_m}$  高度相關。隨著低溫下有效轉導  $g_{eff}$  的上升，輸入阻抗實部下降，改變了原本輸入匹配網路的共振條件，導致匹配頻率發生漂移。這意味著若電路設計僅基於常溫模型，在低溫操作時將面臨輸入匹配失調 (Mismatch) 的問題。

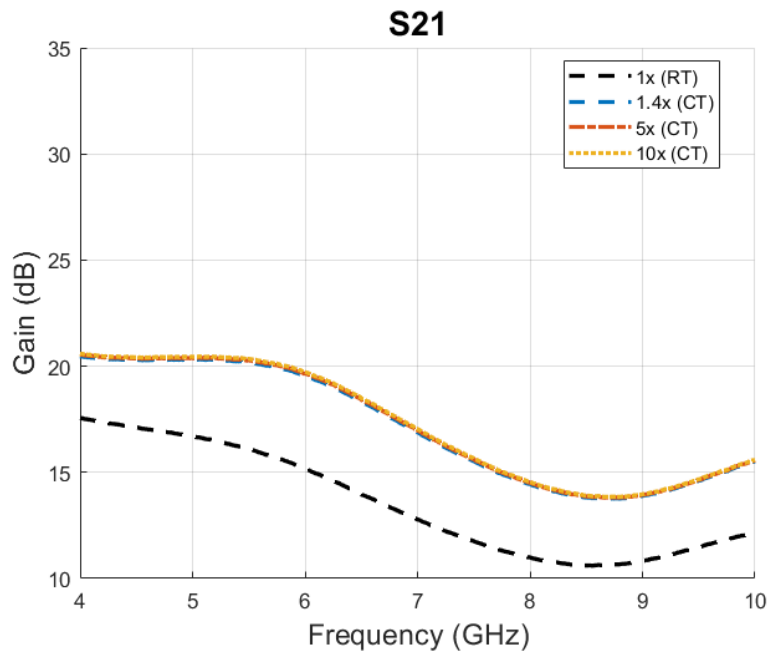


圖 3.4.5 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之  $S_{21}$

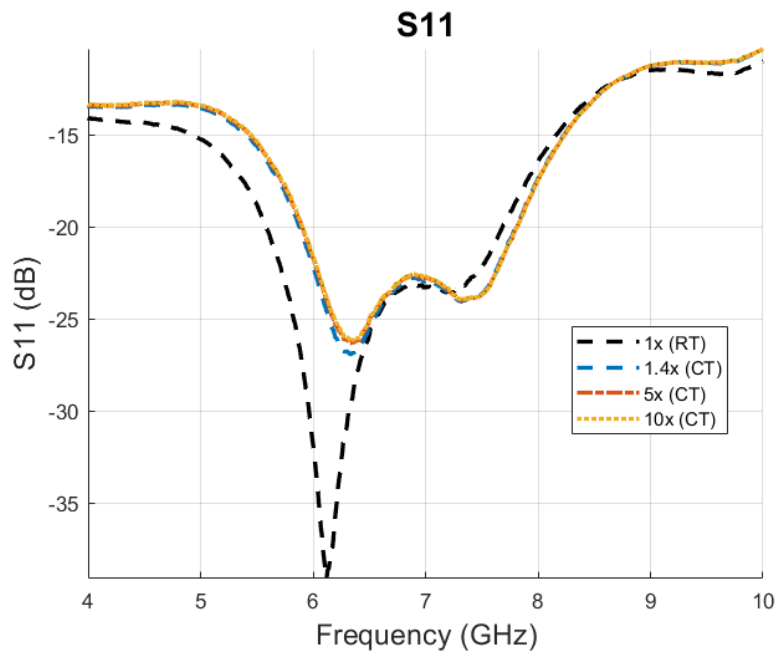


圖 3.4.6 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之  $S_{11}$

最後，觀察反向隔離度（圖 3.4.7）與輸出反射係數（圖 3.4.8）。 $S_{12}$  的結果顯示低溫模型在全頻帶內皆提供了更優異的隔離度（約改善 5-10 dB），這有利於提升電路的穩定性。而在  $S_{22}$  方面，不同導電率的模擬曲線（藍、紅、黃線）幾乎完全重疊，這與  $S_{21}$  和  $S_{11}$  的觀察一致。此結果表明，對於此 CCC-CG 電路架構而言，低溫下的性能變化主要由「主動元件（電晶體）模型參數的改變」所主導，被動元件的金屬導電率提升（從 1.4x 到 10x）對整體 S 參數的影響則相對微小。

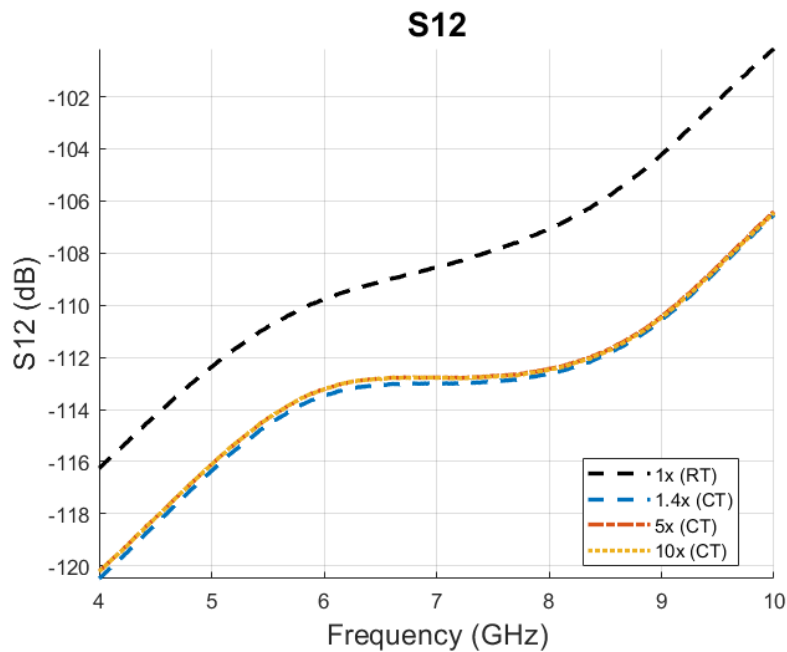


圖 3.4.7 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之  $S_{12}$

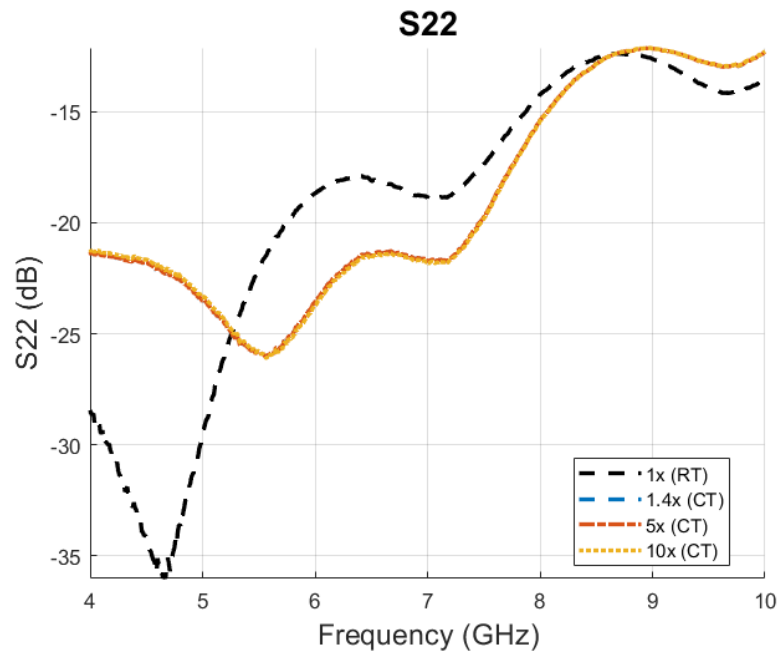


圖 3.4.8 交叉電容耦合共閘極低雜訊放大器於不同模擬條件下之  $S_{22}$

## 第四章 實驗架構與量測結果



### 4.1 晶片設計與封裝實現

#### 4.1.1 晶片製程與佈局 (IC Layout)

在第三章中設計之兩種低雜訊放大器——源極電感退化結構的低雜訊放大器與交叉電容耦合結構的共閘極低雜訊放大器，皆採用 TSMC 28nm CMOS 製程實現，並使用 6x1z1u 的金屬層堆疊結構進行佈局設計。該製程具備優良的高頻元件模型與低寄生特性，能同時滿足小面積與低功耗之需求，符合量子讀取應用的設計目標。

在高頻實作上，元件擺位與走線拓撲對寄生效應敏感。為降低寄生電感與電容造成的損耗與反射，訊號走線以最短路徑為原則，並避免不必要的彎折與轉角變化，減少反射與能量耗損。導線轉角亦遵循  $45^\circ$  角設計，以降低轉角電場集中造成的高頻失真。依電流密度配置走線寬度：電源／大電流路徑優先佈於上層粗金屬，以降低串聯電阻與 IR-drop；主要 RF 訊號亦佈於上層金屬層，並優化地迴路設計以提升阻抗控制與隔離效果。為抑制串音 (crosstalk)，避免長距離平行走線並於必要處引入接地隔離。直流供電路徑配置旁路電容 (bypass) 以抑制高頻雜訊注入。經 DRC (Design Rule Check) 與 LVS (Layout Versus Schematic) 確認設計規範無誤後，完成 layout。實際完成之兩組低雜訊放大器中，源極電感退化低雜訊放大器的 layout 尺寸為  $867.8 \times 572.1 \mu\text{m}^2$ ，而交叉電容共閘極低雜訊放大器的 layout 尺寸則為  $1003.1 \times 622.3 \mu\text{m}^2$ 。圖 4.1.1 及圖 4.1.2 分別顯示兩種低雜訊放大器在 Cadence Virtuoso 環境中完成的實際 layout；圖 4.1.3 與圖 4.1.4 為製作完成後的顯微鏡實體影像。

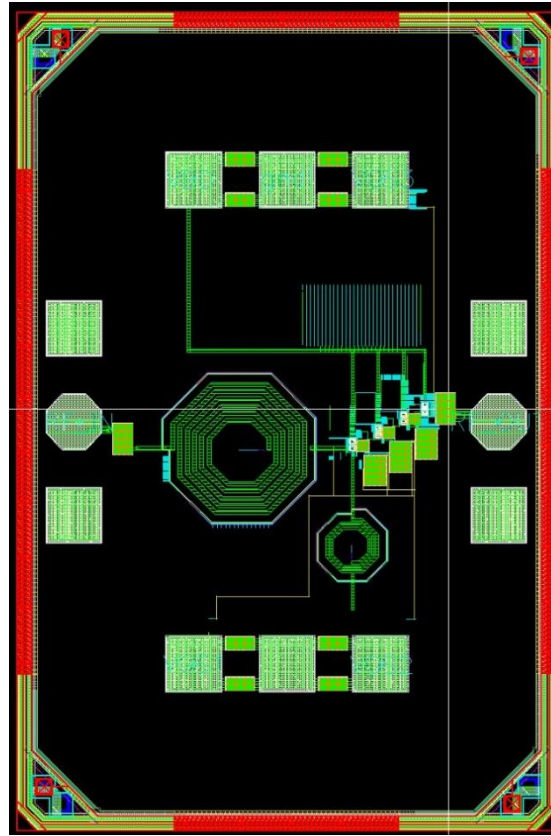


圖 4.1.1 採用源極電感退化結構的低雜訊放大器 layout

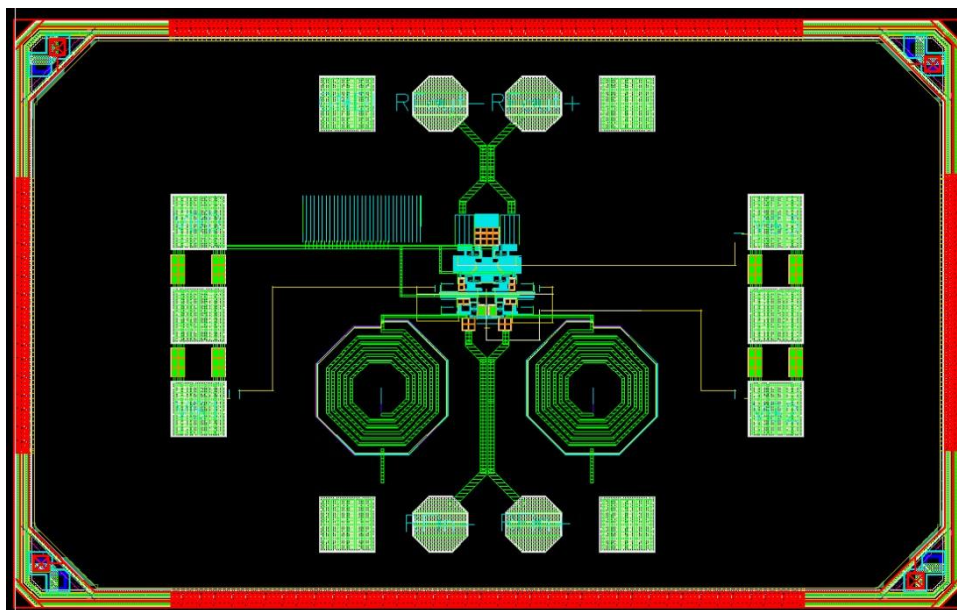


圖 4.1.2 交叉電容共閘極低雜訊放大器 layout

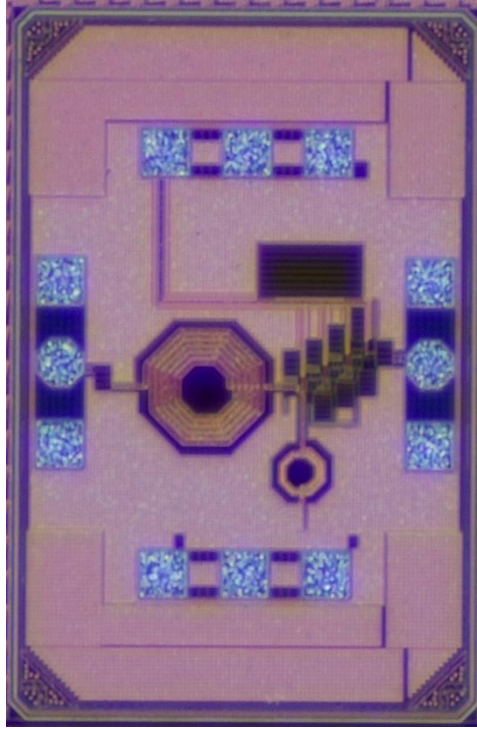


圖 4.1.3 採用源極電感退化結構的低雜訊放大器在顯微鏡下晶片實體影像

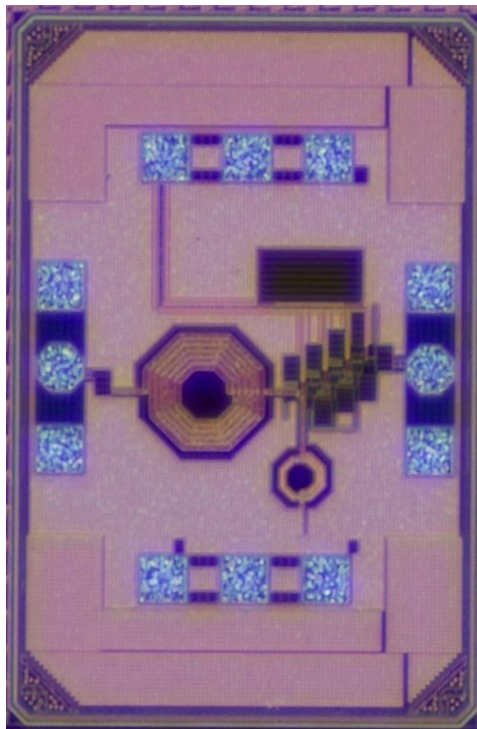


圖 4.1.4 交叉電容共閘極低雜訊放大器在顯微鏡下晶片實體影像



#### 4.1.2 量測用 PCB 測試板設計與實作

為進行高頻量測，分別為兩種架構設計對應之 PCB 測試板，涵蓋電源供應、偏壓控制與射頻 I/O。板上主要 RF 走線採 coplanar waveguide (CPWG)，以提供可控之特徵阻抗與緊湊回流路徑，同時降低輻射與耦合。

對於採用源極電感退化架構之單端低雜訊放大器，其 PCB 設計如圖 4.1.5 所示，輸入輸出端使用 SMA 接頭進行連接，透過中央焊接區域連接裸晶，上下兩側設計 DC bias 引腳，以提供多組閘極偏壓。在 RF 路徑上透過 CPWG 的結構，並於走線兩側佈置多排接地 via 陣列，用以縮短返回路徑並抑制 slot mode 產生。其幾何與設計參數示意如圖 4.1.6，圖上的各參數為： $G1 = 6 \text{ mil}$ ， $G2 = 10.5 \text{ mil}$ ， $w = 6.5 \text{ mil}$ ， $L = 276 \text{ mil}$ ，左右兩端分別為 Port1 & Port2。Momentum 電磁模擬之 Smith 圖(圖 4.1.7)顯示 4–10 GHz 頻段內，兩端阻抗維持接近 50 歐姆，表示兩端維持良好匹配，僅於高頻端呈現輕微電感性偏移。

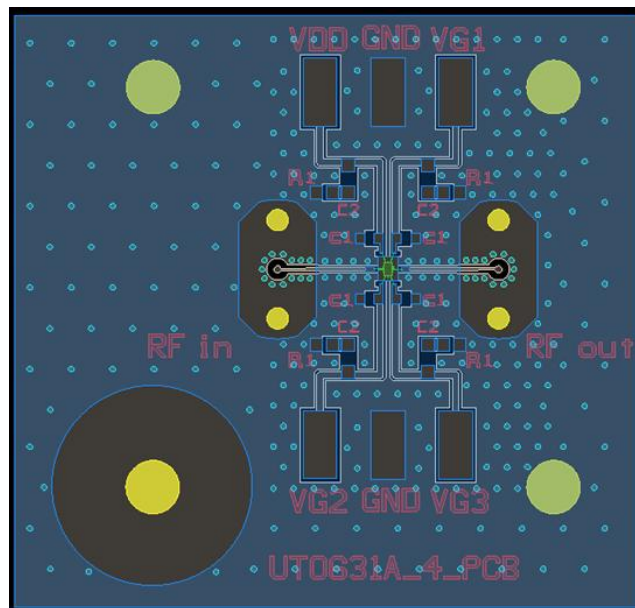


圖 4.1.5 採用源極電感退化架構之低雜訊放大器的 PCB 設計圖

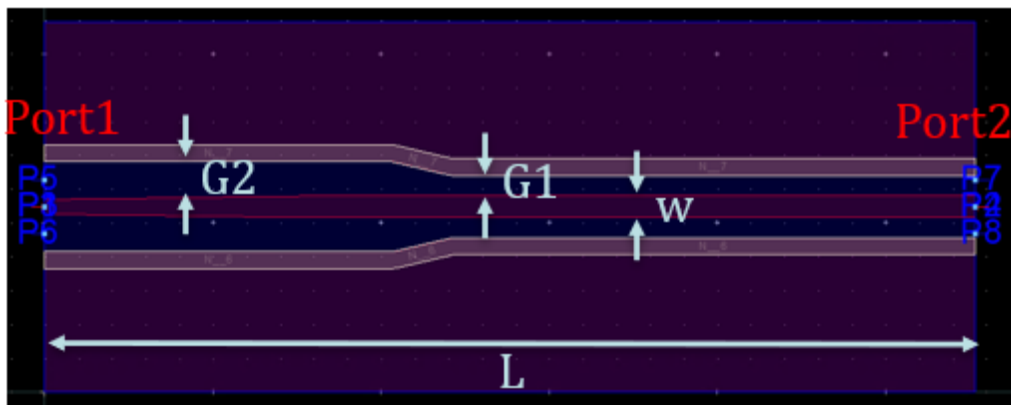


圖 4.1.6 單端 CPWG 微帶線結構與設計參數示意圖

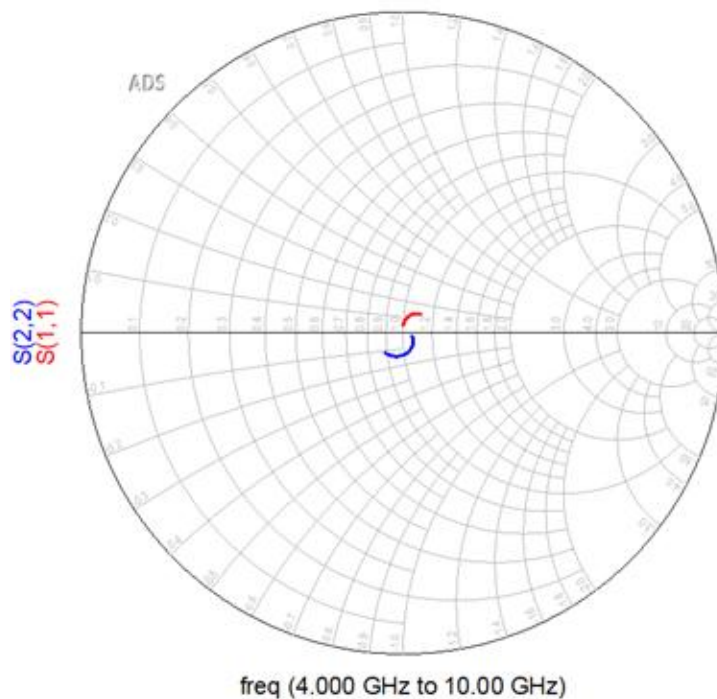


圖 4.1.7 單端 CPWG 結構在 4–10 GHz 頻段之 Smith 圖匹配結果

而針對差動結構的交叉電容耦合低雜訊放大器，如圖 4.1.8 所示，上下設計有對稱的  $\frac{RF_{in+}}{RF_{in-}}$  與  $\frac{RF_{out+}}{RF_{out-}}$  輸入輸出配置。偏壓路徑亦以對稱形式從左右兩側導入，並於焊接區域正中央佈置裸晶，藉此縮短訊號路徑並降低寄生效應。差動 CPWG 的幾何與設計參數如圖 4.1.9，寬度為  $w_1 = 63 \text{ mil}$ ，線段長度  $L_1 = 224 \text{ mil}$ 、 $L_2 = 293 \text{ mil}$ 。Smith 圖結果(圖 4.1.10)顯示端點阻抗在 4–10 GHz 內環繞 100 歐姆(差動)目標點，符合量測夾具與系統阻抗需求。

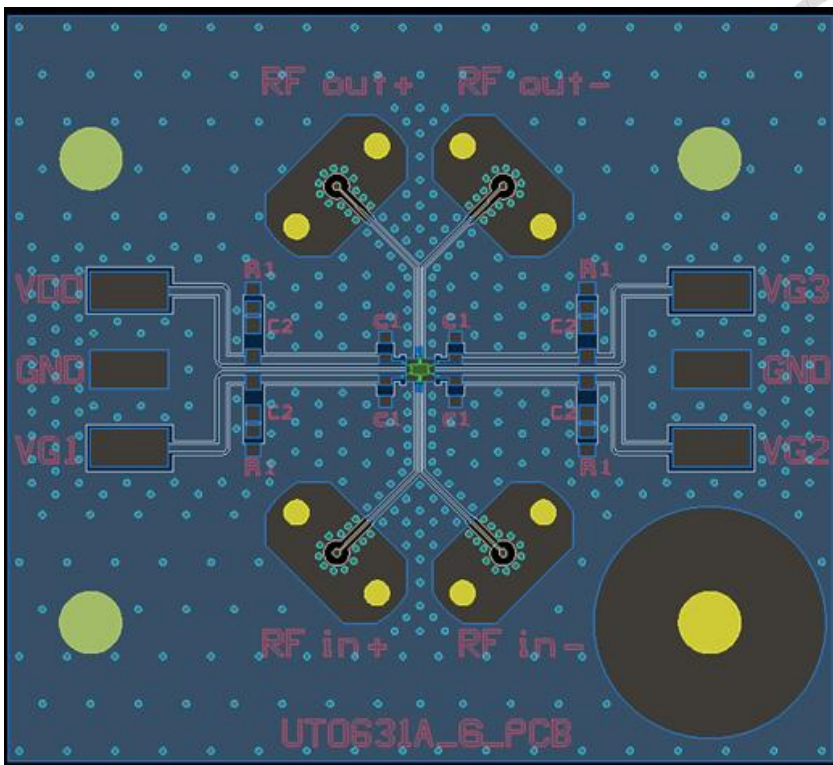


圖 4.1.8 交叉電容共閘極低雜訊放大器的 PCB 設計圖

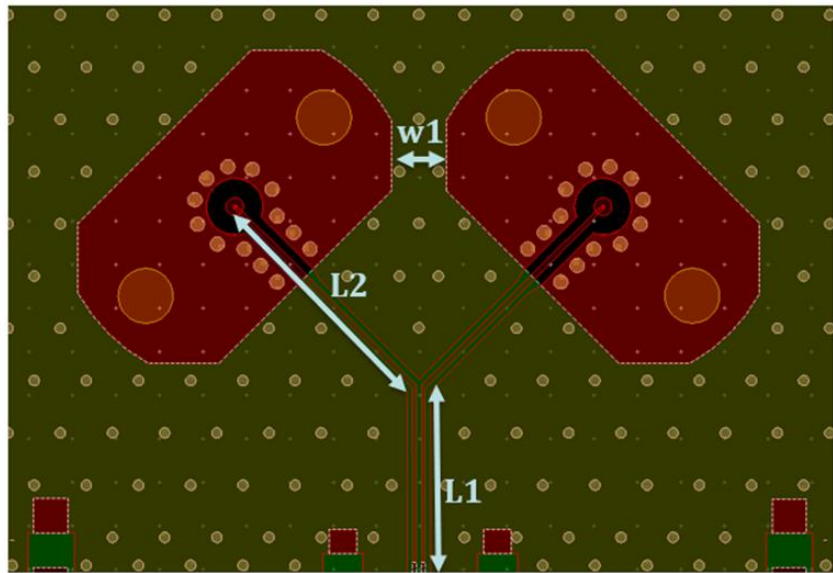


圖 4.1.9 差動 CPWG 微帶線結構與設計參數示意圖

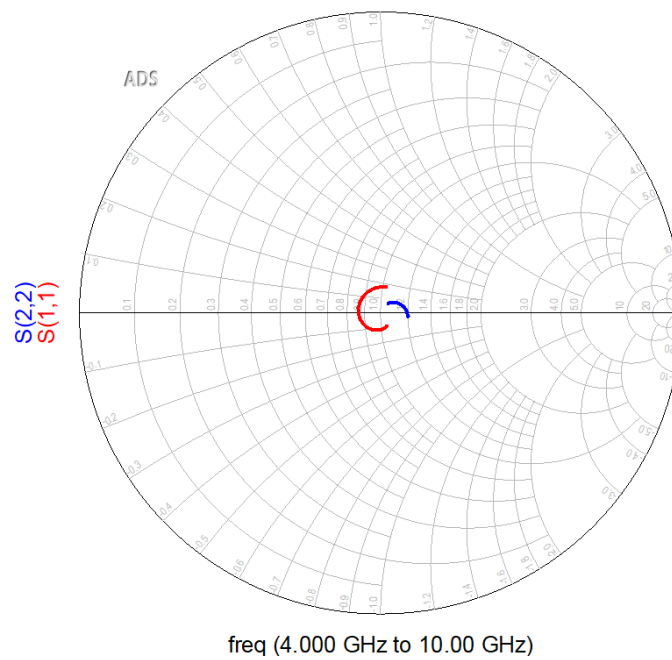


圖 4.1.10 差動 CPWG 結構在 4–10 GHz 頻段之 Smith 圖匹配結果

各偏壓網路採多級旁路 (multi-pole bypass)，晶片鄰近位置配置小值就地去耦電容以抑制高頻雜訊，中距離與板邊則佈置較大電容作為能量庫以應對瞬時負載。部分路徑在電容後串接小阻值電阻，與電容形成 RC 濾波，可降低供電雜訊耦入主訊號路徑，抑制電源網路自激與高 Q 共振及限制上電時的突波電流，提升整體穩定度。



### 4.1.3 封裝與晶片顯微照片 (Die Bonding and Micrograph)

本研究所設計之低雜訊放大器晶片皆採用 Chip-on-Board (COB) 方式進行封裝。實作過程中，先以導電銀膠將裸晶固定於量測用 PCB 上的接地平面，接著透過金線打線 (wire bonding) 方式，將晶片端點透過金線與 PCB 上 SMA 接頭、偏壓電路及接地網路精確連接，以確保射頻與電源路徑的連續性並降低寄生效應。相較於傳統封裝技術 (如封膠封裝或陶瓷管殼)，此種封裝方式可有效縮短訊號傳遞路徑，進而減少由封裝導致的寄生電感與寄生電容，特別適用於高頻操作條件下之類比電路。圖 4.1.11 到圖 4.1.14 分別展示兩種低雜訊放大器 (源極電感退化式與交叉電容耦合共閘極) 在顯微鏡下完成打線後的實體照片與放大圖。圖中可見各偏壓端子具獨立打線區塊配置，有效降低不同供電路徑間的干擾耦合，並利於後續量測架構的搭建。中央區域則為 GSG (Ground-Signal-Ground) 結構之訊號路徑，對稱地延伸至晶片左右兩側，有助於高頻訊號之穩定傳輸與系統整體布局的對稱性，進一步提升訊號完整性與量測準確度。

圖 4.1.15 與圖 4.1.16 為兩種低雜訊放大器封裝後之 PCB 實體照，實際以 COB 工法封裝，並完成晶片打線與 SMA 接頭串接。圖中紅框標示為低雜訊放大器晶片位置，周圍接腳則依不同偏壓與訊號端子配置打線區塊，可對應前述顯微鏡照片之打線位置與功能分佈，驗證系統接續測試前之完整度與接線穩定性。

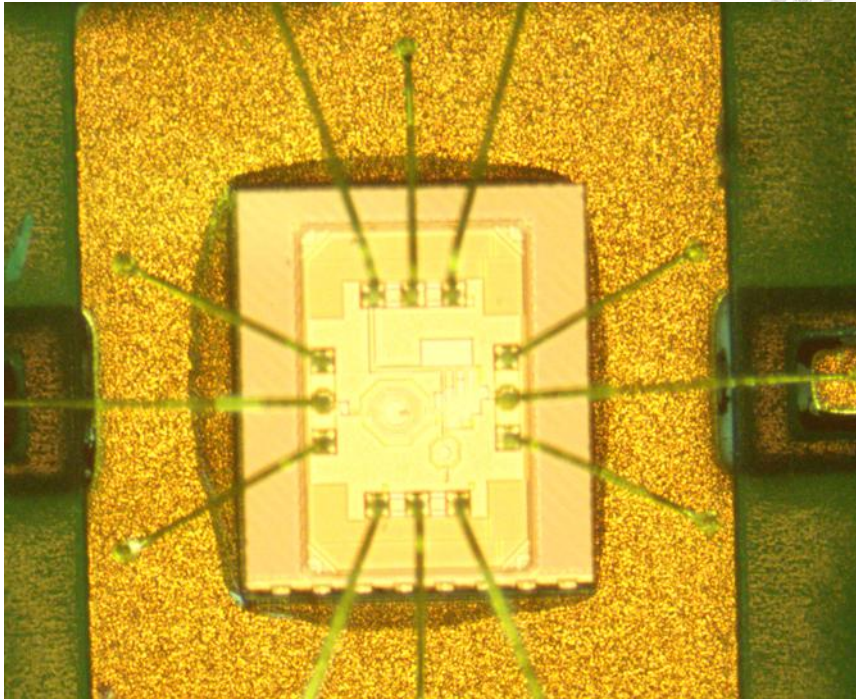
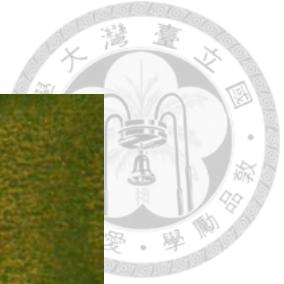


圖 4.1.11 源極電感退化架構低雜訊放大器打線實體圖

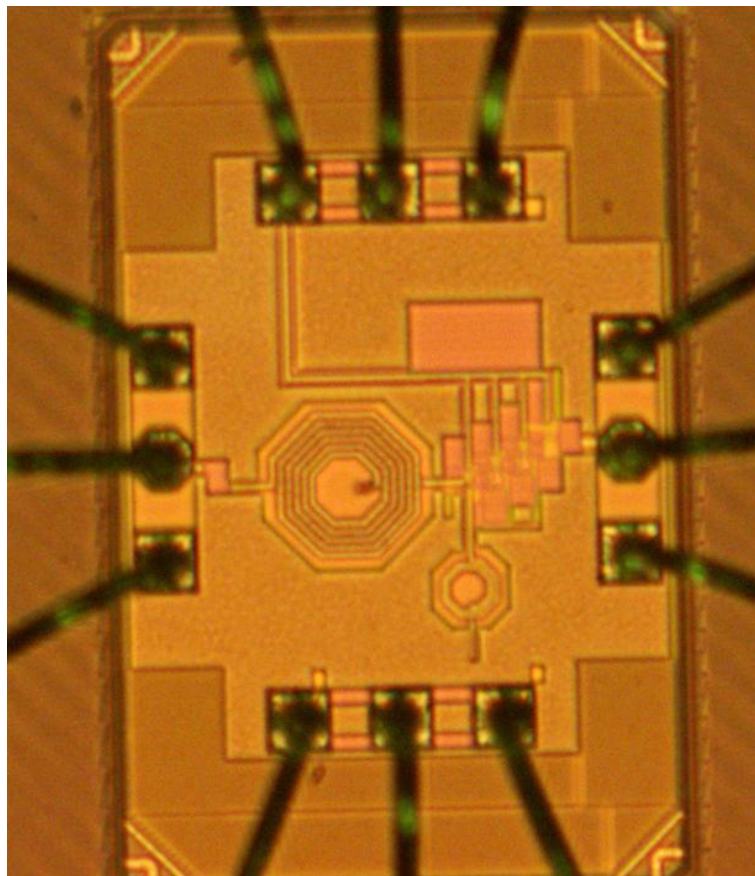


圖 4.1.12 源極電感退化架構低雜訊放大器之打線放大圖

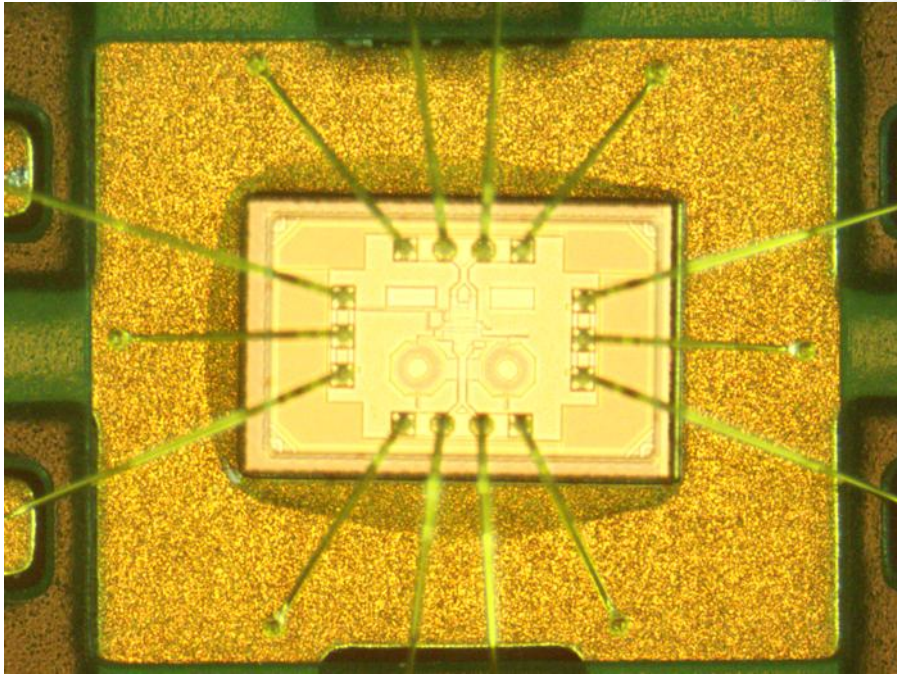
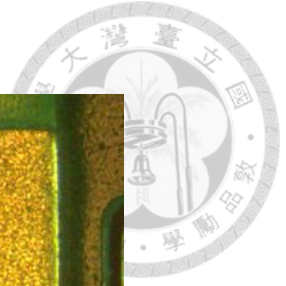


圖 4.1.13 交叉電容共閘極低雜訊放大器打線實體圖

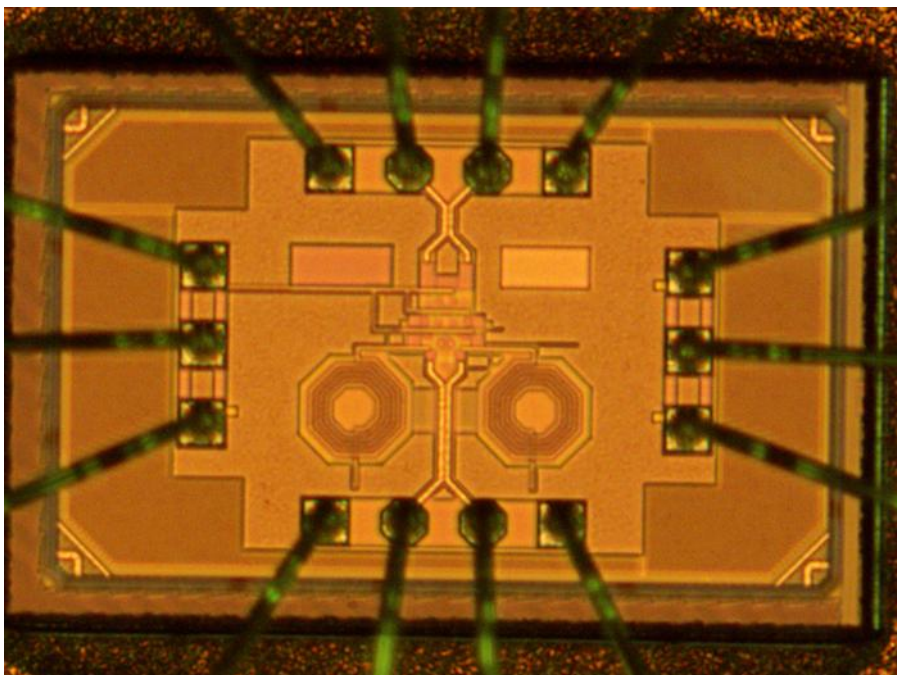


圖 4.1.14 交叉電容共閘極低雜訊放大器之打線放大圖

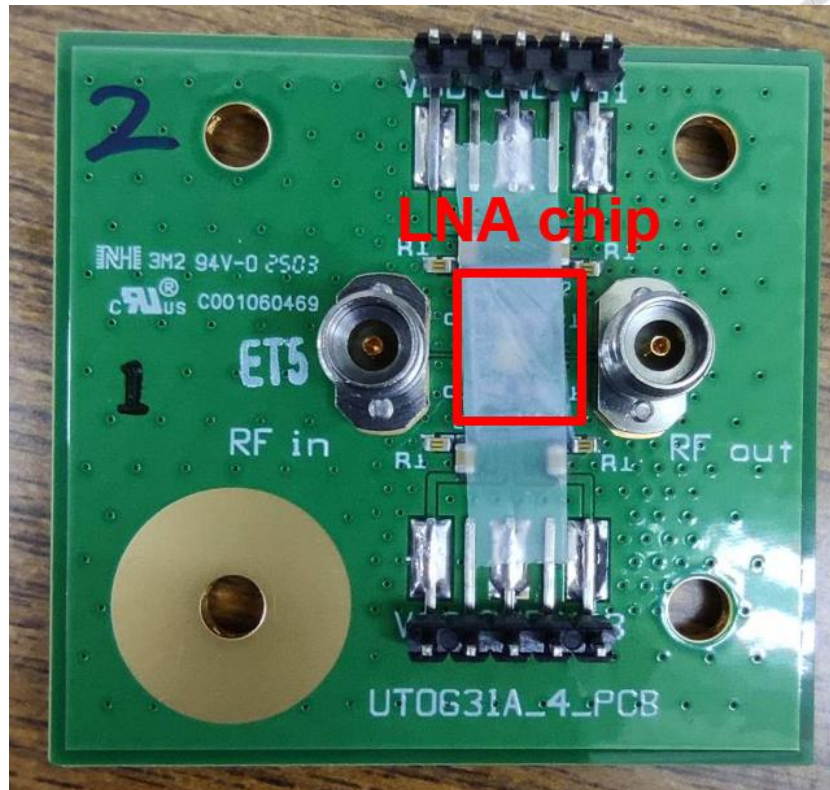


圖 4.1.15 源極電感退化架構低雜訊放大器之 COB 封裝實體圖

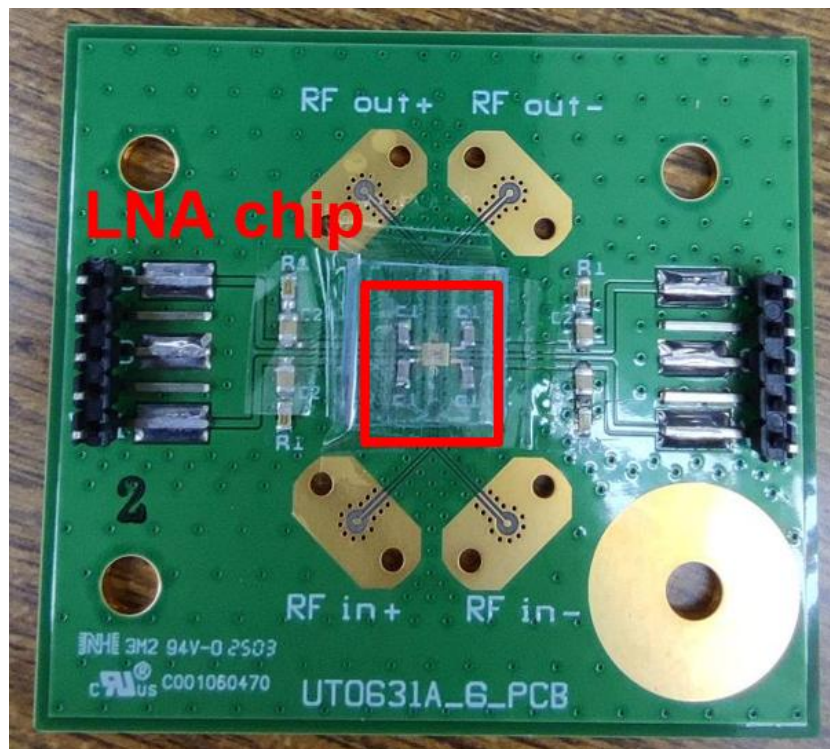


圖 4.1.16 交叉電容共閘極低雜訊放大器之 COB 封裝實體圖



## 4.2 實驗架構與量測方法

### 4.2.1 測試晶片實驗架設 (test-kit)

本研究所使用之低溫探針台 (CRX-4K) 搭配 Test-kit，內含多組不同尺寸的 NMOS 元件結構，主要用途為在低溫環境下量測電晶體的直流與射頻特性，以取得建立低溫 CMOS 模型所需的參數。該量測系統 (含低溫探針台、Test-kit 與相關儀器) 由工業技術研究院光電系統所提供與維護，確保量測條件穩定並提升數據的一致性與可靠性。Test-kit 同時提供 RF 訊號通道與直流偏壓端口，並配置可快速切換的量測點，方便在相同低溫條件下依序量測多種尺寸的元件。

圖 4.2.1 為量測系統的連接示意圖，包括網路分析儀、B1500A 直流偏壓源、RF 同軸纜線以及低溫探針台 CRX-4K。圖 4.2.2 為 test-kit 實際安裝於低溫腔體內的照片，可見 RF 輸入、輸出端口與校正元件之相對位置，便於在不同實驗條件下快速切換量測對象。

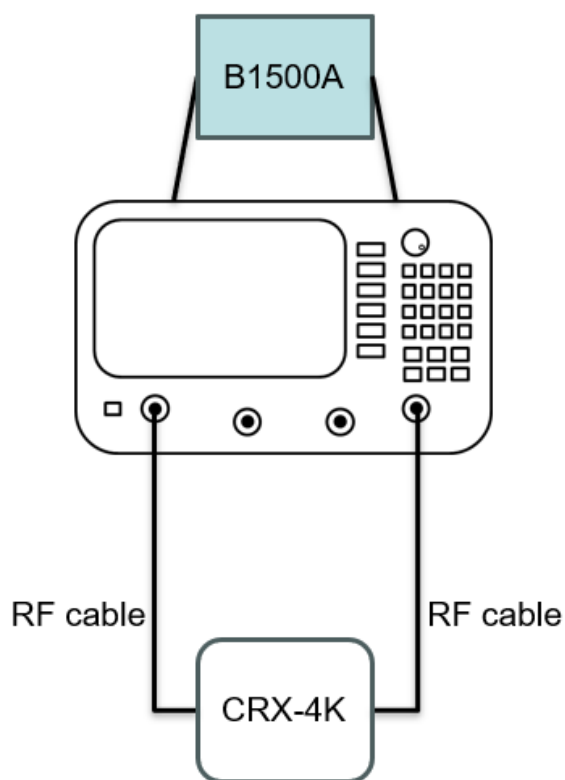


圖 4.2.1 Test-kit 量測系統的連接示意圖

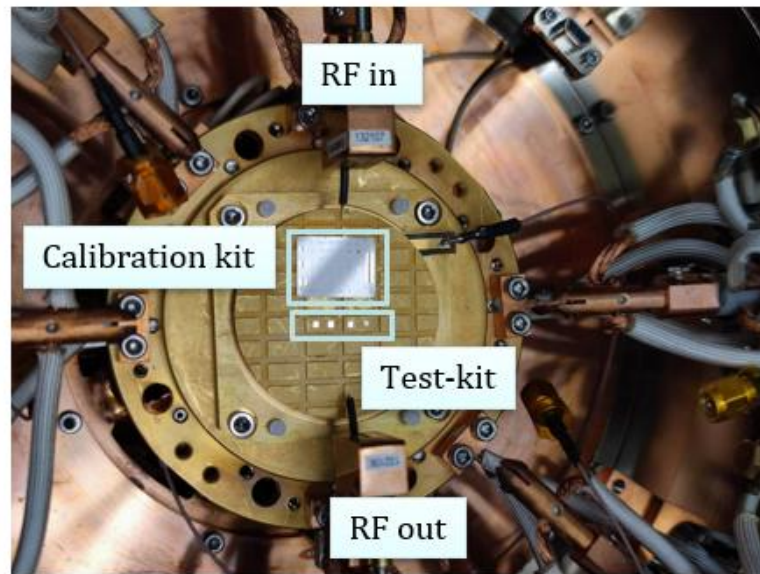


圖 4.2.2 測試晶片實際安裝於 CRX-4K 低溫腔體內之照片

#### 4.2.2 常溫環境量測架構

而本研究在常溫下的電路特性量測，使用 N5242A PNA-X 網路分析儀搭配直流電源供應器，進行 S 參數與增益等頻率響應的測試。待測物 (DUT) 透過 RF 同軸纜線與網路分析儀連接，並由直流電源提供偏壓，以模擬實際工作條件。量測系統同樣由工研院提供與支援，確保儀器性能及校正精度。圖 4.2.3 及圖 4.2.4 分別示意量測系統的連接架構與實際量測時的儀器配置，可清楚看到 DUT 與 RF 纜線、直流偏壓線的連接方式。

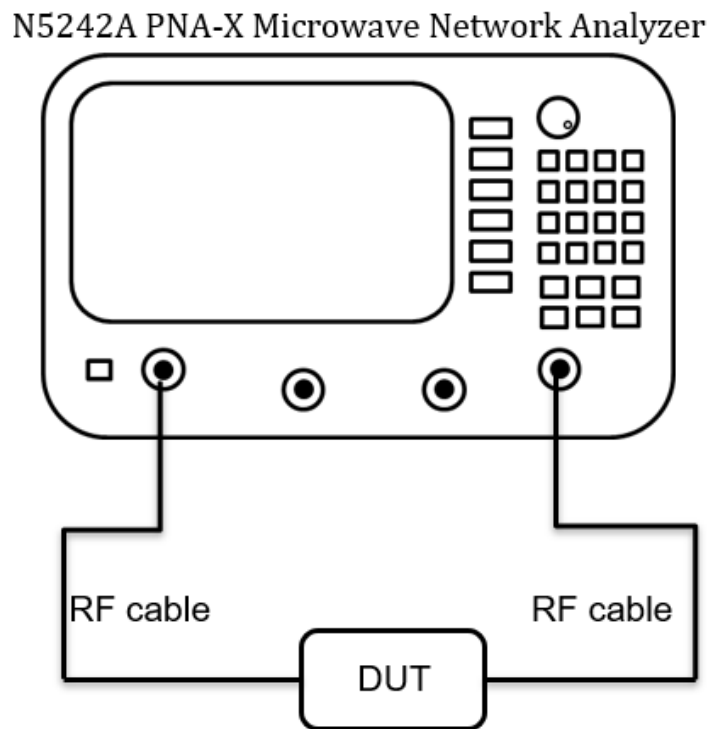


圖 4.2.3 常溫量測系統連接示意圖

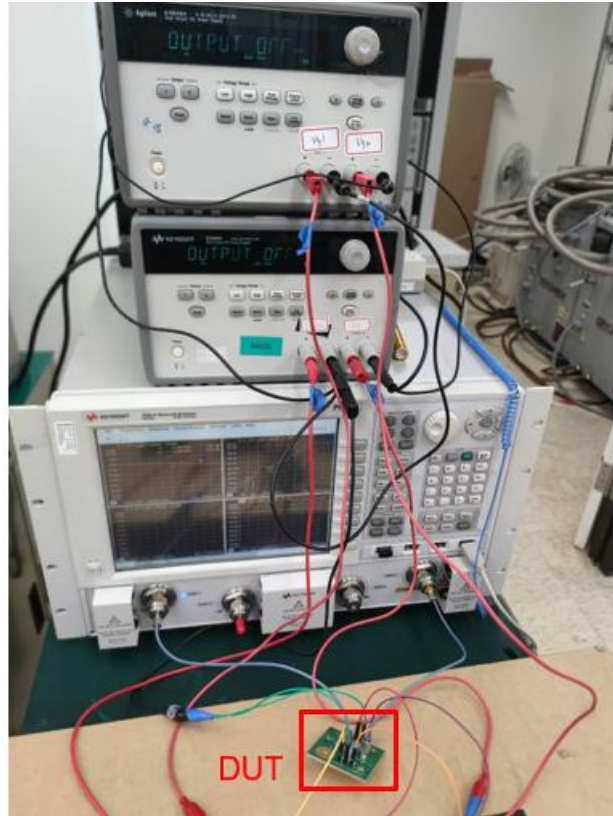


圖 4.2.4 常溫量測實際儀器配置照片



### 4.2.3 低溫環境量測架構

低溫量測的部分採用工研院提供之 Bluefors 低溫系統，並配置網路分析儀進行 S 參數量測。量測架構示意圖如圖 4.2.5，包括室溫段與低溫段之間的同軸線路配置及 DUT 的安裝位置，圖 4.2.6 則是實際安裝照片。量測前先使用 Thru 結構進行系統基準量測，以獲得參考的  $S_{21}$ ；接著更換為 DUT 並量測其  $S_{21}$ ；最後透過兩者相減 ( $S_{21,DUT} - S_{21,thru}$ ) 方式，消除系統線路與接頭損耗，得到實際的放大器增益。該配置可在維持穩定低溫條件下完成晶片的高頻特性評估，確保量測數據的準確性。

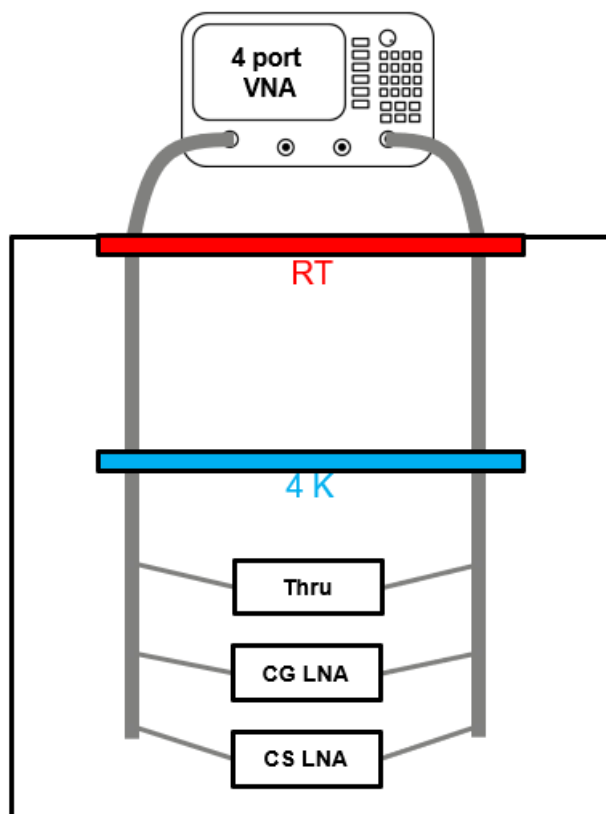


圖 4.2.5 Bluefors 低溫系統量測架構示意圖

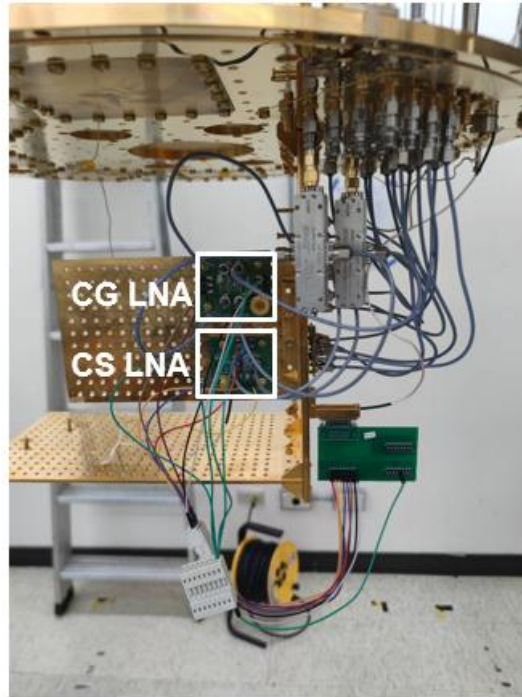


圖 4.2.6 Bluefors 低溫系統實體安裝照片



### 4.3 Test-Kit 量測結果

在進行低溫電路設計前，必須先針對製程中元件的低溫行為進行量測與模型建構。本研究採用工研院提供之 Test-kit，內含多組不同尺寸的 NMOS 元件，可於低溫環境下進行直流與射頻特性測試，以獲取建立低溫 CMOS 模型所需的參數。Test-kit 同時具備射頻訊號通道與直流偏壓端口，並配置可快速切換的量測點，能在相同條件下依序量測不同尺寸的元件，提升實驗效率與數據可靠性。圖 4.3.1 顯示在室溫與低溫條件下的輸出特性曲線( $I_{DS} - V_{DS}$ )。可觀察到，於相同偏壓條件下，低溫環境使得汲極電流顯著提升，主要原因來自載子遷移率的提高與通道散射效應的降低，進一步改善了電流驅動能力。此結果對應到後續放大器設計，意味著在相同偏壓下可獲得更高的轉導。

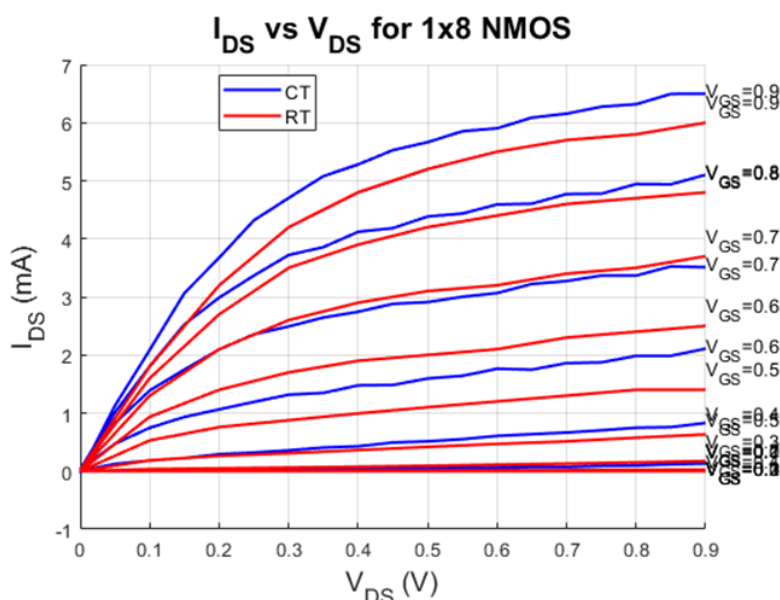


圖 4.3.1 室溫與低溫條件下，1×8 NMOS 之  $I_{DS} - V_{DS}$  輸出特性曲線

圖 4.3.2 則為轉導隨頻率的變化曲線，顯示在低溫下的轉導約為常溫的 1.3 倍，與相關文獻報導一致。轉導的提升不僅有助於放大器增益的改善，同時也能降低輸入參考雜訊，對於低雜訊放大器而言具有直接的性能優勢。其數學表達式可由  $Y$  參數表示為[32]：

$$g_m = |Y_{21} - Y_{12}| \quad (4.3.1)$$

由於轉導提升，對應的最小雜訊因子亦可望下降，使得整體接收端的雜訊指數表現更佳。另一方面，低溫操作抑制了次臨界漏電流與通道熱雜訊，進一步降低了元件

本徵雜訊來源。

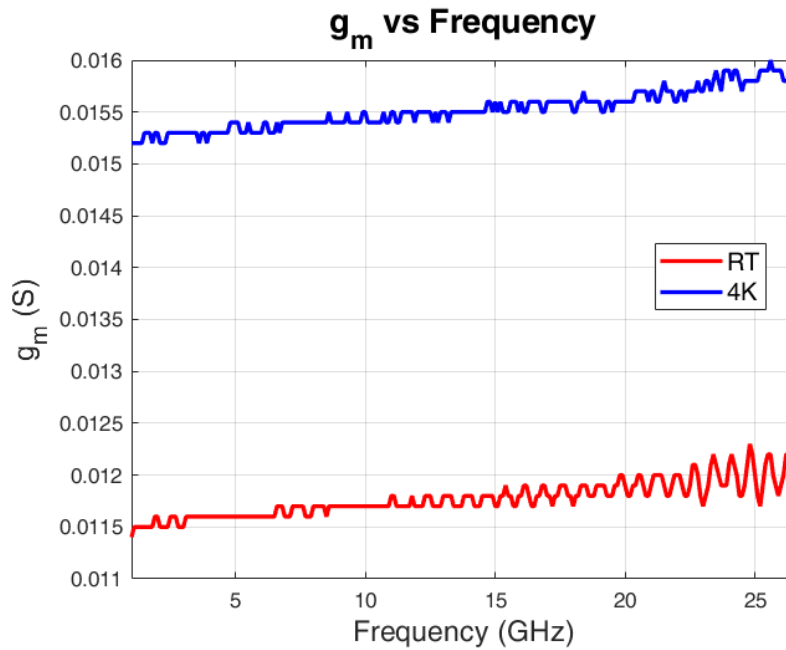
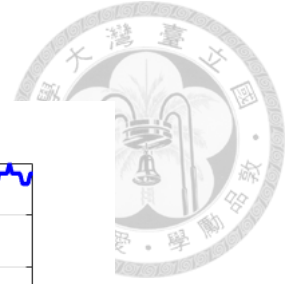


圖 4.3.2 室溫與低溫條件下，1×8 NMOS 之轉導隨頻率變化曲線

綜合以上觀察可知，低溫下 CMOS 元件不僅展現更高的轉導與電流驅動能力，亦具備更低的雜訊與最佳的線性度，能在較低功耗條件下維持優異的高頻特性。Test-kit 的量測結果因此提供了完整的依據，證實低溫 CMOS 技術對於寬頻低雜訊放大器設計的可行性與優勢，並為後續實際 DUT 量測與系統整合奠定基礎。



## 4.4 DUT 室溫量測結果

本節旨在驗證晶片經 COB 封裝後，於常溫環境下之直流偏壓與射頻特性。量測平台採用 Agilent N5242A PNA-X 向量網路分析儀，針對 S 參數進行量測。為了深入探討實測結果與設計預期之差異，並驗證封裝寄生效應對電路之影響，本節之頻率響應圖表將同時呈現三組曲線進行交叉比對：晶片下線前的原始模擬 (Original Sim., 黑色虛線)、封裝後的量測數據 (Measurement, 實線)，以及根據實測阻抗反推寄生參數後的擬合模擬 (Fitted Sim., 彩色虛線)。

### 4.4.1 源極退化低雜訊放大器

首先針對源極退化 LNA 進行測試。在直流偏壓方面，設定電流總和約為 7mA，確認電晶體操作於飽和區且無製程嚴重飄移。確認直流狀態正常後，首先檢視輸入端的匹配特性。圖 4.4.1 及圖 4.4.5 分別展示了輸入反射係數的振幅響應與 Smith Chart 阻抗軌跡，圖中同時呈現原始模擬 (黑色虛線)、量測數據 (實線) 以及擬合模擬 (彩色虛線) 以進行交叉比對。量測結果顯示在 6.3-8.8 GHz 頻段內， $S_{11}$  低於 -10 dB。然而，相較於原始模擬，量測之最佳匹配頻率點發生了約 0.2 GHz 的向高頻偏移。為了深入解析此頻率漂移的物理成因，我們進一步參照圖 4.4.5 的軌跡，可觀察到量測軌跡相較於原始設計呈現順時針旋轉且往左上方電感性區域移動的趨勢。結合量測環境參數反推，推測此現象主要源自封裝與測試治具的寄生效應，包括 SMA 接頭內部約 6.1 至 6.5 mm 的物理長度，以及 PCB Pad 引入的對地寄生電容。經由將上述接頭傳輸線模型 (TLIN) 與寄生參數納入擬合模擬後，模擬曲線大致重現了量測軌跡的迴圈形狀與位置，證實頻率偏移確係源自封裝與接頭之延遲效應，而非電路核心設計瑕疵。

在傳輸與輸出特性方面，增益(圖 4.4.3)於中心頻率 7.3 GHz 處測得峰值增益約 21.5 dB，而 3 dB 頻寬則落在 4-8 GHz 之間；儘管實測增益受限於常溫下 PCB 傳輸線與接頭的介電損耗而略低於模擬值，但預期在低溫環境下，隨著金屬導電率提升，此類損耗將顯著降低。同時，反向隔離度 $S_{12}$ (圖 4.4.2)在全頻段內皆低於 -35 dB，優異的單向性不僅確保了電路穩定度，更能有效阻隔後級雜訊回傳以保護前端量子位元。值得注意的是，在輸出反射係數(圖 4.4.4 及圖 4.4.6)的表現上，相較於原始模擬呈現較為平坦的寬頻響應 (約 -14 dB)，量測結果在 7 GHz 附近意外出現了達到 -40 dB 的深度匹配點 (Deep Notch)。經由擬合模擬分析，此現象與

輸入端機制類似，均歸因於封裝打線電感與接頭寄生電容的交互作用；這些額外的寄生元件在輸出端形成了一組非預期的阻抗轉換網路，恰好在該頻率處引入了額外的諧振，進而強化了匹配效果。綜合而言，透過阻抗分析與擬合驗證，已大致釐清各項差異來源並確認核心電路功能正常，為接續的低溫量測奠定良好基礎。

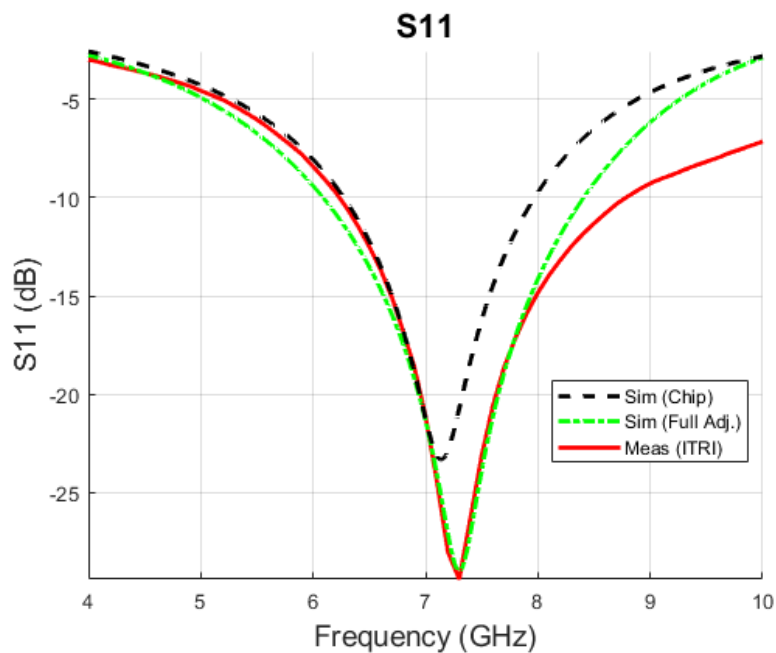


圖 4.4.1 源極退化 LNA 輸入反射係數之頻率響應

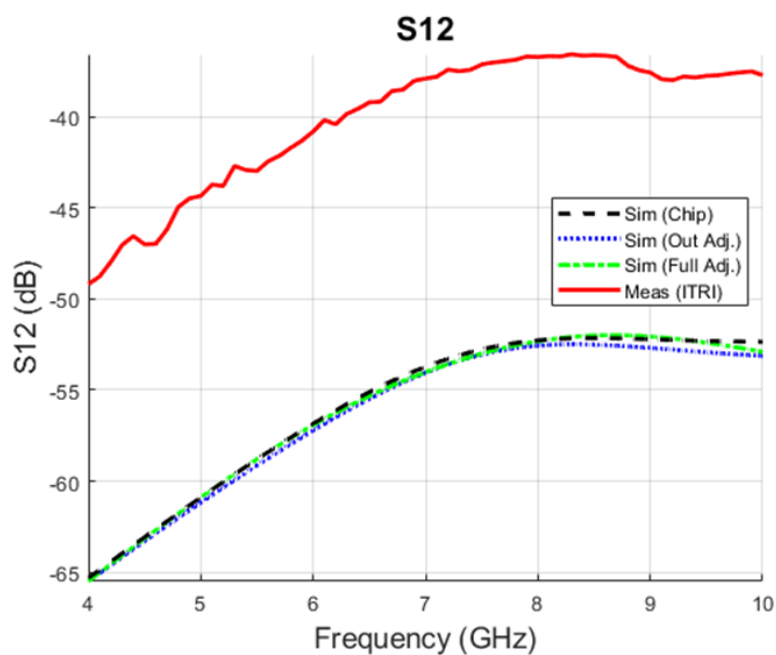


圖 4.4.2 源極退化 LNA 反向隔離度之頻率響應

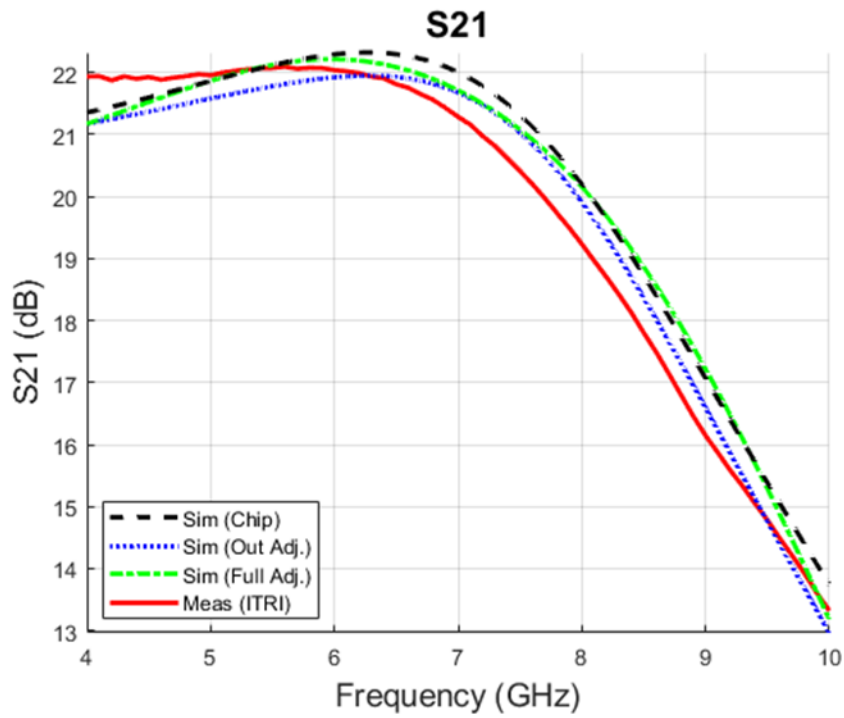


圖 4.4.3 源極退化 LNA 小訊號增益之頻率響應

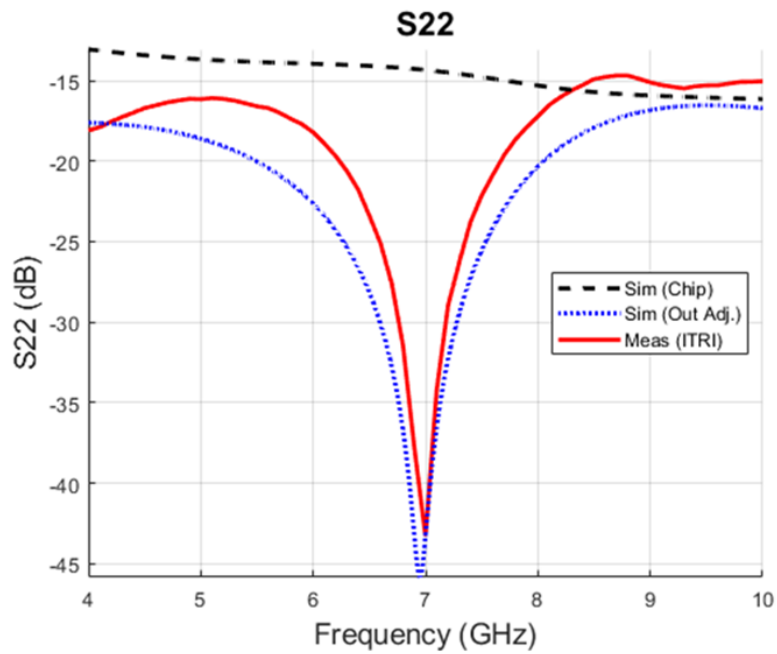


圖 4.4.4 源極退化 LNA 輸出反射係數之頻率響應

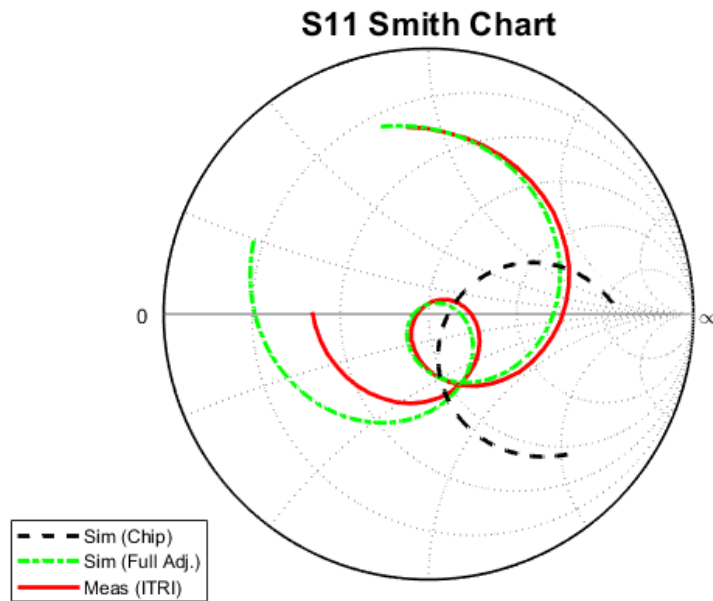


圖 4.4.5 輸入反射係數之 Smith Chart 阻抗軌跡分析

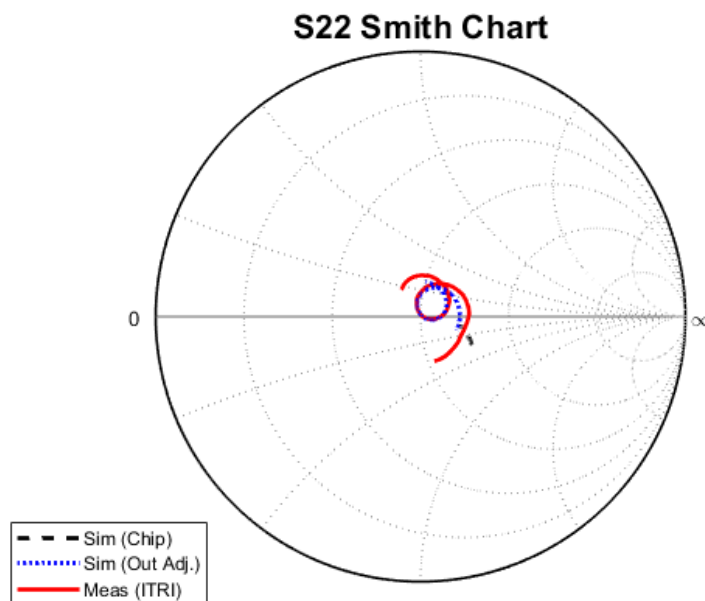


圖 4.4.6 輸出反射係數之 Smith Chart 阻抗軌跡分析

圖 4.4.7 顯示了 LNA 在常溫下的雜訊指數量測與模擬結果比較。從圖中可以觀察到，量測結果的頻率響應趨勢相近，然而，量測所得的 NF 數值整體較模擬結果高出約 4-5 dB。根據 Friis 雜訊公式，接收機第一級輸入端的任何損耗將直接轉化為雜訊指數的增加。考量實際量測架構中，訊號需經過 SMA 接頭、PCB 輸入走

線以及打線才能進入晶片，這些外部路徑損耗並未包含在原始的核心電路模擬中。更重要的是，除了電阻性損耗外，打線電感與 PCB 寄生電容等電抗性元件亦扮演關鍵角色。即便這些元件視為無損耗，它們仍會改變從電晶體閘極看出去的來源阻抗。一旦來源阻抗因這些寄生效應而偏離了電路原本設計的最佳雜訊阻抗點 ( $Z_{opt}$ )，根據雜訊參數公式，整體雜訊指數便會顯著上升。為了確認誤差來源，本研究額外加入路徑的損耗模擬，將 SMA 接頭、PCB 走線的損耗，以及打線電感造成的阻抗偏移影響都考慮進去。如圖中藍色曲線 (Board Loss) 所示，修正後的模擬結果不論在數值大小或趨勢上，都與實測數據 (紅色曲線) 接近。這說明了量測誤差是來自外部環境的損耗與阻抗偏離。此外，量測曲線呈現的微幅波浪狀震盪 (Ripples)，則反映了雜訊源與 LNA 輸入阻抗之間存在些微的阻抗不匹配效應。

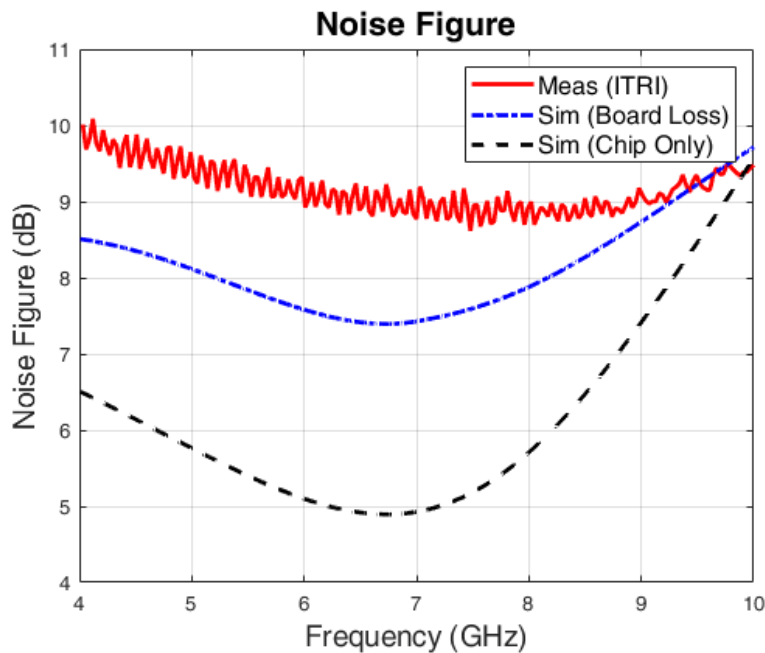


圖 4.4.7 雜訊指數之量測與模擬結果比較

#### 4.4.2 交叉電容耦合共閘極低雜訊放大器

本節針對交叉電容耦合共閘極 LNA 進行室溫下的 S 參數傳輸特性量測與詳細分析。待測晶片經由 COB 封裝並架設於測試載板後，利用向量網路分析儀進行 S 參數驗證，圖 4.4.8 至圖 4.4.11 分別展示了模擬數據 (Sim, 黑色虛線) 與實際量測結果 (Meas, 紅實線) 之頻率響應對比。首先檢視輸入端的阻抗匹配特性，如圖 4.4.8 所示，模擬結果原先預期在 6.1 GHz 處會出現一深度超過 -35 dB 的窄頻共振點。然而，實際量測結果並未觀察到此深陷波，取而代之的是一條平滑且寬頻的響應曲線。量測數據顯示， $S_{11}$  在 4 GHz 至 8.5 GHz 的廣泛頻帶內皆低於 -15 dB，且在中心頻帶附近維持在 -20 dB 以下。分析此差異的主因，在於實際電路中的打線與 PCB 傳輸路徑引入了額外的寄生電阻，導致輸入匹配網路的品質因子下降。雖然這使得共振深度不如模擬預期銳利，但 Q 值的降低卻在實務上帶來了頻寬展延的正面效益，證實此交叉耦合架構在考慮製程變異與組裝誤差後，仍具備極為穩健的寬頻輸入匹配能力。

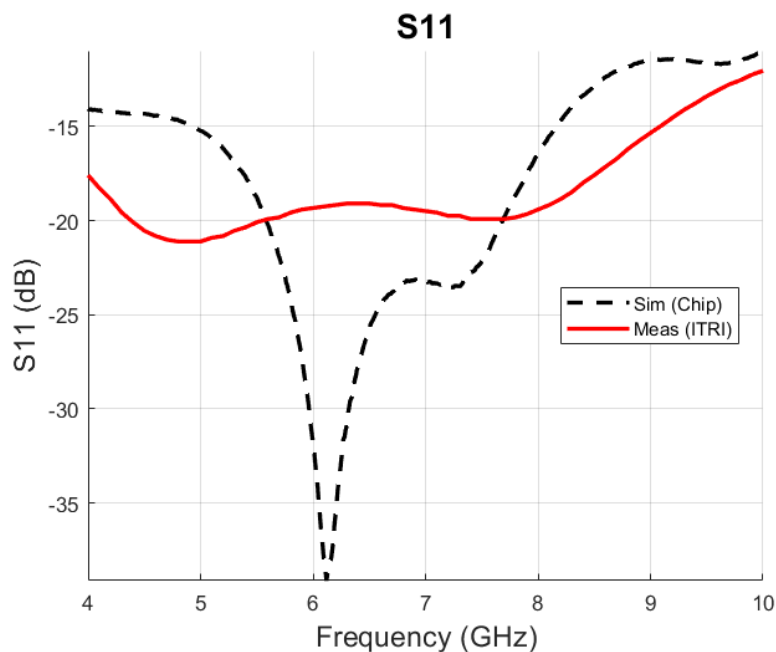


圖 4.4.8 交叉電容耦合共閘極 LNA 輸入反射係數之頻率響應

在增益表現方面，圖 4.4.9 的量測結果顯示  $S_{21}$  的頻率響應趨勢與模擬接近，皆呈現隨頻率增加而緩降的特性，但在數值上整體出現了約 2 至 3 dB 的衰減。具體而言，量測增益由 4 GHz 處的 15.6 dB 隨頻率線性下降至 10 GHz 處的 5.6 dB。此一系統性的增益下降，主要歸因於測試環境中多重損耗機制的疊加，包括 SMA 接頭的插入損耗、FR4 載板在高頻下的介電損耗，以及輸入輸出端打線電感所引入的訊號衰減。此外，實際晶片中電晶體的轉導可能略低於模型參數，亦是造成增益整體下移的因素之一。

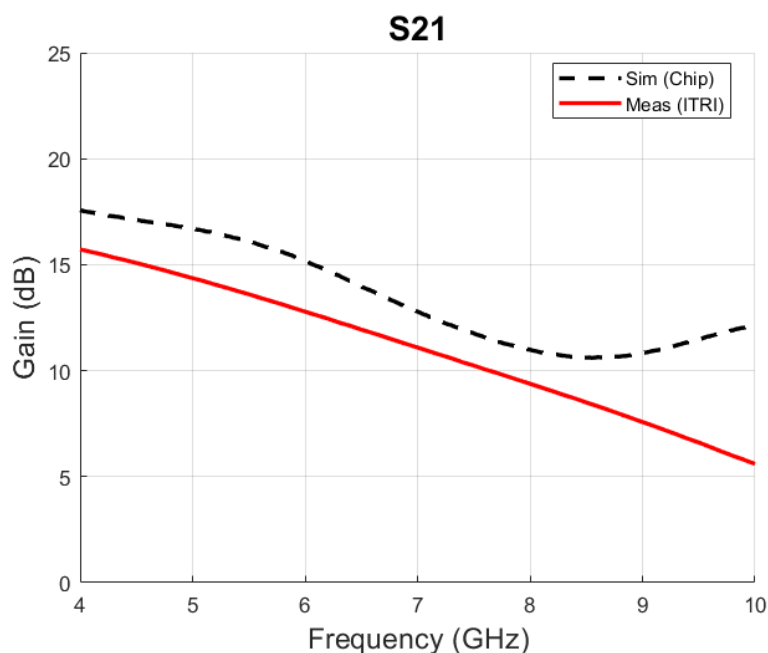


圖 4.4.9 交叉電容耦合共閘極 LNA 增益之頻率響應

關於電路的單向性與穩定度，圖 4.4.10 的反向隔離度量測結果呈現約 -65 dB 至 -75 dB 的雜訊跳動。需特別說明的是，此處的量測曲線實為量測儀器的雜訊底層 (Noise Floor)，而非實際的訊號洩漏值。由於模擬預測的隔離度低達 -100 dB，已遠低於一般向量網路分析儀的動態範圍下限，因此量測圖形僅反映了環境雜訊。此結果佐證了交叉耦合共閘極架構具有極優異的反向隔離能力，能有效阻隔後級電路的負載變動或雜訊回授，確保 LNA 在高增益運作下的無條件穩定性。

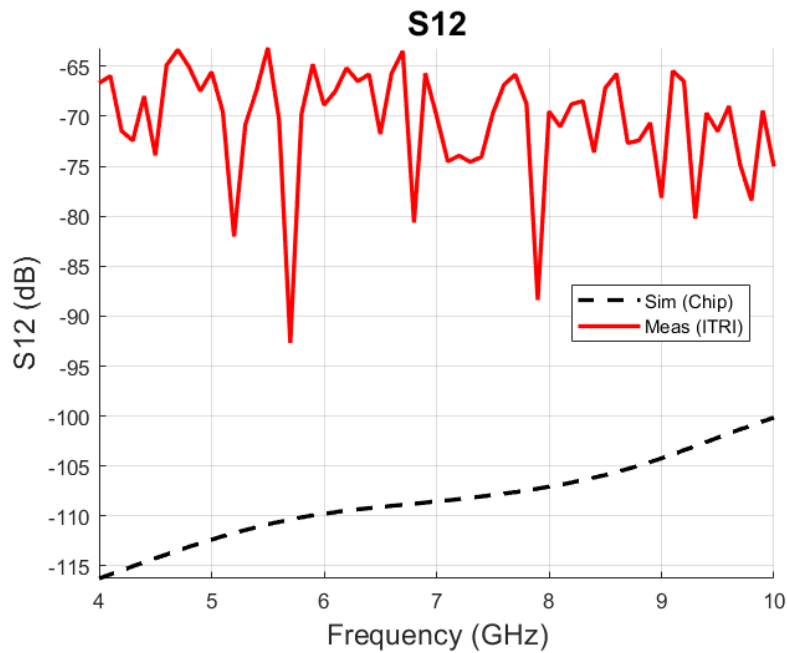


圖 4.4.10 交叉電容耦合共閘極 LNA 反向隔離度之頻率響應

最後分析輸出反射係數，如圖 4.4.11 所示，此為模擬與量測差異最顯著之處。模擬預測最佳匹配點位於低頻段的 4.6 GHz，但量測結果顯示共振點發生了大幅度的高頻偏移，移動至 9 GHz 附近 (-24 dB)。此頻率偏移現象暗示輸出匹配網路的等效 LC 共振頻率升高，推測原因來自於輸出端的打線長度變異導致寄生電感值改變，或是輸出鉚墊 (Pad) 與載板間的寄生電容效應小於預期。儘管中心頻率發生偏移，但在 4 GHz 至 7 GHz 的操作頻帶內，量測之  $S_{22}$  仍維持在 -10 dB 至 -15 dB 的可接受範圍內，顯示電路仍具備一定程度的功率傳輸效率。

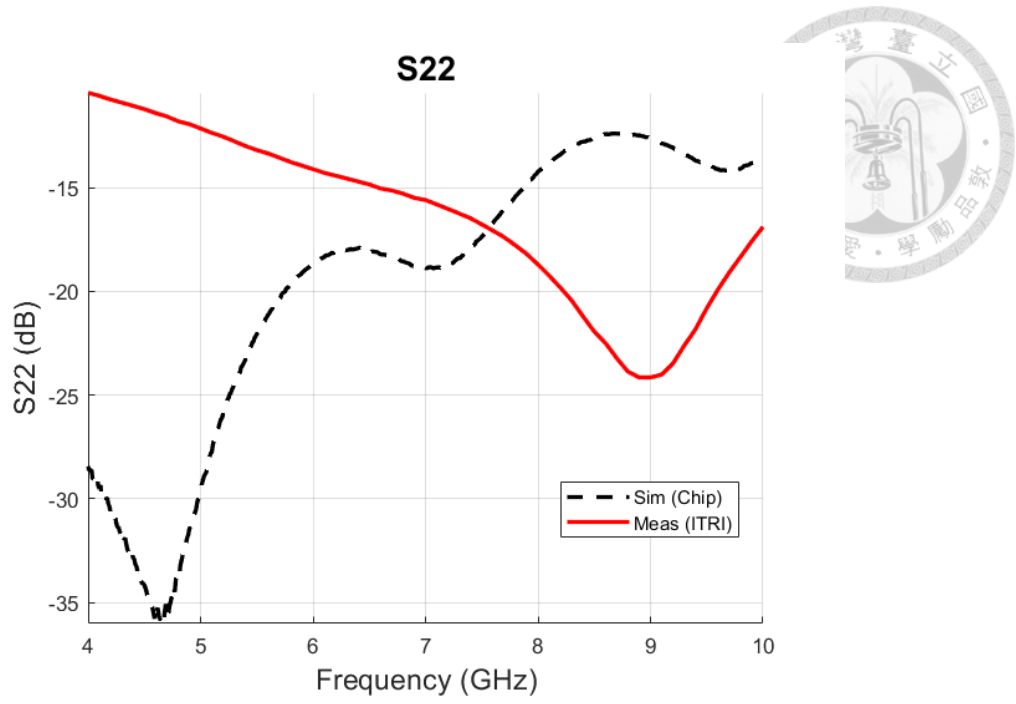


圖 4.4.11 交叉電容耦合共閘極 LNA 輸出反射係數之頻率響應

## 4.5 DUT 低溫量測結果

本節將呈現低雜訊放大器於 4 K 低溫環境下之量測結果，並詳述相關實施細節與數據處理策略。實驗採用 Bluefors 稀釋冷凍機系統建置 4 K 測試環境。由於在該封閉式低溫腔體內，無法針對待測物之參考面進行標準短路-開路-負載-穿透 (SOLT) 校正，且連接至腔體內之射頻同軸纜線，其傳輸特性與電氣長度在降溫過程中會產生劇烈且非線性的變化，導致室溫下的校正參數在低溫環境中失效。為解決此校正難題並取得具參考價值之低溫數據，本研究採用 4.2.3 節所述之「增益相減法」進行特性驗證。具體作法為量測包含輸入輸出纜線、低溫治具與待測物在內的整體系統 S 參數，再扣除相同低溫條件下的路徑損耗 (透過直通測試 Thru 或已知損耗模型取得)，藉此還原 LNA 本身之增益特性。須注意的是，此方法雖在反射係數的精確 de-embedding 修正上有所限制，但對於評估 LNA 於低溫下之小訊號增益表現及轉導提升趨勢，已具備足夠之準確度與參考價值。以下將分別針對源極退化與交叉電容耦合共閘極兩款 LNA 之低溫量測結果進行分析。



### 4.5.1 源極退化低雜訊放大器

圖 4.5.1 呈現了本研究設計之寬頻低雜訊放大器於室溫與低溫環境下增益頻率響應的量測比較。由圖中數據可見，該放大器在室溫環境下的低頻增益約為 22 dB，然而受限於常溫下電晶體的寄生效應與熱雜訊影響，隨著頻率上升至 10 GHz，其增益呈現明顯的滾降現象，數值衰退至約 13 dB。相對地，當操作環境降至低溫時，放大器展現了顯著的性能提升。在 4 GHz 至 10 GHz 的頻寬範圍內，整體增益平均提升至 28 dB 以上，相較於室溫結果增加了約 6 至 15 dB，且峰值增益可達 30.5 dB。此外，低溫量測曲線顯示出更佳的平坦度，特別是在 6 GHz 至 9 GHz 的核心頻段內，有效改善了高頻增益衰退的問題。此一增益與頻寬的優化主要歸因於低溫下晶格散射減少，促使電子遷移率上升及電晶體轉導增強；同時，傳輸線與被動元件的寄生電阻隨溫度降低而減小，進一步降低了訊號路徑損耗，使其更能滿足量子電腦讀取電路對於高增益與訊號完整性的嚴苛要求。

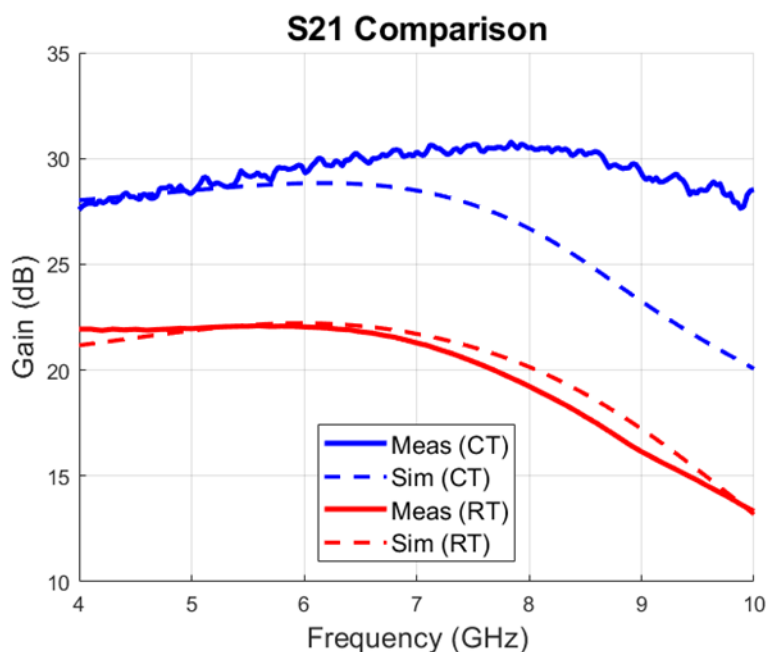


圖 4.5.1 源極退化低雜訊放大器常溫及低溫增益之頻率響應圖

#### 4.5.2 交叉電容耦合共閘極低雜訊放大器

圖 4.5.2 描繪了交叉電容耦合共閘極 LNA 在低溫測試下的  $S_{21}$  參數表現。觀察常溫量測結果，增益由 4 GHz 處的 15.7 dB 隨頻率遞減，至 10 GHz 時降為 5.6 dB。當晶片置於低溫環境運作時，整體增益獲得顯著躍升，全頻帶平均上移約 5 至 7 dB；其低頻端峰值達到 20.5 dB，而即便在高頻 10 GHz 處，仍能維持 12.5 dB 的放大能力，證實了低溫環境對元件增益的強化作用。特別值得探討的是，相較於室溫曲線的平滑特徵，低溫增益曲線呈現出明顯的週期性震盪（Ripples）。此現象反映了共閘極（Common-Gate）架構與前述源極退化架構在輸入匹配機制上的根本差異。源極退化 LNA 之輸入阻抗主要由被動電感決定，受溫度影響甚微；反之，共閘極 LNA 的輸入阻抗直接相依於電晶體轉導。

在極低溫下，電子遷移率的提升導致電晶體轉導大幅增加，使得輸入阻抗顯著降低並偏離 50 歐姆系統阻抗。此一阻抗不匹配在低溫量測系統的長傳輸線路中引發了訊號反射與駐波效應，進而導致量測數據呈現頻率上的增益波動。儘管如此，該電路在低溫下仍展現了優異的寬頻放大性能。

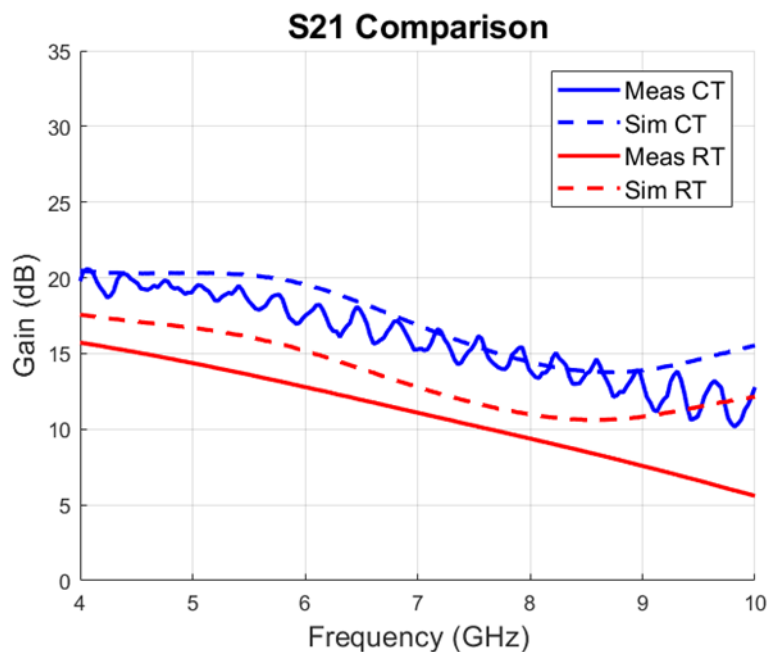


圖 4.5.2 交叉電容耦合共閘極低雜訊放大器常溫及低溫增益之頻率響應圖

表 4.5.1 比較表

	CMOS Tech.	Frequency (GHz)	$S_{11}$ (dB)	Gain (dB)	NF (dB)	Power (mW)	IP1dB (dBm)	IIP3 (dBm)	Area (mm <sup>2</sup> )
JSSC'21 (300K) [9]	40 nm	4.1 – 7.9	< -12	35.5 – 36.5	0.75 – 1.3	51.1	-	-30	0.72
JSSC'21 (4K) [9]		4.6 – 8.2	< -5.8	39.2 – 44.8	0.23 – 0.65	39	-	-41.2	
JSSC'23 (300K) [2]	28 nm	6 – 8	< -6	54*	2.5 – 3.5	3.5	-	-	0.2**
JSSC'23 (4K) [2]			< 4	-	0.4 – 0.7	4.2	-	-	
This work 1 (300K)	28 nm	4 – 8.1	< -3	19.8 – 22.1	8.6 – 10.1	9.2	-40.7 <sup>†</sup>	-31.7 <sup>†</sup>	0.61
This work 1 (4K)		4 – 10	-	27.8 – 30.8	-	9.2	-	-	
This work 2 (300K)	28 nm	4 – 6	< -10	12.7 – 15.7	3.4 – 3.9***	11.1	-34 <sup>†</sup>	-24.9 <sup>†</sup>	0.77
This work 2 (4K)			-	17 – 20	-	11.1	-	-	

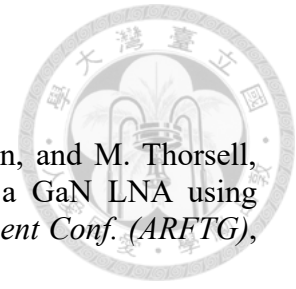
\* Simulation gain \*\* Excluding the pads \*\*\* Simulation noise <sup>†</sup> Simulation linearity

針對表 4.5.1 之對比分析，本研究實現之兩款低雜訊放大器在 TSMC 28nm CMOS 製程下初步驗證了其於量子讀取頻段的操作特性。在增益表現上，源極電感退化 LNA 於低溫下測得約 27.8 至 30.8 dB 之增益，而交叉電容耦合架構則維持在 17 至 20 dB 之間，雖然數值上與部分採用高階技術或多級放大之文獻數據仍有差距，但已足以提供基礎的信號放大能力。線性度指標部分，源極電感退化架構與交叉電容耦合架構之輸入三階交調截取點 (IIP3) 分別為 -31.7 dBm 與 -24.9 dBm。若考量增益對線性度的影響，本設計之 IIP3 數值與 (-Gain) 之距離分別約為 11.9 dB 與 12.2 dB。此結果顯示線性表現受限於本研究之熱預算限制，為平衡增益表現與低功耗需求，使得偏壓點的動態範圍受到壓縮，但在量子位元讀取訊號極其微弱 (< -90 dBm) 的操作環境下，此規格仍可提供 50 dB 的動態餘裕，確保多位元讀取時的信號保真度。本設計的核心考量在於低溫環境嚴苛的熱預算，因此將功耗控制在 9.2 mW 與 11.1 mW，嘗試在增益表現與直流損耗之間取得平衡。儘管受限於量測環境使雜訊指數讀值包含外部損耗而偏高，但本研究在較小的晶片面積內實現了相對寬的頻寬覆蓋，為未來開發具備熱預算意識的低功耗多位元整合讀取系統提供了一種可行之設計參考。

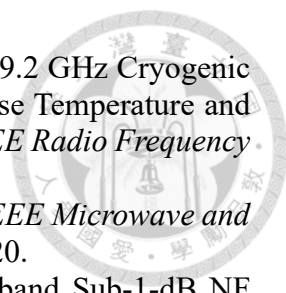
## 第五章 結論

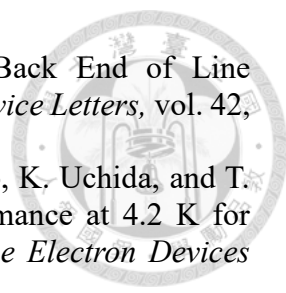
本論文旨在解決量子電腦應用中，量子位元讀取前端電路之需求。針對 4 - 10 GHz 的工作頻段，本研究採用 28 nm CMOS 製程，設計並實現了兩種適用於 4 K 低溫環境的寬頻低雜訊放大器。首先，針對感應源退化式共源極串疊架構，研究結果驗證其具備優異的窄頻輸入阻抗匹配能力與穩定的增益表現，且在低溫操作環境下能克服元件模型變異，展現出良好的寬頻頻率響應特性。另一方面，利用交叉電容耦合共閘極差動架構，其差動結構優勢有效抑制了共模干擾，並透過交叉電容耦合技術實現雜訊抵銷，顯著提升了訊號完整性與輸入匹配能力。值得一提的是，這兩款 LNA 架構在與後端混頻器對接時，皆可移除緩衝級 (Buffer-less) 的驅動能力；此設計不僅進一步提升了接收路徑的整體轉換增益，更顯著降低了直流功耗，對於熱預算極為有限的低溫量子計算系統而言，具有重要的實用價值。本研究之核心價值與技術貢獻，在於能在頻寬及功耗間取得權衡。在低溫量子計算環境中，熱預算極其有限，這使得一般通用型寬頻 LNA 難以直接應用，因為傳統電路若要達到本研究所實現之寬頻寬，通常需大幅增加偏壓電流以換取足夠的轉導與頻寬，進而導致功耗遠超製冷機的承受範圍。本設計透過結構性的優化，在每級電流控制於 1.5mA 以內的偏壓下，仍能保有寬頻匹配能力與雜訊表現。這種在低功耗與寬頻寬之間取得的權衡，解決了目前市售或通用型放大器因功耗過高而難以擴充至多位元讀取系統的技術痛點，體現了本研究針對量子電腦應用需求所做出的貢獻。儘管本研究已成功驗證兩款低溫 LNA 的功能，但在極低溫量測技術與電路極致效能上仍有進一步探討之空間。未來的研究工作建議聚焦於精確優化低溫操作下的雜訊因子與增益表現，結合更詳盡的實測數據來微調偏壓電路，以應對 4 K 環境下電晶體特性的漂移。此外，針對極低溫量測中常見的校正誤差問題，後續研究可致力於開發整合型的低溫切換電路來進行精確校正；透過此技術，將能更準確地量測低溫環境下的各項 S 參數及雜訊指數，為低溫射頻積體電路領域提供更具可信度的實測驗證方法。

## 參考文獻



- [1] L. Hanning, J. Bremer, M. Ström, N. Billström, T. Eriksson, and M. Thorsell, "Optimizing the Signal-to-Noise and Distortion Ratio of a GaN LNA using Dynamic Bias," in *Proc. 91st ARFTG Microwave Measurement Conf. (ARFTG)*, 2018, pp. 1-4.
- [2] R. A. Shaheen, T. Rahkonen, and A. Pärssinen, "Millimeter-wave Frequency Reconfigurable Low Noise Amplifiers for 5G," *IEEE Transactions Circuits Systems II, Express Briefs*, vol. 68, no. 2, pp. 642-646, 2020.
- [3] A. Çağlar and M. B. Yelten, "Design of Cryogenic LNAs for High Linearity in Space Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 12, pp. 4619-4627, 2019.
- [4] C. Huang, Z. Zhang, X. Wang, H. Liu, and G. Zhang, "An MMIC LNA for Millimeter-Wave Radar and 5G Applications with GaN-on-SiC Technology," *Sensors*, vol. 23, no. 14, pp. 6611, 2023.
- [5] W.-T. Wong, M. Hosseini, H. Rücker, and J. C. Bardin, "A 1 mW Cryogenic LNA Exploiting Optimized SiGe HBTs to Achieve an Average Noise Temperature of 3.2 K from 4–8 GHz," in *Proc. IEEE/MTT-S International Microwave Symposium (IMS)*, 2020, pp. 181-184.
- [6] S. Krinner, S. Storz, P. Kurpiers, P. Magnard, J. Heinsoo, R. Keller, J. Lütolf, C. Eichler, and A. Wallraff, "Engineering Cryogenic Setups for 100-qubit Scale Superconducting Circuit Systems," *EPJ Quantum Technology*, vol. 6, no. 1, pp. 2, 2019.
- [7] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge, UK: Cambridge University Press, 2004.
- [8] B. Razavi and R. Behzad, *RF Microelectronics*, 2nd ed. Upper Saddle River, NJ, USA: Prentice Hall, 2012.
- [9] J. C. Bardin, D. Sank, O. Naaman, and E. Jeffrey, "Quantum Computing: An Introduction for Microwave Engineers," *IEEE Microwave Magazine*, vol. 21, no. 8, pp. 24-44, 2020.
- [10] J. Koch, T. M. Yu, J. Gambetta, A. A. Houck, D. I. Schuster, J. Majer, A. Blais, M. H. Devoret, S. M. Girvin, and R. J. Schoelkopf, "Charge-Insensitive Qubit Design Derived from The Cooper Pair Box," *Physical Review A—Atomic, Molecular, and Optical Physics*, vol. 76, no. 4, pp. 042319, 2007.
- [11] D. J. Hover, "Dispersive Readout of a Superconducting Qubit Using a SLUG Amplifier," Ph.D. dissertation, Department of Physics, University of Wisconsin-Madison, Madison, Wisconsin, USA, 2013.
- [12] J. C. Bardin, D. H. Slichter, and D. J. Reilly, "Microwaves in Quantum Computing," *IEEE journal of microwaves*, vol. 1, no. 1, pp. 403-427, 2021.
- [13] A. Caglar, S. Van Winckel, S. Brebels, P. Wambacq, and J. Craninckx, "Design and Analysis of a 4.2 mW 4 K 6–8 GHz CMOS LNA for Superconducting Qubit Readout," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 6, pp. 1586-1596, 2022.
- [14] B. Patra, M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, R. B. Staszewski, A. Vladimirescu, M. Babaie, F. Sebastiano, and E. Charbon, "Cryo-CMOS Circuits and Systems for Quantum Computing Applications," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 1, pp. 309-321, 2017.

- 
- [15] B. Lin, H. Mani, P. Marsh, R. Al Hadi, and H. Wang, "A 4.2-9.2 GHz Cryogenic Transformer Feedback Low Noise Amplifier with 4.5 K Noise Temperature and Noise-Power Matching in 22nm CMOS FDSOI," in *Proc. IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2022, pp. 23-26.
- [16] M. B. Yelten, "A 180-nm X-band Cryogenic CMOS LNA," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 4, pp. 395-398, 2020.
- [17] Y. Peng, A. Ruffino, and E. Charbon, "A Cryogenic Broadband Sub-1-dB NF CMOS Low Noise Amplifier for Quantum Applications," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 7, pp. 2040-2053, 2021.
- [18] B. Sadhu, K. Tien, S. Chakraborty, D. Frank, P. Rosno, D. Moertl, M. Yeck, J. Bulzacchelli, D. Frolov, D. Underwood, K. Inoue, C. Baks, D. Ramirez, J. Ekman, R. Black, T. Schmerbeck, R. Richetta, D. Yilma, A. Davies, J. Glick, D. Wisnieff, B. Snell, J. Timmerwilke, R. Robertazzi, G. Zettle, S. Lekuch, S. Willenborg, B. Gaucher, and D. Friedman, "Cryogenic CMOS circuits for future scaled quantum computing systems: challenges and solutions," in *Proc. IEEE Custom Integrated Circuits Conference*, 2025, pp. 1-3.
- [19] Y. L. Lin, "設計與分析源極耦合低雜訊放大器" M.S. thesis, Department of Electronics Engineering, National Tsing Hua University, Hsinchu, Taiwan, 2008.
- [20] A. Van der Ziel, "Thermal Noise in Field-Effect Transistors," *Proceedings of the Institute of Radio Engineers*, vol. 50, no. 8, pp. 1808-1812, 1962.
- [21] A. Van der Ziel, "Flicker Noise in Electronic Devices," in *Advances in Electronics and Electron Physics*, L. Marton and C. Marton, Eds. New York, NY, USA: Academic Press, 1979, pp. 225-297.
- [22] X. Jehl, M. Sanquer, R. Calemczuk, and D. Mailly, "Detection of Doubled Shot Noise in Short Normal-Metal/Superconductor Junctions," *Nature*, vol. 405, no. 6782, pp. 50-53, 2000.
- [23] B. Razavi, R.-H. Yan, and K. F. Lee, "Impact of Distributed Gate Resistance on the Performance of MOS Devices," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 41, no. 11, pp. 750-754, Nov. 1994.
- [24] R. van Langevelde, J. C. J. Paasschens, A. J. Scholten, R. J. Havens, L. F. Tiemeijer, and D. B. M. Klaassen, "New compact model for induced gate current noise," in *Proc. IEEE International Electron Devices Meeting (IEDM) Technical Digest*, 2003, pp. 191-194.
- [25] A. Van der Ziel and E. Chenette, "Noise in Solid State Devices," in *Advances in Electronics and Electron Physics*, vol. 46, L. Marton and C. Marton, Eds. New York, NY, USA: Academic Press, 1978, pp. 313-383.
- [26] A. Platzker, W. Struble, and K. T. Hetzler, "Instabilities Diagnosis and The Role of K in Microwave Circuits," in *Proc. IEEE MTT-S International Microwave Symposium Digest*, 1993, pp. 1185-1188.
- [27] W. Zhuo, X. Li, S. Shekhar, S. H. K. Embabi, J. Pineda de Gyvez, D. J. Allstot, and E. Sanchez-Sinencio, "A Capacitor Cross-Coupled Common-Gate Low-Noise Amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 12, pp. 875-879, 2005.
- [28] L. Belostotski, "No Noise is Good Noise: Noise Matching, Noise Canceling, and Maybe a Bit of Both for Wide-Band LNAs," *IEEE Microwave Magazine*, vol. 17, no. 8, pp. 28-40, 2016.
- [29] L. Belostotski and J. W. Haslett, "Noise Figure Optimization of Wide-Band Inductively-Degenerated CMOS LNAs," in *Proc. 2007 50th Midwest Symposium on Circuits and Systems*, 2007, pp. 1002-1005.

- 
- [30] R. Saligram, S. Datta, and A. Raychowdhury, "Scaled Back End of Line Interconnects at Cryogenic Temperatures," *IEEE Electron Device Letters*, vol. 42, no. 11, pp. 1674-1677, 2021.
- [31] M. Tada, K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, and T. Sakamoto, "A 65nm Cryogenic CMOS Design and Performance at 4.2 K for Quantum State Controller Application," *IEEE Journal of the Electron Devices Society*, vol. 12, pp. 28-33, 2023.
- [32] Y. Cao, W. Zhang, J. Fu, Q. Wang, L. Liu, and A. Guo, "A Complete Small-Signal MOSFET Model and Parameter Extraction Technique for Millimeter Wave Applications," *IEEE Journal of the Electron Devices Society*, vol. 7, pp. 398-403, 2019.