

國立台灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering

College of Electrical Engineering and Computer Science

National Taiwan University

Master Thesis

堆疊晶片間無線能量傳送系統

Wireless power transmission system between
stacked dies

紀俊安

Jun-An Ji

指導教授：盧信嘉 博士

Advisor: Hsin-Chia Lu, Ph.D.

中華民國一百年六月

June, 2011

國立臺灣大學碩士學位論文
口試委員會審定書

堆疊晶片間無線能量傳送系統

Wireless power transmission system between stacked dies

本論文係紀俊安君 (R98943129) 在國立臺灣大學電子工程學研究所完成之碩士學位論文，於民國 100 年 6 月 29 日承下列考試委員審查通過及口試及格，特此證明。

口試委員：

盧信嘉

(指導教授)

陳少傑

林彥豐

陳怡然

所長：

張耀文

致謝

首先非常感謝指導教授盧信嘉教授兩年來的指導，除了在研究與學業上的討論，還有平常做人處事的道理。真的非常幸運能夠當盧信嘉教授的指導學生，讓我在這兩年時間裡獲益匪淺。同時也要感謝口試委員陳少傑教授、林宗賢教授與陳怡然教授，因為老師們的建議，讓本論文可以更完整。

感謝晏田、宜隆、柏盛、潘俊、峻崧、宏碩、家鳴學長的指導，感謝宣安、俊安、山峰、治廣同學以及凱文、允耀、康旬、章程、旭祥學弟，這些日子受到很多大家的幫助，也讓我感受到互相扶持的溫情。

感謝上天，在我低潮時能給我力量平安度過一切，也希望未來能夠繼續努力，勇往直前。

最後要將此論文獻給我的家人還有韋馨，能夠擁有你們的支持與鼓勵，是我這輩子最幸福的事情。

紀俊安 2011/08/09

摘要

本篇論文提出一個使用了耦合電感於三維積體電路堆疊晶片間無線能量傳輸的一個可行方法。現行無線能量傳輸方法主要有三，耦合電容、耦合電感以及天線。但其中耦合電容與天線在晶片尺寸時的功率傳輸大約只在微瓦(μW)等級，而我們希望能得到毫瓦(mW)等級的傳輸功率，來驅動系統級的電路。除此之外，與電容耦合相比，由於電感耦合的傳輸有比較遠的距離，因此選用耦合電感做為傳輸媒介。本論文提出兩個不同傳輸距離的設計，晶片間的距離分別為15以及70微米。我們使用交流弦波做為發射訊號，經由發射端電感來傳送能量，接收端則包含了接收電感以及整流器來穩定並提供輸出電壓。此無線能量傳輸系統發射端分別使用氧化鋁陶瓷基板(Al_2O_3)製程以及玻璃基體被動元件(GIPD)製程，而接收端方面則使用台灣積體電路公司0.18微米製程來實現。本論文實作之結果，在 Al_2O_3 版本模擬結果為輸出功率38.10mW，轉換效率為25.93%。在GIPD版本量測結果為輸出功率3.28mW，轉換效率10.36%。

關鍵字:三維積體電路，耦合電感，能量傳輸，覆晶技術，整流器。

Abstract

A wireless power transmission for stacked dies in 3D-IC is implemented by using coupled inductor design. There are three common methods for wirelessly power transfer: inductive coupling, capacitive coupling and antenna radiation. We hope the wireless power transmission system can offer more than mW power. Unfortunately, only inductive coupling can provide over mW power transmission. Besides, inductive coupling interconnect has longer transmission distance as compared with capacitive interconnect and antenna. This is why we choose inductive coupling. In this thesis, we implement two systems in different transmission distances. The transmission distance is 15 μ m and 70 μ m respectively. A sine-wave signal generator is adopted as a source for power transmission. On the other side, there is a receiving inductor and a rectifier at the receiver. The proposed receiver of wireless power transmission system is implemented in TSMC 0.18 μ m CMOS process and the transmitter of wireless power transmission system is implemented in Al₂O₃ process and GIPD process respectively for demonstration of this architecture. The simulated received power and efficiency for transmitting inductor using Al₂O₃ process are 38.10mW and 25.93% respectively. The measured received power and efficiency for transmitting inductor using GIPD process are 3.28mW and 10.36% respectively.

Keyword: 3D-IC, coupled inductor, power transmission, flip-chip, rectifier.

目錄

第 1 章	簡介	1
1.1	動機	1
1.2	什麼是三維積體電路	2
1.2.1	封裝堆疊	3
1.2.2	晶片堆疊	3
1.2.3	晶圓堆疊	4
1.3	已知的垂直傳輸技術	5
1.3.1	直通矽晶穿孔 (through silicon via, TSV)	5
1.3.2	無線電容耦合	6
1.3.3	無線電感耦合	6
1.4	各章節簡介	7
第 2 章	垂直無線能量傳輸系統	9
2.1	無線能量傳輸系統簡介	9
2.2	基本架構	9
2.2.1	電感耦合模型	10
2.2.2	交叉式NMOS開關整流器	12
2.3	完整系統架構與阻抗匹配技巧	15
第 3 章	系統設計考量與實作	19
3.1	GIPD與Al ₂ O ₃ 製程介紹	19
3.2	交叉式NMOS開關整流器模擬	21
3.3	通道設計	23
3.4	決定傳輸頻率	28

3.5	效能評估與完整系統模擬	30
第 4 章	量測考量與效能評估	38
4.1	量測方法說明	38
4.2	架構驗證	38
4.3	GIPD 版本晶片量測結果	43
第 5 章	結論	48
	參考文獻	50



圖目錄

圖 1-1	演化趨勢圖[1]	1
圖 1-2	三維積體電路的垂直結構[2]	2
圖 1-3	封裝堆疊[6]	3
圖 1-4	晶片堆疊[9]	4
圖 1-5	晶圓堆疊[10]	5
圖 1-6	直通矽晶穿孔圖[11].....	6
圖 1-7	電容耦合傳輸[12]	6
圖 1-8	電感耦合傳輸[13]	7
圖 1-9	晶片佈局[14]	7
圖 2-1	無線能量傳輸系統簡單模型	10
圖 2-2	電感耦合公式推導模型 [15]	11
圖 2-3	傳統橋式整流器	12
圖 2-4	橋式整流導通情況之一	12
圖 2-5	交叉式NMOS開關整流器.....	13
圖 2-6	交叉式整流導通情況之一	13
圖 2-7	防止基體端崩潰二極體[2]	14
圖 2-8	以蕭特基二極體與一般二極體實現整流器之模擬比較	15
圖 2-9	簡單能量傳輸模型	16
圖 2-10	無線能量傳輸系統完整模型	16
圖 2-11	無線能量傳輸系統阻抗推導模型	17
圖 3-1	GIPD剖面結構圖[19]	20
圖 3-2	Al ₂ O ₃ 製程剖面結構[20].....	20

圖 3-3	flip-chip封裝後示意圖	21
圖 3-4	flip-chip封裝後示意圖(3D).....	21
圖 3-5	交叉式NMOS開關整流器模擬電路圖.....	22
圖 3-6	輸入訊號振幅分別為0.6V、0.8V、1V	22
圖 3-7	整流後之輸出訊號	23
圖 3-8	GIPD版本之(a)自感及耦合電感感值、(b)耦合電感寄生電阻值及(c)電感 耦合係數	26
圖 3-9	Al ₂ O ₃ 版本 (a)Al ₂ O ₃ 版本自感及耦合電感感值、(b)耦合電感寄生電阻值 及(c)電感耦合係數.....	28
圖 3-10	使用GIPD載板時電感寄生電阻對頻率變化圖.....	28
圖 3-11	使用GIPD載板時傳輸效率對頻率變化圖.....	29
圖 3-12	使用Al ₂ O ₃ 載板時電感寄生電阻對頻率變化圖.....	29
圖 3-13	使用Al ₂ O ₃ 載板時傳輸效率對頻率變化圖.....	29
圖 3-14	系統模擬電路圖	30
圖 3-15	GIPD版本發射端載板佈局.....	31
圖 3-16	GIPD版本T18晶片佈局	31
圖 3-17	GIPD版本訊號源電壓 V_{in} 與發射端電感跨壓 V_{L1}	32
圖 3-18	GIPD版本耦合電感跨壓.....	32
圖 3-19	GIPD版本接收端電感跨壓 V_{L2} 與輸出電壓 V_{out}	33
圖 3-20	GIPD版本接收端電感 V_{L2} 與掛載負載電容(10pF)後輸出電壓 V_{out}	33
圖 3-21	Al ₂ O ₃ 版本發射端載板佈局.....	34
圖 3-22	Al ₂ O ₃ 版本T18晶片佈局	34
圖 3-23	Al ₂ O ₃ 版本訊號源電壓 V_{in} 與發射端電感跨壓 V_{L1}	35

圖 3-24	Al ₂ O ₃ 版本耦合電感跨壓.....	35
圖 3-25	Al ₂ O ₃ 版本接收端電感跨壓 V_{L2} 與輸出電壓 V_{out}	36
圖 3-26	Al ₂ O ₃ 版本接收端電感 V_{L2} 與掛載負載電容(10pF)後輸出電壓 V_{out}	37
圖 4-1	量測架構示意圖	38
圖 4-2	實作在玻璃纖維板上之耦合電感	39
圖 4-3	利用羅姆半導體公司之二極體、場效電晶體實現之交叉式NMOS開關整流器	39
圖 4-4	實作在玻璃纖維板上之耦合電感量測之(a).自感及互感(b).耦合係數k. 40	
圖 4-5	實作在玻璃纖維板上之耦合電感量測結果之輸出電壓	41
圖 4-6	利用離散元件合成之交叉式NMOS開關整流器輸出電壓之量測結果... 42	
圖 4-7	利用離散元件合成之傳統橋式整流器輸出電壓之量測結果	42
圖 4-8	GIPD版本無線能量傳輸系統晶片圖	43
圖 4-9	FR4板與晶片接點說明電路圖	43
圖 4-10	FR4載板佈局模擬圖	44
圖 4-11	考慮FR4板影響之輸出功率模擬結果	44
圖 4-12	輸入訊號為15dBm、350MHz時之輸出訊號(V_{out})	45
圖 4-13	輸入訊號為15dBm時輸出功率對頻率作圖	45
圖 4-14	量測誤差校正模擬電路圖	46
圖 4-15	加入校正因素後模擬與量測輸出功率對頻率變化比較圖	46
圖 4-16	量測輸出功率對阻抗匹配電容 C_1 變化圖	47

表目錄

表 2-1	電路模擬參數	14
表 3-1	Al ₂ O ₃ 製程參數[20].....	20
表 3-2	電路模擬參數	22
表 3-3	IPD版本耦合電感EM(Post-sim)模擬在500 MHz之萃取結果.....	24
表 3-4	Al ₂ O ₃ 版本耦合電感EM(Post-sim)模擬在700 MHz之萃取結果.....	25
表 3-5	IPD版本各元件功率與轉換效率.....	33
表 3-6	Al ₂ O ₃ 版本各元件功率與轉換效率.....	37
表 3-7	晶片面積	37
表 4-1	根據阻抗匹配公式計算之阻抗匹配電容C ₁ 與C ₂	47
表 5-1	效能比較表	49

第 1 章

簡介

1.1 動機

除了單晶片系統(system-on-chip, SOC), 晶片系統封裝(system-in-package, SIP)是另一種實現電子系統的方法。過去幾十年以來莫爾定律(Moore's law)一直很穩定的延續著。但是互補氧化金屬半導體(CMOS)的物理限制將會使得互補氧化金屬半導體(CMOS)單位面積的密度無法繼續縮小下去。所以大家都開始在單晶片系統和系統封裝上找解決的方法。於是三維系統封裝的方法被提了出來, 它使得單位面積下電晶體的密度增加了。演化趨勢圖如圖 1-1, 三個不同的軸分別顯示了莫爾定律, 以及電路設計和單晶片系統在增加單位面積晶片密度上的努力的方向。

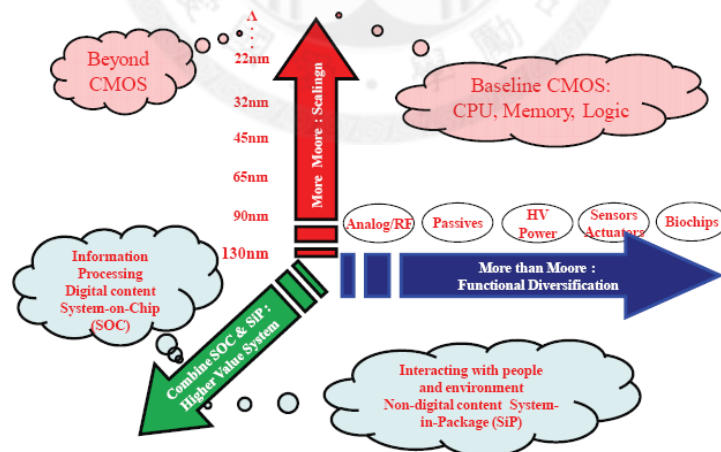


圖 1-1 演化趨勢圖[1]

三維積體電路是一種最新的封裝技術。它幾乎可以應用在任何的積體化的製程上面。三維積體電路主要是靠兩個晶片做垂直方向的堆疊, 它是一種短距離的傳輸技術。

實現三維積體電路間訊號連接的方法一般來說有三種。第一種是直接接觸的

堆疊方法如圖 1-2(a)。第二種是電感耦合的堆疊方法如圖 1-2(b)。而第三種就是電容耦合的堆疊方法了如圖 1-2(c)。圖 1-2(b)和(c)的交流式的耦合方法因為它不需要額外的製程步驟故有著更高的良率。而直接接觸的堆疊方法就需要額外的蝕刻和濺鍍來形成一個三維的連接柱(through silicon via, TSV)。這些多出來的步驟就會造成良率的下降。

電感耦合和電容耦合的堆疊方法也有著一些缺點。例如，需要使用到面積較大的電容或是電感，功率消耗也比較大。而我們主要是專注在電感耦合的方法上，因為電感耦合的方法可以有比較遠的傳輸距離，甚至可以超過100微米以上。

在資料傳輸技術上，我們已經看到[2]此篇論文研究出以低功耗、低成本方式實現高傳輸速率之系統。然而，此系統之接收端晶片仍需要由外部提供電源。因此，光是無線傳輸資料還無法滿足3D-IC封裝技術的要求，我們必須尋求無線傳輸能量的可行性。幸運的是，[3, 4]此兩篇論文分別在06年與07年提出了幾種可運用在無線能量傳輸電路技術。此外，在[5]這篇論文中也提到如何增加耦合電感間的效率。我們將由此三篇論文出發，利用不同製程提高能量傳輸效率，以期能達到量產3D-IC封裝技術門檻之最終目標。

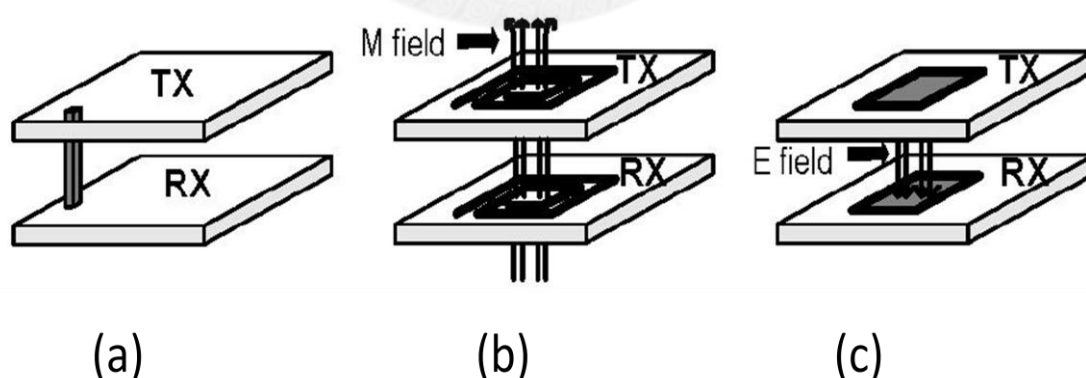


圖 1-2 三維積體電路的垂直結構

1.2 什麼是三維積體電路

三維積體電路是一種堆疊的結構。堆疊的結構可以增加單位面積的密度，因

為平面的裝置可以被積體化和做短距離的垂直傳輸。三維積體電路的好處是可以縮小面積，可以降低成本和功率消耗[6]。而另一個好處就是可以提高良率，和不同製程的整合[7]。以下就有幾種堆疊的結構介紹。分別是封裝堆疊，晶片堆疊，和晶圓堆疊。這些堆疊的方法可以減少系統的成本，還可以提高系統的效能，以及降低系統的功率消耗。

1.2.1 封裝堆疊

晶片尺寸封裝(chip scale packages, CSP)如圖 1-3。在底部封裝的上表層可以黏合的區域放入錫球然後再把上面的封裝部分的下部可以放錫球的地方放入錫球然後黏到底部封裝的上面，這樣就完成了封裝的垂直結構堆疊。這項技術可以讓兩各封裝之間的路徑縮短。

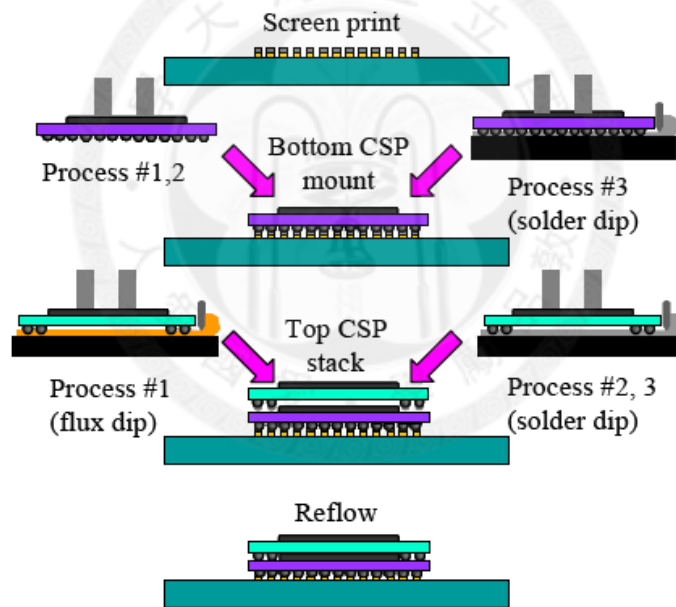


圖 1-3 封裝堆疊[5]

1.2.2 晶片堆疊

它的優點是可以將不同型式的晶片可以被堆疊在一起。晶片的堆疊不只可以擁有高頻寬還可以增加單位面積下電晶體的密度。它的結構圖如圖 1-4所示。

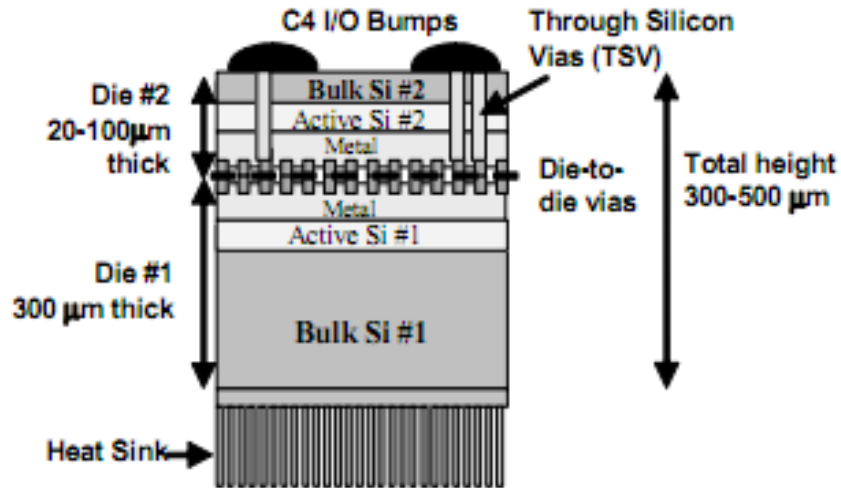
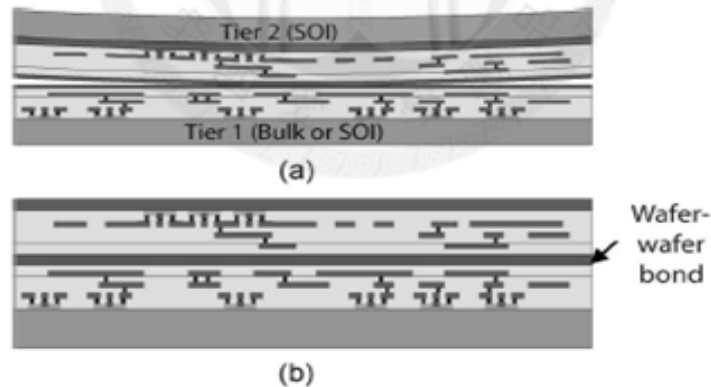


圖 1-4 晶片堆疊[8]

1.2.3 晶圓堆疊

晶圓的堆疊可以提供更高的單位面積密度，而且還可以減少系統的功率消耗。只要晶圓是平面的而且把它對準了就可以利用黏著劑把它堆疊起來，如圖 1-5。以上的三種垂直連接的方式，晶圓堆疊有著最高的單位面積密度，晶片堆疊則是可以把不同的晶片堆疊在一起，而封裝堆疊則是比較容易被實現。



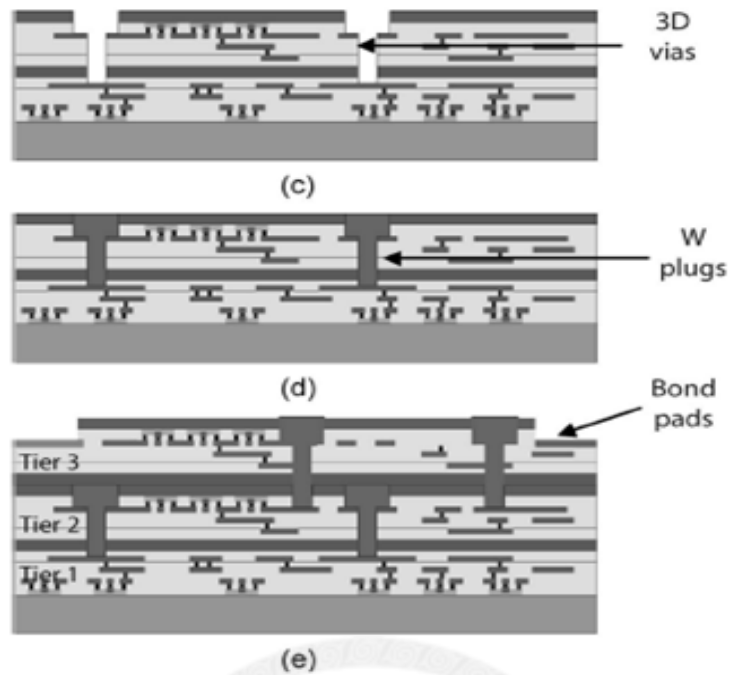


圖 1-5 晶圓堆疊[9]

1.3 已知的垂直傳輸技術

現在的三維積體電路技術仍然有著許多問題等待著去克服。包括了對準，黏合，垂直傳輸，測試等等。而我們主要是專注於垂直傳輸希望可以找出一種合適且經濟的方法去實現垂直傳輸。

1.3.1 直通矽晶穿孔 (through silicon via , TSV)

塊狀矽可以利用蝕刻或是雷射來鑽孔，然後這些孔裡面利用二氧化矽來作絕緣。最後利用化學氣相沉積(chemical vapor deposition, CVD)在這些孔裡面填入金屬，這樣垂直傳輸就完成了如圖 1-6。但是這樣的三維柱因為很難去確定晶片是否是好的以及多的製程步驟會造成成本的增加。而無線的垂直連接方法可以解決這些問題。

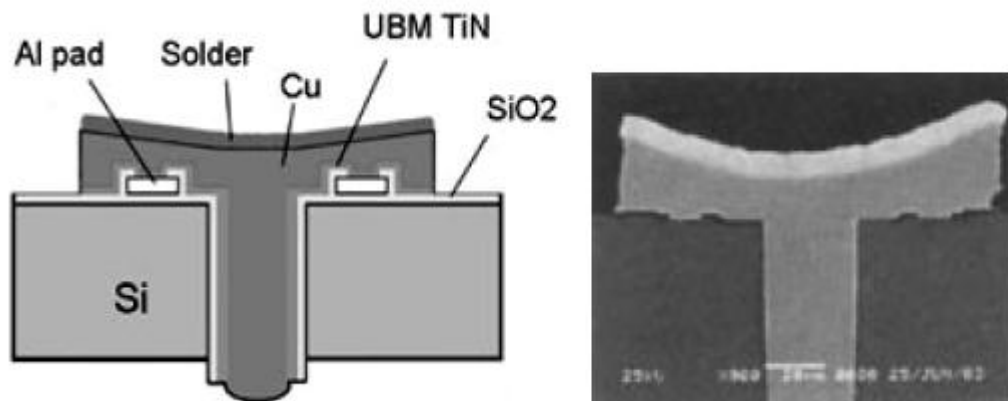


圖 1-6 直通矽晶穿孔圖[10]

1.3.2 無線電容耦合

如果晶片間的傳輸距離只有幾微米的話，電容耦合傳輸會是一個很好的選擇。電容耦合傳輸包含了傳輸用的上半部電容和下半部電容如圖 1-7。這種無線傳輸能量的方式是主要是靠電容間的電場來傳輸的。它的好處是低功率損耗，低成本。但是只適合在短距離傳輸，一般都在10微米以下。

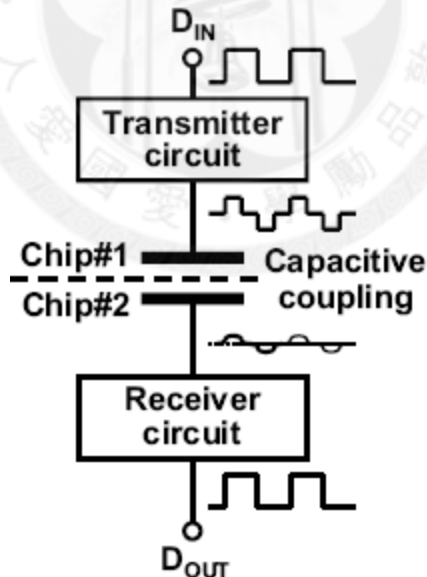


圖 1-7 電容耦合傳輸[11]

1.3.3 無線電感耦合

如果用於距離較遠的傳輸時，電感耦合傳輸相較之下會更有效率一些，因為磁通量可以感應到數百微米。這種無線傳輸包含了傳輸電感與接收電感，能量靠

著磁通量耦合來傳輸如圖 1-8[12]。雖然電感耦合的無線能量傳輸方式在電感的寄生電阻上面消耗會較大，但是傳輸距離比較遠甚至可以到達100微米，我們將專注於如何讓耦合電感之傳輸效率達到最低。

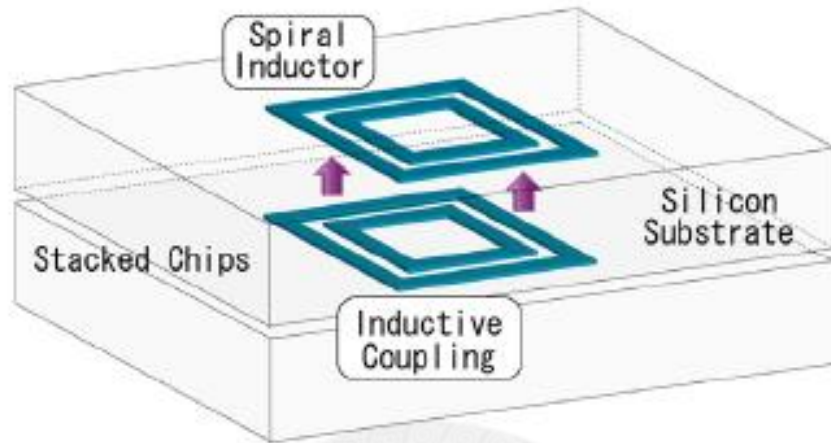


圖 1-8 電感耦合傳輸[12]

目前為止，電感耦合傳輸似乎為主流，在[13]提出運用同時使用八個電感耦合能量傳輸系統，雖然總面積達到 25mm^2 、傳輸效率17%、但是可得到傳輸距離 $100\mu\text{m}$ 並且總輸出功率達到6W。

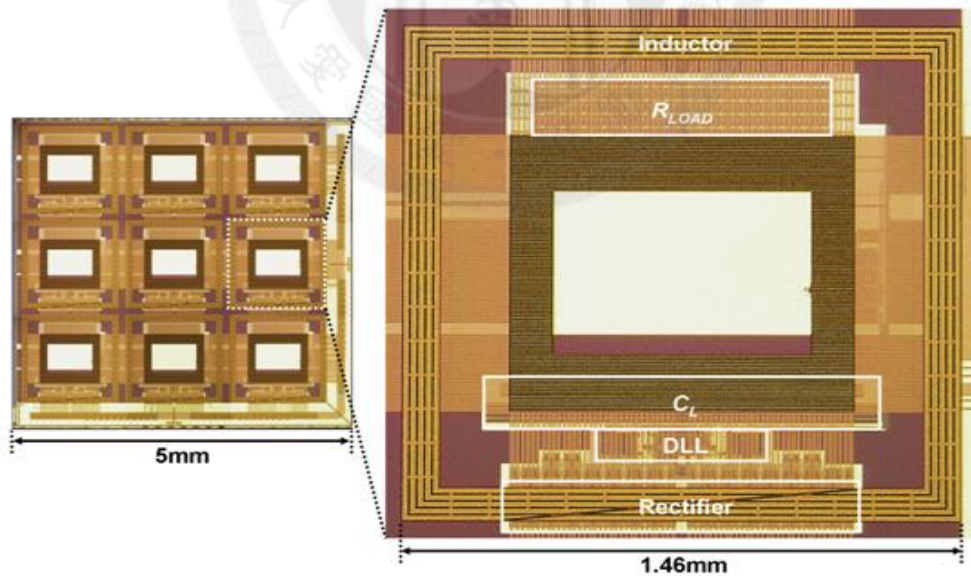


圖 1-9 晶片佈局[13]

1.4 各章節簡介

本論文共分四章。第一章為簡介，介紹基本背景、三維積體電路的種類、無

線三維積體電路。第二章會介紹無線能量傳輸系統的各個架構原理。第三章會介紹整體設計流程以及相關設計考量。第四章將會條列出模擬以及量測的結果。最後，第五章將會整理出此設計的結論。



第 2 章

垂直無線能量傳輸系統

2.1 無線能量傳輸系統簡介

有線三維積體電路一般是用直通矽晶穿孔(TSV)來實現。物理上的連接需要額外的靜電保護裝置(electrostatic discharge protection, ESD)，因此會造成額外的功率消耗以及傳輸的延遲。而且此種連接方式會使得製造上的複雜度增加而降低良率。

無線三維積體電路的好處在於它不需要額外的製造過程，因此複雜度會降低，而且它有很多種的方法可以實現。以下將會介紹本論文的设计相關理念。

2.2 基本架構

圖2-1所示為無線能量傳輸系統的基本架構，透過改變輸入端之電感兩端電壓產生交流磁場，接收端之電感感應到磁場變化後，根據法拉第電磁感應定律(Faraday's law of induction)： $\varepsilon = -\frac{d\Phi_B}{dt}$ ，會產生感應電動勢並以其建立之磁場來抵銷原本發射端之磁場變化趨勢。因此接收端會產生交流大訊號，經過整流器(rectifier section)整流與負載電容(C_{load})濾波後，輸出一穩定輸出電壓(V_{out})。其中K表示為電感耦合係數。

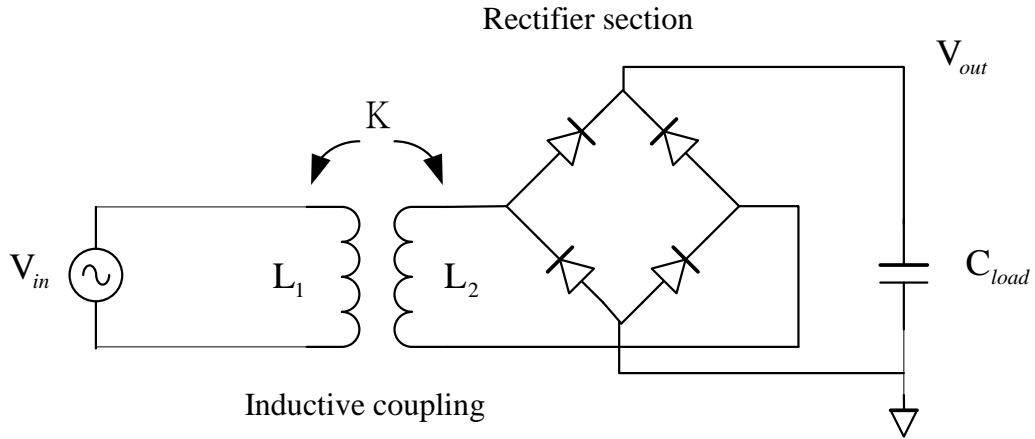
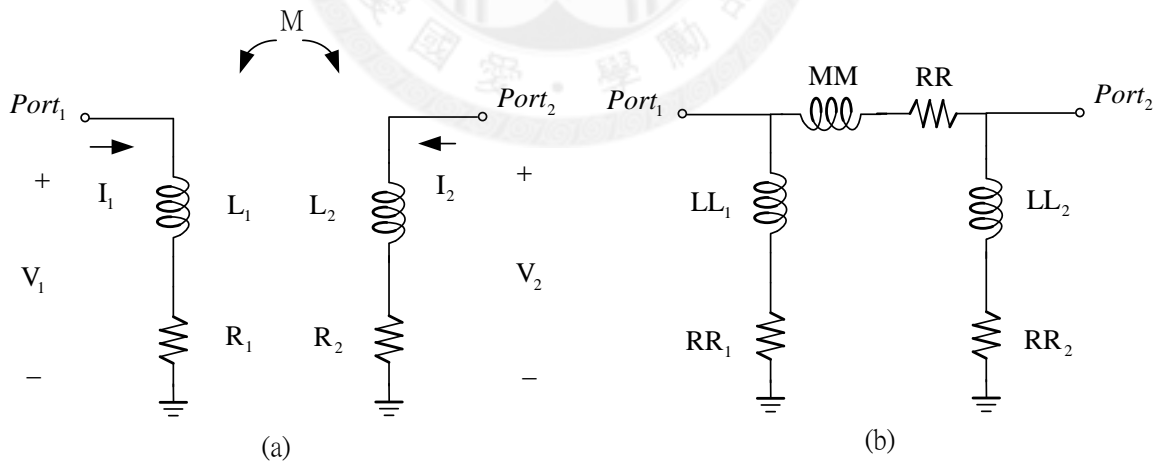
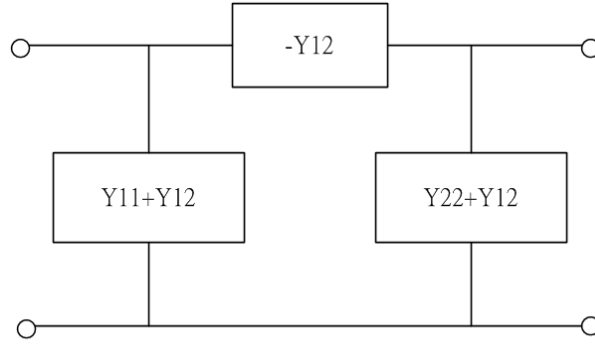


圖 2-1 無線能量傳輸系統簡單模型

2.2.1 電感耦合模型

透過分析圖 2-2 之雙埠網路，我們希望得到能準確預估包含自感損耗的耦合電感效率之公式或是模型。本小節模型之推導參照[14]，我們將從圖 2-2(a) 使用 KVL 公式出發，將圖 2-2(a) 之耦合電感模型轉換為圖 2-2(b) 之等效 π 模型電路，其中 L_1 與 L_2 代表的是自感， R_1 與 R_2 為各自的寄生電阻， ω 代表角頻率 M 代表 L_1 、 L_2 之互感， LL_1 與 LL_2 代表等效 π 模型內接地的自感， RR_1 與 RR_2 為各自的寄生電阻， MM 、 RR 代表等效 π 模型內串聯之電感及電阻。





(c)

圖 2-2 電感耦合公式推導模型 [14]

由圖 2-2(a)及KVL可得:

$$V_1 = (j\omega L_1 + R_1)I_1 + j\omega MI_2 \quad (2.1)$$

$$V_2 = j\omega MI_1 + (j\omega L_2 + R_2)I_2 \quad (2.2)$$

接著，從本質為阻抗(Z)參數之式子(2.1)、(2.2)轉換為導納(Y)參數可得:

$$Y_{11} = \frac{1}{(j\omega L_1 + R_1) + \frac{\omega^2 M^2}{j\omega L_2 + R_2}} \quad (2.3)$$

$$Y_{22} = \frac{1}{(j\omega L_2 + R_2) + \frac{\omega^2 M^2}{j\omega L_1 + R_1}} \quad (2.4)$$

$$Y_{12} = Y_{21} = \frac{1}{j\omega M - \frac{(j\omega L_1 + R_1)(j\omega L_2 + R_2)}{j\omega M}} \quad (2.5)$$

在求出 Y_{12} 後，根據圖 2-2(b)與圖 2-2(c)等效的情況下：

$$-Y_{12} = \frac{1}{j\omega M - \frac{(j\omega L_1 + R_1)(j\omega L_2 + R_2)}{j\omega M}} = \frac{1}{RR + j\omega MM} \quad (2.6)$$

則可求出:

$$MM = \frac{L_1 L_2}{M} - M - \frac{R_1 R_2}{\omega^2} \quad (2.7)$$

$$RR = \frac{L_1 R_2 + L_2 R_1}{M} \quad (2.8)$$

$$k = \frac{M}{\sqrt{L_1 L_2}} \quad (2.9)$$

最後我們可由EM模擬結果所得的S參數與公式(2.7)、(2.8)和(2.9)來得到互感值(M)以及耦合係數(k)。

2.2.2 交叉式NMOS 開關整流器

在介紹本次設計所使用之交叉式NMOS開關整流器之前，我們必須先從原本之橋式整流器出發。圖 2-3所示為傳統橋式整流器。

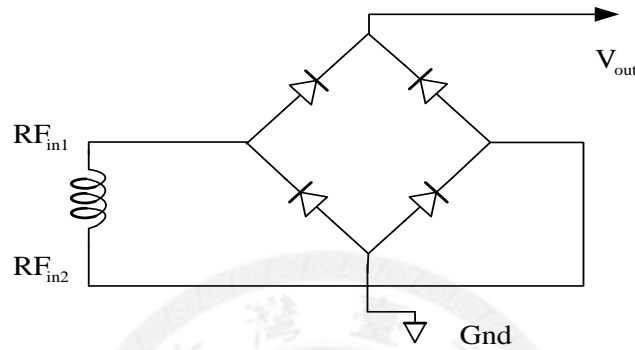


圖 2-3 傳統橋式整流器

當耦合電感端電壓 $RF_{in1} > RF_{in2}$ 時，其運作方式如圖 2-4所示：

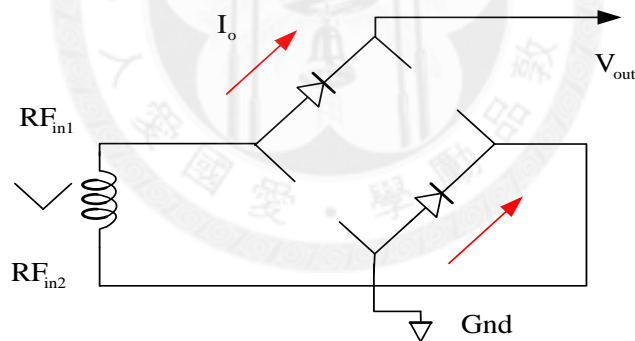


圖 2-4 橋式整流導通情況之一

令二極體導通時電壓降為 V_D 、 $|RF_{in1} - RF_{in2}| = V_{coupled}$ ，我們可以得知導通時。

$V_{out} = V_{coupled} - 2V_D$ 。一般橋式整流器有著運作簡單、容易理解之優點。但橋式整流器之所以不適合運用在3D-IC接收端晶片中的主要因為，其整流後的輸出電壓(V_{out})下降太多($2V_{DS}$)，在感應電壓低於兩個二極體導通電壓($2V_{DS}$)時，整個系統的運作便會失敗。

本論文採用如圖 2-5之交叉式NMOS開關整流器與一般橋式整流器最大的

不同是，將下方兩個二極體換成NMOS開關，藉由感應電壓的相位來判斷導通哪一個開關。當NMOS導通時，將會操作在三極管區(Triode region)。此時，如果我們能降低NMOS汲源極跨壓(V_{DS})，輸出電壓(V_{out})將會得到有效的提升，為了得到最小的NMOS汲源極跨壓(V_{DS})且能維持大電流輸出，我們希望NMOS的寬長比能盡可能的大。

令二極體導通時電壓降為 V_D 、 $|RF_{in1} - RF_{in2}| = V_{coupled}$ ，我們可以得知導通時

$V_{out} = V_{coupled} - V_D - V_{DS}$ ，明顯可見地，當 $V_{DS} \cong 0$ 時，輸出電壓(V_{out})可提升一個 V_D 值，在相同的 $V_{coupled}$ 大小下，也將有更大的輸出電流 I_o 。

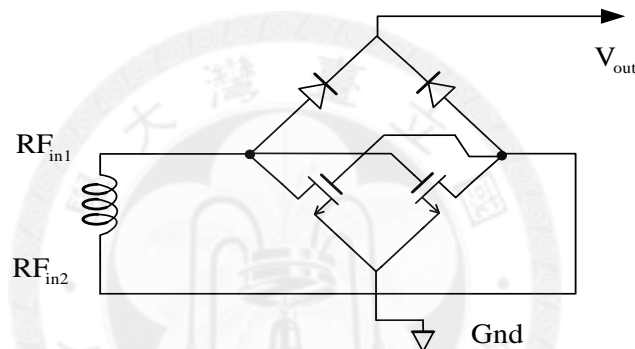


圖 2-5 交叉式 NMOS 開關整流器

當耦合電感端電壓 $RF_{in1} > RF_{in2}$ 時，其運作方式如圖 2-6所示：

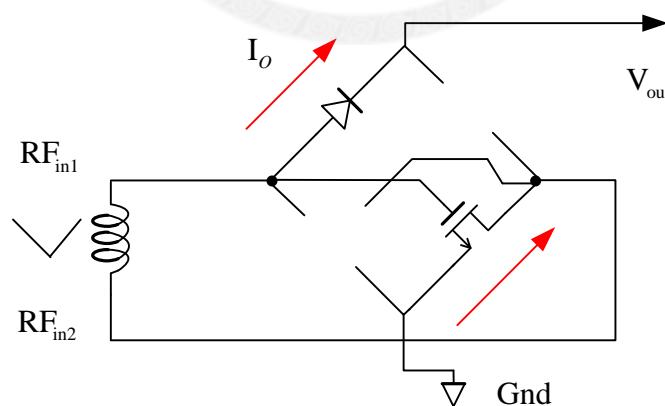


圖 2-6 交叉式整流導通情況之一

在介紹完本次設計採用之整流器結構之後，讓我們來回顧與比較其他相關研究論文中所設計之整流器。

首先，在[3]提到利用連接PMOS汲極端與閘極端來替代二極體，另外加上兩

輔助PMOS來防止PMOS替代二極體基體(body)端崩潰。儘管如此的設計的確可以在替代二極體導通時保有讓PMOS源極(source)與基體端(body)虛短路，可有效避免基體效應(body effect)。可惜的是，受限於P型元件載子遷移率低於N型元件之天生缺陷，在大電流(數十mA)的需求下，即使已經使用極大的寬長比，導通時PMOS替代二極體兩端的電壓壓降甚至高於使用一般二極體。此結果將導致整流器整體之效率低於原本傳統橋式整流器，但在低電壓應用時，此電路技巧仍然有其功能性存在。

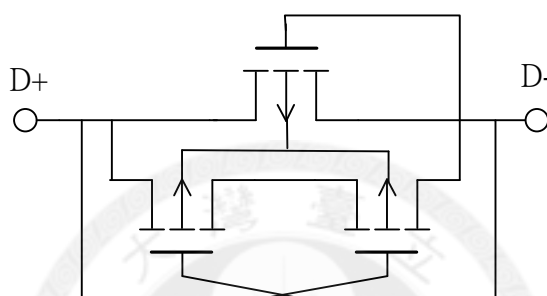


圖 2-7 防止基體端崩潰二極體[3]

接著，[15, 16]中提到利用蕭特基二極體(Schottky barrier diode)來設計整流器之電路技巧，在測試過單一蕭特基二極體暫態模擬之後，發現此二極體的確有低導通跨壓之優勢。但在進一步完成整流器暫態模擬時，卻發現使用蕭特基二極體實現之橋式整流器有著開關不完全之缺點。同樣地，即使已經採用最大尺寸，在大電流的需求下，原本低導通跨壓的優勢也會消失。

分別測試以蕭特基二極體或一般二極體加上NMOS開關來組成之整流器，電路參數列在表 2-1，如圖 2-8可見:

$$\text{蕭特基二極體導通電壓} \cong \frac{1.8 - 0.5}{2} = 0.65(\text{V})$$

$$\text{一般二極體導通電壓} \cong \frac{1.8 - 0.545}{2} = 0.628(\text{V}) < 0.65(\text{V})$$

表 2-1 電路模擬參數

	NMOS	蕭特基二極體	一般二極體
W(μm)	10	16	35

L(μm)	0.35	4	35
並聯個數	20	32	5

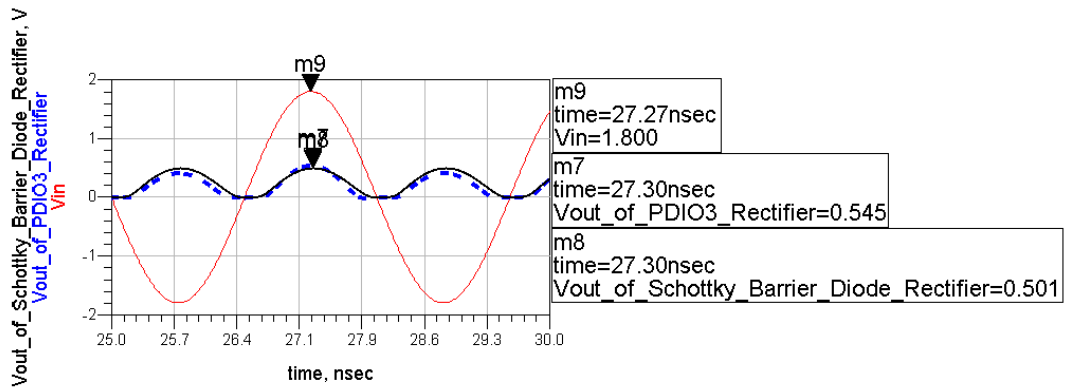


圖 2-8 以蕭特基二極體與一般二極體實現整流器之模擬比較

經過以上詳細的比較，我們決定採用在數十毫瓦功率範圍內有最佳效率之交叉式NMOS開關整流器做為本設計整流器。

2.3 完整系統架構與阻抗匹配技巧

在本章節一開始我們介紹過了系統的簡單運作原理與架構，到目前為止，我們已經說明了電感耦合部分與整流器部分的詳細運作方式與改良原理。最後，也是最重要的部分，我們即將介紹提升無線能量傳輸系統效率最主要的電路技巧，那就是在[2]所提到之阻抗匹配。

在能量傳輸的理論中，我們已經知道，負載得到最大的能量傳輸效率發生的情況為圖 2-9所示。

$$R_L = R_S \quad (2.10)$$

$$X_L = -X_S \quad (2.11)$$

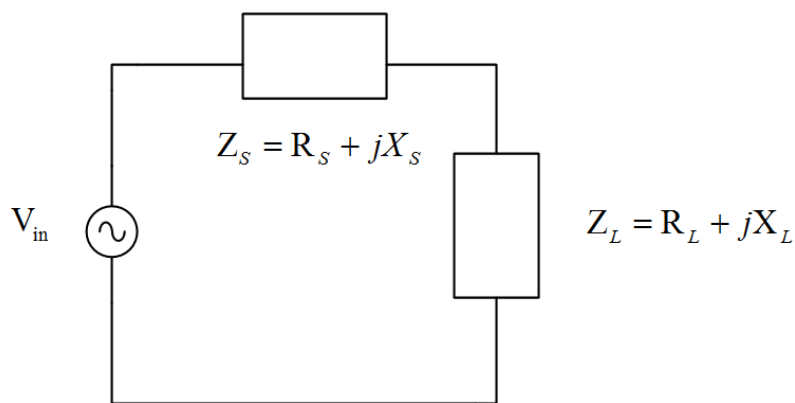


圖 2-9 簡單能量傳輸模型

此時，負載阻抗得到的能量：

$$P_L = \frac{1}{2} \frac{V_{in}^2}{(R_S + R_L)} = \frac{1}{4} \frac{V_{in}^2}{R_L} \quad (2.12)$$

從物理的角度上來看，阻抗的虛部並不消耗能量。但由於電容或電感會吸收一部分的能量儲存起來，此結果仍然會降低負載得到的能量比例。在了解達到能量傳輸效率最大時的需要的條件後，我們將焦點放回無線能量傳輸系統完整模型，如圖 2-10所示。其中 R_S 為電源供應器內阻以及接線電阻， C_1 ， C_2 為阻抗匹配用電容， R_1 ， R_2 為電感寄生電阻。

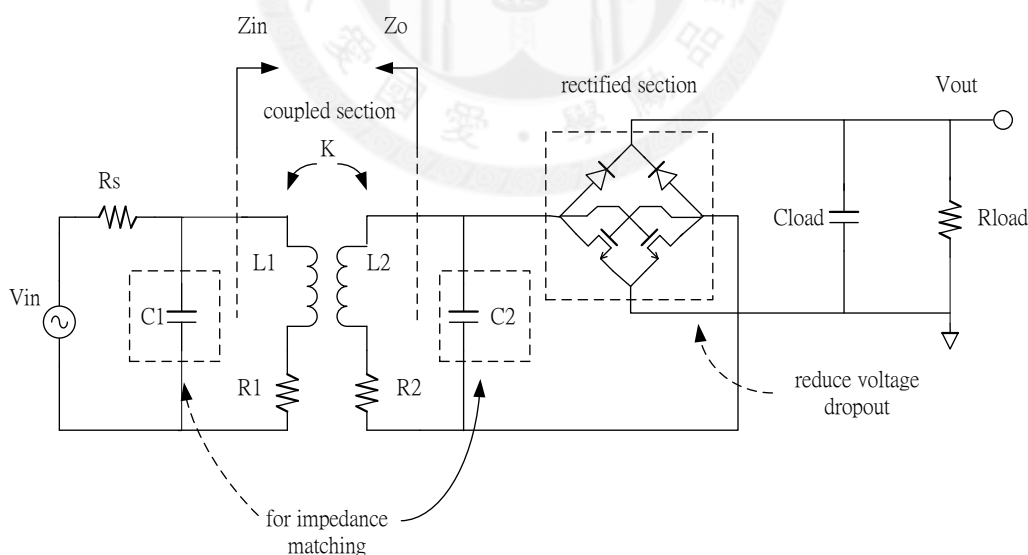


圖 2-10 無線能量傳輸系統完整模型

接下來，為了得到用來抵消虛部阻抗的電容容值，我們必須先推導出電感耦合端輸入阻抗(Z_{in})及輸出阻抗(Z_o)。首先，我們必須先做一點假設，由於操作頻率不高(不超過1GHz，高頻時電感損耗太大)，接地電感 L_1 ， L_2 在操作頻率下阻抗

不大，為了讓耦合電感做升壓的動作，我們設計時便希望讓耦合電感的比值為3~5倍，在此一考量為前提下，由接收端反射回發射端的訊號會因降壓而很小，因此與接地電感 L_1 並聯之阻抗可略去，但從電感耦合接收端看回之輸出阻抗(Z_o)則必須考慮。因此，電感耦合端輸入阻抗(Z_{in})為：

$$Z_{in} = R_1 + j\omega L_1 \quad (2.13)$$

所以，為了在電感耦合輸入端看到實數負載，則：

$$\frac{1}{j\omega C_1} + j\omega L_1 = 0 \quad (2.14)$$

從公式(2.15)中我們可推論出：

$$C_1 = \frac{1}{\omega^2 L_1} \quad (2.15)$$

現在我們的工作已經完成一半，接下來我們即將開始推導電感耦合輸出阻抗(Z_o)，首先，我們在電感耦合輸出端加上測試電壓(V_t)、定義測試電流(I_t)、感應電流(I_1)、實部阻抗 ($R_x = R_s + R_1$) 以及輸出阻抗 ($Z_o = \frac{V_t}{I_t} = R_o + jX_o$)。其中，互感 $M = k\sqrt{L_1 L_2}$ 。

要注意的一點是，由於我們已經加入了 C_1 來抵消在操作頻率時 L_1 產生的虛部電抗，因此，當感應電流(I_1)產生時，將只會看到實部阻抗($R_x = R_s + R_1$)。

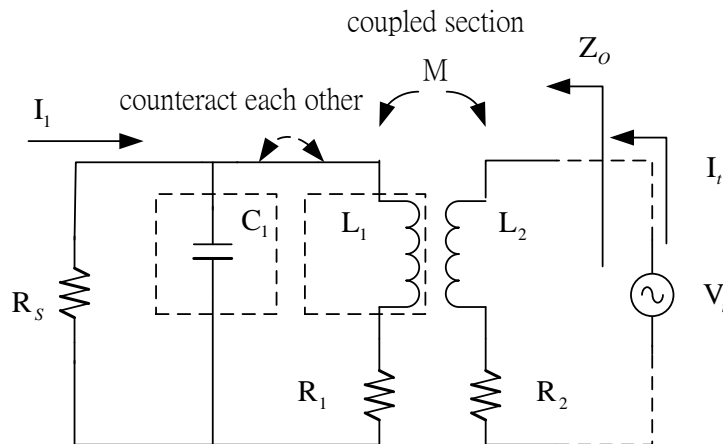


圖 2-11 無線能量傳輸系統阻抗推導模型

換句話說，感應電流(I_1)將被感應電壓($j\omega M I_t$)以及實部阻抗(R_x)所定義：

$$I_1 = -\frac{j\omega MI_t}{R_x} \quad (2.16)$$

再來，根據右迴路KVL公式：

$$V_t = j\omega MI_1 + (j\omega L_2 + R_2)I_2 \quad (2.17)$$

將(2.17)代入(2.18)：

$$V_t = \frac{\omega^2 M^2 I_t}{R_x} + (j\omega L_2 + R_2)I_t \quad (2.18)$$

可得到 $Z_o = \frac{V_t}{I_t}$ ：

$$Z_o = \left(\frac{\omega^2 M^2}{R_x} + R_2 \right) + j\omega L_2 = R_o + jX_o \quad (2.19)$$

由於我們想用並聯 C_2 的方式來抵消輸出導納($Y_o = \frac{1}{Z_o}$)的虛部($\text{Im}[Y_o]$)，我們必須先求得輸出導納(Y_o)：

$$Y_o = \frac{1}{R_o + jX_o} = \frac{R_o - jX_o}{R_o^2 + X_o^2} \quad (2.20)$$

帶入(2.20)之結果可得 $\text{Im}[Y_o]$ ：

$$\text{Im}[Y_o] = \text{Im}\left[\frac{-jX_o}{R_o^2 + X_o^2}\right] = \frac{-\omega L_2 R_x^2}{(\omega^2 M^2 + R_2 R_x)^2 + \omega^2 L_2^2 R_x^2} \quad (2.21)$$

終於，我們可以利用並聯 C_2 後輸出導納虛部為0的希望結果找到 C_2 ：

$$j\omega C_2 + \text{Im}[Y_o] = 0 \quad (2.22)$$

$$C_2 = \frac{L_2 R_x^2}{(\omega^2 M^2 + R_2 R_x)^2 + \omega^2 L_2^2 R_x^2} \quad (2.23)$$

第 3 章

系統設計考量與實作

3.1 GIPD 與 Al_2O_3 製程介紹

隨著手持無線通訊的發展，使得晶片的功能性越來越高，成本和面積越來越低，因此應用SiP (System in package)的概念將被動元件製造於封裝基板上以縮小成本和面積並達到高效能為一新的趨勢。目前有許多SiP實作上的方式：多層板陶瓷像LTCC (Low temperature co-fired ceramics)為一例。另一可行做法為Glass integrated passive device (GIPD)製程利用半導體製程技術來實現[17]。GIPD製程所採用玻璃基板，介電層則使用苯環丁烯(Benzocyclobutene) 或聚醯亞胺(Polyimide)，GIPD製程的特性是可以使用較厚的金屬層以提高電感Q值。因此，使用IPD製程會比在晶片上做的電感的Q值高出許多。

設計3D-IC需要將發射端與接收端設計在兩片不同的晶片上，為了實驗上比較方便、並且要能製作flip-chip bump並控制高度[10]，另外，由於發射端不需要主動元件，我們預計使用兩種不同製程來模擬3D-IC封裝。其中發射端將分別使用具有高阻值和低介電損耗的陶瓷基板(Al_2O_3)，以及低介電損耗的玻璃基體被動元件(GIPD)製程來實現。

GIPD製程剖面結構圖如圖 3-1所示，主要有三層金屬可以運用，最上層金屬Metal3厚度 $10\mu\text{m}$ 可用做佈局走線，而金屬Metal1與金屬Metal2中間為高介電係數之 SiN_x 且厚度只有 $0.2\mu\text{m}$ ，可用來做電容設計。

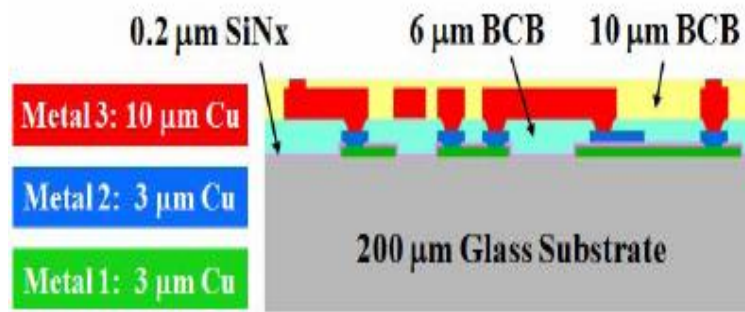


圖 3-1 GIPD 剖面結構圖[18]

氧化鋁陶瓷基板具有各式優秀特性，故廣泛應用於各類半導體產品。除了具良好之導熱特性、適合用於高溫環境，還具有耐抗侵蝕及耐磨耗性以及電氣絕緣特性。透過刻寫光罩，經由乾式或濕式蝕刻，我們可以在氧化鋁陶瓷基板上實現我們所需的布局電路。其剖面結構如圖 3-2 所示，製程參數如表 3-1 所示。

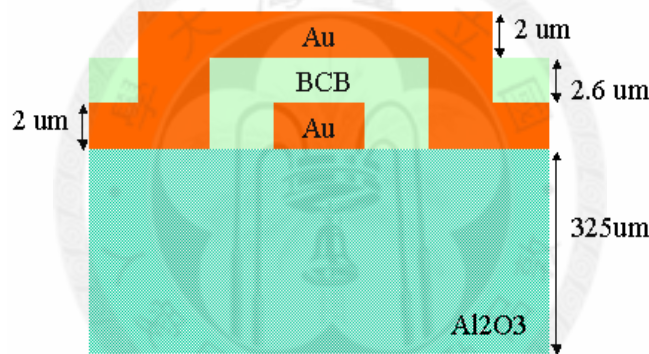


圖 3-2 Al_2O_3 製程剖面結構[19]

表 3-1 Al_2O_3 製程參數[19]

Substrate definition and parameters	
Metal2	$t=2\mu\text{m}$ 、 $\sigma=4.1\times 10^7\text{ S/m}$
BCB	$t=2.6\mu\text{m}$ 、 $\mu_r=1$ 、 $\epsilon_r=2.65$ 、 $\tan\delta=0.0008$
Metal1	$t=2\mu\text{m}$ 、 $\sigma=4.1\times 10^7\text{ S/m}$
Al_2O_3	$h=325\mu\text{m}$ 、 $\mu_r=1$ 、 $\epsilon_r=9.8$ 、 $\tan\delta=0.0002$

經過2.3節公式推導後，我們可以經由安捷倫公司(Agilent)的電路設計軟體 ADS(Advanced Design System)以及其內建之電磁模擬軟體Momentum來進行電感耦合效率試算。使用 Al_2O_3 及GIPD製程時發射端電感與接收端電感分別相距

15 μm 以及70 μm 。當設計晶片回來後，將使用flip-chip bump支撐接收晶片，並將接收得到之DC功率由flip-chip bump傳回發射端載板。最後，經由bonding-wire至FR4板上焊上SMA接頭輸出量測。

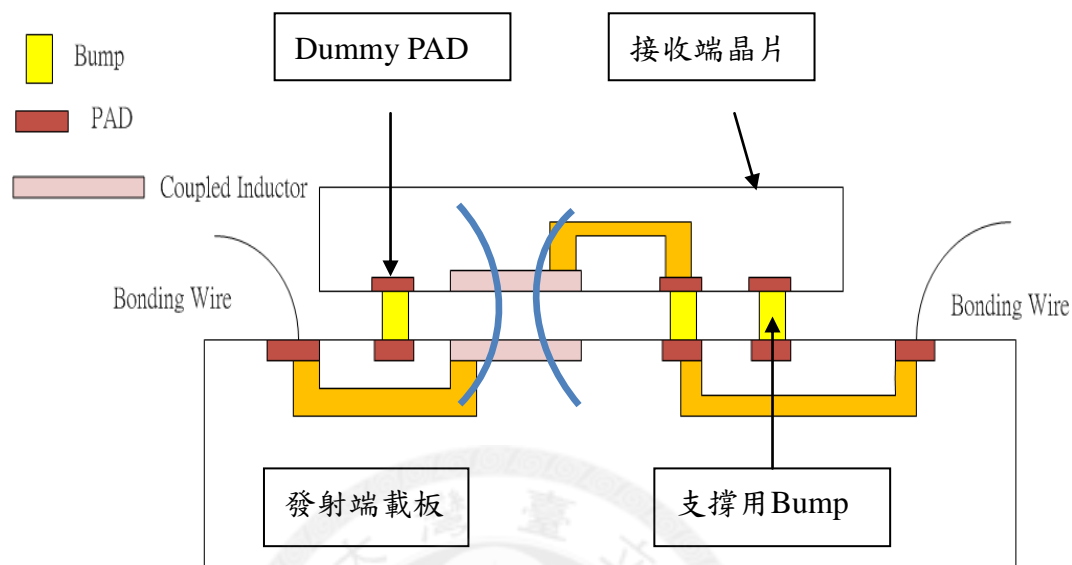


圖 3-3 flip-chip 封裝後示意圖

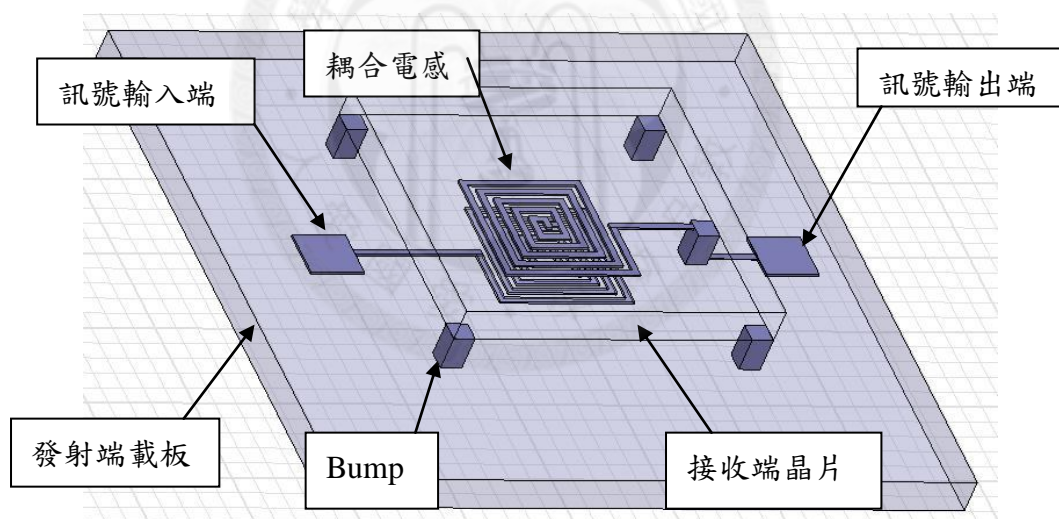


圖 3-4 flip-chip 封裝後 3D 示意圖

3.2 交叉式 NMOS 開關整流器模擬

在本論文裡，採用 TSMC CMOS 0.18 μm 製程來實現接收端晶片。我們將利用 TSMC 所提供之製程模擬檔案以及 ADS 來進行交叉式 NMOS 開關整流器模擬。首先，由於希望負載電阻為 100 Ω 時能收到 10~40mW 之功率，所以 I_o 平均電流希望能有 10~20mA。在希望整流器能穩定輸出此大電流的同時，也能維持相對低的跨壓，二極體以及場效電晶體的寬度必須被提高。在另一方面，提高二極體以及場

效電晶體的寬度也會帶來另一問題，當主動元件之尺寸越大時，其反應速度越低。由於為了配合耦合電感能有最佳效率的操作頻率，此整流器必須至少能在1GHz下操作。在我們必須驗證在我們依照表 3-2選定的寬長比之後此整流器可運作在多小的電壓振幅之下。

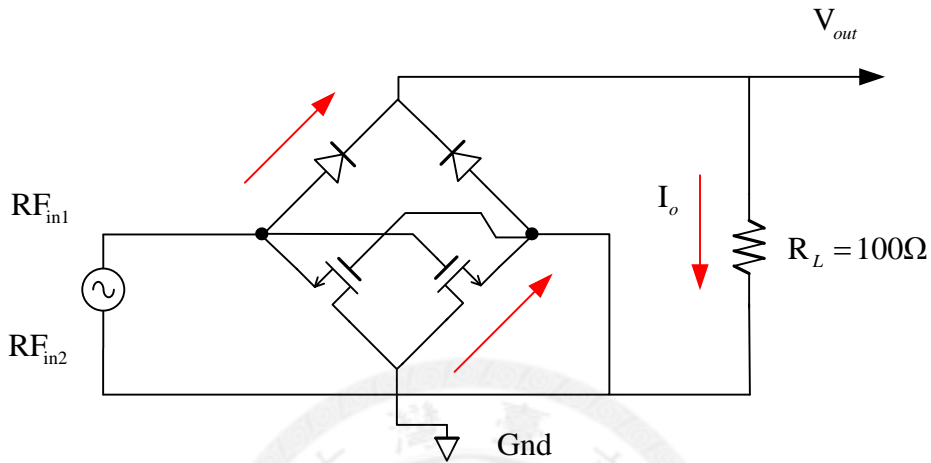


圖 3-5 交叉式 NMOS 開關整流器模擬電路圖

表 3-2 電路模擬參數

	NMOS	Diode
W(μm)	10	35
L(μm)	0.35	35
並聯個數	20	5

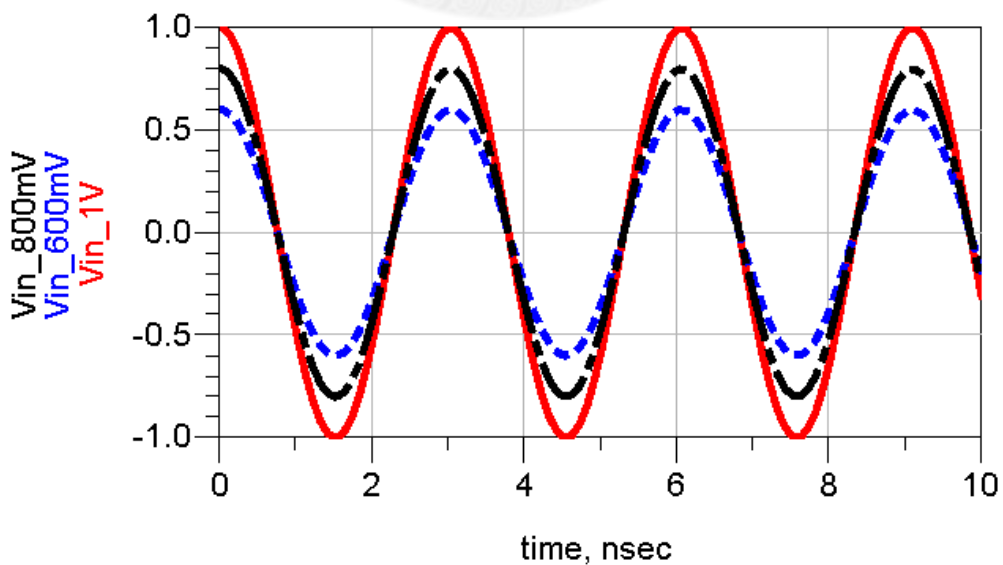


圖 3-6 輸入訊號振幅分別為 0.6V、0.8V、1V

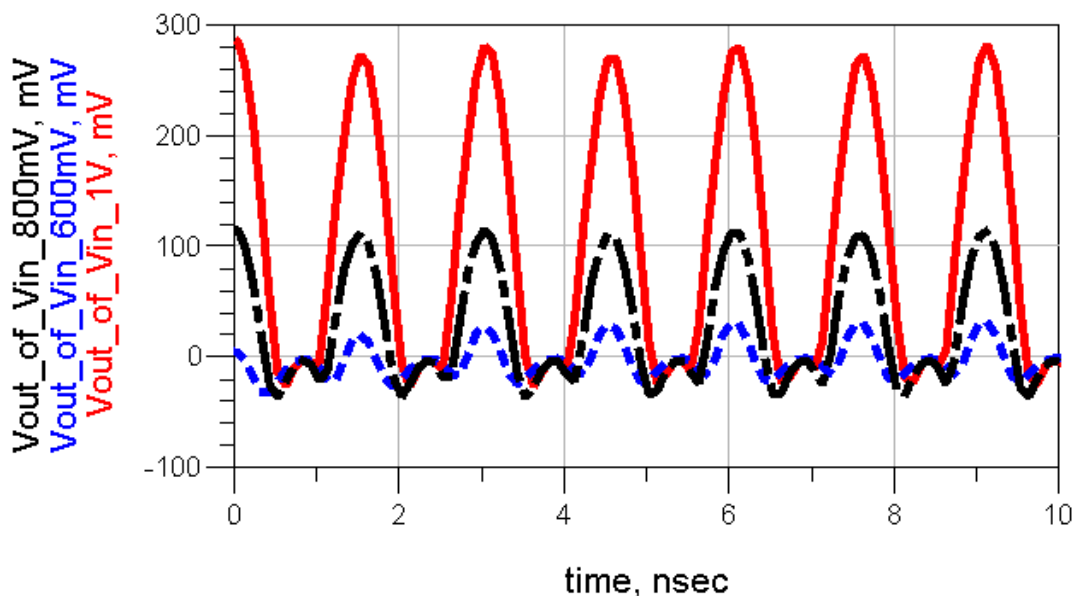


圖 3-7 整流後之輸出訊號

根據圖 3-6與圖 3-7，我們可觀察出整流器最小輸入電壓與兩項因素有關。分別為場效電晶體之臨界導通電壓(V_{TH})約0.7V以及二極體之導通電壓(V_D)約0.7V，當場效電晶體導通且能提供足夠的電流源時，場效電晶體的汲源極跨壓將會足夠的小，以至於整流後的壓降約只有二極體的導通電壓(V_D)。

結論，此架構之整流器其輸入電壓最小的輸入應在振幅1V以上，除了必要二極體壓降約0.7V外，需額外給定場效電晶體約0.3V的端電壓，與傳統橋式整流器所需最小輸入振幅1.4V比較起來，可節省下約0.4V的電壓。

3.3 通道設計

在設計電感的考量上，主要有兩個考量點：首先，在考量到以效率為最優先標的情況下，我們希望接收端之電感面積大小能略大於發射端之電感，其原因為當發射端電壓改變產生磁場時，通過接收端電感之磁通量越大，則接收到的能量越高。再者，能量在電感耦合傳輸中必然有無法避免之損耗，當感值相同且接收端電感往負載端看去阻抗高於發射端往電源供應器看到之阻抗時，感應電壓必然低於發射端電感端電壓，如此一來，極有可能發生感應電壓不足而無法推動整流器之情況。所以接收端電感之感值必須高於發射端，藉由提升感應電壓，確保電壓足夠推動整流器負載以及濾波電容。

至於傳輸高度之評估，我們會用覆晶式封裝技術(flip-chip)將接收端晶片安置在發射端晶片上方，GIPD版本之晶片會由CIC方面組裝，根據CIC所給定之數據結合後高度為70 μm 。另一方面， Al_2O_3 版本之接收端晶片我們委由宜特科技公司為我們植上直徑0.8mil之金球，經由覆晶式封裝技術接合後高度評估為15 μm 。

由於利用耦合電感無線傳輸能量必定有其損耗，所以電感寄生電阻必須越小越好。另外，為了提高磁耦合係數，耦合電感中心之空洞需越大越好，以達到最高之電感耦合係數(k)。我們利用模擬結果計算出互感感值(M)與電感耦合係數(k)，考量到為了將磁通量轉換效率提升到最高，接收端電感之面積必須略大於發射端電感之面積，且耦合電感中心空洞處必須盡量大且對準。再者，為了推動電感耦合接收端後方整流器與濾波電容負載，我們必須使接收端電感之感值高於發射端電感之感值。最後，經過多次EM模擬與系統模擬，在希望得到最高的耦合係數k的前提下，我們選取了以下的元件數值。在GIPD版本方面，發射端與接收端兩電感之比值為2.89倍，其感值分別為12.19 nH與35.27 nH、互感感值(M)為15.41 nH、電感耦合係數(k)為0.519。另一方面在 Al_2O_3 版本，發射端與接收端兩電感之比值為4.53倍，其感值分別為1.476 nH與6.747 nH、互感感值(M)為2.335nH、電感耦合係數(k)為0.74。

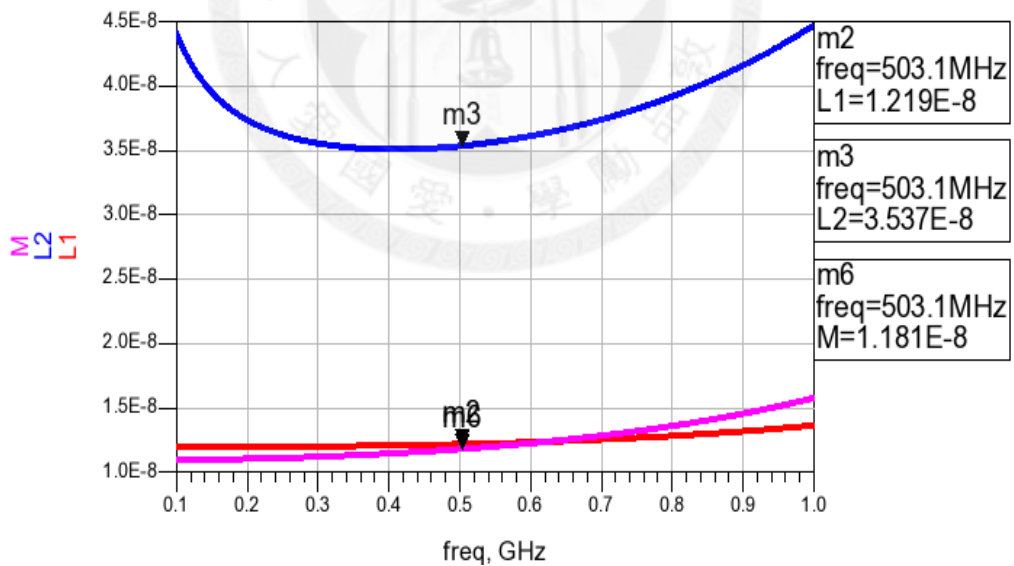
表 3-3 GIPD 版本耦合電感 EM(Post-sim)模擬在 500 MHz 之萃取結果

	L1(發射端)	L2(接收端)
圈數	4	7
線寬 (μm)	30	30
線距 (μm)	30	10
感值 (nH)	12.19	35.37
寄生電阻 (Ω)	1.427	2.872
寄生容值 (pF)	0.671	0.248

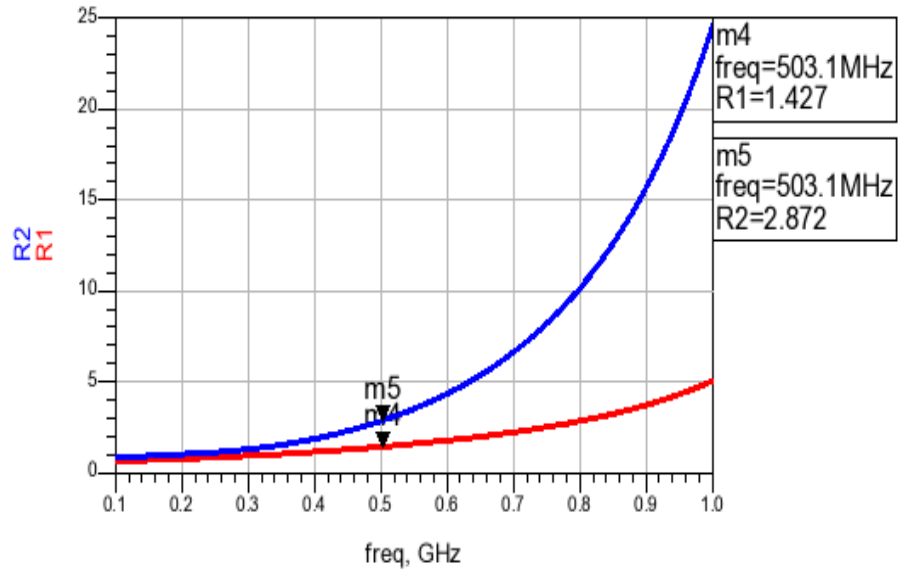
表 3-4 Al₂O₃ 版本耦合電感 EM(Post-sim)模擬在 700 MHz 之萃取結果

	L1(發射端)	L2(接收端)
圈數	2	5
線寬 (μm)	50	30
線距 (μm)	50	30
感值 (nH)	1.476	6.747
寄生電阻 (Ω)	1.572	5.215
寄生容值 (pF)	0.608	0.135

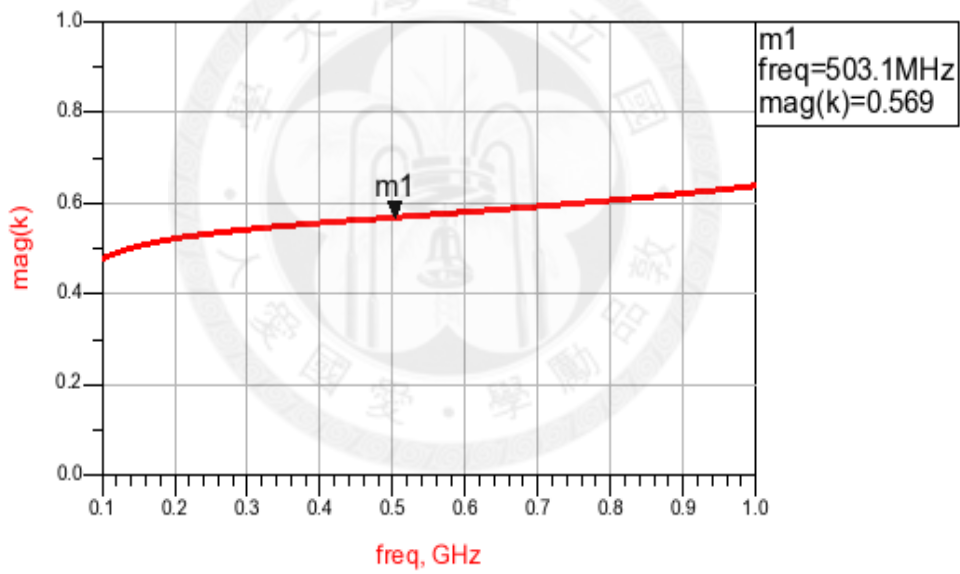
GIPD版本以及Al₂O₃版本，傳輸高度從Al₂O₃版本的15μm變成GIPD版本的70μm，但是透過提高耦合電感的感值，使得耦合係數(k)仍能維持在0.519。利用Momentum模擬0.1GHz 至 10 GHz之S參數模擬結果，轉換為Z參數後，配合2.2.1“電感耦合模型”中所推導的公式，我們可以得到GIPD版本以及Al₂O₃版本萃取之電路結果如圖 3-8及圖 3-9所示。



(a)

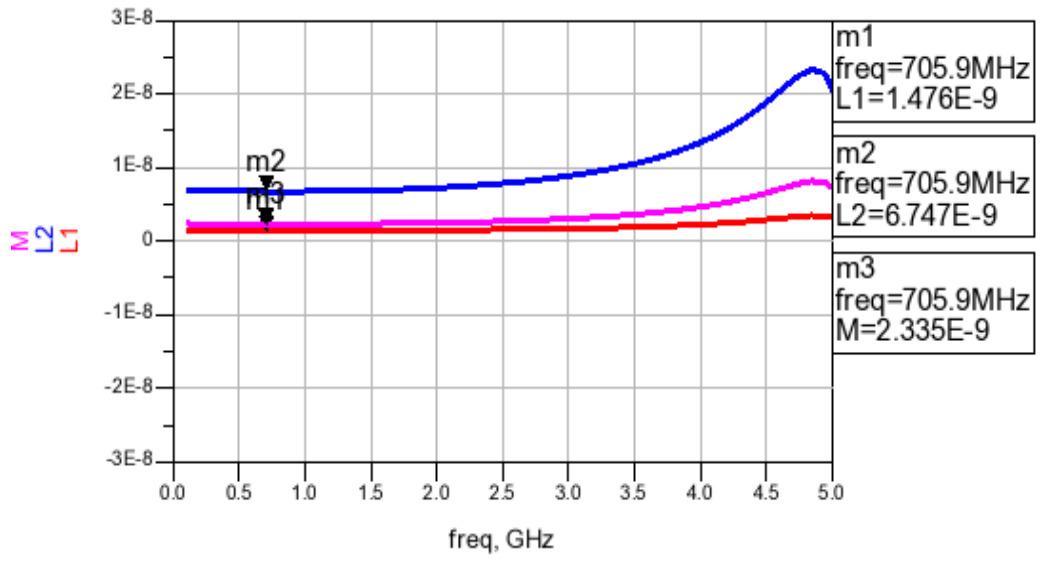


(b)

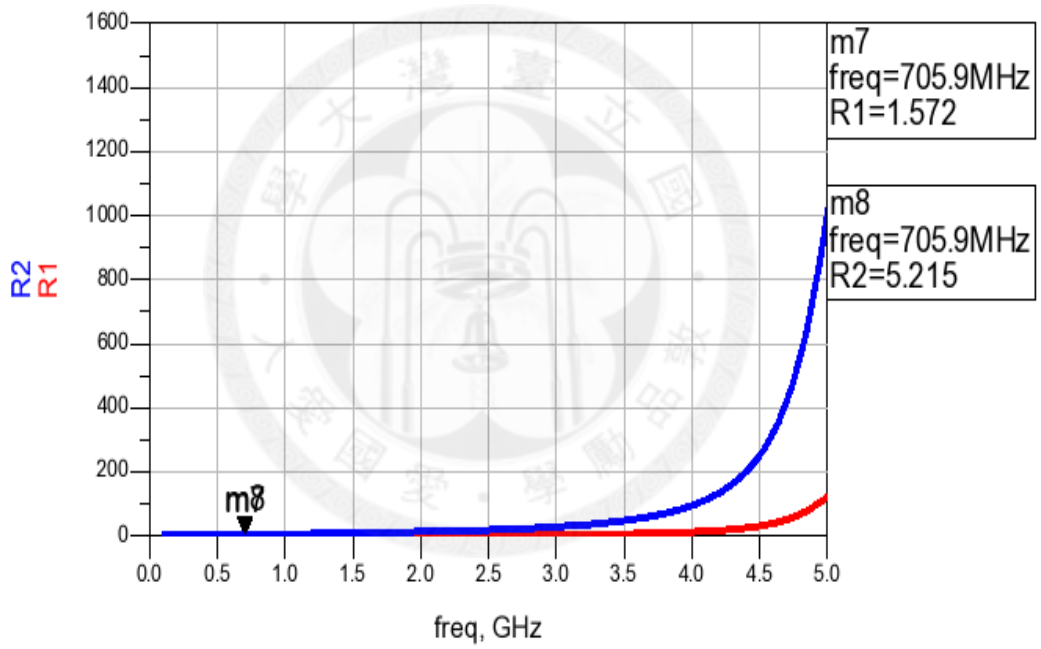


(c)

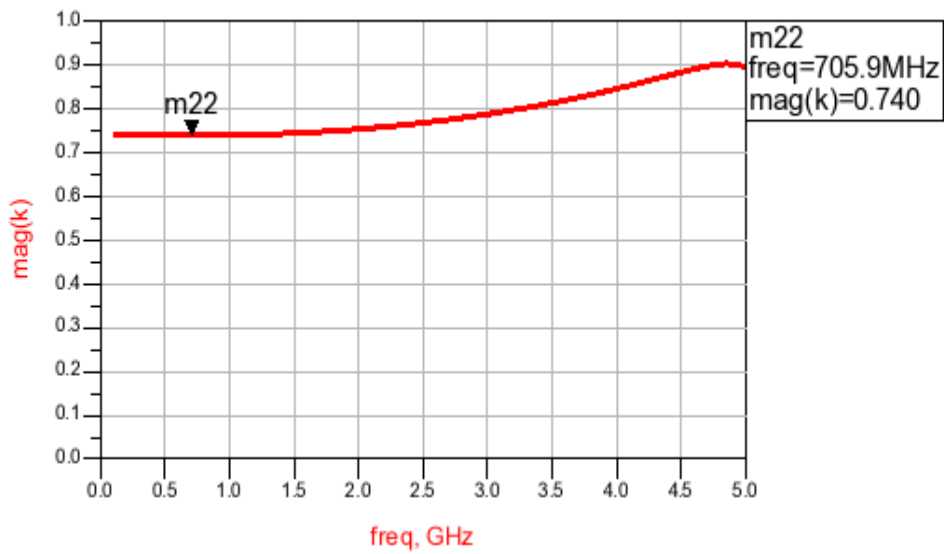
圖 3-8 GIPD 版本之(a)自感及耦合電感感值，(b)耦合電感寄生電阻值及(c)電感耦合係數。



(a)



(b)



(c)

圖 3-9 Al_2O_3 版本 (a)自感及耦合電感感值，(b)耦合電感寄生電阻值及(c)電感耦合係數。

3.4 決定傳輸頻率

考慮到頻率升高時，電感的寄生電阻損耗將非常大。因此，無線能量傳輸系統之操作頻率一般在數百萬赫茲之間，考慮耦合電感寄生電阻變化(圖 3-10與圖 3-12)經過掃瞄輸入頻率與調整最佳匹配電容後(圖 3-11與圖 3-13)，發現最高效率分別出現在400~600MHz(GIPD版本)與700~800MHz(Al_2O_3 版本)之間。我們決定將操作頻率分別決定在500MHz與700MHz。

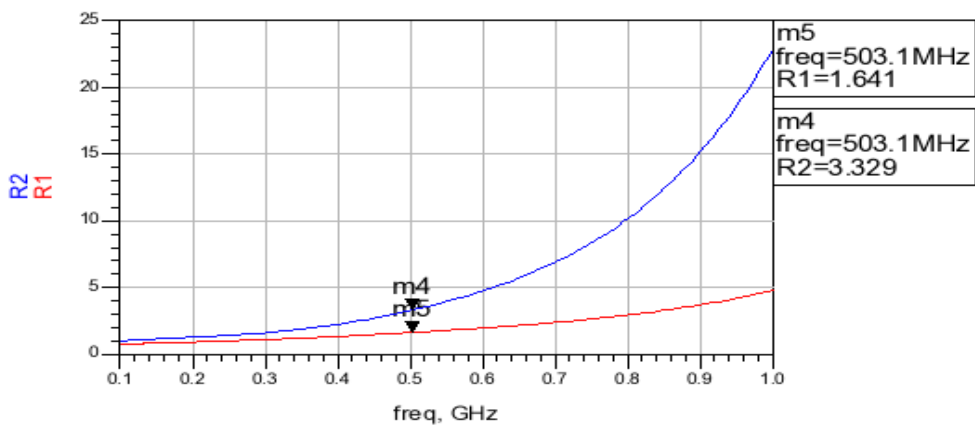


圖 3-10 使用 GIPD 載板時電感寄生電阻對頻率變化圖

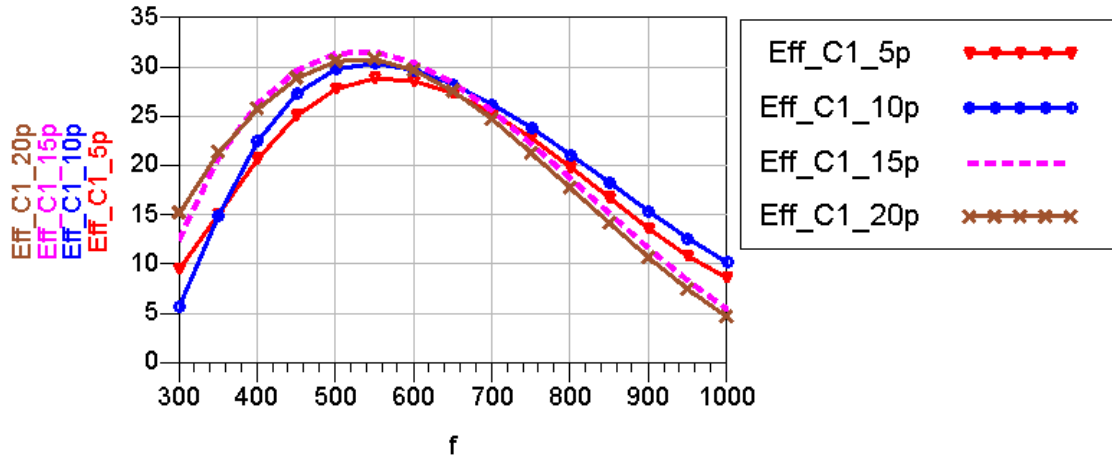


圖 3-11 使用 GIPD 載板時傳輸效率對頻率變化圖

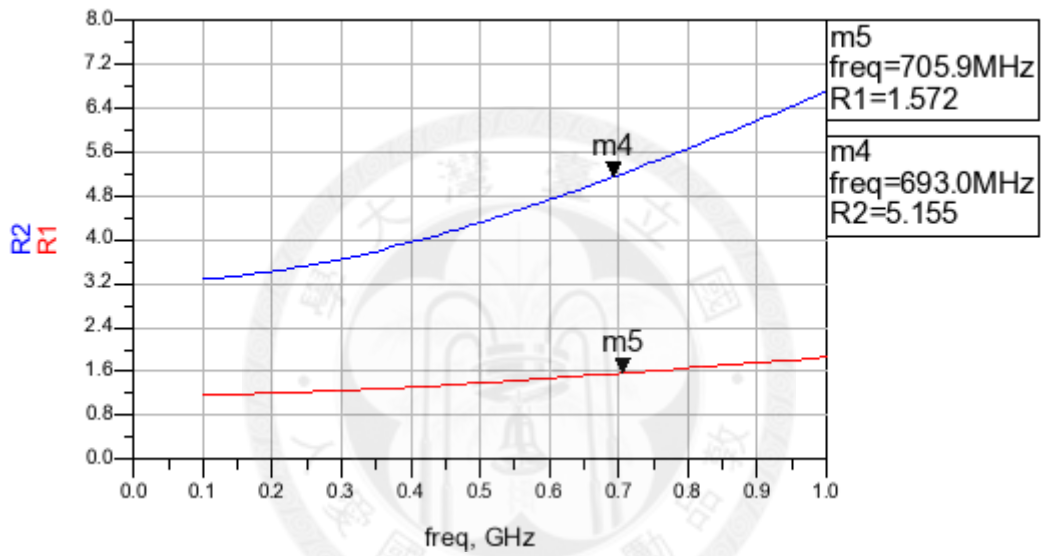


圖 3-12 使用 Al_2O_3 載板時寄生電阻對頻率變化圖

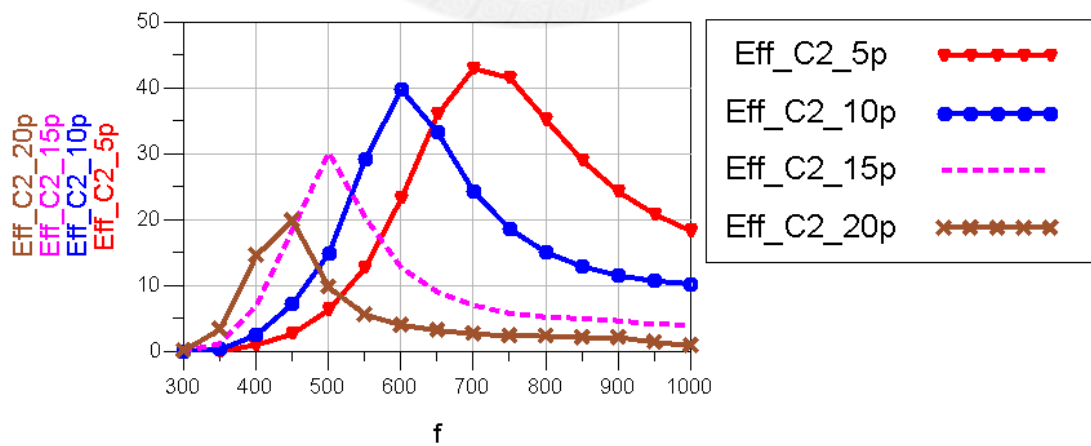


圖 3-13 使用 Al_2O_3 載板時電感傳輸效率對頻率變化圖

3.5 效能評估與完整系統模擬

在決定好電路所有參數後，我們用ADS進行系統模擬，並使用暫態模擬之結果來計算能量轉換效率。我們定義電流源端電壓為(V_{in})、電流源端電流為(I_{in})、發射端電感端電壓為(V_{L1})、發射端電感端電流為(I_{L1})、接收端電感端電壓為(V_{L2})、接收端電感端電流為(I_{L2})、輸出電壓(V_{out})、輸出電流(I_{out})。再以此定義電源供應器功率為 P_s 、耦合電感發射端功率為 P_{L1} 、耦合電感接收端功率為 P_{L2} 以及負載功率 P_L 。接著，在轉換效率部分，我們定義四個轉換效率。

$$\text{source power transmit efficiency } (\eta_s) = \frac{P_{L1}}{P_s} \quad (3.1)$$

$$\text{coupled power transmit efficiency } (\eta_L) = \frac{P_{L2}}{P_{L1}} \quad (3.2)$$

$$\text{rectified power efficiency } (\eta_R) = \frac{P_L}{P_{L2}} \quad (3.3)$$

$$\text{overall power efficiency } (\eta_{all}) = \frac{P_L}{P_s} \quad (3.4)$$

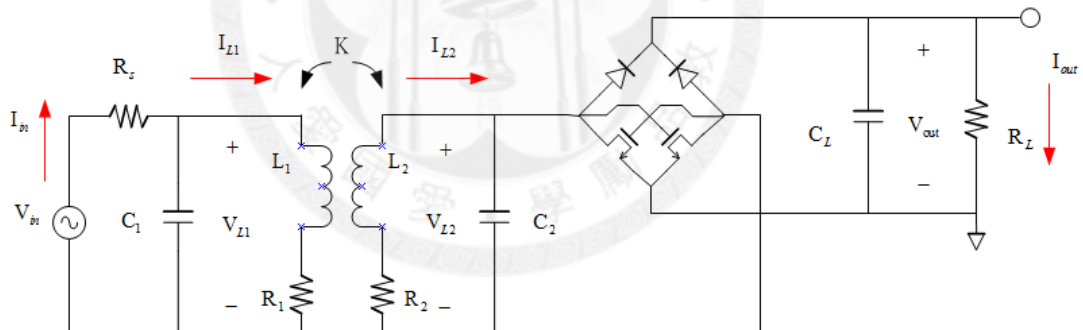


圖 3-14 系統模擬電路圖

透過暫態模擬結果以及以上定義之效率公式，我們可以評估目前系統的能量轉換效能表現。設計過程中，如果發現能量轉換效率不佳，則可回到決定傳輸頻率步驟重新開始設計流程，直到達到效能評估目標為止。

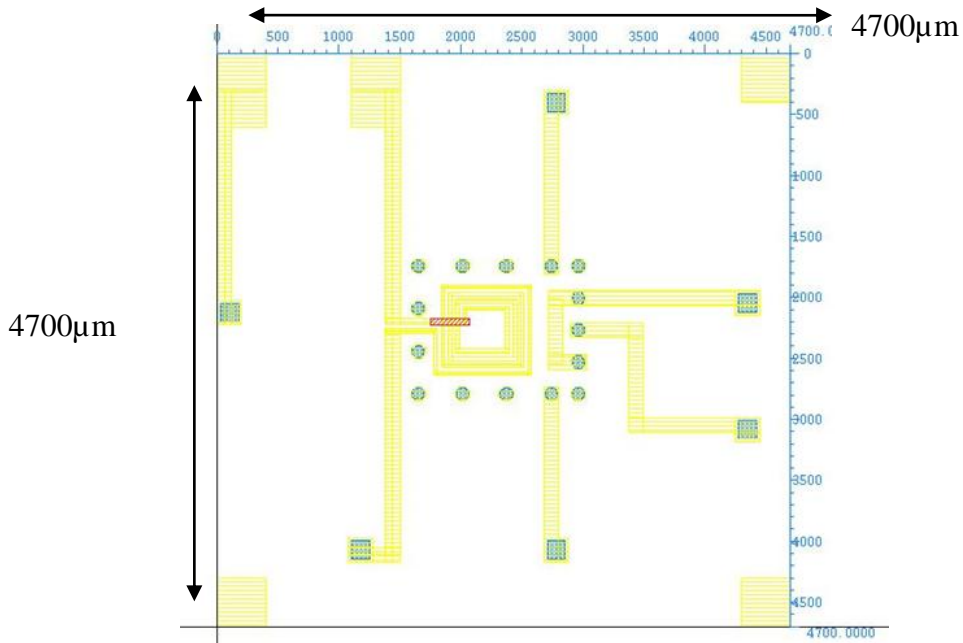


圖 3-15 GIPD 版本發射端載板佈局

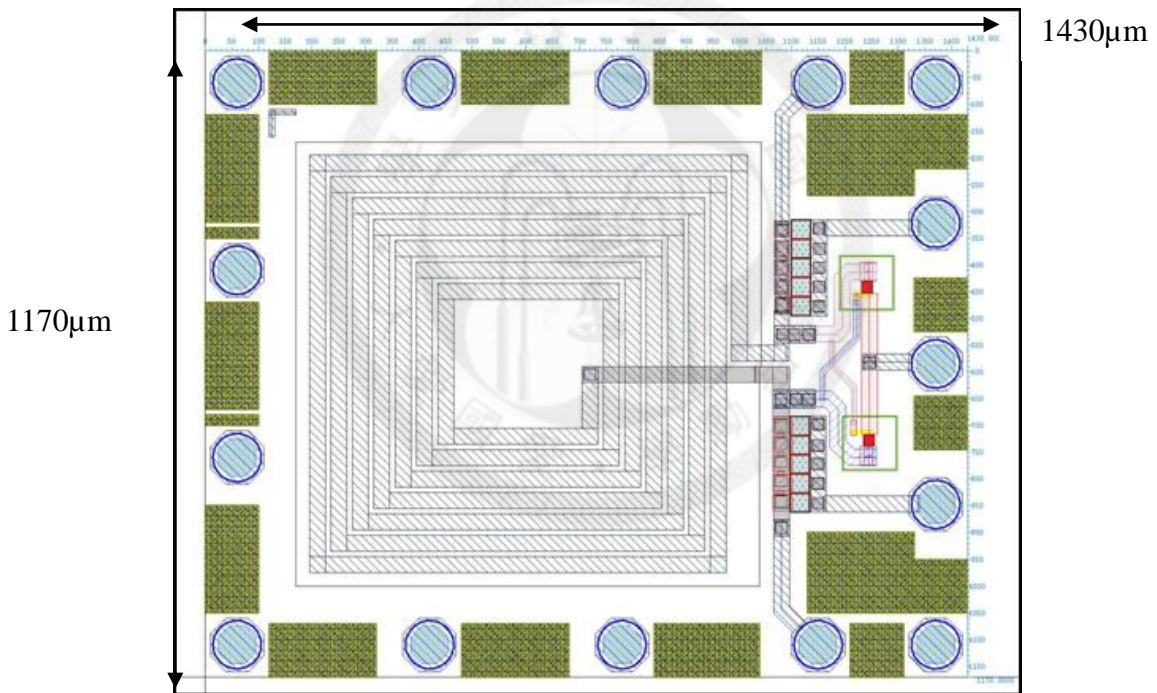


圖 3-16 GIPD 版本 T18 晶片佈局

將晶片佈局完成之後，如圖 3-15以及圖 3-16所示，可以發現接收端晶片面積主要由耦合電感所決定，完成佈局之後，利用PEX所萃取出寄生電容以及寄生電阻加入電路當中，希望Post-sim的結果能最接近最後的量測結果。

現在我們呈現的是GIPD版本在溫度為25度 Corner在TT時，未接負載電容 (C_L)前ADS Post-sim暫態(Transient)模擬結果。

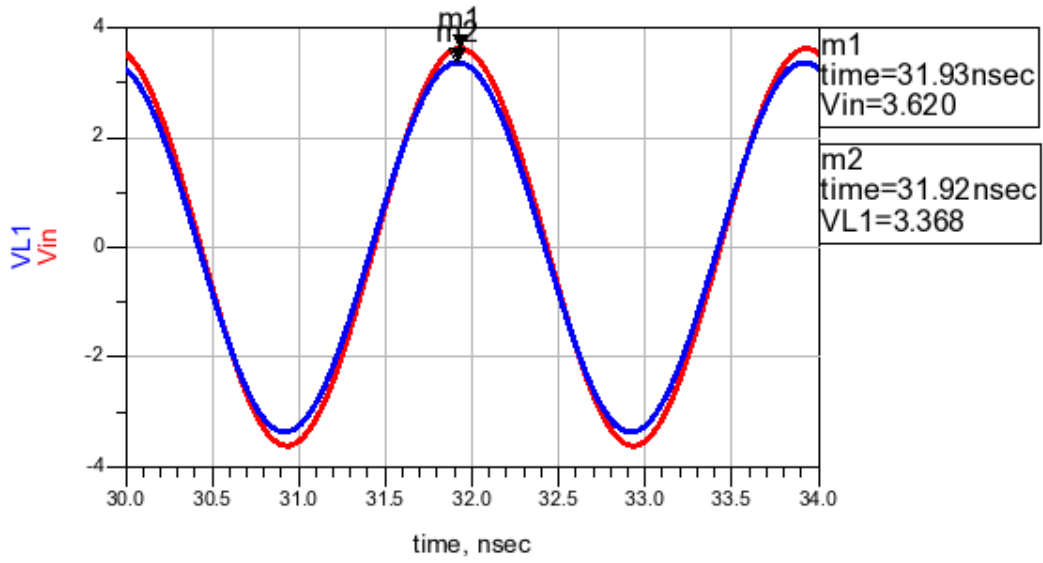


圖 3-17 GIPD 版本訊號源電壓 V_{in} 與發射端電感跨壓 V_{L1}

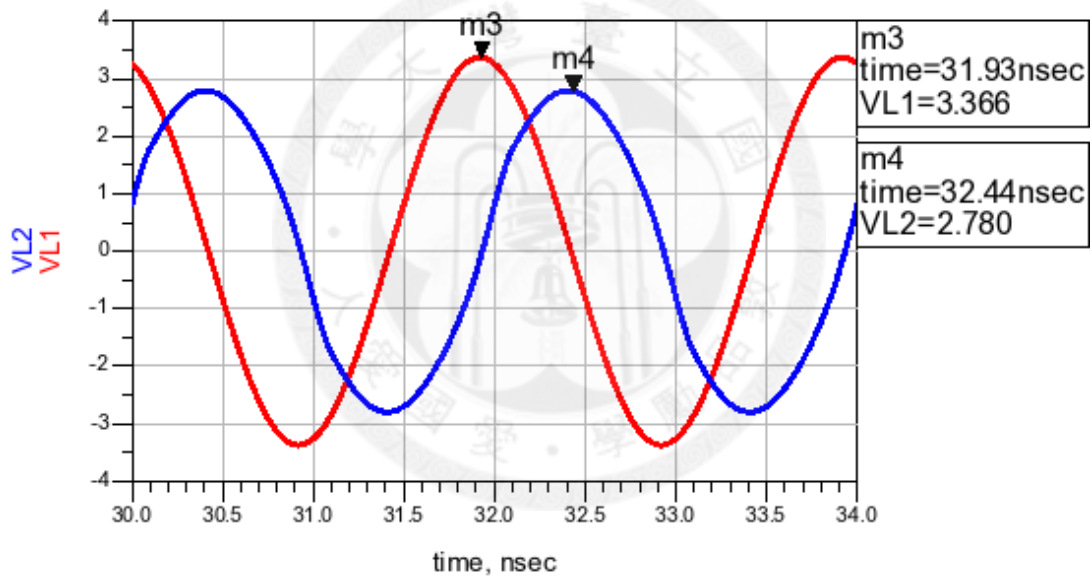


圖 3-18 GIPD 版本耦合電感跨壓

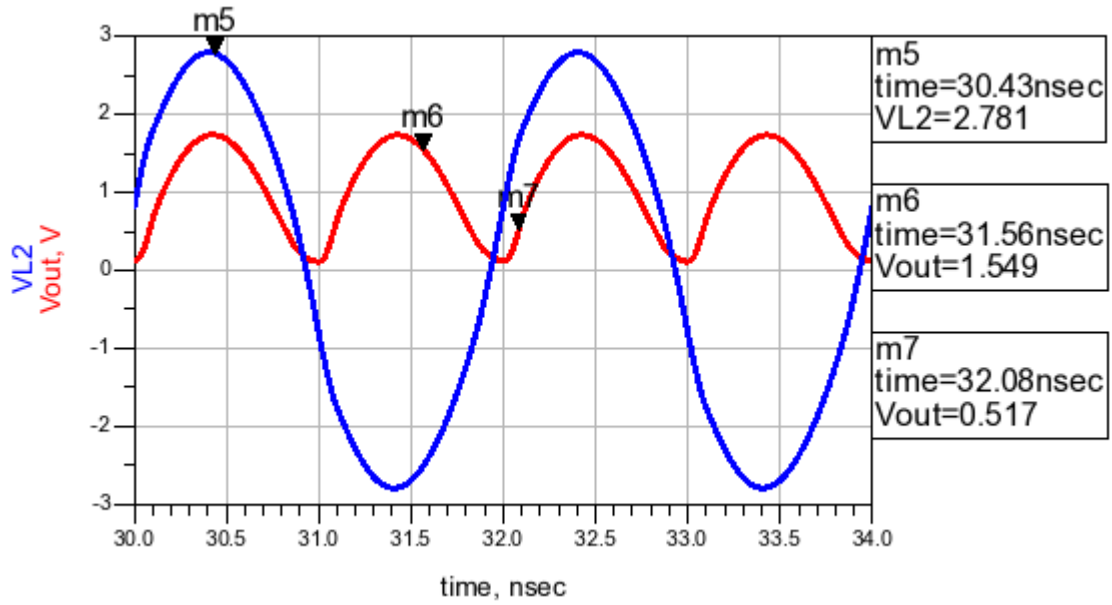


圖 3-19 GIPD 版本接收端電感跨壓 V_{L2} 與輸出電壓 V_{out}

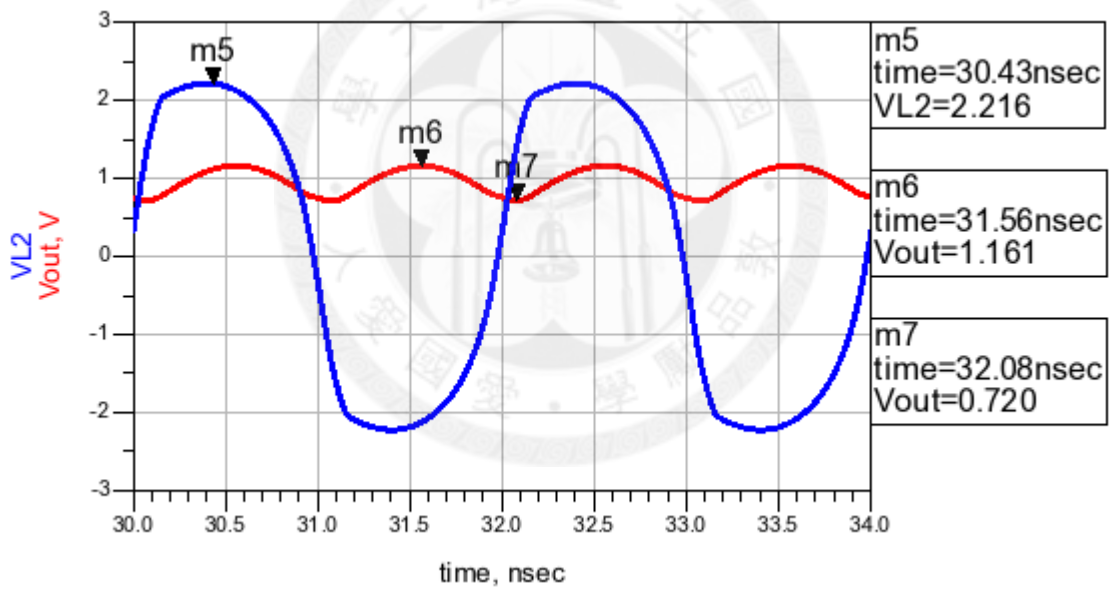


圖 3-20 GIPD 版本接收端電感 V_{L2} 與掛載負載電容(10pF)後輸出電壓 V_{out}

表 3-5 GIPD 版本各元件功率與轉換效率

P_s	P_{L1}	P_{L2}	P_L
88.83(mW)	80.21(mW)	44.44(mW)	19.08(mW)
η_s	η_{L1}	η_{L2}	η_L
90.29%	55.40%	42.95%	21.48%

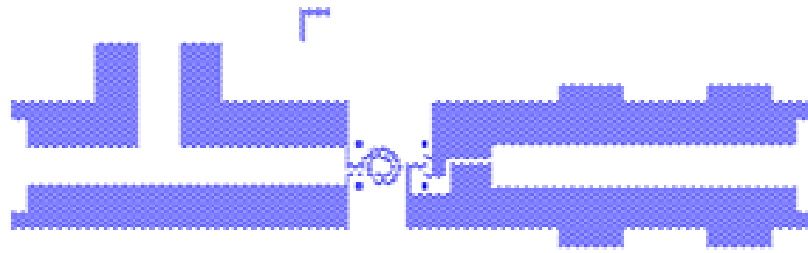


圖 3-21 Al₂O₃ 版本發射端載板佈局

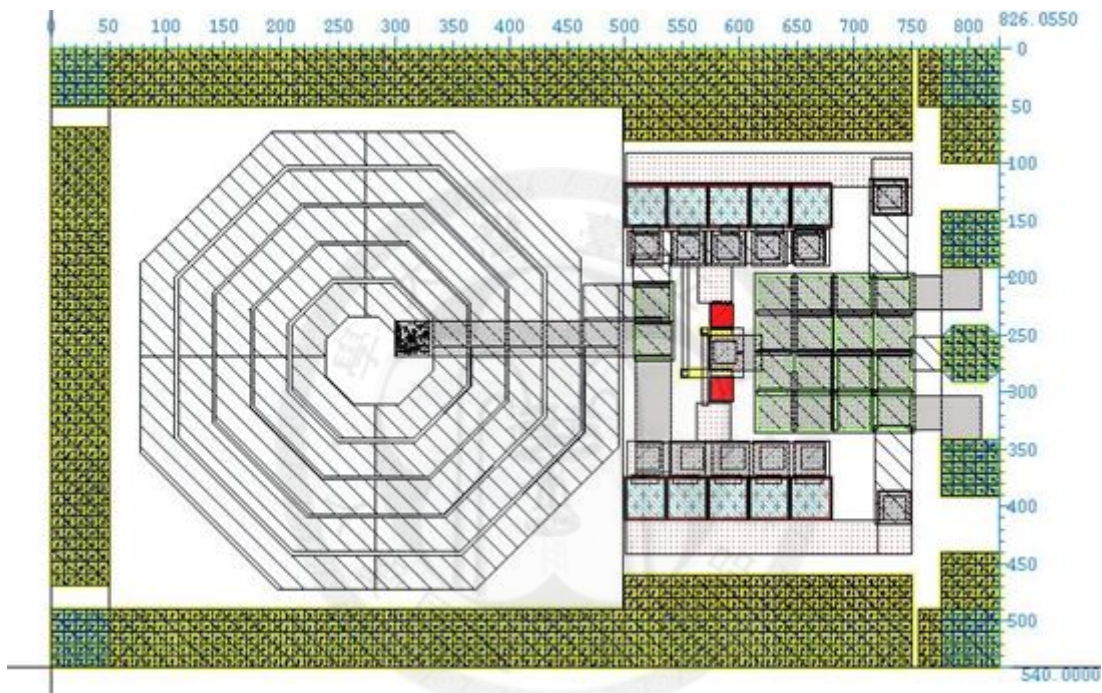


圖 3-22 Al₂O₃ 版本 T18 晶片佈局

將晶片佈局完成之後，如圖 3-21以及圖 3-22所示，除了和GIPD版本一樣可以發現接收端晶片面積主要由耦合電感所決定，完成佈局之後，利用PEX所萃取出寄生電容以及寄生電阻加入電路當中，希望Post-sim的結果能最接近最後的量測結果。

現在我們呈現的是Al₂O₃版本在溫度為25度 Corner在TT時，未接負載電容(C_L)前ADS Post-sim暫態(Transient)模擬結果。

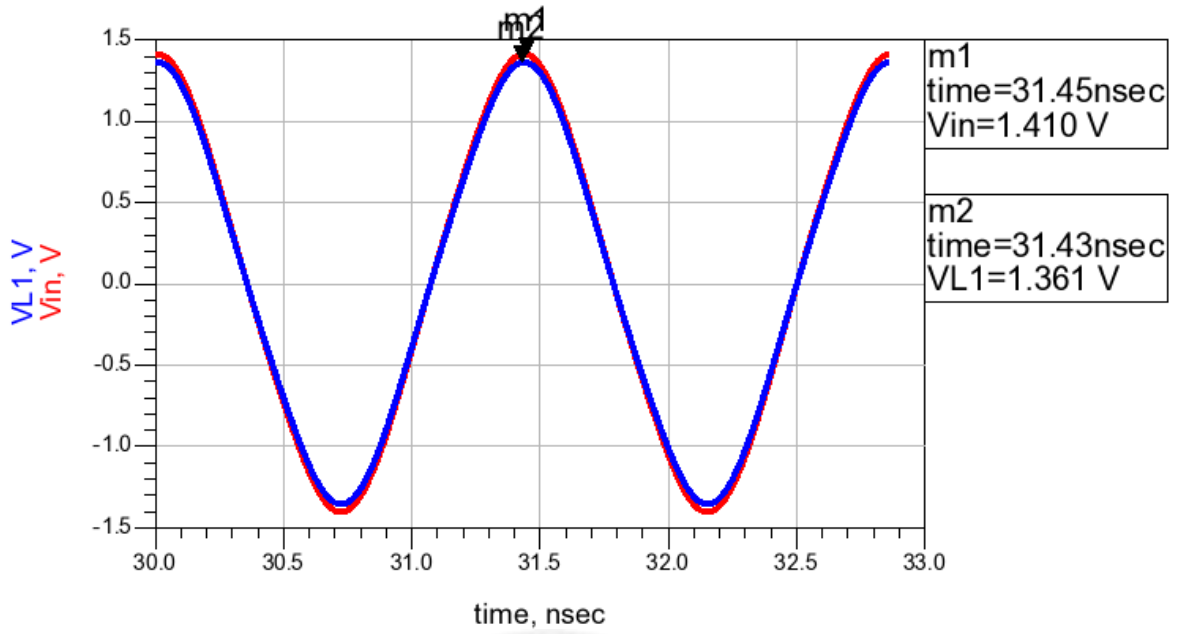


圖 3-23 Al₂O₃ 版本訊號源電壓 V_{in} 與發射端電感跨壓 V_{L1}

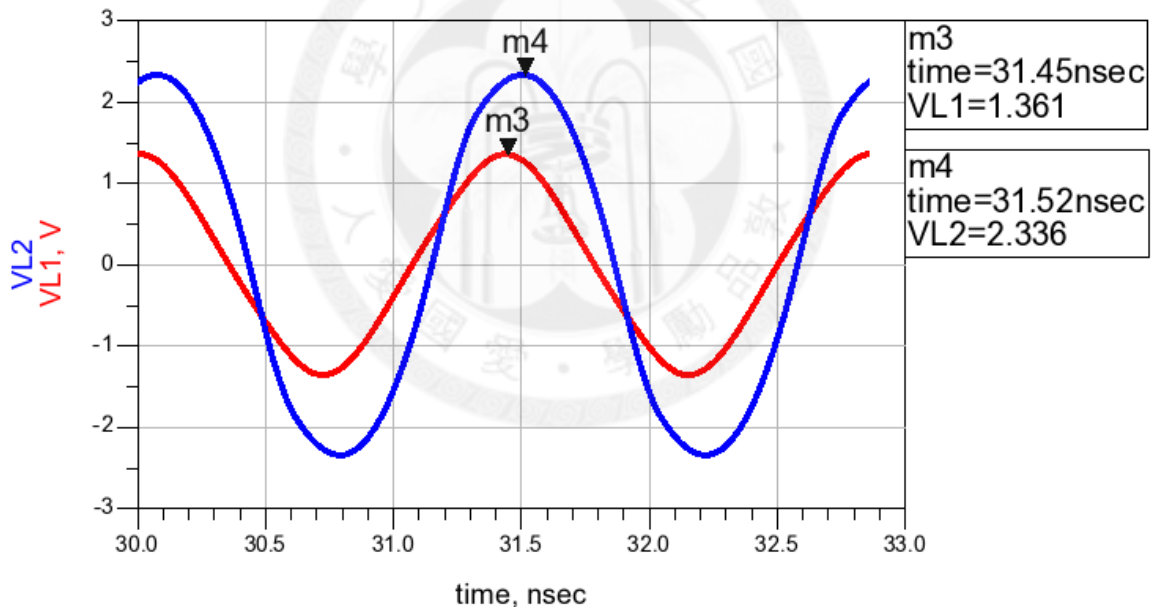


圖 3-24 Al₂O₃ 版本耦合電感跨壓

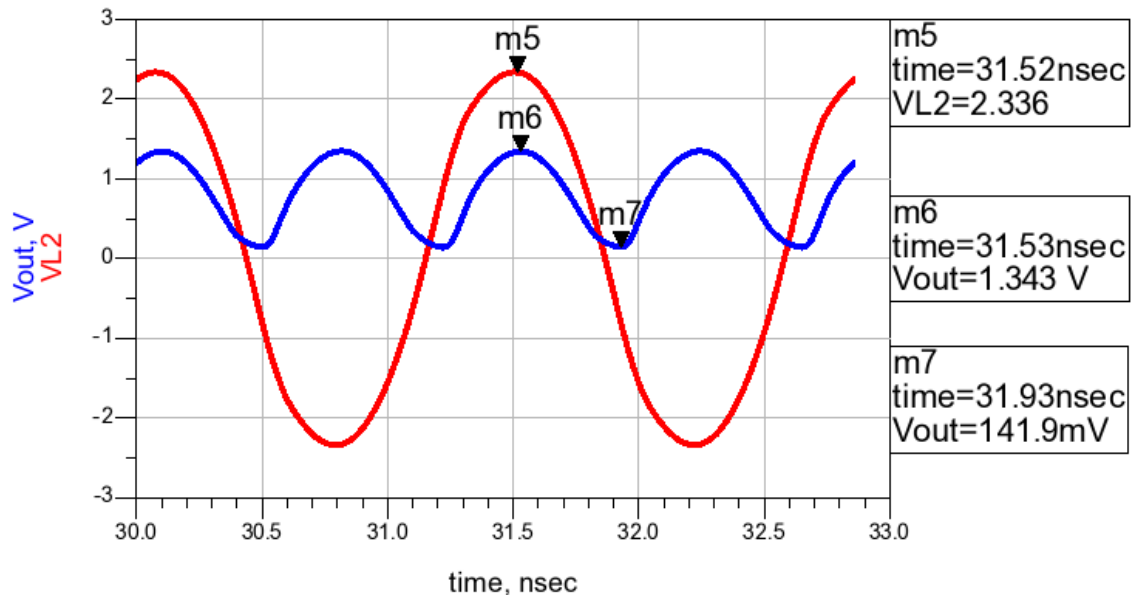


圖 3-25 Al₂O₃ 版本接收端電感跨壓 V_{L2} 與輸出電壓 V_{out}

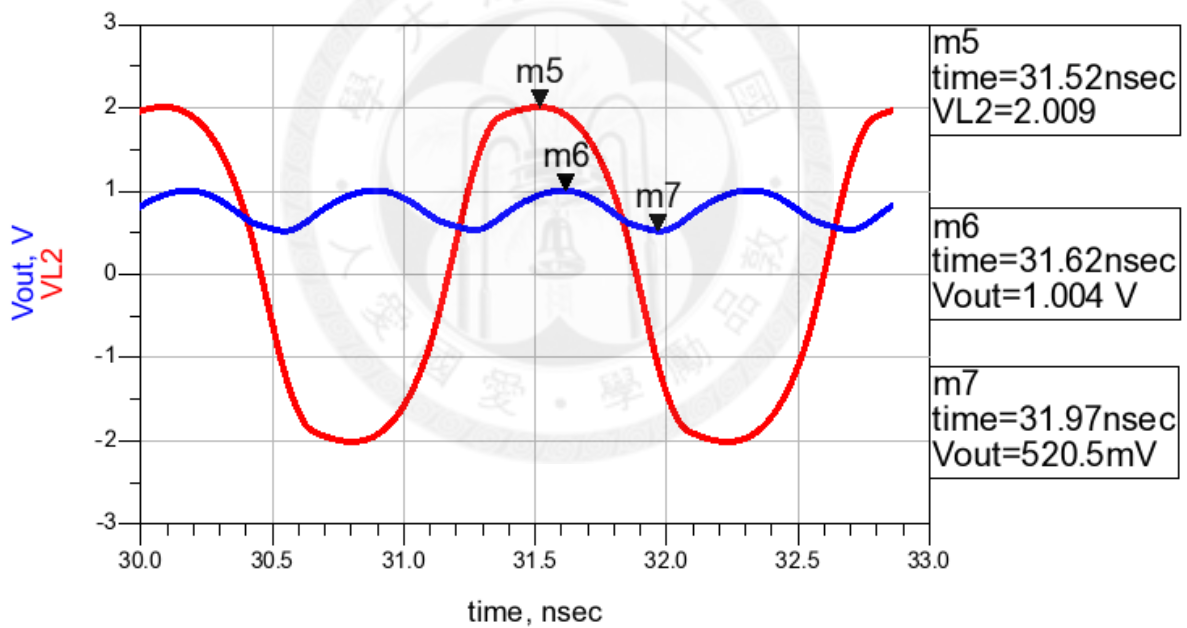


圖 3-26 Al₂O₃ 版本接收電感 V_{L2} 與掛載負載電容 (10pF) 後輸出電壓 V_{out}

表 3-6 Al₂O₃ 版本各元件功率與轉換效率

P_s	P_{L1}	P_{L2}	P_L
63.80(mW)	61.14(mW)	34.01(mW)	12.86(mW)
η_s	η_{L1}	η_{L2}	η_L
95.83%	55.62%	37.82%	20.16%

考量到Al₂O₃基板製程與GIPD製程有各自的佈局限制如線寬、線距等等，兩版本在各自佈局上有些微差異，但架構上基本相同。最大的差異在GIPD版本的傳輸耦合電感較Al₂O₃版本大上許多，此一考量之目的為增加晶片面積來換取較高傳輸效率。

表 3-7 晶片面積

	Al ₂ O ₃ 版本	IPD版本
傳輸距離	15 (μm)	70 (μm)
發射端電感面積	432×400 (μm ²)	800×740 (μm ²)
接收端電感面積	430×420 (μm ²)	870×834 (μm ²)
晶片面積	826×540 (μm ²)	1430×1170 (μm ²)

比較兩版本之T18晶片(圖 3-22以及圖 3-16)，在輸出PAD端之所以會採用兩個GND輸出是希望透過雙路徑可分擔大電流以及降低阻抗，另外在IPD版本接收端新加入了測試整流器功能的PAD，可經由自行輸入弦波驗證整流器功能。

第 4 章

量測考量與效能評估

4.1 量測方法說明

在量測方面，預計會使用Agilent公司之E4422B ESG-A系列類比信號產生器，經由環型器(circulator)將反射訊號導向反射接收端，未反射的訊號則進入耦合電感傳送到整流器輸入端，經由整流後之訊號會使用Tektronic公司所出產之MSO4034混合式示波器顯示並將整流訊號數值取出匯入電腦計算功率。由於 Al_2O_3 載板尚未製作完成，本章預計會放上離散元件量測以及GIPD版本量測

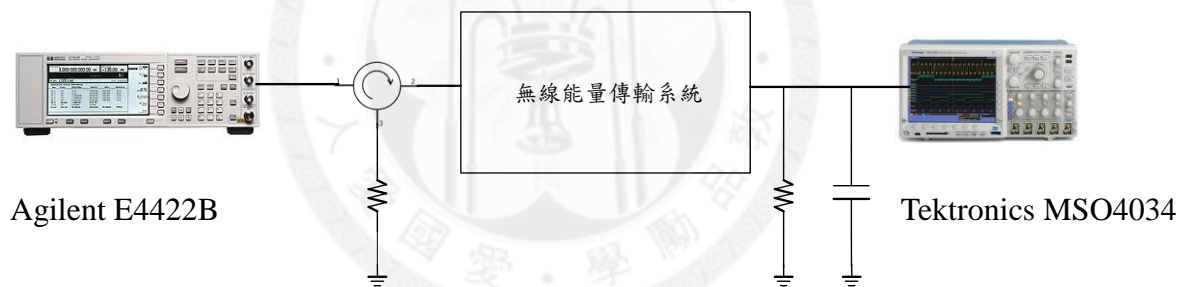


圖 4-1 量測架構示意圖

4.2 架構驗證

為了驗證本論文所採用的架構以及理論，我們先利用厚度為 $1000\mu m$ 之FR4玻璃纖維板製作耦合電感(圖 4-2)以及羅姆半導體(ROHM semiconductor)公司所生產之離散元件二極體RB481K以及增強型場效電晶體RUE003N02來測試如圖 4-3的交叉式NMOS開關整流器功能。

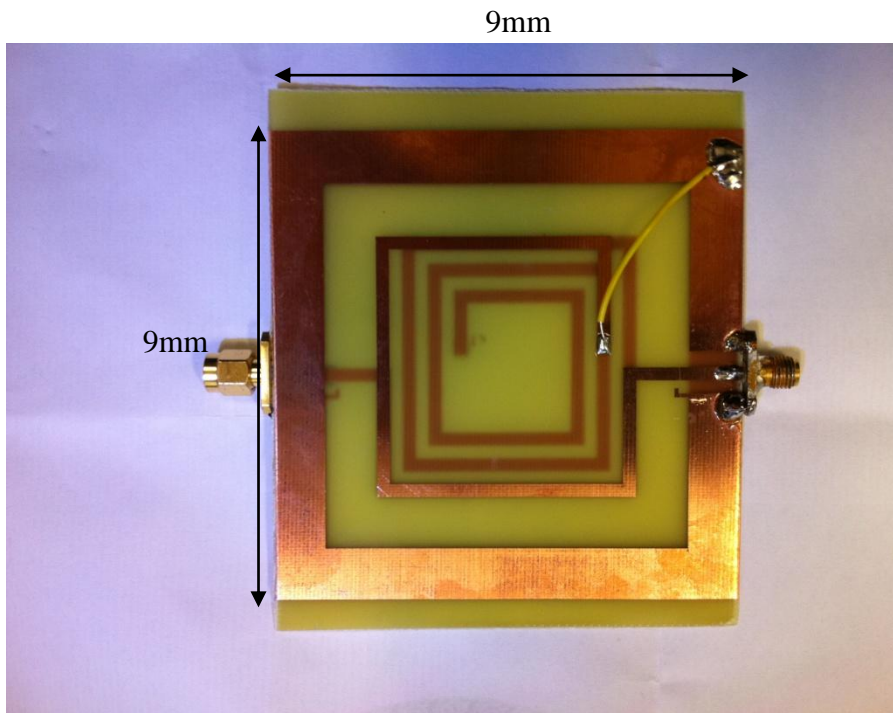


圖 4-2 實作在玻璃纖維板上之耦合電感

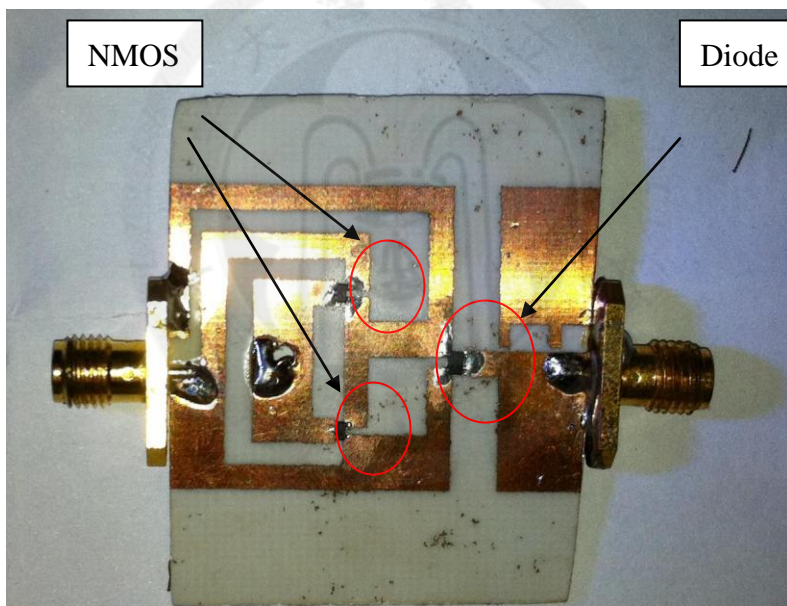
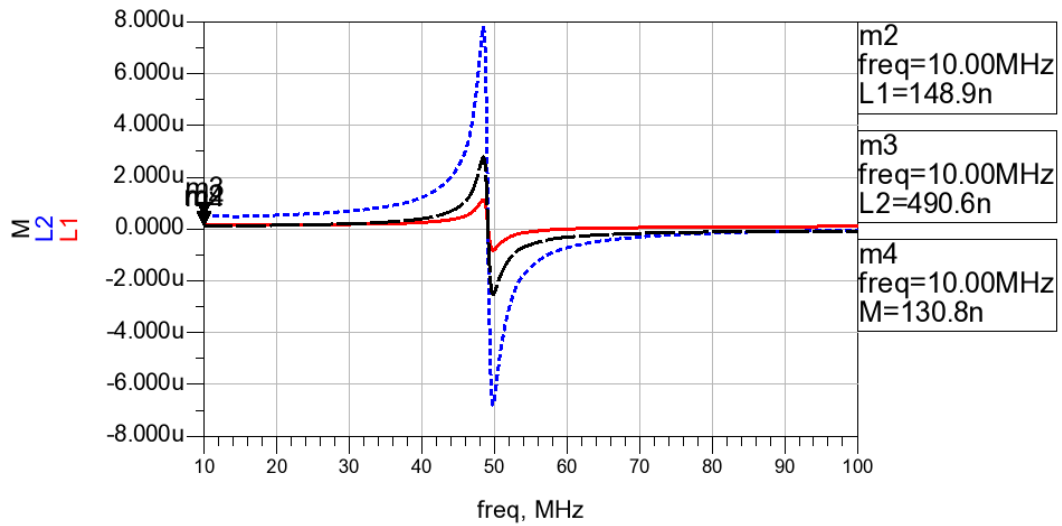
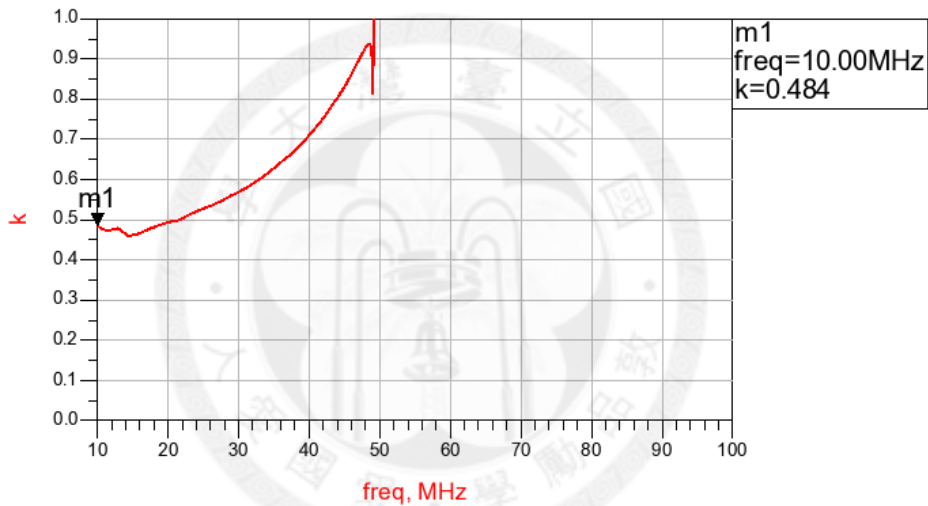


圖 4-3 利用羅姆半導體公司之二極體、場效電晶體實現之交叉式 NMOS 開關整流器

首先我們可由圖 4-4 可以看見耦合電感由網路分析儀量到之量測結果， L_1 感值為 148.9nH 、 L_2 感值為 490.6nH 。互感 M 感值為 130.8nH ，耦合係數 k 為 0.484 。



(a)



(b)

圖 4-4 實作在玻璃纖維板上之耦合電感量測之(a)自感及互感及(b)耦合係數 k

接著我們利用E4422B ESG-A系列類比信號產生器當作訊號源，將訊號輸入耦合電感輸入端，而耦合電感輸出端則接到MSO4034混合式示波器觀察輸出訊號。如圖 4-5所示，其中輸入訊號頻率為20MHz、輸入訊號振幅為1V，負載為50Ω，輸出訊號振幅為0.85V。

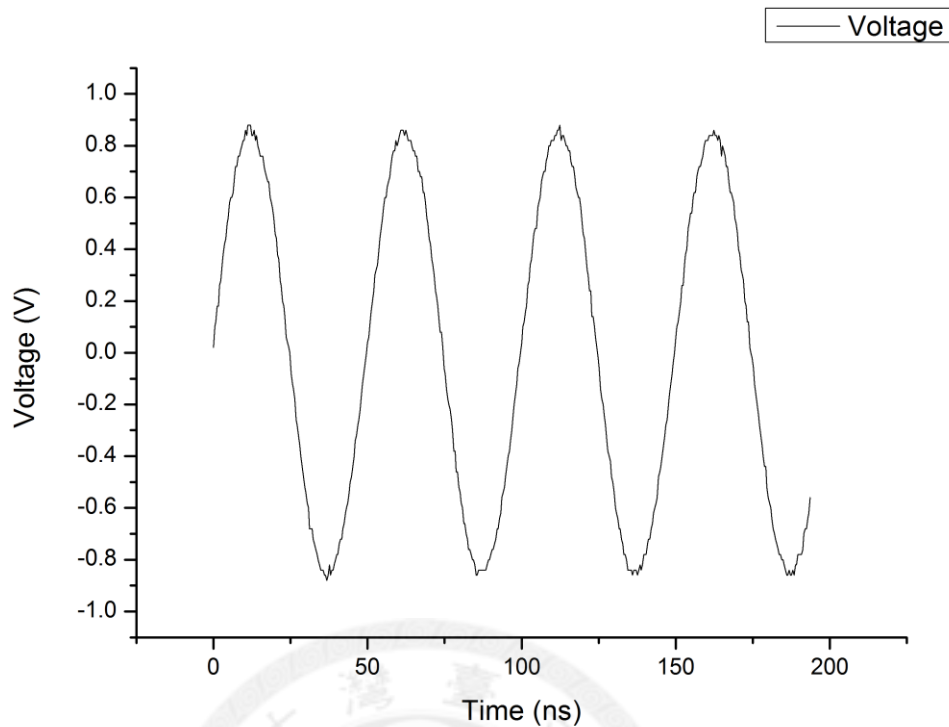


圖 4-5 實作在玻璃纖維板上之耦合電感量測結果之輸出電壓

同樣地，利用相同的儀器，我們將耦合電感以及整流器透過SMA接頭聯結起來驗證整流器電路功能，我們可以看到輸入訊號的確透過耦合電感傳輸，並且經由交叉式NMOS開關整流器整流完成，輸入訊號源功率為10mW、頻率為15MHz，負載為50Ω，輸出訊號振幅為0.36V、輸出平均功率為1.020mW、轉換效率為10.20%，如圖 4-6所示。

為了比較交叉式NMOS開關整流器與傳統橋式整流器的差異，我們用四個二極體實作傳統橋式整流器，同樣經過耦合電感將訊號輸入傳統橋式整流器，其輸入訊號功率為10mW、頻率為15MHz，負載為50Ω，輸出訊號振幅為0.27V、輸出平均功率為0.501mW、轉換效率為5.01%，如圖 4-7所示，由此二圖比較可得知，在低輸入振幅訊號時，交叉式NMOS開關整流器的確可提升相當的輸出電壓，而傳統橋式整流器由於需要導通兩個串聯二極體導致輸出電壓較小。

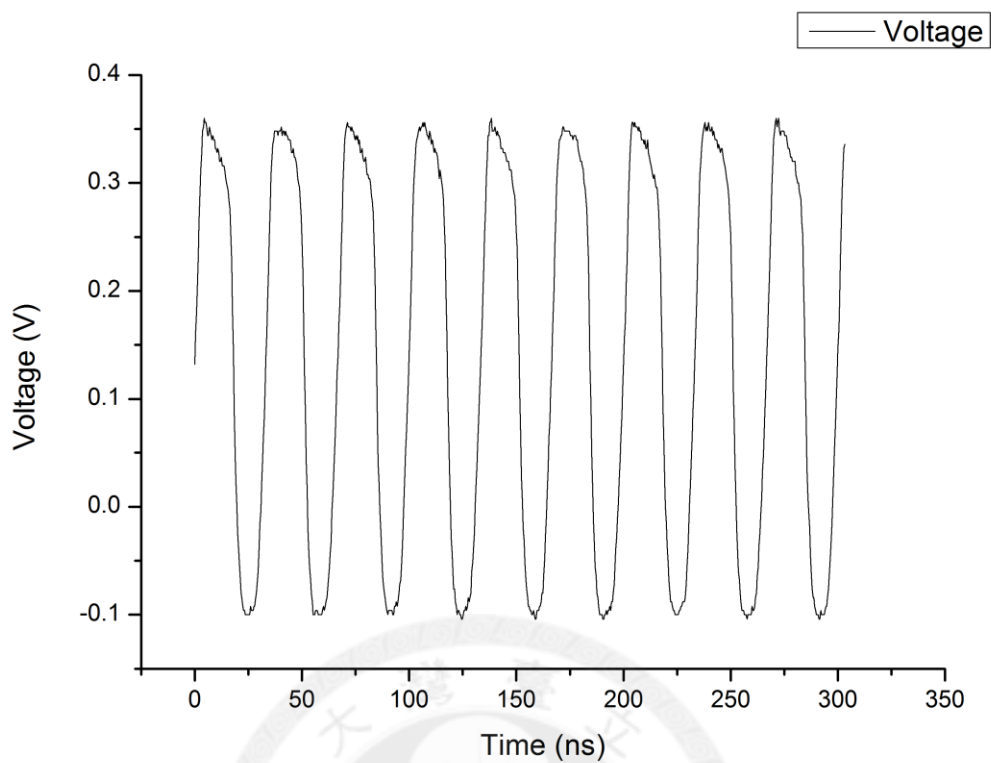


圖 4-6 利用離散元件合成之交叉式 NMOS 開關整流器輸出電壓之量測結果

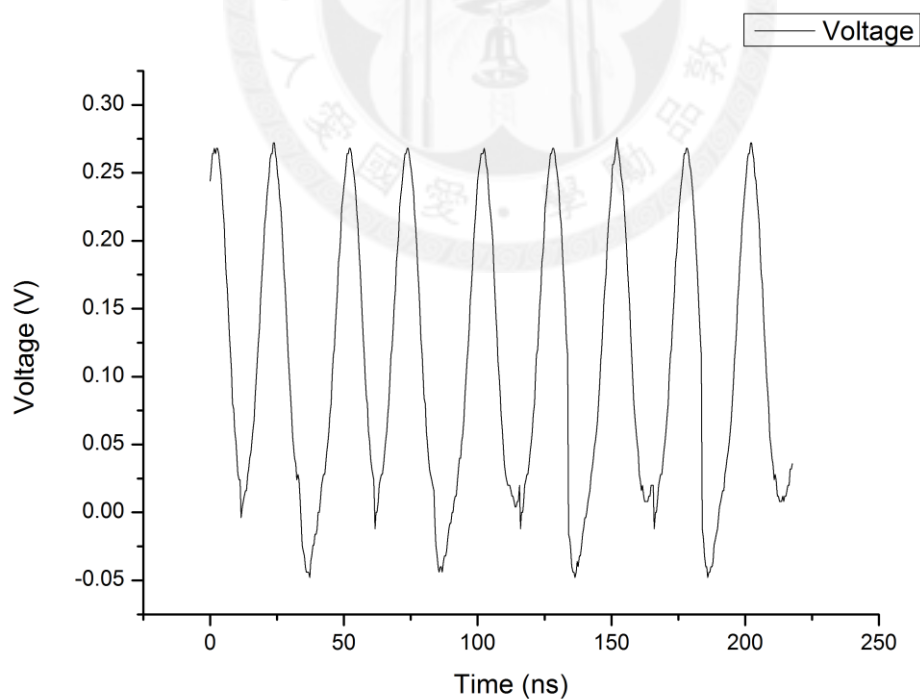


圖 4-7 利用離散元件合成之傳統橋式整流器輸出電壓之量測結果

4.3 GIPD 版本晶片量測結果

透過國家晶片系統設計中心(CIC)完成GIPD上flip-chip封裝接著與設計好之FR4板打線接合之後，我們可以得到發射端晶片與接收端晶片結合後之無線能量傳輸晶片系統，如圖 4-10。其中各接點的說明如圖4-9所示。首先，為了將FR4板布局影響納入考慮，我們利用ADS Momentum將FR4載板一併進行模擬，如圖 4-9。我們可以見到模擬值之最佳效率結果由500MHz偏移至400MHz，如圖 4-11。接著，重新計算在此頻率時能提昇最高效率之阻抗匹配電容值後，焊接上阻抗匹配電容 $C_1=10\text{pF}$ 與負載電阻 100Ω ，架設好量測環境，開始進行量測。

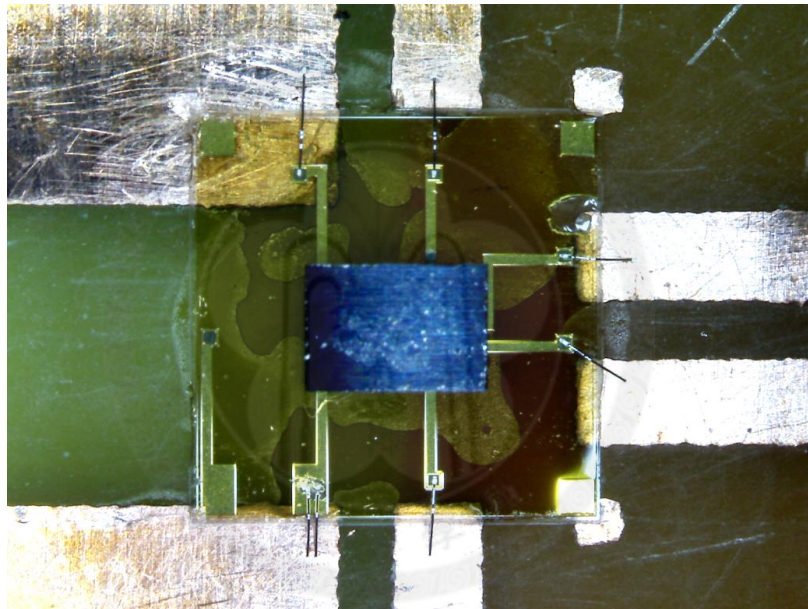


圖 4-8 GIPD 版本無線能量傳輸系統晶片圖

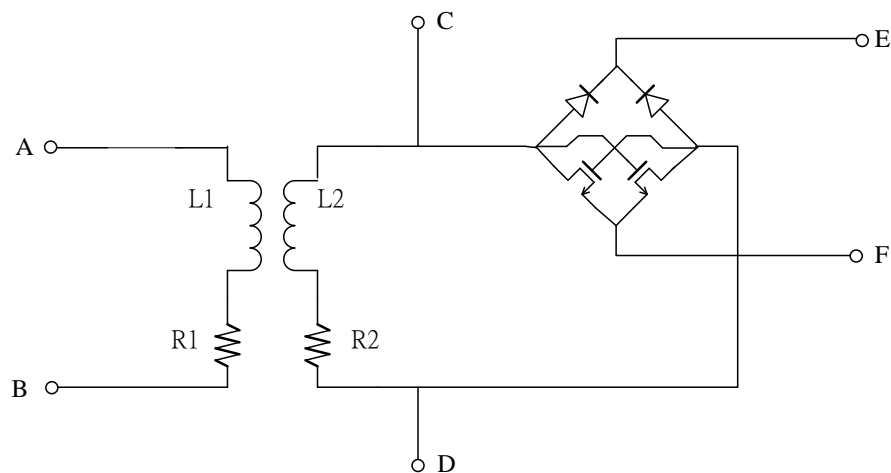


圖 4-9 FR4 板與晶片接點說明電路圖

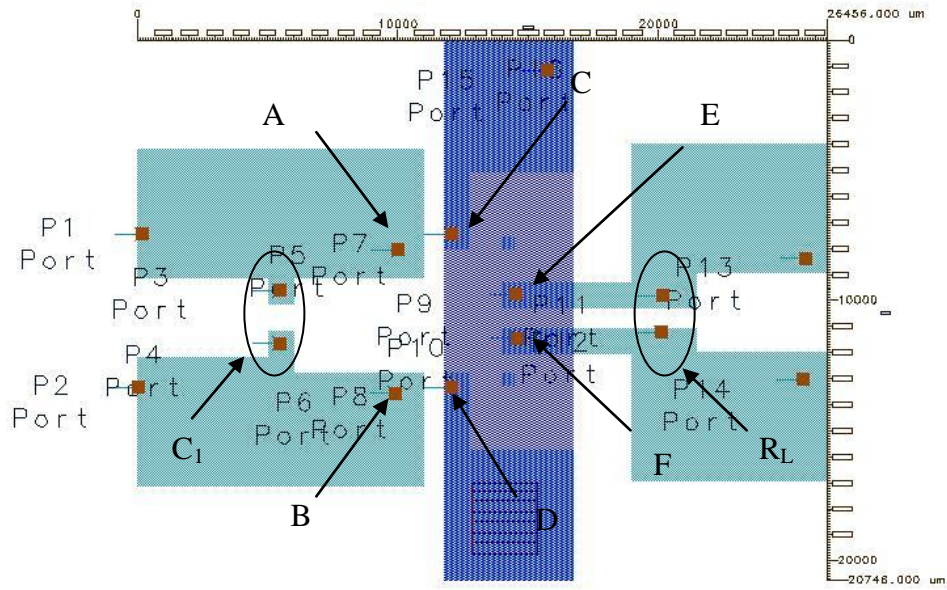


圖 4-10 FR4 載板佈局模擬圖

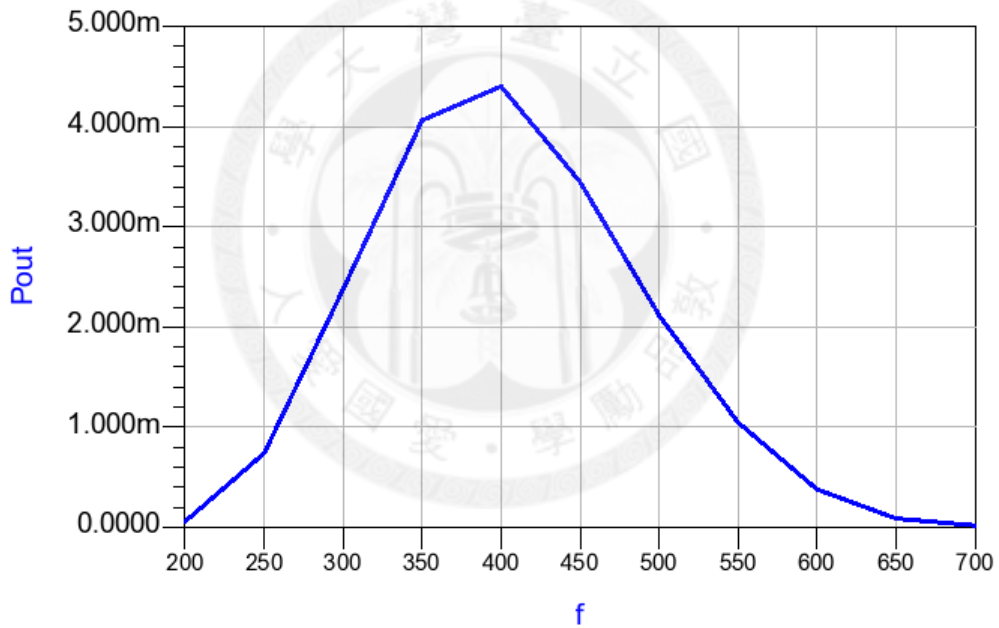


圖 4-11 考慮 FR4 板影響之輸出功率模擬結果

經過量測之後，在輸入訊號為15dBm、頻率350MHz之情況下，輸出訊號結果與模擬之比較如圖 4-12所示。輸出功率與模擬結果之比較如圖 4-13所示。

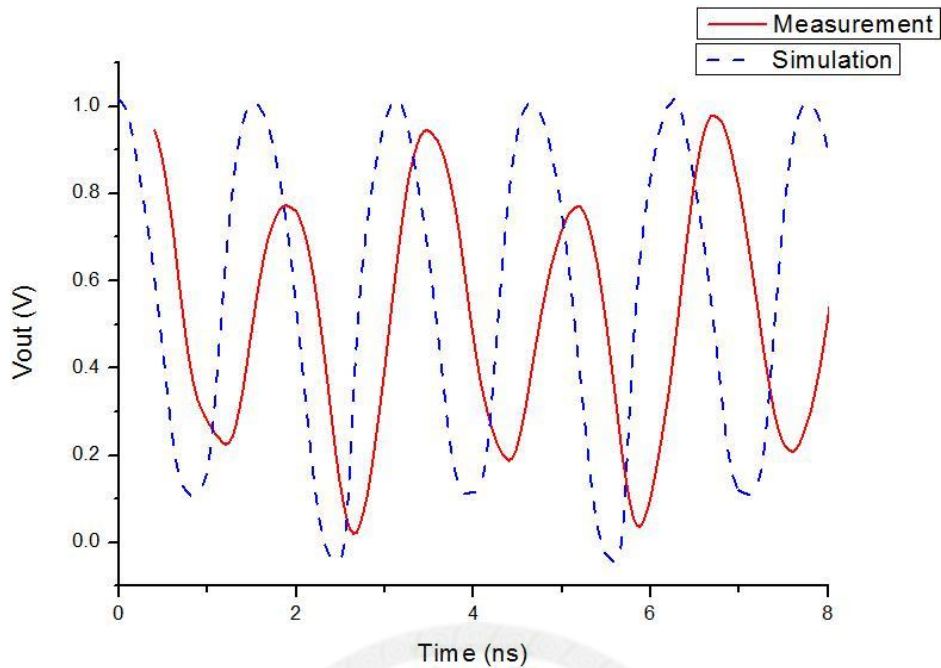


圖 4-12 輸入訊號為 15dBm、350MHz 時之輸出訊號(V_{out})

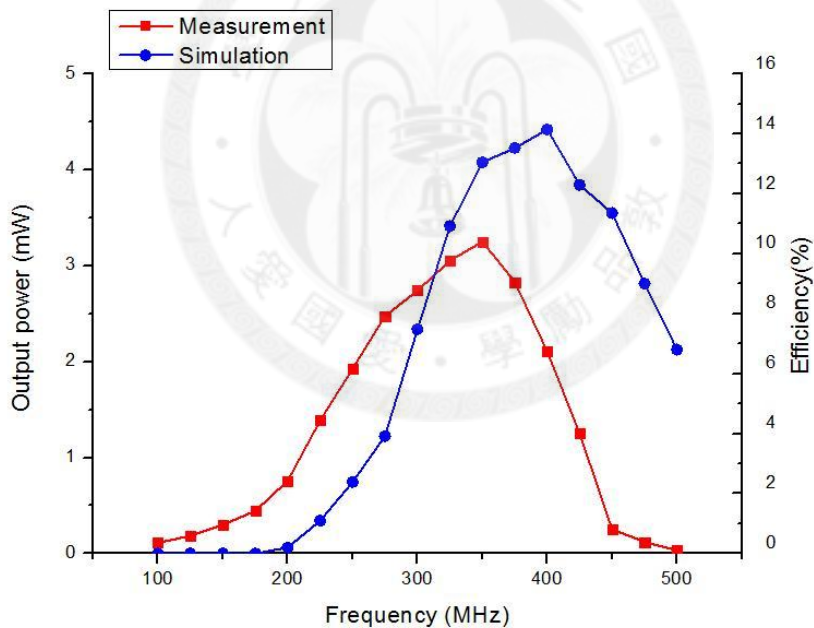


圖 4-13 輸入訊號為 15dBm 時輸出功率及效率對頻率作圖

從圖 4-12與圖 4-13我們可以看到，量測時最高輸出功率時頻率為350MHz，輸出電壓峰值為0.968V，輸出功率為3.28mW。由模擬與量測結果可以比較出，效率最佳頻率稍微偏移了約50MHz，輸出功率則較模擬最佳值4.418mW掉了1.138mW，另外，輸出電壓呈現高峰值不對稱之情形。為了找出輸出功率不如預期且最佳傳輸頻率的原因，我們在模擬電路圖中加入評估bonding wire效應之寄

生電感以及耦合電感兩側之寄生電容重新模擬。

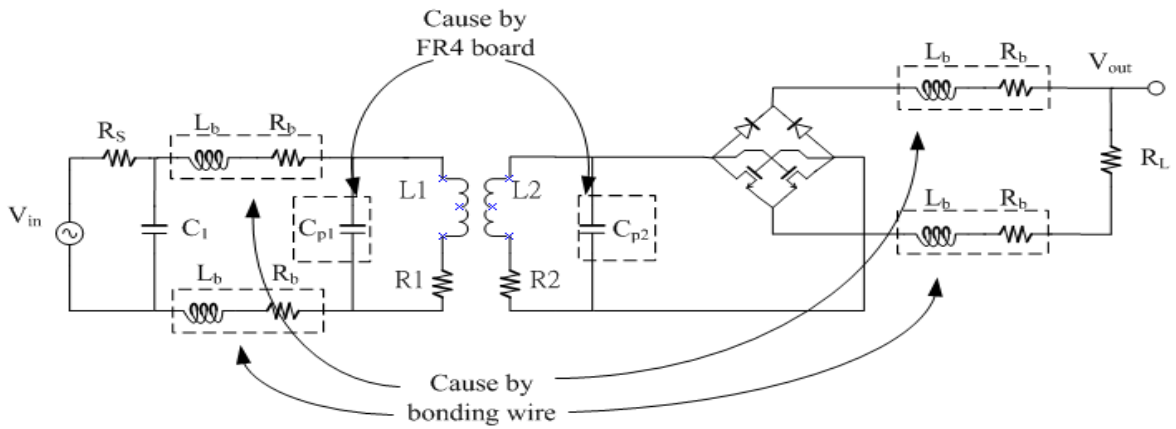


圖 4-14 量測誤差校正模擬電路圖

經過調整耦合電感寄生電容與bonding wire寄生電感與寄生電阻之值後，我們得到以下之輸出電壓與輸出功率之比較，如圖 4-15。此時， $C_{p1}=1\text{pF}$ 、 $C_{p2}=2\text{pF}$ 、 $L_b=1\text{nH}$ 、 $R_b=2\Omega$ ，由此可見，FR4載板以及bonding wire之寄生電阻以及寄生電感對電路之輸出功率以及效率確實有其影響，而耦合電感兩側之寄生電容，則是影響傳輸最佳效率頻帶之主因。

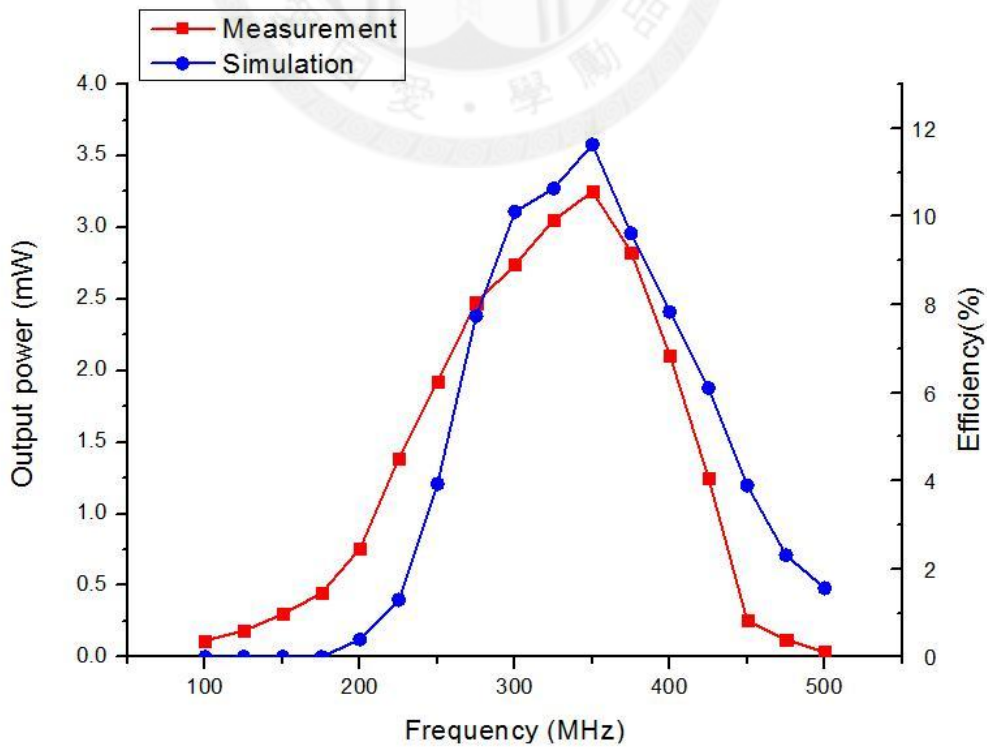


圖 4-15 加入校正因素後模擬與量測輸出功率對頻率變化比較圖

接下來我們將驗證阻抗匹配電容公式與實際量測結果差異，首先由公式(2.15)及(2.23)我們可計算出在頻率300MHz到400MHz時， C_1 以及 C_2 之值(表 4-1)。由於 C_2 太小，所以在電路當中我們只加入 C_1 。而輸出功率對 C_1 變化之量測結果如所示，可以看出效率最佳時 $C_1=10\text{pF}$ ，考量到耦合電感寄生電容 $C_{p1}=1\text{pF}$ 以及 $C_{p2}=2\text{pF}$ ，由於 C_{p2} 相對於 C_2 太大，導致最佳傳輸效率之頻率下移，而實際量測最佳效率時之 C_1 則偏離接近至300MHz時公式計算值。

表 4-1 根據阻抗匹配公式計算之阻抗匹配電容 C_1 與 C_2

Frequency	300MHz	350MHz	400MHz
C_1	9.872pF	7.253pF	5.553pF
C_2	0.135pF	0.133pF	0.130pF

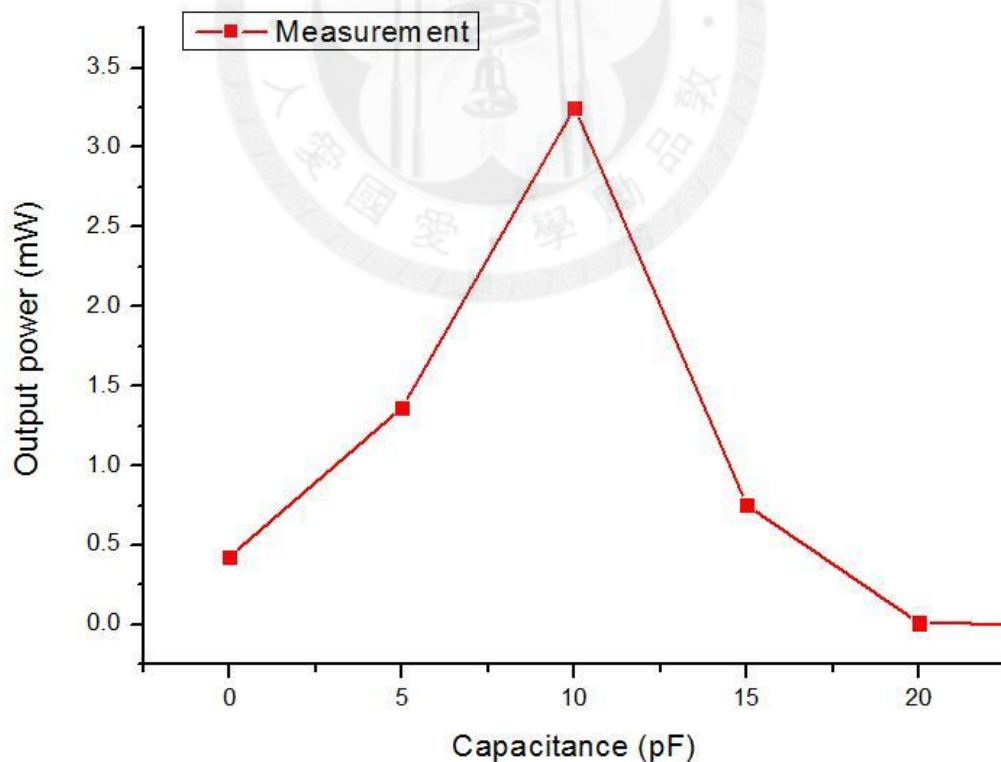


圖 4-16 量測輸出功率對阻抗匹配電容 C_1 變化圖

第 5 章

結論

本論文提出了一種應用於三維積體電路的無線能量傳輸方式，我們利用了阻抗匹配的技巧改善電感耦合的效率，並且改良傳統橋式整流器為交叉式NOMS開關整流器，使整流後的振幅提高了約一個二極體的導通電壓，接收端電路是利用台灣積體電路公司(TSMC)所提供之CMOS 0.18 μm 製程所實現。在 Al_2O_3 版本方面傳輸距離為15 μm ，模擬結果為輸出功率19.08mW，效率為21.48%。在GIPD版本方面傳輸距離為70 μm ，量測結果為輸出功率3.28mW，效率為10.36%。當信號產生器能提供25.56dBm輸入功率時，模擬結果為輸出功率65.43mW，效率為26.21%。最後，相對於其他設計的比較如表 5-1所示。

表 5-1 效能比較表

	[2]2006	[3]2007	[20]2008	[13]2201 0	GIPD 版本量測	Al ₂ O ₃ 版本模擬	GIPD 版本模擬
製程	CMOS 0.35μm	CMOS 0.18μm	CMOS 0.18μm	CMOS 0.18μm	CMOS 0.18μm	CMOS 0.18μm	CMOS 0.18μm
頻率	330MHz	350MHz	140MHz	150MHz	350MHz	700MHz	350MHz
傳輸距離	10μm	15μm	15μm	100μm	70μm	30μm	70μm
傳輸功率	NA	360mW	360mW	35.29W	31.62mW	63.80mW	360mW
接收功率	21.6mW	36mW	48mW	6W	3.28mW	12.86mW	65.43mW
效率	NA	10%	13.3%	17%	10.36%	20.16%	26.21%
晶片面積	0.7 × 0.7 mm ² (Only Inductor)	0.7 × 0.7 mm ² (Only Inductor)	0.7 × 0.7 mm ² (Only Inductor)	5 × 5 mm ²	1.43 × 1.17 mm ²	0.83 × 0.54 mm ²	1.43 × 1.17 mm ²

參考文獻

- [1] *International Technology Roadmap for Semiconductors 2007 Edition Assembly and Packaging*. Available: <http://www.itrs.net/Links/2007ITRS/Home2007.htm>
- [2] K. Onizuka, H. Kawaguchi, M. Takamiya, T. Kuroda, and T. Sakurai, "Chip-to-chip inductive wireless power transmission system for SiP applications," in *IEEE Custom Integrated Circuits Conference*, Sep. 2006, pp. 575-578.
- [3] Yuxiang Yuan, Y. Yoshida, and T. Kuroda, "Non-contact 10% efficient 36mW power delivery using on-chip inductor in 0.18 μ m CMOS," in *Asian Solid-State Circuits Conference*, Nov. 2007, pp. 115-118.
- [4] Hsin-Chia Lu, Guan-Ming Wu, Chuan Pan, and Yien-Tien Chou, "Coupling coefficient improvement for inductor coupled vertical interconnect in 3D IC die stacking," in *Electronic Components and Technology Conference*, May 2009, pp. 1207-1212.
- [5] A. Yoshida, J. Taniguchi, K. Murata, M. Kada, Y. Yamamoto, Y. Takagi, T. Notomi, and A. Fujita, "A study on package stacking process for package-on-package (PoP)," in *Electronic Components and Technology Conference*, Nov. 2006, pp. 6-11
- [6] S. F. Al-Sarawi, D. Abbott, and P. D. Franzon, "A review of 3-D packaging technology," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, vol. 21, no. 1, pp. 2-14, Feb. 1998.
- [7] Hsin-Chu Yu, "The 3rd dimension-more life for Moore's law," in *International Microsystems Packaging Assembly Conference Taiwan*, Oct. 2006, pp. 1-6.
- [8] Black Bryan, Annavaram Murali, Brekelbaum Ned, DeVale John, Jiang Lei, H. Loh Gabriel, McCaule Don, Morrow Pat, W. Nelson Donald, Pantuso Daniel, Reed Paul, Rupley Jeff, Shankar Sadasivan, Shen John, and Webb Clair, "Die stacking (3D) microarchitecture," in *Annual IEEE/ACM International Symposium on Microarchitecture*, Dec. 2006, pp. 469-479.
- [9] J. A. Burns, B. F. Aull, C. K. Chen, Chen Chang-Lee, C. L. Keast, J. M. Knecht, V. Suntharalingam, K. Warner, P. W. Wyatt, and D. R. W. Yost, "A wafer-scale 3-D circuit integration technology," *IEEE Transactions on Electron Devices*, vol. 53, no. 11, pp. 2507-2516, Oct. 2006.

- [10] S. Denda, "Process Examination of Through Silicon Via Technologies," in *Polymers and Adhesives in Microelectronics and Photonics*, Nov. 2007, pp. 149-152.
- [11] K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, "1.27Gb/s/pin 3mW/pin wireless superconnect (WSC) interface scheme," in *IEEE International Solid-State Circuits Conference, Tech. Dig.*, Feb. 2003, pp. 186-487
- [12] M. Sasaki and A. Iwata, "A 0.95 mW/1.0 Gbps spiral-inductor based wireless chip-interconnect with asynchronous communication scheme," in *Symposium on VLSI Circuits, Tech. Dig.*, July 2005, pp. 348-351.
- [13] Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, M. Mizuno, and T. Kuroda, "An inductive-coupling DC voltage transceiver for highly parallel wafer-level testing," *IEEE Journal of Solid-State Circuits*, vol. 45, no.11, pp. 2057-2065, Sep. 2010.
- [14] Hsiang Chen Kuo, "The study and calculation of straight line coupled inductors," Master Thesis, Graduate of Electronic Engineering, National Taiwan university, 2008.
- [15] U. Karthaus and M. Fischer, "Fully integrated passive UHF RFID transponder IC with 16.7mW minimum RF input power," *IEEE Journal of Solid-State Circuits*, vol. 38, no.13, pp. 1602-1608, Sep. 2003.
- [16] R. E. Barnett, Liu Jin, and S. Lazar, "A RF to DC voltage conversion model for multi-stage rectifiers in UHF RFID transponders," *IEEE Journal of Solid-State Circuits*, vol. 44, no.2, pp. 354-370, Jan. 2009.
- [17] K. Zoschke, J. Wolf, M. Topper, O. Ehrmann, T. Fritsch, K. Scherpinski, H. Reichl, and F. J. Schmuckle, "Fabrication of application specific integrated passive devices using wafer level packaging technologies," in *Electronic Components and Technology Conference*, May 2005, pp. 1594-1601.
- [18] Chien-Hsun Chen, Chien-Hsiang Huang, Tzyy-Sheng Horng, Sung-Mao Wu, Chi-Tsung Chiu, Chih-Pin Hung, Jian-Yu Li, and Chen Cheng-Chung, "Very compact transformer-coupled balun-integrated bandpass filter using integrated passive device technology on glass substrate," in *IEEE International Microwave Symposium*, May 2010, pp. 1372-1375.
- [19] Che-Chun Kuo, "Flip Chip Microwave Integrated Circuit," Master thesis, Graduate Institute of Electrical Engineering, National central university, 2005.
- [20] Kiichi Niitsu, Yuan Yuxiang, and Hiroki Ishikuro, "A 33% improvement in efficiency of wireless inter-chip power delivery by thin film magnetic material for three-dimensional system integration," *Japanese Journal of Applied Physics*, vol. 48, no.48, pp.114-127, Dec. 2009.