

國立臺灣大學應用力學研究所

碩士論文

Graduate Institute of Applied Mechanics

College of Engineering

National Taiwan University

Master Thesis

下閘極氧化鋅鎂薄膜電晶體之電穩定性研究

The Study on the Electrical Stability of Bottom-Gate

MgZnO Thin-Film Transistors



蔡宜軒

Yi-Shiuan Tsai

指導教授：陳建彰 博士

Advisor: Jian-Zhang Chen, Ph.D.

中華民國 100 年 7 月

July, 2011

## 誌謝

首先真誠的感謝我的指導教授 陳建彰博士以及師母 陳奕君博士，在研究上兩位老師都給了我許多的建議與指導，使我的研究內容得以充實，也在短短兩年的時間有許多的收穫，感謝您們的細心教誨，學生將銘記在心。

實驗的過程中，不免有許多的挫折，能夠成功地做出元件是經過許多的嘗試以及許多人的幫助，才有機會做出如此的成果，感謝曾經提供儀器幫助的周元昉老師、林清富老師、毛明華老師，也感謝與我一起製作元件的至弘學長，還有製作出元件後教導我許多量測方法的義忠學長，以及經常與我一起討論問題的懷安學長，也感謝學弟信翰在許多忙碌的時刻於實驗上幫忙。在完成論文的過程中，要感謝陳建彰老師耐心地給予我諸多的建議，也感謝口試委員陳敏璋老師、陳奕君老師、林致廷老師給我的寶貴意見，使本論文能更加完善。

這兩年半來，跟著實驗室的大家一起實驗、吃飯、打球、研究、出遊等等是最珍貴的回憶，大學長邱哥還有致仰、昌平、永斌、豪懷，學長至弘、世鴻、懷安、紋辰、林鋒、張弘、居德以及學姐郁晴都有在實驗上給我許多建議和鼓勵，讓我在初入研究所生涯時度過許多挫折；同窗的大維、孟謙、小兔，與你們共同度過研究生涯以及互相幫忙，使這段日子更添色彩；實驗室新氣象的學弟妹們，信翰、柏崴、涵存、明毅、暘翔、昀軒、柏雄、勤政、瀟文也給了我許多幫助，感謝你們；另外一起讀書和實驗的朋友，昱廷學長、亮宇學長、同學政哲、禹秀、閔智、家莉、適安、欣宏、新平、奇儒、韋儒，還有許多默默幫助過我的人，因為你們，使我的課業和研究更為順利，在此也致上感謝之意。

最後，謹以此論文獻給撫育與栽培我的雙親，以及所有我所摯愛的人。

## 中文摘要

本論文主要探討兩種退火條件下氧化鋅鎂下閘極薄膜電晶體(thin-film transistor)在不同溫度下之閘極偏壓穩定性。由文獻中得知，在氧化鋅中添加鎂可以減少氧空缺的產生，進而增加材料的電穩定性。另一方面，銦在地球的存量相對稀少，因此本論文針對無銦的氧化鋅鎂薄膜電晶體進行研究。

X 光繞射(XRD)分析氧化鋅鎂的單層膜發現 200°C 退火的薄膜只有些許的峰值偏移，而 350°C 退火的薄膜有較大的峰值偏移，並且也有較小的半高全寬(full width at half-maximum)，表示在 350°C 的退火條件下有較多鎂取代鋅與較佳的結晶性。

接著於變溫量測中，200°C 退火的電晶體隨溫度升高有比較不一致的電性變化，而 350°C 退火的電晶體則相當一致。在常溫正偏壓穩定性測試中，兩者皆沒有明顯的次臨界擺幅(subthreshold swing)變化，顯示臨界電壓(threshold voltage)的偏移機制為電荷捕陷(charge trapping)，而 350°C 退火的電晶體有比較少的臨界電壓偏移，顯示 350°C 退火的電晶體穩定性較佳。於變溫的正偏壓測試中，隨著環境溫度升高以及偏壓時間增加，200°C 退火的電晶體轉換特性曲線(transfer characteristic curve)出現駝峰(hump)現象，此一現象在較高溫的 350°C 退火的薄膜電晶體則沒有發現。而此一駝峰現象在外加閘極偏壓移徐後，會完全回復。因此被認為是由閘極偏壓所造成之介穩態現象。這一個電晶體轉換特性曲線次臨界區域的駝峰現象，機制尚不完全明朗。一般認為和閘極偏壓導致的介穩態(meta-stable)缺陷有關。在較高溫進行閘極偏壓測試時，所造成的介穩態中性氧空缺可能激發成正一價或正二價的氧空缺，所釋放的電子在通道層形成漏電通道(leakage path)，而造成電晶體的早期導通狀態，因此在電晶體轉換特性曲線之次臨界區域造成駝峰現象。

在負偏壓下並沒有駝峰的現象出現，然而，於高溫負偏壓測試時，200°C 退火的臨界電壓變化有折返(turn-around)現象，主要由缺陷產生(defect creation)機制與電荷捕陷互相競爭造成。相較上述的直流偏壓，交流偏壓測試有較小的臨界電壓偏移，但是隨著偏壓訊號的頻率增加，臨界電壓偏移量也隨著增加，此一現象可能是由於被捕陷的載子回復較慢導致。

總體而言，350°C 退火的氧化鋅鎂薄膜電晶體在各方面的穩定性測試中，皆相較於 200°C 退火的電晶體來的穩定，這可能是由於較高溫退火電晶體的通道層結晶中有較多鎂的取代鋅以及較好的氧化鋅鎂結晶品質所導致。

關鍵字：氧化物薄膜電晶體、氧化鋅鎂、氧化鎂、偏壓穩定性、熱穩定性

## Abstract

This thesis reports the experimental studies on the gate-bias temperature stability of inverted staggered bottom-gate  $\text{Mg}_{0.05}\text{Zn}_{0.95}\text{O}$  thin-film transistors (TFT). According to literatures, the addition of Mg into ZnO related materials can reduce the oxygen vacancies due to higher ionic character of Mg-O than Zn-O bonds. In addition, indium is rare in earth. Therefore, we chose indium free MgZnO TFTs as our research target.

ZnO films crystallize easily, even when grown at room temperature. With the application of post-deposition annealing at  $200^\circ\text{C}$ , the (002) peak increased slightly, indicating the substitution of a small portion of Mg for Zn in the ZnO crystals. This substitution reduced the lattice constant of wurtzite ZnO, caused by the slightly smaller ionic radius of  $\text{Mg}^{2+}$  than that of  $\text{Zn}^{2+}$ . Moreover, as the annealing temperature increased to  $350^\circ\text{C}$ , grains grew and the crystallinity of  $\text{Mg}_{0.05}\text{Zn}_{0.95}\text{O}$  improved, as denoted by a decrease of full width at half maximum (FWHM) of (002) peak. Furthermore, (002) the peak shifted even higher, indicating the substitution of more Zn by Mg in the ZnO crystals.

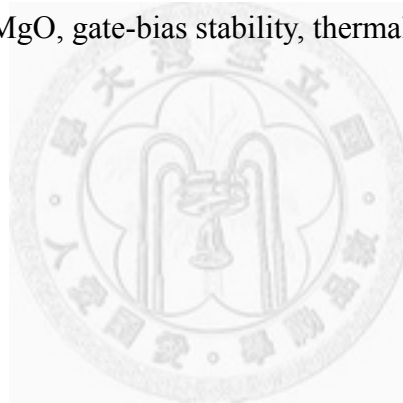
In the positive gate-bias stability test at room temperature, the subthreshold swing was nearly unchanged for the devices annealed at two different annealing conditions, revealing that the main mechanism for the threshold voltage ( $V_{\text{th}}$ ) shift was charge trapping. The  $350^\circ\text{C}$ -annealed TFT showed less  $V_{\text{th}}$  shift, indicating better device stability. As the positive gate-bias stress applied to TFTs at elevated temperatures, humps occurred in the subthreshold region of the transfer curves in the  $200^\circ\text{C}$ -annealed TFT, and became severe as temperature and stressing time increases. The hump phenomenon was much less significant in  $350^\circ\text{C}$  annealed TFTs; merely a degradation of SS was observed at  $80^\circ\text{C}$ , the highest testing temperature in this study. The hump disappeared shortly after removing the positive gate-bias, suggesting that this phenomenon was meta-stable and was resulted from gate-bias induced electric field. This hump phenomenon might have been due to the creation of meta-stable oxygen vacancies in which the neutral vacancies were thermally excited into ionized

states and released electrons into the active layer to form a leakage path, when TFTs were subjected to gate-bias stressing at elevated temperatures.

The humps were not identified in the transfer curves when TFTs were subjected to negative bias stress. Instead, a turn-around of  $V_{th}$  shift occurred in the 200°C-annealed TFT. It was attributed to the competing mechanisms of the defect creation and the charge trapping. In the AC bias stress,  $V_{th}$  shift was less severe to the DC bias stress. Nevertheless, the  $V_{th}$  shift increased with the increasing frequency of AC bias stress. It may come from the slow recovery of trapped charges.

In conclusion, the 350°C-annealed TFT showed a better bias temperature stability. The more substitution of Zn by Mg and better crystallinity help improve the stability of MgZnO TFTs.

Keywords: oxide TFTs, MgZnO, MgO, gate-bias stability, thermal stability



## 目錄

誌謝.....	i
中文摘要.....	ii
英文摘要.....	iii
目錄.....	v
圖目錄.....	vii
表目錄.....	xi
第一章 簡介.....	1
1.1 薄膜電晶體發展背景.....	1
1.2 研究動機.....	2
1.3 論文架構.....	3
1.4 第一章參考文獻.....	4
第二章 理論及文獻回顧.....	8
2.1 薄膜電晶體簡介.....	8
2.2 薄膜電晶體工作原理.....	9
2.3 薄膜電晶體之特徵參數.....	10
2.4 不同通道層之薄膜電晶體穩定性比較.....	12
2.5 低溫製程之薄膜電晶體.....	15
2.6 汲極電流之活化能.....	15
2.7 第二章參考文獻.....	17
第三章 實驗步驟及方法.....	21
3.1 薄膜成長儀器及原理.....	21
3.1.1 電漿原理.....	21
3.1.2 濺鍍系統.....	22
3.1.3 磁控濺鍍.....	23
3.1.4 電子束蒸鍍(electric beam evaporation).....	24
3.2 微影製程.....	24
3.3 薄膜電晶體 製作流程.....	26
3.4 分析及量測儀器.....	28

3.4.1 X 光繞射儀(X-ray diffraction).....	28
3.4.2 表面輪廓儀.....	29
3.4.3 掃描式電子顯微鏡.....	29
3.4.4 電性量測架構.....	31
3.5 第三章參考文獻.....	32
第四章 實驗結果與討論.....	33
4.1 薄膜性質分析.....	33
4.1.1 氧化鎂薄膜(介電層)性質分析.....	33
4.1.2 氧化鋅鎂薄膜(通道層)性質分析.....	35
4.2 不同退火後處理之電性.....	38
4.3 不同退火後處理熱穩定性.....	43
4.4 不同退火後處理電穩定性.....	46
4.4.1 電穩定性與電熱穩定性比較.....	46
4.4.2 不同閘極偏壓極性之穩定性.....	56
4.4.3 不同閘極偏壓頻率之電穩定性 (AC 測試).....	65
4.5 第四章參考文獻.....	71
第五章 結論與未來展望.....	74
5.1 結論.....	74
5.2 未來展望.....	75

## 圖目錄

圖 2-1-1 薄膜電晶體的基本結構.....	8
圖 2-2-1 理想薄膜電晶體操作之能帶變化圖.....	9
圖 2-2-2 非晶矽薄膜電晶體的轉換及輸出特性曲線.....	10
圖 3-1-1 典型低壓直流輝光放電之特性.....	22
圖 3-1-2 射頻濺鍍系統示意圖.....	23
圖 3-1-3 磁控濺鍍示意圖.....	23
圖 3-1-4 電子束蒸鍍示意圖.....	24
圖 3-3-1 薄膜電晶體於玻璃基板.....	27
圖 3-3-2 薄膜電晶體側視結構示意圖.....	28
圖 3-4-1 布拉格繞射示意圖.....	29
圖 3-4-2 電子顯微鏡構造示意圖.....	30
圖 4-1-1 未處理以及退火處理的氧化鎂薄膜的 XRD.....	33
圖 4-1-2 矽基板的 XRD.....	34
圖 4-1-3 (a)(b) 分別為未經處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	34
圖 4-1-4 (a)(b) 分別為經過 200°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	35
圖 4-1-5 (a)(b) 分別為經過 350°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	35
圖 4-1-6 在(a)較大角度範圍與(b) (002)峰值附近角度範圍量測之未處理以及退火處理的氧化鎂薄膜的 XRD.....	36
圖 4-1-7 (a)(b) 分別為未經處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	37
圖 4-1-8 (a)(b) 分別為 200°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	37
圖 4-1-9 (a)(b) 分別為 350°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖.....	37
圖 4-2-1 (a)(b) 分別為 L / W = 15 μm / 320 μm 之薄膜電晶體於 200°C 以及 350°C 氮氣下熱退	



火的轉換特性曲線以及閘極漏電流.....	39
圖 4-2-2 (a)(b) 分別為 $L / W = 15 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 氮氣下熱退火的輸出特性曲線.....	39
圖 4-2-3 (a)(b) 分別為 $L / W = 20 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 氮氣下熱退火的轉換特性曲線以及閘極漏電流.....	40
圖 4-2-4 (a)(b) 分別為 $L / W = 20 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 氮氣下熱退火的輸出特性曲線.....	40
圖 4-2-5 (a)(b) 分別為 $L / W = 30 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 氮氣下熱退火的轉換特性曲線以及閘極漏電流.....	41
圖 4-2-6 (a)(b) 分別為 $L / W = 30 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 氮氣下熱退火的輸出特性曲線.....	42
圖 4-3-1 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) $0.1 \text{ V}$ 以及(c)(d) $10 \text{ V}$ 的轉換特性曲線隨環境溫度變化圖.....	44
圖 4-3-2 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) $0.1 \text{ V}$ 以及(b) $10 \text{ V}$ 的臨界電壓隨環境溫度變化圖.....	44
圖 4-3-3 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) $0.1 \text{ V}$ 以及(b) $10 \text{ V}$ 的載子遷移率隨環境溫度變化圖.....	44
圖 4-3-4 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) $0.1 \text{ V}$ 以及(b) $10 \text{ V}$ 的次臨界擺幅隨環境溫度變化圖.....	45
圖 4-3-5 分別為(a) $200^\circ\text{C}$ 以及(b)(c) $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓為 $0.1 \text{ V}$ 的活化能線性擬合方式作圖以及(d)計算 $350^\circ\text{C}$ 熱退火之薄膜電晶體所得之活化能 $E_a$ 與汲極電流前因子 $I_{DS0}$ .....	46
圖 4-4-1 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) $0.1 \text{ V}$ 以及(c)(d) $10 \text{ V}$ 在 $20^\circ\text{C}$ 時做偏壓測試的轉換特性曲線隨時間變化圖.....	48
圖 4-4-2 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) $0.1 \text{ V}$ 以及(b) $10 \text{ V}$ 在 $20^\circ\text{C}$ 時做偏壓測試的臨界電壓隨時間變化圖.....	48
圖 4-4-3 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) $0.1 \text{ V}$ 以及(c)(d) $10 \text{ V}$ 在 $50^\circ\text{C}$ 時做偏壓測試的轉換特性曲線隨時間變化圖.....	51
圖 4-4-4 為 $200^\circ\text{C}$ 以及 $350^\circ\text{C}$ 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) $0.1 \text{ V}$ 以及(b) $10 \text{ V}$ 在 $50^\circ\text{C}$ 時做偏壓測試的臨界電壓隨時間變化圖.....	51

圖 4-4-5 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 65°C 時做偏壓測試的轉換特性曲線隨時間變化圖.....	52
圖 4-4-6 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 65°C 時做偏壓測試的臨界電壓隨時間變化圖.....	52
圖 4-4-7 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 80°C 時做偏壓測試的轉換特性曲線隨時間變化圖.....	53
圖 4-4-8 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 80°C 時做偏壓測試的臨界電壓隨時間變化圖.....	53
圖 4-4-9 為 200°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試於(a)(b) 氮氣下，量測汲極偏壓分別為 0.1 V 與 10 V，及(c)(d) 氧氣下，量測汲極偏壓分別為 0.1 V 與 10 V.....	54
圖 4-4-10 為 350°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試於(a)(b) 氮氣下，量測汲極偏壓分別為 0.1 V 與 10 V，及(c)(d) 氧氣下，量測汲極偏壓分別為 0.1 V 與 10 V.....	55
圖 4-4-11 為(a) 200°C 與(b) 350°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試以及鬆弛測試的轉換特性曲線變化，量測汲極偏壓為 10 V.....	55
圖 4-4-12 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 25°C 時做閘極正偏壓測試的轉換特性曲線隨時間變化圖.....	58
圖 4-4-13 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 25°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖.....	58
圖 4-4-14 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與閘極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 25°C 時的臨界電壓隨時間變化圖.....	59
圖 4-4-15 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 50°C 時做閘極正偏壓測試的轉換特性曲線隨時間變化圖.....	60
圖 4-4-16 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 50°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖.....	60
圖 4-4-17 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與閘極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 50°C 時的臨界電壓隨時間變化圖.....	61
圖 4-4-18 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 65°C 時做閘極正偏壓測試的轉換特性曲線隨時間變化圖.....	61

圖 4-4-19 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 65°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖.....	62
圖 4-4-20 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與閘極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 65°C 時的臨界電壓隨時間變化.....	62
圖 4-4-21 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 80°C 時做閘極正偏壓測試的轉換特性曲線隨時間變化圖.....	63
圖 4-4-22 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及 (c)(d)10 V 在 80°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖.....	63
圖 4-4-23 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與閘極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 80°C 時的臨界電壓隨時間變化圖.....	64
圖 4-4-24 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極負偏壓下次臨界擺幅隨著偏壓時間的變化情形,量測汲極電壓為 10 V.....	65
圖 4-4-25 (a)(b)(c)(d)(e)(f)為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 時分別做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及(g)直流偏壓測試的轉換特性曲線隨時間變化圖.....	68
圖 4-4-26 (a)(b)(c)(d)(e)(f)為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 10 V 時分別做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及(g)直流偏壓測試的轉換特性曲線隨時間變化圖.....	69
圖 4-4-27 為 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)0.1 V 與(b)10 V 時做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及直流偏壓測試的臨界電壓隨時間變化圖.....	70
圖 4-4-28 為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 與 10 V 時分別(a)短時間(偏壓及鬆弛各 1000 秒)(b)長時間閘極(偏壓 10000 秒及鬆弛 35000 秒)直流正偏壓測試的臨界電壓隨時間變化圖.....	70

## 表目錄

表 1-1-1 不同通道層材料之薄膜電晶體特性.....	1
表 2-4-1 文獻報告穩定性參數整理.....	14
表 3-2-1 濕蝕刻參數.....	26
表 3-3-1 鍍膜參數設定.....	28
表 4-2-1 擷取 $L/W = 15 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^{\circ}\text{C}$ 以及 $350^{\circ}\text{C}$ 氮氣下熱退火的初始特性參數.....	40
表 4-2-2 擷取 $L/W = 20 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^{\circ}\text{C}$ 以及 $350^{\circ}\text{C}$ 氮氣下熱退火的初始特性參數.....	41
表 4-2-3 擷取 $L/W = 30 \mu\text{m} / 320 \mu\text{m}$ 之薄膜電晶體於 $200^{\circ}\text{C}$ 以及 $350^{\circ}\text{C}$ 氮氣下熱退火的初始特性參數.....	42



# 第一章 簡介

## 1.1 薄膜電晶體發展背景

薄膜電晶體(thin-film transistor, TFT)結構的概念最早出現於 1935 年，而 1962 年第一個以硫化鎘(CdS)作為通道層的薄膜電晶體由 P. K. Weimer 所發表[1]，於 1979 年氫化非晶矽(hydrogenated amorphous silicon, a-Si:H)為通道層的薄膜電晶體被 LeComber 等人發表出來[2]，兩年後於 1981 年以氫化非晶矽製作的薄膜電晶體大面積電子產品為 Snell 等人所展示[3]，之後薄膜電晶體廣泛的研究以及應用在主動式陣列液晶顯示器(active matrix liquid crystal displays, AMLCDs)、主動式陣列有機發光二極體(active matrix organic light-emitting diode, AMOLED)顯示器中[4][5]，而近年來薄膜電晶體有較為快速發展之趨勢，傳統上的顯示器製程以氫化非晶矽的通道層為基礎[6]，由於非晶相的薄膜沒有晶界的問題，其成膜均勻度較好、薄膜電晶體元件的關電流(off-current)也較小，然而其載子遷移率(mobility)較小( $<1 \text{ cm}^2/\text{Vs}$ )，以及較易受到可見光影響等問題，因此這些年來通道層的取代材料被廣泛的研究，諸如奈米晶矽(nanocrystalline silicon, nc-Si)、氧化鋅(ZnO)、銦鋅氧化物(IZO)、鋅錫氧化物(ZTO)、銦鎳鋅氧化物(IGZO)等[4][7]-[11]，這些半導體材料的載子遷移率較氫化非晶矽高出許多，適合用來發展為大面積顯示器，以及擁有較大的能隙(band gap)，能夠較不為可見光影響，且因為在可見光之下為透明的特性，能有全透明電晶體的應用[12]，因此探討這些半導體材料的特性，以期能找出適當的材料作為下世代的應用電子元件，是近年來較為被廣泛討論的課題。表 1-1-1 整理近來較為被廣泛研究之通道層材料特性[7][8][12]-[26]：

Channel	a-Si:H	nc-Si	poly-Si	ZnO	a-IGZO
Process temp.	$<350^\circ\text{C}$	$<300^\circ\text{C}$	$250\text{-}500^\circ\text{C}$	RT- $350^\circ\text{C}$	RT- $350^\circ\text{C}$
$V_{\text{th}}$	0-5 V	0-10 V	0-5 V	$\sim 5\text{-}10 \text{ V}$	$<5 \text{ V}$
SS	$\sim 0.5 \text{ V/dec.}$	$<1 \text{ V/dec.}$	$\sim 0.5 \text{ V/dec.}$	$<1 \text{ V/dec.}$	$\sim 0.5 \text{ V/dec.}$
mobility	$<1 \text{ cm}^2/\text{Vs}$	10-100 $\text{cm}^2/\text{Vs}$	10-150 $\text{cm}^2/\text{Vs}$	10-100 $\text{cm}^2/\text{Vs}$	10-20 $\text{cm}^2/\text{Vs}$

表 1-1-1 不同通道層材料之薄膜電晶體特性[7][8][12]-[26]

## 1.2 研究動機

薄膜電晶體的特性有相當大的部分取決於介電層與通道層的成長方式，諸如成膜所使用的不同儀器、成膜時所通入的的氣氛、成膜時的工作壓力、沈積的靶材的製備比例、元件的後處理等等。常見的介電層材料為以化學氣相沈積(chemical vapor deposition, CVD)方式成長的二氧化矽( $\text{SiO}_2$ )或氮化矽( $\text{SiN}_x$ )為主[28]，這通常需要較高溫才有較好的成膜品質，而較低溫成長的薄膜其缺陷或絕緣特性也會較差[29]，這使得製程溫度不易符合軟性基板的需求，另外若介電層與通道層之間有較高的界面缺陷密度(interface trap density,  $D_{it}$ )，也會造成薄膜電晶體的特性不佳，如臨界電壓(threshold voltage,  $V_{th}$ )較大、次臨界擺幅(subthreshold swing, SS)表現較差，以及偏壓穩定性的問題[30][31]，而這些界面缺陷可以藉由熱退火的後處理方式來減少[32]，也因此後處理的條件對薄膜電晶體元件穩定性的影響是很廣泛的被討論的，我們研究的主要內容即是針對不同的退火條件，以及不同的偏壓條件、不同的環境溫度下，對元件的穩定性影響，然而討論後處理的方式，也可以進一步瞭解到適合於軟性基板的薄膜電晶體製程。

本論文所使用的通道層材料也是屬於透明氧化物中的氧化鋅系列，一般而言，為了改進電晶體的電性會有目的性的選擇材料進行摻雜，而由於銦材料的地球存量稀少以及價格高昂，我們選擇了無銦的材料進行電晶體的製作與穩定性研究。有別於一般常見的材料，我們於氧化鋅中摻雜了鎂元素，由於以氧化鋅為基礎的材料，通常存在偏壓以及熱的穩定性問題，這些問題的原因為材料中氧空缺之形成能量(formation energies)低，因此存在較多的氧空缺，例如氧化鋅為 3.8 eV，氧化銦為 3.1 eV，氧化鎂為 9.8 eV[33]。根據文獻，氧與鎂的離子鍵結強度大於氧與鋅，鍵結能(bonding energy)分別是 393.7 kJ/mol 與 284.1 kJ/mol[34]，因此我們可以利用鎂來抑制控氧空缺形成，而氧化鎂的能隙相較氧化鋅(3.3 eV)高出許多(7.7 eV)，藉由摻雜鎂來提高能隙，可使得一些施子能級(donor levels)朝向更深的能階移動，以調變其對氧化鋅半導體的能帶影響程度[35]，並且由於鎂的離子半徑與鋅相當( $\text{Mg}^{2+}$ : 0.57 Å and  $\text{Zn}^{2+}$ : 0.60 Å)，故鎂取代鋅並不會造成晶格錯排，研究也指出，氧化鋅鎂( $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ )薄膜中鎂的含量可以到達  $x = 0.33$  而不會有相分離的變化[36]。因此我們引進氧化鋅鎂材料作為通道層，並且討論氧化鋅鎂薄膜電晶體的電、熱穩定性質。

### 1.3 論文架構

本節主要說明論文的架構及其內容：

第一章首先說明薄膜電晶體的發展背景，製作薄膜電晶體的方式與介電層、通道層材料上的研究發展，及元件應用在軟性基板上的可能性。

第二章說明薄膜電晶體的結構、工作原理，與其在元件作用時所表現的特性參數，並比較一些常見通道層材料的特性參數與穩定性之差異，並討論低溫製程的薄膜電晶體所面臨的問題。

第三章介紹薄膜電晶體的製作流程、以及各項儀器與微影蝕刻製程的詳細製程參數，此外，電性量測的方式與架構也在此說明。

第四章將沈積的單層薄膜作特性分析，如電子顯微鏡分析、X光繞射光譜等，並討論不同退火條件的薄膜電晶體電性量測結果，以及比較其穩定性優劣。

第五章則是歸納結論以及對未來研究的展望。



#### 1.4 第一章參考文獻

- [1] Y. Kuo, **Thin Film Transistors: Amorphous Silicon Thin Film Transistors**, *Kluwer Academic Publishers*, pp. 2-3, 2004.
- [2] C. R. Kagan and P. Andry, **Thin-Film Transistors**, *Marcel Dekker, Inc.*, pp. 15-18, 2003.
- [3] A. J. Snell, W. E. Spear, P. G. Le Comber, and K. Mackenzie, “Application of amorphous silicon field effect transistors in integrated circuits,” *Appl. Phys. A*, 26, 2, pp. 83-86, 1981.
- [4] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors,” *Nature (London)*, 432, pp. 488-492, 2004.
- [5] B. D. Ahn, W. H. Jeong, H. S. Shin, D. L. Kim, H. J. Kim, J. K. Jeong, S. H. Choi, and M. K. Han, “Effect of excimer laser annealing on the performance of amorphous IGZO TFT,” *Electrochem. Solid-State Lett.*, 12, 12, pp. H430-H432, 2009.
- [6] H. Kawamoto, “The history of liquid-crystal displays,” *Proceedings of the IEEE*, 90, 4, pp. 460-500, 2002.
- [7] C.-H. Lee, A. Sazonov, and A. Nathan, “High-mobility nanocrystalline silicon thin-film transistors fabricated by plasma-enhanced chemical vapor deposition,” *Appl. Phys. Lett.*, 86, 22, p. 222106, 2005.
- [8] A. Z. Kattamis, R. J. Holmes, I-C. Cheng, K. Long, J. C. Sturm, S. R. Forrest, and S. Wagner, “High mobility nanocrystalline silicon transistors on clear plastic substrates,” *IEEE Electron Device Lett.*, 27, 1, pp. 49-51, 2006.
- [9] E. M. C. Fortunato, P. M. C. Barquinha, A. C. M. B. G. Pimentel, A. M. F. Gonçalves, A. J. S. Marques, R. F. P. Martins, and L. M.N. Pereira, “Wide-bandgap high-mobility ZnO thin-film transistors produced at room temperature,” *Appl. Phys. Lett.*, 85, 13, pp. 2541-2543, 2004.
- [10] Y.-L. Wang, F. Ren, W. Lim, D. P. Norton, S. J. Pearton, I. I. Kravchenko, and J. M. Zavada, “Room temperature deposited indium zinc oxide thin film transistors,” *Appl. Phys. Lett.*, 90, 23, p. 232103, 2007.
- [11] M. G. McDowell, R. J. Sanderson, and I. G. Hill, “Combinatorial study of zinc tin oxide thin-film transistors,” *Appl. Phys. Lett.*, 92, 1, p. 013502, 2008.



- [12] J.-W. Tsai, C.-Y. Huang, Y.-H. Tai, F.-C. Su, F.-C. Luo, H.-C. Tuan, and H.-C. Cheng “Reducing threshold voltage shifts in amorphous silicon thin film transistors by hydrogenating the gate nitride prior to amorphous silicon deposition,” *Appl. Phys. Lett.*, 71, 9, pp. 1237-1239, 1997.
- [13] H. Kavak, C. Gruber, H. Shanks, A. Landin, A. Constant, and S. Burns, “Thin film transistors on polyimide substrates,” *J. Non-Cryst. Solids*, 266-269, pp. 1325-1328, 2000.
- [14] J. B. Choi, D. C. Yun, Y. I. Park, and J. H. Kim, “Properties of hydrogenated amorphous silicon thin film transistors fabricated at 150°C,” *J. Non-Cryst. Solids*, 266-269, pp. 1315-1319, 2000.
- [15] T.-K. Kim, T.-H. Ihn, B.-I. Lee, and S.-K. Joo “High-performance low-temperature poly-silicon thin film transistors fabricated by new metal-induced lateral crystallization process,” *Jpn. J. Appl. Phys.*, 37, pp. 4244-4247, 1998.
- [16] M. Kimura, I. Yudasaka, S. Kanbe, H. Kobayashi, H. Kiguchi, S.-I. Seki, S. Miyashita, T. Shimoda, T. Ozawa, K. Kitawada, T. Nakazawa, W. Miyazawa, and H. Ohshima, “Low-temperature polysilicon thin-film transistor driving with integrated driver for high-resolution light emitting polymer display,” *IEEE Trans. Electron Devices*, 46, 12, pp. 2282-2288, 1999.
- [17] D. H. Levy, D. Freeman, S. F. Nelson, P. J. Cowdery-Corvan, and L. M. Irving , “Stable ZnO thin film transistors by fast open air atomic layer deposition,” *Appl. Phys. Lett.*, 92, p. 192101, 2008.
- [18] D. H. Redinger, “Lifetime Modeling of ZnO Thin-Film Transistors,” *IEEE Trans. Electron Devices*, 57, 12, pp. 3460-3465, 2010.
- [19] W.-S. Cheong, M.-K. Ryu, J.-H. Shin, S.-H. K. Park, and C.-S. Hwang , “Transparent thin-film transistors with zinc oxide semiconductor fabricated by reactive sputtering using metallic zinc target,” *Thin Solid Films*, 516, pp. 8159-8164, 2008
- [20] A. Suresh, P. Wellenius, A. Dhawan, and J. Muth, “Room temperature pulsed laser deposited indium gallium zinc oxide channel based transparent thin film transistors,” *Appl. Phys. Lett.*, 90, 12, p. 123512, 2007.
- [21] D. Stryakhilev, J.-S. Park, J. Lee, T. W. Kim, Y. S. Pyo, D. B. Lee, E. H. Kim, D. U. Jin, and Y.-G. Mo , “Electrical instability of a-In–Ga–Zn–O TFTs biased

- below accumulation threshold” *Electrochem. Solid-State Lett.*, 12, 11, pp. J101-J104, 2009.
- [22] L.-Y. Su, H. Y. Lin, S.-L. Wang, Y.-H. Yeh, C.-C. Cheng, L. H. Peng, and J.-J. Huang, “Effects of gate-bias stress on ZnO thin-film transistors,” *J. Soc. Inf. Disp.*, 18, 10, pp. 802-806, 2010.
- [23] J. K. Jeong, H. W. Yang, J. H. Jeong, Y.-G. Mo, and H. D. Kim, “Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors,” *Appl. Phys. Lett.*, 93, 12, p. 123508, 2008.
- [24] T. Kamiya, K. Nomura, and H. Hosono, “Present status of amorphous In–Ga–Zn–O thin-film transistors,” *Sci. Technol. Adv. Mater.*, vol. 11, no. 4, p. 044305, 2010.
- [25] M.-W. Ma, C.-Y. Chen, W.-C. Wu, C.-J. Su, K.-H. Kao, T.-S. Chao, and T.-F. Lei, “Reliability mechanisms of LTPS-TFT with HfO<sub>2</sub> gate dielectric: PBTI, NBTI, and hot-carrier stress,” *IEEE Trans. Electron Devices*, 55, 5, pp. 1153-1160, 2008.
- [26] L. Zhang, J. Li, X. W. Zhang, X. Y. Jiang, and Z. L. Zhang, “High performance ZnO-thin-film transistor with Ta<sub>2</sub>O<sub>5</sub> dielectrics fabricated at room temperature,” *Appl. Phys. Lett.*, 95, 7, p. 072112, 2009.
- [27] S.-H. K. Park, C.-S. Hwang, H. Y. Jeong, H. Y. Chu, and K. I. Cho, “Transparent ZnO-TFT arrays fabricated by atomic layer deposition,” *Electrochem. Solid-State Lett.*, 11, 1, pp. H10-H14, 2008.
- [28] J.-H. Ahn, H.-S. Kim, K. J. Lee, Z. Zhu, E. Menard, R. G. Nuzzo, and J. A. Rogers, “High-speed mechanically flexible single-crystal silicon thin-film transistors on plastic substrates,” *IEEE Electron Device Lett.*, 27, 6, pp. 460-462 2006.
- [29] C.-S. Yang, L. L. Smith, C. B. Arthur, and G. N. Parsons, “Stability of low-temperature amorphous silicon thin film transistors formed on glass and transparent plastic substrates,” *J. Vac. Sci. Technol. B*, 18, 2, pp. 683-689, 2000.
- [30] R. Navamathavan, E.-J. Yang, J.-H. Lim, D.-K. Hwang, J.-Y. Oh, J.-H. Yang, J.-H. Jang, and S.-J. Parka, “Effects of electrical bias stress on the performance of ZnO-based TFTs fabricated by rf magnetron sputtering,” *J. Electrochem. Soc.*, 153, 5, pp. G385-G388, 2006.
- [31] S. K. Kim, K. S. Lee, and J. Jang, “Creation of interface states between SiO<sub>2</sub> and a-Si:H in a-Si:H thin film transistors by bias-stress,” *J. Non-Cryst. Solids*,

198-200, pp. 428-431, 1996.

- [32] M. Kimura, T. Nakanishi, K. Nomura, T. Kamiya, and H. Hosono, "Trap densities in amorphous-InGaZnO 4 thin-film transistors," *Appl. Phys. Lett.*, 92, 3, p. 133512, 2008.
- [33] G. H. Kim, W. H. Jeong, B. D. Ahn, H. S. Shin, H. J. Kim, H. J. Kim, M. K. Ryu, K. B. Park, J. B. Seon, and S. Y. Lee, "Investigation of the effects of Mg incorporation into InZnO for high-performance and high-stability solution-processed thin film transistors," *Appl. Phys. Lett.*, 96, 16, p. 163506 2010.
- [34] C.-J. Ku, Z. D., P. I. Reyes, Y. Lu, Y. Xu, C.-L. Hsueh, and E. Garfunkel, "Effects of Mg on the electrical characteristics and thermal stability of  $Mg_xZn_{1-x}O$  thin film transistors," *Appl. Phys. Lett.*, 98, 12, p. 123511, 2011.
- [35] Y. Kwon, Y. Li, Y. W. Heo, M. Jones, P. H. Holloway, D. P. Norton, Z. V. Park , and S. Li, "Enhancement-mode thin-film field-effect transistor using phosphorus-doped (Zn,Mg)O channel," *Appl. Phys. Lett.*, 84, 15, pp. 2685-2687, 2004.
- [36] A. Ohtomo, M. Kawasaki, T. Koida, K. Masubuchi, H. Koinuma, Y. Sakurai, Y. Yoshida, T. Yasuda, and Y. Segawa, " $Mg_xZn_{1-x}O$  as a II–VI widegap semiconductor alloy," *Appl. Phys. Lett.*, 72, 19, pp. 2466-2468, 1998.

## 第二章 理論及文獻回顧

### 2.1 薄膜電晶體簡介

薄膜電晶體應用在主動式陣列液晶顯示器中的主要作用為一開關元件，用來控制每個單獨的畫素(pixel)，現今大尺寸顯示器中的畫素數目皆為百萬等級，要使得畫面表現較精緻、反應較快、穩定度較好，關鍵也決定在於薄膜電晶體電特性的好壞。

一個薄膜電晶體元件是由多種不同薄膜堆疊組成，然其基本構造皆包括閘極(gate)之電極、閘極介電層(gate dielectric)以及半導體通道層(active channel layer)，以及源極(source)和汲極(drain)之電極。而一般依照不同的沈積順序以及應用方式可以主要地分成四種堆疊方式，如圖 2-1-1，分別為交錯型(staggered)、倒置交錯型(inverted staggered)、共平面型(coplanar)、倒置共平面型(inverted coplanar)[1]，其中我們使用倒置交錯型，也就是所謂的下閘極(bottom gate)結構，來作為薄膜電晶體元件的結構以及電性的探討。

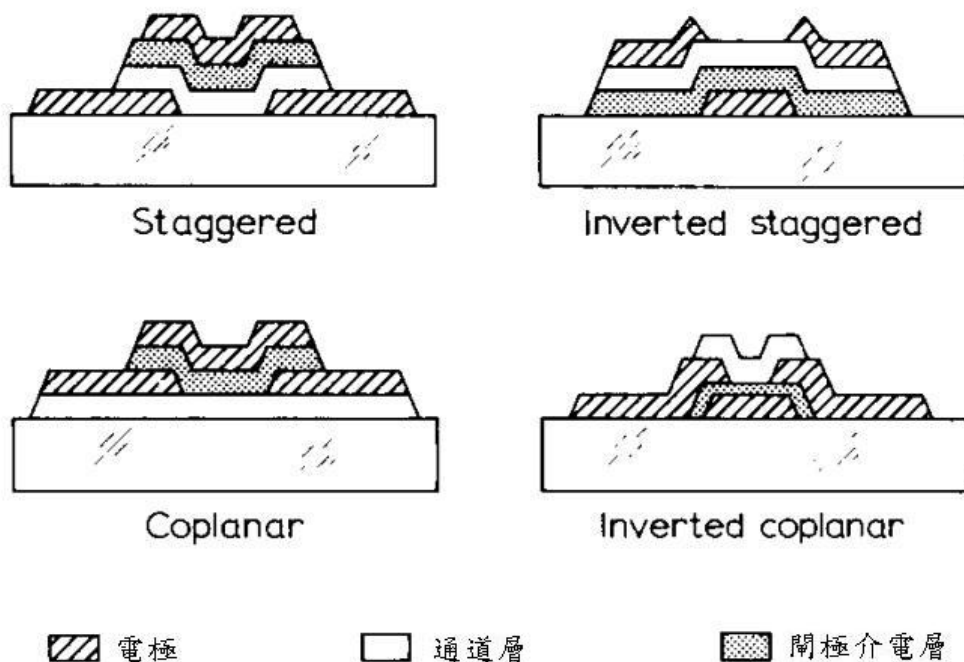


圖 2-1-1 薄膜電晶體的基本結構[1]

## 2.2 薄膜電晶體工作原理

薄膜電晶體的工作原理為一利用外加電場來控制半導體通道層導電性的元件，其中若半導體之主要導電載子為電子，稱之為 n 型通道(n-type channel)電晶體，而若主要導電載子為電洞，稱之為 p 型通道(p-type channel)電晶體。在 n 型通道薄膜電晶體中，若通道在未加上閘極偏壓時缺乏載子，稱之為增強型(enhancement mode)，而通道在未加上閘極偏壓時為存在載子，則稱之為空乏型(depletion mode)。

常見的 n 型通道增強型薄膜電晶體中，對閘極施加一正偏壓，可以積聚(accumulation)電子而形成通道，使源極與汲極導通，而對閘極施加一負偏壓時，通道層中的電子將被排開(depletion)，並且因為 n 型半導體的特性難以積聚電洞為導電載子，此時通道消失，而使得源極與汲極之間為不導通。其閘極-介電層-通道層垂直結構的理想能帶圖如圖 2-2-1[2]，分別為閘極(a)未加偏壓時，能帶為平帶(flat band)(b)加負偏壓( $V_{GS} < 0$  V)時，通道中電子被排開(c)加正偏壓( $V_{GS} > 0$  V)時，通道中電子積聚之能帶變化情形。

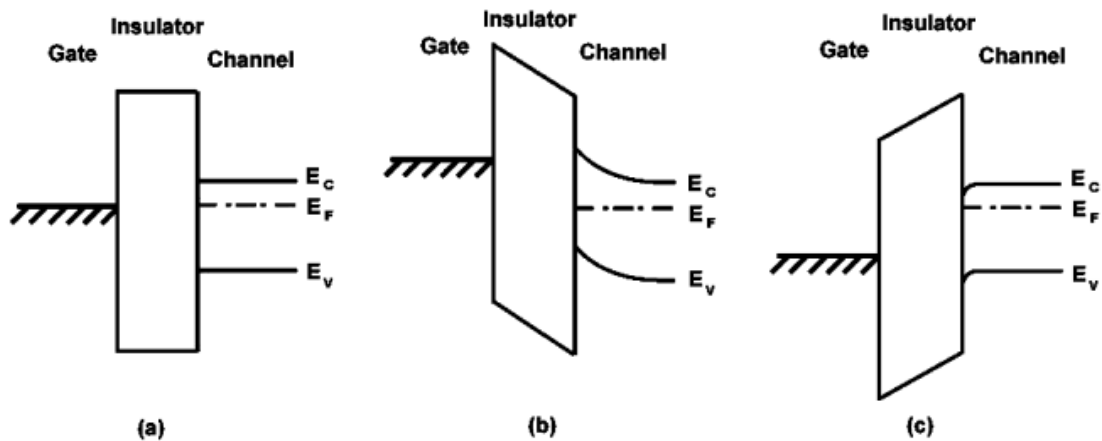


圖 2-2-1 理想薄膜電晶體操作之能帶變化圖[2]

一般用於瞭解薄膜電晶體工作特性的特性曲線為轉換特性曲線(transfer characteristic curve)以及輸出特性曲線(output characteristic curve)，其中由轉換特性曲線可以瞭解薄膜電晶體的特徵，並依據此曲線可以得到相關的特性參數，而由輸出特性曲線可以得知其操作範圍。如圖 2-2-2 為典型以 n 型非晶矽作為薄膜電晶體元件通道層材料的轉換特性曲線及輸出特性曲線[3]。

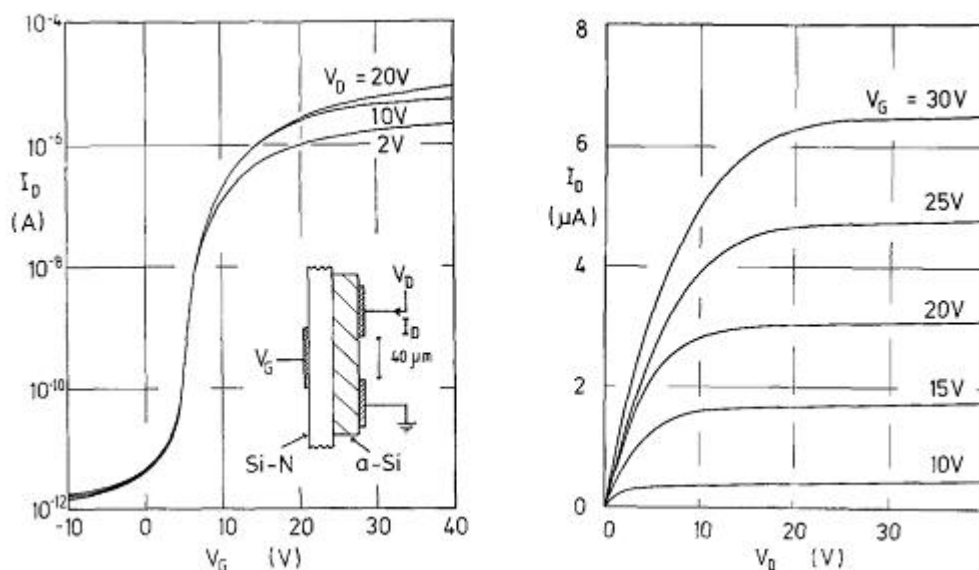


圖 2-2-2 非晶矽薄膜電晶體的轉換及輸出特性曲線[3]

薄膜電晶體的操作可分為兩個區域，當汲極電壓增大，汲極電壓與電流呈現線性關係，此區域稱為線性區(linear region)。隨著汲極電壓增大到某一程度( $V_D = V_{D,sat}$ )時，汲極電壓之強電場會使得通道中導電電子的密度在汲極端降低，這會使閘極所感應出來的通道消失，類似於金氧半場效電晶體(MOSFET)中的夾止(pinch off)現象，而再加大的汲極電壓並不影響夾止點  $V_{D,sat}$  的電壓，因此源極與夾止點間的電場強度固定，造成源極與汲極之間的電流大小固定，此操作區間為飽和區(saturation region)。

### 2.3 薄膜電晶體之特徵參數

在薄膜電晶體通道層中流動的汲極電流被閘極電壓以及汲極電壓所控制，典型的薄膜電晶體中，此汲極電流可以被描述為[4]：

線性區( $V_{GS} - V_{th} > V_{DS}$ )：

$$I_{DS} = \frac{\mu_{FE} C_i W}{L} (V_{GS} - V_{th}) V_{DS} \quad (2.3.1)$$

飽和區( $V_{GS} - V_{th} < V_{DS}$ )：

$$I_{DS} = \frac{\mu_{FE} C_i W}{2L} (V_{GS} - V_{th})^2 \quad (2.3.2)$$

其中，

$I_{DS}$ ：汲極電流(drain current)(A)

$\mu_{FE}$ ：場效遷移率(field effect mobility)( $\text{cm}^2/\text{Vs}$ )

$C_i$ ：介電層之單位面積電容值(insulator capacitance per unit area)(F/cm<sup>2</sup>)

$W$ ：通道寬度(channel width)( $\mu\text{m}$ )

$L$ ：通道長度(channel length)( $\mu\text{m}$ )

$V_{GS}$ ：閘極電壓(gate voltage)(V)

$V_{th}$ ：臨界電壓(threshold voltage)(V)

而根據薄膜電晶體的轉換特性曲線以及上述兩條公式，可以求得特徵參數：

### (1)臨界電壓(threshold voltage, $V_{th}$ )

臨界電壓可以視為薄膜電晶體通道層中的導電通道恰形成所需之閘極電壓，此時汲極電流會快速增加。其求法可以由  $I_{DS}^{1/2} - V_{GS}$  圖，其曲線取切線，而此切線交於  $V_{GS}$  軸之交點即是臨界電壓值。另一作法為定電流法，通常取在以  $\log I_D - V_{GS}$  的轉換特性曲線上電流轉折較大的膝(knee)部份的對應汲極電流，以及此對應電流下的閘極電壓值。

### (2)場效遷移率(field effect mobility, $\mu_{FE}$ )

定義為單位電場強度之作用下，載子所移動的速度，根據線性區與飽和區的公式，其定義為：

線性區：

$$\mu_{FE,lin.} = g_{m,lin.} \left( \frac{L}{WC_i V_{DS}} \right) \quad (2.3.3)$$

其中  $g_{m,lin.}$  為線性區之轉導(transconductance)

$$g_{m,lin.} = \frac{dI_D}{dV_{GS}} \quad (2.3.4)$$

飽和區：

$$\mu_{FE,sat.} = (g_{m,sat.})^2 \left( \frac{2L}{WC_i} \right) \quad (2.3.5)$$

其中  $g_{m,sat.}$  為飽和區之轉導(transconductance)

$$g_{m,sat.} = \frac{dI_D^{1/2}}{dV_{GS}} \quad (2.3.6)$$

### (3)次臨界擺幅(subthreshold swing, $SS$ )

次臨界擺幅是一個表示閘極控制能力的參數，定義為次臨界區中汲極電流每增加十倍所需要的閘極電壓值，可以由轉換特性曲線中，低於臨界電壓時線性曲線斜率的倒數求得，即

$$SS = \left[ \frac{d(\log I_D)}{dV_{GS}} \right]^{-1} \quad (2.3.7)$$

當 SS 值愈小時，則表示閘極所控制的反應愈快，也對應著開關的切換速度愈快，而當薄膜電晶體工作範圍較小時，此參數就尤為重要。

#### (4) 電流開關比(on-off current ratio)

電流開關比為薄膜電晶體中較為基本的參數，表示電晶體的開啟與關閉時的汲極電流比例，其定義方式不一，可以由最大電流與最小電流的比值來求得，或是固定某個開啟狀態與某個關閉狀態的閘極電壓值，所分別對應的開啟汲極電流與關閉電流比值。一般而言，薄膜電晶體要適用在液晶顯示器中，其開關比大於  $10^6$  是必要的。

### 2.4 不同通道層之薄膜電晶體穩定性比較

由於一般薄膜電晶體應用於液晶顯示器中，其對熱、光、電的穩定性的需求較高，尤以被探討的是偏壓穩定性，通常用來觀察穩定性的特徵參數為臨界電壓值( $V_{th}$ )，以及次臨界擺幅(SS)。一般認為主導臨界電壓值的偏移(threshold voltage shift)的機制是來自於電荷捕獲(charge trapping)以及缺陷產生(defect creation)[5][6]，這兩種機制發生於介電層與通道層之界面是較為被討論的，而通常界面的缺陷產生會伴隨著次臨界擺幅的增加，界面捕獲態(interface trap states,  $N_t$ )與次臨界擺幅有一關係如下式，根據此式子可以比較不同介電層材料之電晶體界面性質[7]：

$$N_t = \left( \frac{SS \log(e)}{kT/q} - 1 \right) \frac{C_i}{q} \quad (1/\text{cm}^2) \quad (2.4.1)$$

其中，

e：尤拉數(Euler's number)

k：波茲曼常數(Boltzmann constant)

T：絕對溫度(K)

q：電子電量(electron charge)(coulomb)

$C_i$ ：介電層的單位面積電容值( $\text{F}/\text{cm}^2$ )

有研究指出，對於氧化物通道層之薄膜電晶體，經閘極偏壓時所發生的不穩定性機制主要來自於電荷捕獲，而非缺陷產生，這可以由偏壓實驗中所造成轉換特性曲線平行的偏移，而且 SS 改變量可以被忽略來佐證[8][9]。

電荷捕獲發生在閘極加上一正偏壓時，電子被電場吸引至介電層與通道層之間的界面，導致這些電子部份被界面缺陷(interface defects)捕獲，甚至注入接近通



道層的介電層之中而被捕陷，而由於這些電子所造成的電場會與閘極所加的電場抵銷，因此會影響到閘極感應通道的能力，造成臨界電壓有正方向的偏移，然而若在閘極加上負偏壓時，則會發生相反的情況[10]。為此，在 1993 年，F. R. Libsch 與 J. Kanicki 所提出的 Stretched-Exponential Time Dependence Equation 理論，可以將臨界電壓之偏移量對偏壓的時間關聯起來[11]：

$$\Delta V_{th} = \Delta V_{th0} \left\{ 1 - \exp \left[ - \left( \frac{t}{\tau} \right)^\beta \right] \right\} \quad (2.4.2)$$

其中，

$\Delta V_{th}$ ：臨界電壓偏移量(V)

$\Delta V_{th0}$ ：介電層之等效跨壓，約為  $V_{stress} - V_{th}$  (V)

t：偏壓持續時間(s)

$\beta$ ：為一 stretched-exponential 常數

$\tau$ ：特徵捕獲時間(characteristic trapping time)(s)

其中，

$$\tau = \tau_0 \exp(E_\tau/kT) \quad (2.4.3)$$

$$E_\tau = E_a/\beta \quad (2.4.4)$$

$\tau_0$ ：熱前因子(thermal prefactor)(s)

$E_\tau$ ：平均作用能障(average effective energy barrier)

為通道層中的載子在進入介電層之前所需克服的平均能障。

$E_a$ ：熱活化能(thermal activation energy)

根據這條式子，可以得知薄膜電晶體在偏壓作用下的穩定性能夠由特徵捕獲時間來客觀地比較好壞，較高的特徵捕獲時間可以對應到較少的被捕獲載子，也會造成較少的臨界電壓偏移量，依據不同的製程條件以及不同的材料特性，整理表格如表 2-4-1 [11]-[29]：

channel	deposition method	proce. T. (°C)	V <sub>th</sub> (V)	SS (V/dec.)	μ <sub>FE</sub> (cm <sup>2</sup> /Vs)	stress time (s)	gate bias (V)	ΔV <sub>th</sub> (V)	β	τ (s)
a-IGZO	dc sputter	350	~2.7	~0.4	~11.7	1000	V <sub>g</sub> -V <sub>t</sub> =15	~2.2	x	x
a-IGZO	dc sputter	x	-8	x	9.2	10000	20	~3	x	x
a-IGZO	PLD	200	1~2	0.1-0.2	~14	1000	20	~1	x	x
a-IGZO	rf sputter	300	4.1	0.48	6.7	10000	15	5	0.42	2E4
a-IGZO	rf sputter	350	3	0.3	9.7	10000	10	~2.4	0.42	2E4
a-IGZO	rf sputter	200	1~3	x	x	10000	10	~3	0.5	1.2E5
a-IGZO	sputter	250	~0	0.9	11.3	40000	10	~4.5	~0.39	x
a-SiH	PECVD	300	~3	x	~0.6	10000	20	~4	x	x
a-SiH	PECVD	350	4.5	0.85	0.8	10000	25	~1	0.254	1.02E8
a-SiH	PECVD	160	x	0.77	0.42	1500	V <sub>g</sub> -V <sub>t</sub> =25	~6	0.355	x
a-SiH	PECVD	150	2	0.5	0.75	1000	30	3	x	x
a-SiH	x	300	3	x	0.25	10000	20	4.8	x	x
a-SiH	x	175	3	0.5	x	10000	20	4.5	x	x
IZO	rf sputter	x	1.2	0.3	9.6	1000	15	~2.4	0.3	4400
ZnO	ALD	200	4.8	x	~13	10000	20	~1	x	x
ZnO	rf sputter	x	x	x	~2	10000	10	~20	x	x
ZnO	rf sputter	400	~5	~0.9	x	13000	20	2.2	0.38	1.26E6
ZnO	rf sputter	RT	15	1.35	8.1	3600	20	2	x	x
ZnO	sputter	130	4.78	0.68	~10	10000	12, V <sub>d</sub> =0.5	~0.4	0.4	1.8E8
ZnO:N	ALD	125	x	~0.5	2~7	3600	15	~1.8	x	x

表 2-4-1 文獻報告穩定性參數整理[11]-[29]

## 2.5 低溫製程之薄膜電晶體

一般而言，目前多數薄膜電晶體的製程仍以高溫製作為主，若將製程溫度壓低，如在 200°C 之下，則可以有比較多的應用，在軟性基板上的選擇性也比較多，但其相較於高溫製程容易會有較差的特性，如臨界電壓較大、較大的次臨界擺幅，以及在偏壓測試時電穩定性較不穩定等，這些較差的特性可以歸咎於電晶體中存於通道層或是介電層的本質缺陷、通道層與介電層的界面缺陷、通道層薄膜的成長特性等[19][22][27][30]。通常在製程完成之後的後處理是廣為被熟知的，某些研究指出適當地熱退火、雷射退火、紫外光照射、電漿處理等，可以使通道層的載子濃度得到調控、減少導帶尾段(band tail)的缺陷、重新排列某些區域性不規則的原子，或增強通道層與電極間的導電性等[26][31]-[34]，並且依據不同材料與其成長方式，應存在著較好的製程方式來改善。總而言之，材料的缺陷、載子濃度、材料的晶相或是不同層別材料間的界面都是影響薄膜電晶體元件的關鍵，也是值得去深入研究的課題。

## 2.6 汲極電流之活化能

通常薄膜電晶體的穩定性研究有幾種情況，如電穩定性測試、熱穩定性測試，或是在特定波長的光照下合併電穩定性測試等，其中熱所造成的效應有載子遷移率的增加、臨界電壓的下降，以及次臨界擺幅的退化等等，當環境溫度越高時則能提供電子較多能量，某些電子藉由環境提供的能量跳脫原本的位置而形成自由電子，使汲極電流增加，且造成載子遷移率上升、臨界電壓值下降。若是利用不同溫度在相同閘極偏壓時的電流值，則可計算出活化能(activation energy)，活化能即為費米能階(Fermi level)到導電帶的能量差距，也是平均一個被捕陷的電子跳脫區域態(localized states)所需的能量[35]，因此活化能可以用來估計能障大小，有文獻指出摻雜鎂於氧化鋅可以增加活化能，並且原因是鎂能夠抑制氧空缺的形成，這對穩定性也有相當大的幫助[36]，而活化能的計算公式如下[35]：

$$I_{DS} = I_{DS0} \cdot \exp(-E_a/kT) \quad (2.6.1)$$

其中，

$I_{DS0}$ ：汲極電流前因子(prefactor of drain current)

$E_a$ ：汲極電流活化能

k：波茲曼常數(Boltzmann constant)

T：絕對溫度(K)

根據上式，只要固定閘極偏壓並將不同溫度的汲極電流取自然對數，對上  $1/kT$  作圖，即可由擬合的方式得到活化能。



## 2.7 第二章參考文獻

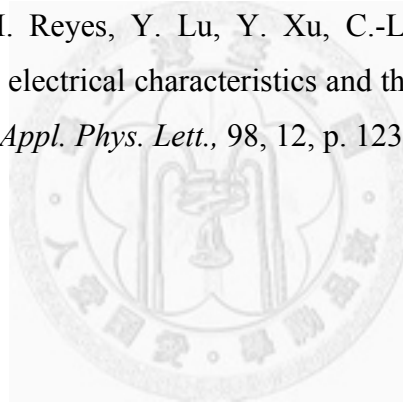
- [1] M. J. Powell, "The physics of amorphous-silicon thin-film transistors," *IEEE Trans. Electron Devices*, 36, 12, pp. 2753-2763, 1989.
- [2] D. Hong, G. Yerubandi, H. Q. Chiang, M. C. Spiegelberg, and J. F. Wager, "Electrical modeling of thin-film transistors," *Critical Reviews in Solid State and Materials Sciences*, 33, 2, pp. 101-132, 2008.
- [3] A. J. Snell, K. D. Mackenzie, W. E. Spear, and P. G. LeComber, "Application of amorphous silicon field effect transistors in addressable liquid crystal display panels," *Appl. Phys. A*, 24, 4, pp. 357-362, 1981.
- [4] C. R. Kagan, P. Andry, **Thin-Film Transistors**, *Marcel Dekker, Inc.*, pp. 37-39, 2003.
- [5] M. J. Powell, C. van Berkel, I. D. French, and D. H. Nicholls, "Bias dependence of instability mechanisms in amorphous silicon thin-film transistors," *Appl. Phys. Lett.*, 51, 16, pp. 1242-1244, 1987.
- [6] W. B. Jackson, and M. D. Moyer, "Creation of near-interface defects in hydrogenated amorphous silicon-silicon nitride heterojunctions: the role of hydrogen," *Phys. Rev. B*, 36, 6217, pp. 6217-6220, 1987.
- [7] C. R. Kagan, P. Andry, **Thin-Film Transistors**, *Marcel Dekker, Inc.*, pp. 86-87, 2003.
- [8] J. S. Jung, K. S. Son, K.-H. Lee, J. S. Park, T. S. Kim, J.-Y. Kwon, K.-B. Chung, J.-S. Park, B. Koo, and S. Lee, "The impact of SiN<sub>x</sub> gate insulators on amorphous indium-gallium-zinc oxide thin film transistors under bias-temperature-illumination stress," *Appl. Phys. Lett.*, 96, 19, p. 193506, 2010.
- [9] J. K. Jeong, H. W. Yang, J. H. Jeong, Y.-G. Mo, and H. D. Kim, "Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors," *Appl. Phys. Lett.*, 93, 12, p. 123508, 2008.
- [10] A.V. Gelatos and J. Kanicki, "Bias stress-induced instabilities in amorphous silicon nitride/hydrogenated amorphous silicon structures : Is the "carrier-induced defect creation" model correct?," *Appl. Phys. Lett.*, 57, 12, pp. 1197-1199, 1990.
- [11] F. R. Libsch and J. Kanicki, "Bias-stress-induced stretched-exponential time dependence of charge injection and trapping in amorphous thin-film transistors," *Appl. Phys. Lett.*, 62, 11, pp. 1286-1288, 1993.

- [12] K.-I. Choi, D.-H. Nam, J.-G. Park, S.-S. Park, W.-H. Choi, I.-S. Han, J.-K. Jeong, H.-D. Lee, and G.-W. Lee, "Instability dependent upon bias and temperature stress in amorphous-indium gallium zinc oxide (a-IGZO) thin-film transistors," *J. Soc. Inf. Disp.*, 18, 1, pp. 108-112, 2010.
- [13] Y.-K. Moon, S. Lee, D.-H. Kim, D.-H. Lee, C.-O. Jeong, and J.-W. Park, "Application of DC magnetron sputtering to deposition of InGaZnO films for thin film transistor devices," *Jpn. J. Appl. Phys.*, 48, p. 031301, 2009.
- [14] A. Suresh and J. F. Muth, "Bias stress stability of indium gallium zinc oxide channel based transparent thin film transistors," *Appl. Phys. Lett.*, 92, 3, p. 033502, 2008.
- [15] J.-M. Lee, I.-T. Cho, J.-H. Lee, and H.-I. Kwon, "Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors," *Appl. Phys. Lett.*, 93, 9, p. 093504, 2008.
- [16] S.-Y. Sung, J. H. Choi, U. B. Han, K. C. Lee, and J.-H. Lee, "Effects of ambient atmosphere on the transfer characteristics and gate-bias stress stability of amorphous indium-gallium-zinc oxide thin-film transistors," *Appl. Phys. Lett.*, 96, 10, p. 102107, 2010.
- [17] J.-J. Kim, W. Lim, S. J. Pearton, D. P. Norton, and Y.-W. Heo, "Electrical instability of a-In-Ga-Zn-O TFTs biased below accumulation threshold," *Electrochem. Solid-State Lett.*, 12, 11, pp. J101-J104, 2009.
- [18] J.-W. Tsai, C.-Y. Huang, Y.-H. Tai, F.-C. Su, F.-C. Luo, H.-C. Tuan, and H.-C. , "Reducing threshold voltage shifts in amorphous silicon thin film transistors by hydrogenating the gate nitride prior to amorphous silicon deposition," *Appl. Phys. Lett.*, 71, 9, pp. 1237-1239, 1997.
- [19] S.-C. Kao, H.-W. Zan, J.-J. Huang, and B.-C. Kung, "Self-heating effect on bias-stressed reliability for low-temperature a-Si:H TFT on flexible substrate," *IEEE Trans. Electron Devices*, 57, 3, pp. 588-593, 2010.
- [20] J. B. Choi, D. C. Yun, Y. I. Park, and J. H. Kim, "Properties of hydrogenated amorphous silicon thin film transistors fabricated at 150°C," *J. Non-Cryst. Solids*, 266-269, pp. 1315-1319, 2000.
- [21] H. Kavak, C. Gruber, H. Shanks, A. Landin, A. Constant, and S. Burns, "Thin film transistors on polyimide substrates," *J. Non-Cryst. Solids*, 266-269, pp. 1325-1328, 2000.

- [22] R. Shringarpure, S. Venugopal, L. T. Clark, D. R. Allee, and E. Bawolek, "Localization of gate bias induced threshold voltage degradation in a-Si:H TFTs," *IEEE Electron Device Lett.*, 29, 1, pp. 93-95, 2008.
- [23] J. H. Choi, U. B. Han, K. C. Lee, J.-H. Lee, and J.-J. Kim, "Transfer characteristics and bias-stress stability of amorphous indium zinc oxide thin-film transistors," *J. Vac. Sci. Technol. B*, 27, 2, pp. 622-625, 2009.
- [24] D. H. Levy, D. Freeman, S. F. Nelson, P. J. Cowdery-Corvan, and L. M. Irving, "Stable ZnO thin film transistors by fast open air atomic layer deposition," *Appl. Phys. Lett.*, 92, 19, p. 192101, 2008.
- [25] R. B. M. Cross and M. M. De Souza, "Investigating the stability of zinc oxide thin film transistors," *Appl. Phys. Lett.*, 89, 26, p. 263513, 2006.
- [26] L.-Y. Su, H.-Y. Lin, S.-L. Wang, Y.-H. Yeh, C.-C. Cheng, L. H. Peng, and J.-J. Huang, "Effects of gate-bias stress on ZnO thin-film transistors," *J. Soc. Inf. Disp.*, 18, 10, pp. 802-806, 2010.
- [27] L. Zhang, J. Li, X. W. Zhang, D. B. Yu, H. P. Lin, Khizar-ul-Haq, X. Y. Jiang, and Z. L. Zhang, "The influence of the SiO<sub>2</sub> deposition condition on the ZnO thin-film transistor performance," *Superlatt. Microstruct.*, 48, 2, pp. 198-205, 2010.
- [28] D. H. Redinger, "Lifetime modeling of ZnO thin-film transistors," *IEEE Trans. Electron Devices*, 57, 12, pp. 3460-3465, 2010.
- [29] S. J. Lim, J.-M. Kim, D. Kim, S. Kwon, J.-S. Park, and H. Kim, "Atomic layer deposition ZnO:N thin film transistor: The effects of N concentration on the device properties," *J. Electrochem. Soc.*, 157, 2, pp. H214-H218, 2010.
- [30] E. M. C. Fortunato, P. M. C. Barquinha, A. C. M. B. G. Pimentel, A. M. F. Gonçalves, A. J. S. Marques, L. M. N. Pereira, and R. F. P. Martins, "Fully transparent ZnO thin-film transistor produced at room temperature," *Adv. Mater.*, 17, 5, pp. 590-594, 2005.
- [31] M. Kimura, T. Nakanishi, K. Nomura, T. Kamiya, and H. Hosono, "Trap densities in amorphous-InGaZnO<sub>4</sub> thin-film transistors," *Appl. Phys. Lett.*, 92, 13, p. 133512, 2008.
- [32] W.-S. Kim, Y.-K. Moon, S. Lee, B.-W. Kang, K.-T. Kim, J.-H. Lee, J.-H. Kim, B.-D. Ahn, and J.-W. Park, "Amorphous indium gallium zinc oxide

semiconductor thin film transistors using O<sub>2</sub> plasma treatment on the SiN<sub>x</sub> gate insulator,” *Jpn. J. Appl. Phys.*, 49, p. 08JF02, 2010.

- [33] H.-W. Zan, W.-T. Chen, C.-W. Chou, C.-C. Tsai, C.-N. Huang, and H.-W. Hsueh, “Low Temperature Annealing with Solid-State Laser or UV lamp irradiation on amorphous IGZO thin-film transistors,” *Electrochem. Solid-State Lett.*, 13, 5, pp. H144-H146, 2010.
- [34] B. D. Ahn, W. H. Jeong, H. S. Shin, D. L. Kim, H. J. Kim, J. K. Jeong, S.-H. Choi, and M.-K. Han, “Effect of excimer laser annealing on the performance of amorphous indium gallium zinc oxide thin-film transistors,” *Electrochem. Solid-State Lett.*, 12, 12, pp. H430-H432, 2009.
- [35] C. Chen, K. Abe, H. Kumomi, and J. Kanicki, “Density of states of a-InGaZnO from temperature-dependent field-effect studies,” *IEEE Trans. Electron Devices*, 56, 6, pp. 1177-1183, 2009.
- [36] C.-J. Ku, Z. D., P. I. Reyes, Y. Lu, Y. Xu, C.-L. Hsueh, and E. Garfunkel, “Effects of Mg on the electrical characteristics and thermal stability of Mg<sub>x</sub>Zn<sub>1-x</sub>O thin film transistors,” *Appl. Phys. Lett.*, 98, 12, p. 123511, 2011.





## 第三章 實驗步驟及方法

我們實驗中所製作的薄膜電晶體為下閘極的倒置交錯型堆疊，並包含數道製程如：金屬蒸鍍、薄膜沈積、微影、蝕刻等過程，因成膜的品質以及製程的處理能顯著地影響薄膜電晶體特性的優劣，故瞭解相關的製程原理與參數要如何設定，都是相當重要的一環，而本章分別描述製程時所使用的沈積薄膜儀器及原理、分析儀器，以及電性量測架構。

### 3.1 薄膜成長儀器及原理

#### 3.1.1 電漿原理

電漿是物質存在的第四種狀態，若對適當壓力的氣體施加足夠的能量，則會使得部份氣體分子解離，若能量持續施加，氣體分子將持續解離為電子、離子、自由基或是留下一些尚未解離的分子，這些混合粒子的狀態即是等離子氣體或電漿。巨觀來看電漿為一電中性的流體，但是其中某些區塊可能存在著不同極性的電荷，由於電漿中帶電質點的密度相當高，庫倫交互作用明顯，使得這些帶電質點表現出流體的行為，並且決定許多電漿的性質。

通常濺鍍系統中所使用的惰性氣體為氬氣，當加速電子撞擊氬氣原子時，會使其分子產生離子化反應，釋放一帶正電之離子以及一帶負電之電子，於是產生兩自由電子，此二慢速電子同樣經過電場加速而成為下一次反應的快速電子，如此反覆進行上述過程，會產生大量的離子與電子，這些反應起源於氣體內原本存在的少量游離粒子，而當氣體裡的帶電荷粒子產生足夠數量時，這些原本屬於電的不良導體的氣體，將處於崩潰狀態，同時某些較低能量的自由電子會使得氣體原子的電子躍遷而不產生游離，這些躍遷的電子回到基態時會釋放能量並發出原子或分子的獨特光線，為輝光放電(glow discharge)現象。圖 3-1-1 為典型低壓直流輝光放電，於陰極射線管中電性的變化[1]，當陰極射線管中的高能離子轟擊陰極金屬表面時，會使得金屬材料被濺射出來，則會在管壁上鍍上一層金屬薄膜，此現象最早於西元 1852 年由 W. R. Grove 所發表，這種機制後來被廣泛利用於濺鍍設備上。

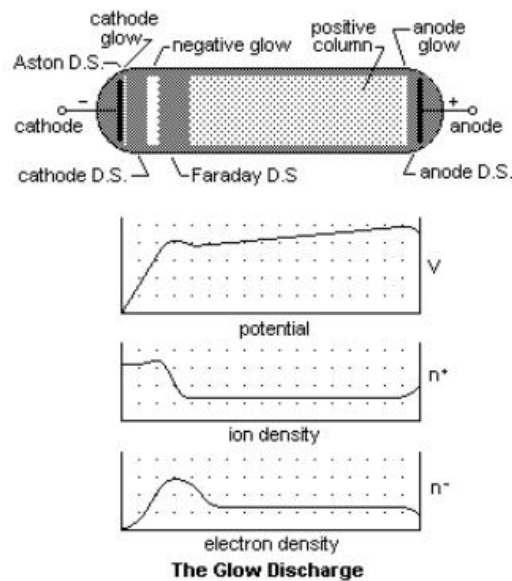


圖 3-1-1 典型低壓直流輝光放電之特性[1]

### 3.1.2 濺鍍系統

濺鍍製程是在薄膜沈積方面經常會使用到的方法，而濺鍍系統基於電漿產生方式不同，有許多不同的技術，一般常見的有直流(Direct Current, DC)與射頻(Radio frequency, RF)的輝光放電系統，如圖 3-1-2 為一常見的射頻濺鍍系統，其工作方式是在一真空的腔體中，通入適當壓力(通常為數個至數十個 mtorr)的惰性氣體，以靶材做為陰極，並加上另一陽極，施加電壓於兩相對應的電極板上，誘使氣體大量產生帶電粒子，此即為電漿，利用帶電粒子的加速，並以高能的狀態撞擊靶材的表面，使得靶材表面的原子藉由能量轉移而從固體表面彈出，濺射到欲鍍試片上形成一層覆膜，此一過程就稱為濺鍍沈積(sputter deposition)[2]。

直流濺鍍與射頻濺鍍最大的差異在於：直流系統只能用於非磁性導體靶材的濺鍍，因為若使用之靶材為非導體，則會有正電荷累積在靶材表面的現象，當靶材表面累積的正電荷愈多，其電位將持續升高，並對轟擊靶材的離子造成斥力，使電漿產生的過程停止而無法繼續濺鍍。然而射頻系統使用高頻交流電源(13.56 MHz)，當電壓互換時，電子會受到電場的吸引往靶材移動，中和靶材表面的正電荷，解決電荷累積的問題，因此射頻濺鍍法不僅可以適用於各類導體，也可使用於半導體或陶瓷材料的濺鍍。我們所製作的薄膜電晶體即是利用射頻系統來進行實驗。

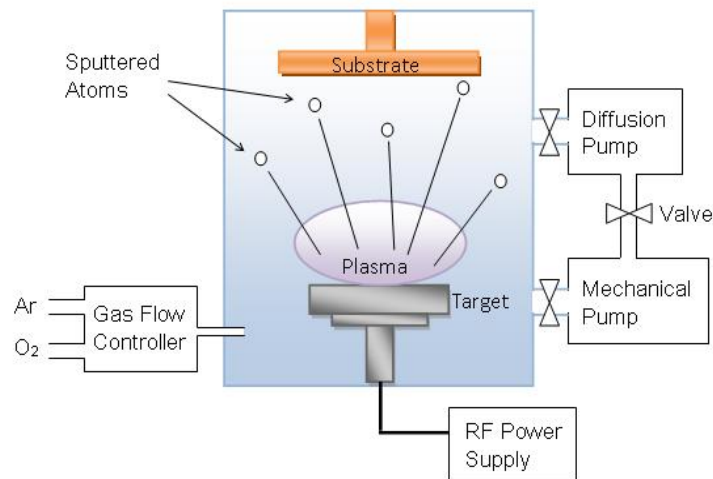


圖 3-1-2 射頻濺鍍系統示意圖

### 3.1.3 磁控濺鍍

磁控濺鍍可以改進一般濺鍍法的缺點，如電漿的離子化效率低、基板熱效應明顯、濺鍍速率較慢等，這些現象的成因來自於電子在腔體內雜亂地行進，使激發氣體分子產生離子的效率不高，被離子所撞擊出來的靶材粒子也由於這些電子散射而不易達到基板沈積，鍍率因而降低。磁控濺鍍由垂直的電場與磁場結合而成，如圖 3-1-3 為磁控濺鍍示意圖[3]，利用裝置永久磁鐵於陰極靶材的內面，可使得電子受到磁場束縛，成為螺旋式的運動而將電子在消失前所經歷的路徑拉長，因此增加氣體分子離子化的機率，而轟擊靶材的離子也將會顯著增加，並濺射出更多靶材粒子於基板上，有效提高濺鍍沈積速率[4]。

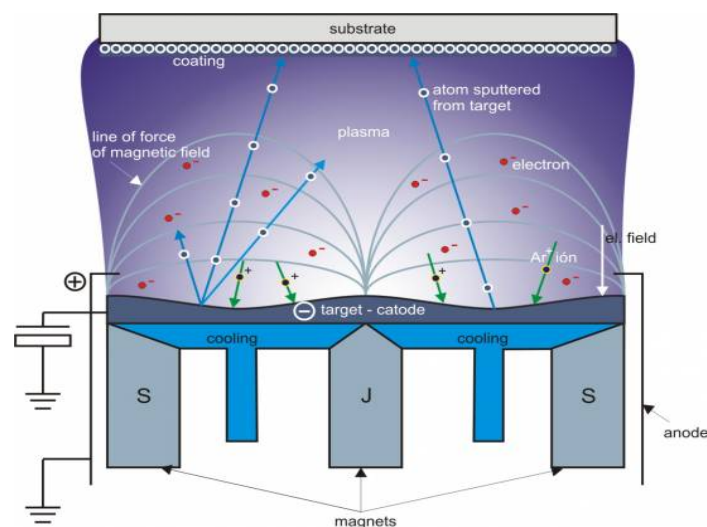


圖 3-1-3 磁控濺鍍示意圖[3]

### 3.1.4 電子束蒸鍍(electric beam evaporation)

在高真空的腔體中，首先將欲鍍材料置放於一耐高溫材料製成的坩堝中，利用電流來加熱的鎢絲，使處於高熱的電子動能大於束縛能(binding energy)而游離出來，並經過一高電場加速電子成為高能量電子束，接著調整磁場，使電子束的受到磁場作用力而得以控制電子束的軌跡，並將電子束轉向後集中打擊於預先放置的材料上，此時電子的動能被轉換為熱能，而使欲鍍材料的一部分被加熱至達到熔點，蒸發到達基板之上沈積。如圖 3-1-4 為電子束蒸鍍示意圖[5]。使用電子束蒸鍍的好處是蒸鍍速率快、適合蒸鍍多種材料、製程簡易便宜、相較熱蒸鍍不易有污染，然而其最大的缺點是階梯覆蓋性不佳，以及因為熔點的不同而不適合蒸鍍合金或化合物材料。

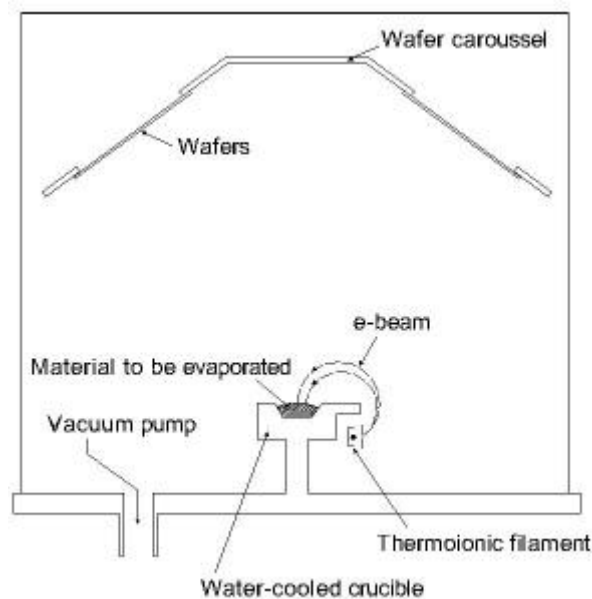


圖 3-1-4 電子束蒸鍍示意圖[5]

### 3.2 微影製程

我們所製作的薄膜電晶體共需經過三道微影光罩之製程：第一道定義下閘極、第二道定義源極與汲極，而第三道作為閘極開口。微影流程包含了塗佈光阻、軟烤、曝光、顯影，以及後續的蝕刻、掀除法，最後再將光阻洗淨去除。

光阻是一種容易藉由特定波長紫外光的能量改變其化學性質的有機材料，因此利用紫外光以及光罩的遮罩，可以只讓部份區域受到紫外光照射，造成部份區

域的光阻有性質上的差異，再經由顯影液去除光阻，而留下光阻有覆蓋的區域被遮罩住，如此定義出所需的圖形，接著再利用此一圖形作為蝕刻或是掀除，以達到選擇性地去除試片上不要的區塊、留下所需的區塊的效果。光阻又分為正光阻以及負光阻兩種，正光阻在接受曝光後會被顯影液移除，反之負光阻則會被留下，光阻根據其化學結構的不同，而有不同加熱軟烤的需求。因為微影製程有較小的線寬，一般可到達微米等級，甚至更小線寬的需求，因此微影技術不僅被利用於積體電路上，也常見於元件的製作。以下條列微影製程的細部參數設定：

1. 塗佈光阻：

我們所使用的正光阻型號為 AZ6112。首先將試片置於光阻塗佈機之載台上並滴上光阻，設定第一階段轉速為 500rpm，持續 5 秒，使光阻先分佈均勻；第二階段轉速為 3000rpm，持續 25 秒，使光阻的厚度達到較薄，約為 1.2 微米。而負光阻型號為 NLOF-2020。第一階段仍維持轉速 500rpm，持續 5 秒；而第二階段調整為轉速 500rpm，持續 30 秒，其厚度約為 2 微米。

2. 軟烤：

我們所使用的軟烤方式為加熱板(hot plate)。正光阻於曝光前將試片放置於加熱板上軟烤，其設定溫度為 90°C，軟烤 5 分鐘，即可用於曝光以及顯影。負光阻於曝光前後皆需要軟烤，其兩次軟烤的設定溫度皆為 110°C，軟烤時間也皆為 90 秒。

3. 曝光：

我們所使用的曝光機為接觸式曝光，其汞燈強度為 10mW/cm<sup>2</sup>，光源波段為紫外光。對於正光阻以及負光阻，較佳的曝光時間皆為 9 秒。

4. 顯影：

正光阻所使用的顯影液型號為 DPD-200，顯影時間約為 20 秒。負光阻顯影液型號為 MIF-319，顯影時間約為 10 秒。顯影前需先將顯影液由冰箱取出退冰，而將試片浸入顯影液時需輕微搖晃，並注意圖案是否不再變化，顯影完成後再於顯微鏡下確認圖形是否完整。

5. 蝕刻：

蝕刻的方式決定於膜的種類，或是基於不同層薄膜之間的選擇性蝕刻來決定，

基本分為乾式蝕刻與濕式蝕刻兩大類。我們使用較為便利的濕式蝕刻，根據不同蝕刻薄膜而有不同的溶液配置，整理如表 3-2-1：

待蝕刻薄膜	蝕刻溶液(體積比)	蝕刻率( $\text{\AA}/\text{s}$ )
鈦金屬	鈦蝕刻液(Ti-893) : $\text{H}_2\text{O} = 1 : 2$	~5
氧化鎂/氧化鋅鎂	$\text{CH}_3\text{COOH} : \text{H}_2\text{O} = 1 : 2$	~5

表 3-2-1 濕蝕刻參數

### 3.3 薄膜電晶體 製作流程

我們所使用的基板為康寧(Corning)公司出產的 Eagle 2000 型玻璃，其厚度為 0.7 毫米(mm)，將詳細的製作流程、鍍膜參數條列如下：

製作流程：

1. 清洗玻璃基板：
  - 1.1 以適當玻璃皿容器盛裝定量硫酸溶液
  - 1.2 取雙氧水以硫酸的 1/3 體積比例緩緩加入其中
  - 1.3 將玻璃浸泡於溶液內約 5 分鐘，記住其朝上的一面
  - 1.4 以鑷子取出後，浸泡於去離子水沖洗 10 分鐘
  - 1.5 接著以氮氣槍沿著邊緣吹乾，使朝上那一面保持朝上並收入樣品盒
2. 下閘極(bottom gate)：
  - 2.1 以電子束蒸鍍(E-beam)於基板上鍍上鈦金屬約 70 nm
  - 2.2 以微影流程曝光第一道光罩，定義出下閘極圖形
  - 2.3 以鈦蝕刻液 Ti-893 與去離子水體積比為 1:2 做蝕刻，將下閘極蝕刻出圖形
  - 2.4 以丙酮、異丙醇、去離子水分別清洗光阻，並以氮氣槍吹乾之
  - 2.5 以膜厚度測儀確認是否過蝕刻
3. 閘極介電層(gate insulator)與通道層(channel layer)：
  - 3.1 以電子束蒸鍍鍍上氧化鎂 250 nm
  - 3.2 或化學氣相沈積法沈積氧化矽或氮化矽之介電層 300 nm
  - 3.3 以濺鍍法濺鍍  $\text{Mg}_{0.05}\text{Zn}_{0.95}\text{O}$  之通道層 40 nm
4. 源極與汲極(source & drain)：

- 4.1 以微影流程曝光第二道光罩，定義出圖形
- 4.2 以電子束蒸鍍(E-beam)於定義之圖形上蒸鍍鈦金屬約 70 nm
- 4.3 泡於丙酮溶液，並以超音波震盪器震洗 5 分鐘，將不要的金屬掀除(lift off)
- 4.4 放置於第二處丙酮溶液震洗，以將圖形剝除完整
- 4.5 以異丙醇、去離子水分別清洗，並以氮氣槍吹乾之
5. 閘極接觸開口(contact hole)：
  - 5.1 以微影流程曝光第三道光罩，定義出圖形
  - 5.2 以醋酸與去離子水體積比為 1:2 溶液蝕刻氧化鋅鎂與氧化鎂
  - 5.3 以 BOE 與去離子水體積比為 1:15 溶液蝕刻氧化鋅鎂與氧化矽
  - 5.4 以 BOE 與去離子水體積比為 1:15 溶液蝕刻氧化鋅鎂與氮化矽
  - 5.5 在顯微鏡下檢查色澤是否為金屬色澤
  - 5.6 確認蝕刻乾淨後，以丙酮、異丙醇、去離子水清洗光阻，並以氮氣槍吹乾
6. 下閘極薄膜電晶體完成後，於顯微鏡下的俯視圖，如圖 3-3-1 為製作於玻璃基板上之薄膜電晶體，以及圖 3-3-2 為薄膜電晶體的側視結構示意：

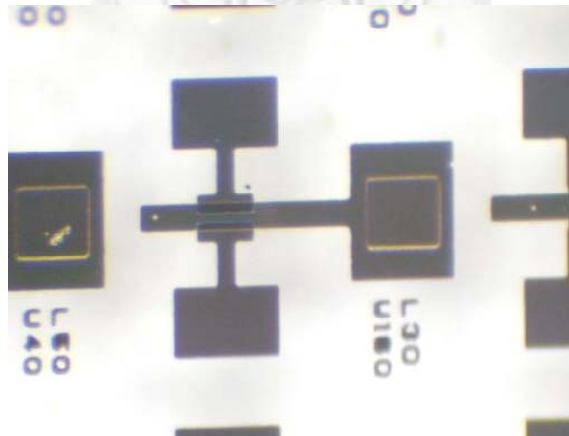


圖 3-3-1 薄膜電晶體於玻璃基板

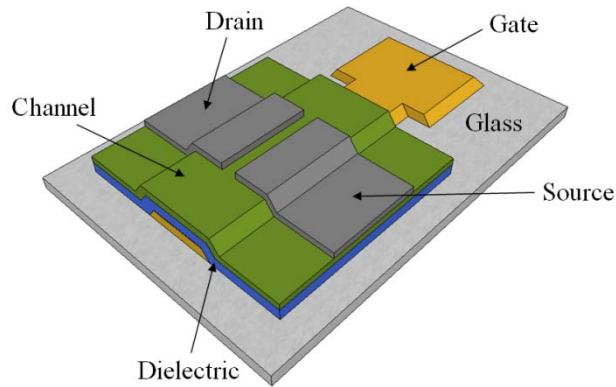


圖 3-3-2 薄膜電晶體側視結構示意圖

鍍膜參數：

鍍膜製程根據不同之介電層、通道層、金屬層而將參數設定如表 3-3-1：

使用機台：電子束蒸鍍					
膜層	真空度	蒸鍍電流	鍍率	膜厚	
鈦金屬 (電極)	$\sim 3 \times 10^{-6}$ Torr	$\sim 50$ mA	$\sim 0.9$ Å/s	70 nm	
氧化鎂 (介電層)	$\sim 5 \times 10^{-6}$ Torr	$\sim 10$ mA	$\sim 0.8$ Å/s	250 nm	

使用機台：射頻磁控濺鍍					
膜層	真空度	通入氣體	能量密度	鍍率	膜厚
Mg <sub>0.05</sub> Zn <sub>0.95</sub> O (通道層)	$\sim 8 \times 10^{-6}$ Torr	Ar:O <sub>2</sub> = 36:6 @10 mTorr	2.2W/cm <sup>2</sup>	$\sim 8$ Å/m	40 nm

表 3-3-1 鍍膜參數設定

### 3.4 分析及量測儀器

#### 3.4.1 X 光繞射儀(X-ray diffraction)

X 光為短波長的電磁輻射，其波長範圍約在  $1\text{Å}$ ，較晶體中的原子間距小，因此 X 光很適合用來偵測材料的結晶構造，當 X 光進入晶體的一組平面時，若兩鄰近面之入射光與繞射光的光程差為波長的整數倍時，則會產生建設性干涉之繞射現象，此繞射現象可用布拉格繞射定律(Bragg's law)描述，即  $2d\sin\theta = n\lambda$  之關係；



其中， $d$  為兩相鄰的平行結晶面(hkl)的間距， $\theta$  為入射光與平面的夾角， $\lambda$  為 X 光源的波長， $n$  為任意整數。

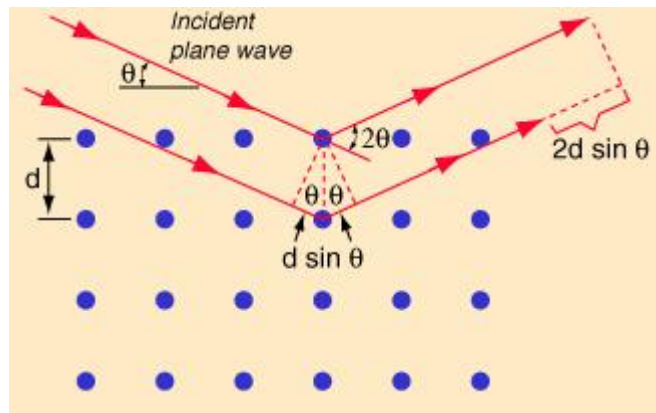


圖 3-4-1 布拉格繞射示意圖[6]

如圖 3-4-1 為布拉格繞射示意[6]。若是材料為晶面結構，則在光程差是  $\lambda$  的整數倍時，會因為建設性干涉而得到很強的訊號；若光程差不為  $\lambda$  的整數倍時，則對訊號而言為削減的效應，即破壞性干涉，由已知波長  $\lambda$  與繞射信號對應的  $\theta$  角可利用推算出晶格間距  $d$ 。又 X 光行進路線為薄膜的表面，因此需要薄膜有一定的厚度，若薄膜厚度太薄，光線有可能穿過薄膜到達下方的基板，而使偵測到基板材料的繞射信號，此時材料的訊號可能會被基板訊號干擾，且為了滿足布拉格繞射之成立條件，入射光、繞射光與晶體平面的三條法向量需共平面，而待測面之法線也需為入射光與繞射光的角平分線。

### 3.4.2 表面輪廓儀

表面輪廓儀是實驗中用以決定膜厚的儀器，其中以機械式探針測量試片表面，從未鍍膜區掃到有鍍膜區時，會有一階梯高度差異，此高度差由轉換器轉成電子訊號，再經由電子訊號放大調整，並由電腦程式計算後畫出其相對高度落差，可藉此得知膜的相對厚度，也可作為鍍率計算校正之用途。

### 3.4.3 掃描式電子顯微鏡

掃描式電子顯微鏡為觀察試片表面型態不可或缺之工具，其主要構造為電子槍系統、集束透鏡(condenser lens)、偏向線圈等，如圖 3-4-2 為掃描式電子顯微鏡構造[7]。其原理為利用電子槍，在真空系統中打入高能電子束，經過集束透鏡聚

焦，再以偏向線圈將電子束打在試片表面以進行二維掃瞄，電子束在試片表面相互作用時，會產生相關的二次訊號，如二次電子、背向散射電子、歐杰(Auger)電子與特性 X 光等，而這些訊號被試片上側的訊號偵測器捕捉，此訊號經過放大處理後送至 CRT 螢幕上，則 CRT 螢幕上的亮度與對比會根據電子訊號的強度而調變，因此便可同步觀察試片的表面形貌。

其中二次電子與背向散射電子常作為訊號偵測，所謂二次電子是電子束打在試片表面約 10 nm 左右深時，原子堆中最外層的電子被打出所產生，一般利用二次電子即可看出試片表面的高低形貌。背向散射電子則是入射電子撞擊到材料的原子核之後反彈回去產生，其能量約略等於入射電子束能量，而材料的原子量越大其反彈的愈多，經過處理之後的成像就愈亮，因此帶有元素成份的訊息，可以利用來鑑別出材料成份的差異性，然而背向散射電子於試片產生的深度較深，約為 500 nm 左右，因此其造成的表面影像解析度較不如淺層發生的二次電子。

特性 X 光的產生方式為入射電子將原子核的內層電子敲出，此時外層電子會躍遷跳入內層軌道，而此能量差即以 X 光的形式放出，且根據不同材料展現不同特性。而歐傑電子則是此特性 X 光再將外層電子敲出所形成，故也可用來判斷材料的成分差異及特性[7]。

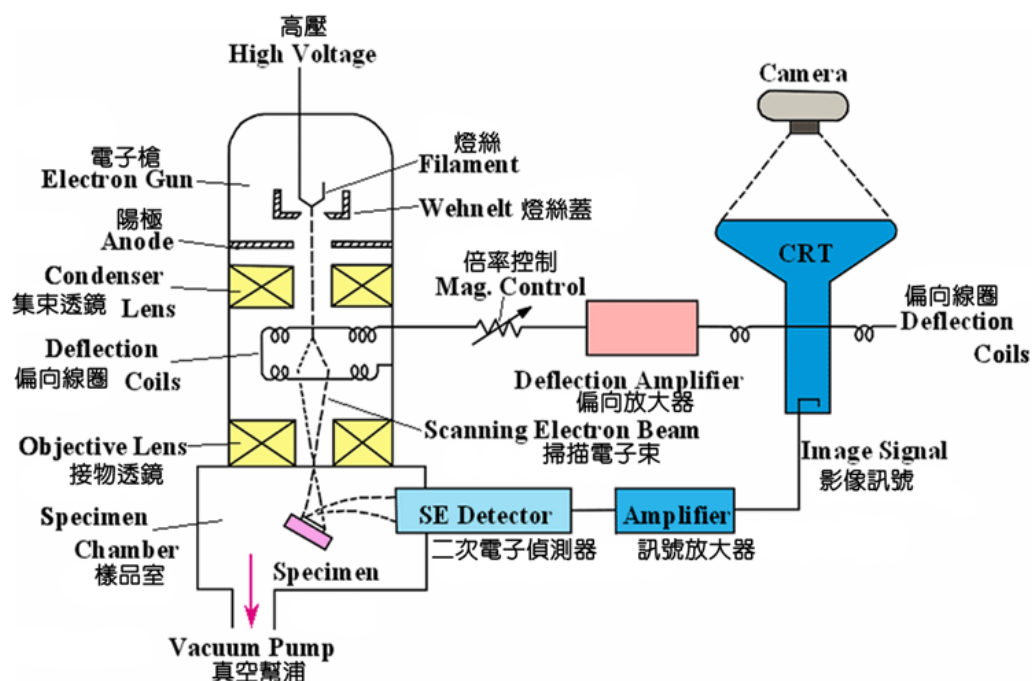


圖 3-4-2 電子顯微鏡構造示意圖[7]

#### 3.4.4 電性量測架構

本實驗中所用於量測薄膜電晶體電性的電流-電壓量測儀器型號為 Keithley 2636A。量測架構為一置於防震桌上的黑箱，將試片的承載載台與探針座設置在黑箱內，以隔離光線，此外載台可以另外加熱至最高 200°C，且經由一組熱電偶偵測並控制溫度，以提供升溫量測。薄膜電晶體的電性量測全程於暗箱中進行，並設定量測之積分時間為中等(medium)，量測之電壓點間距為 200 mV。升溫量測的方式為，當載台的溫度達到設定溫度後，等待 30 分鐘使試片與載台溫度為穩定狀態，再接著測量定溫之薄膜電晶體電性。

偏壓量測的閘極直流偏壓部份，正偏壓實驗中為閘極偏壓+20 V，源極與汲極接地；負偏壓實驗中為閘極偏壓-20 V，源極與汲極接地。在閘極交流偏壓部份，則為閘極偏壓 0 V 到+20 V，工作週期(duty ratio)為 50%，源極與汲極接地。偏壓量測時選定幾個時間點中斷偏壓進行測量，以量測電晶體的轉換特性曲線，之後再繼續加上偏壓，直到偏壓測試實驗結束。由於使用同一個電晶體重複量測偏壓穩定性，因此在每次偏壓測試前，電晶體會進行較低溫的退火處理，其退火條件為 120°C 在空氣中，並持續 20 分鐘，以使電晶體回復到初始狀態。

### 3.5 第三章參考文獻

- [1] <http://mysite.du.edu/~jcalvert/phys/dischg.htm>
- [2] 賴耿陽，“IC 製程之濺射技術”，復漢出版社，1997
- [3] <http://www.umms.sav.sk/index.php?ID=415>
- [4] [http://eshare.stut.edu.tw/EshareFile/2009\\_11/2009\\_11\\_13e6f13f.pdf](http://eshare.stut.edu.tw/EshareFile/2009_11/2009_11_13e6f13f.pdf)
- [5] <http://www.memsnet.org/mems/processes/deposition.html>
- [6] <http://hyperphysics.phy-astr.gsu.edu/hbase/quantum/bragg.html>
- [7] [http://www.me.tnu.edu.tw/~me010/Precision\\_Equipment\\_Lab/SEM\\_web/TNIT\\_lab\\_SEMintroduction\\_down.htm](http://www.me.tnu.edu.tw/~me010/Precision_Equipment_Lab/SEM_web/TNIT_lab_SEMintroduction_down.htm)



## 第四章 實驗結果與討論

### 4.1 薄膜性質分析

為了研究介電層的薄膜性質、介電層與通道層之間的界面，以及在氧化鋅中摻雜鎂所產生的效應，我們使用 X 光繞射頻譜(XRD)來檢驗薄膜的結晶型態，並且討論不同溫度後處理對結晶所造成的影響。

#### 4.1.1 氧化鎂薄膜（介電層）性質分析

圖 4-1-1 為電子束蒸鍍法沈積之氧化鎂薄膜 XRD 分析圖，氧化鎂薄膜沈積於經過 BOE(buffered oxide etch)清洗的矽基板上，其膜厚為 500 nm，對照圖 4-1-2 為矽基板的 XRD 分析圖，可以得知不論是未經過處理或是高溫(200°C、350°C)退火處理，皆發現在  $2\theta = 62^\circ$  左右時有結晶的(220)峰值，指出成長的氧化鎂為面心立方的結晶結構，然而氧化鎂的優生結晶方向會隨著成長條件不同而有所改變[1]，根據實驗結果，我們認為有單一結晶方向且結晶性較強的氧化鎂薄膜能與通道層有較佳的界面。

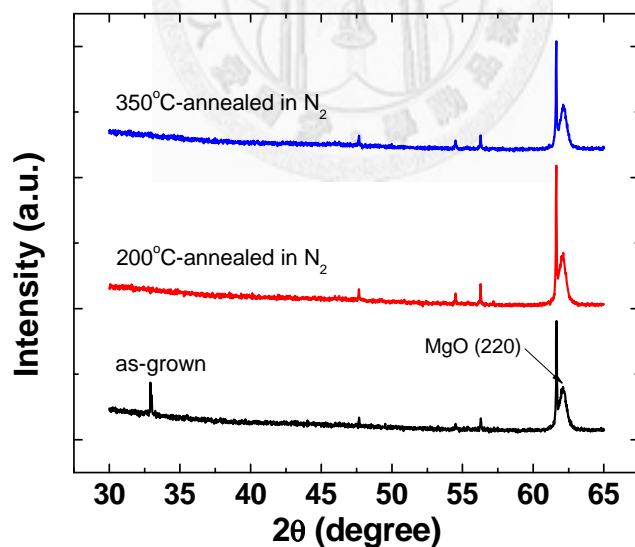


圖 4-1-1 未處理以及退火處理的氧化鎂薄膜的 XRD

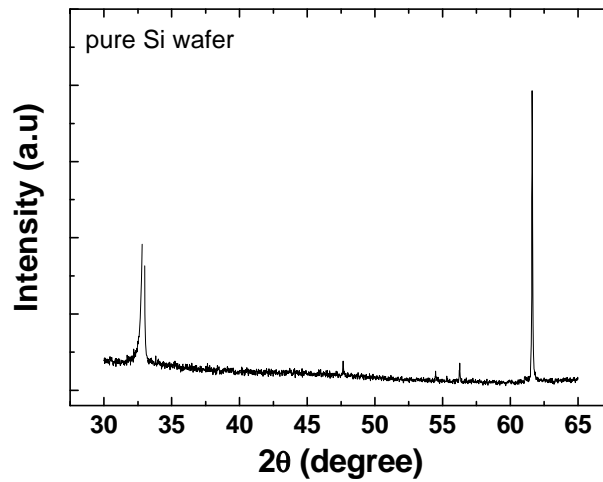


圖 4-1-2 矽基板的 XRD

利用掃描式電子顯微鏡(SEM)可以觀察到氧化鎂薄膜的表面形貌，圖 4-1-3、4-1-4、4-1-5 分別為未經處理 200°C 與 350°C 退火處理的氧化鎂薄膜，可以發現於 350°C 退火處理後氧化鎂薄膜的表面較為平整，而根據實驗結果，未經過熱處理的薄膜電晶體電性不會出現電晶體的特性曲線，其原因可能來自於未處理的氧化鎂薄膜較不平整，而與通道層的界面間存在較多缺陷有關。

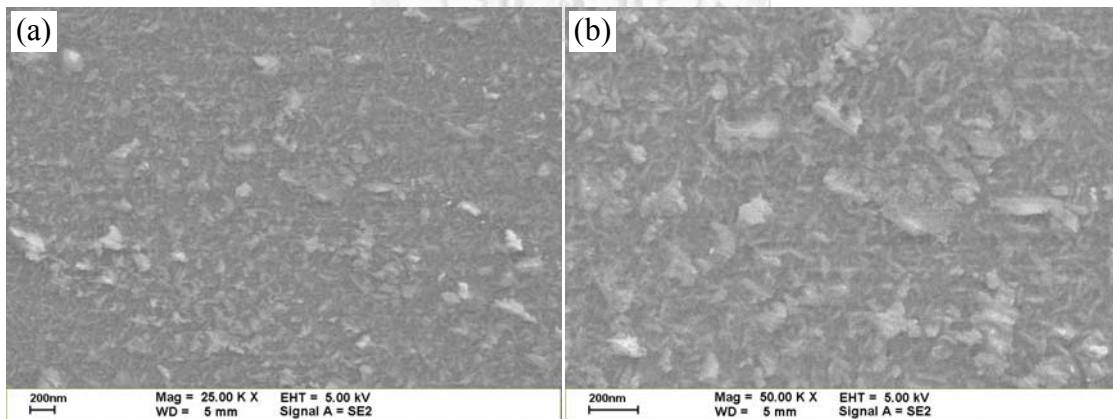


圖 4-1-3 (a)(b) 分別為未經處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

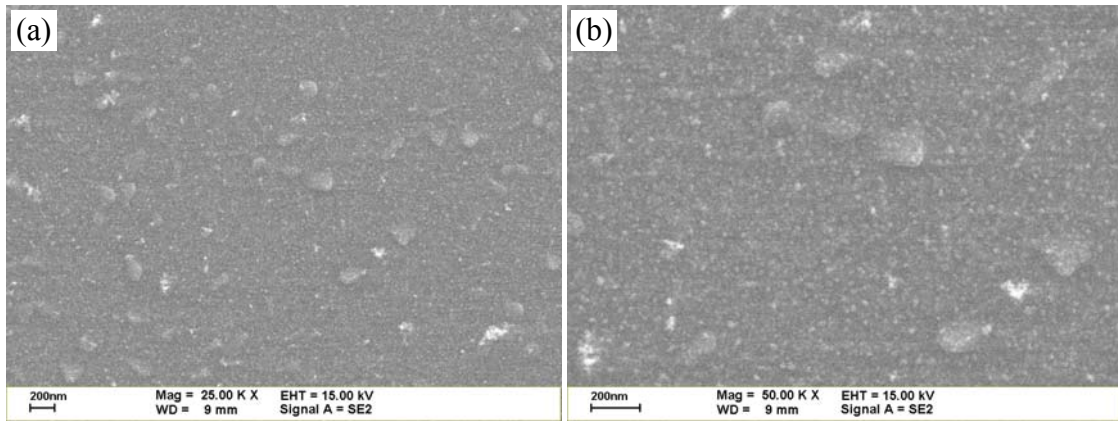


圖 4-1-4 (a)(b) 分別為經過 200°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

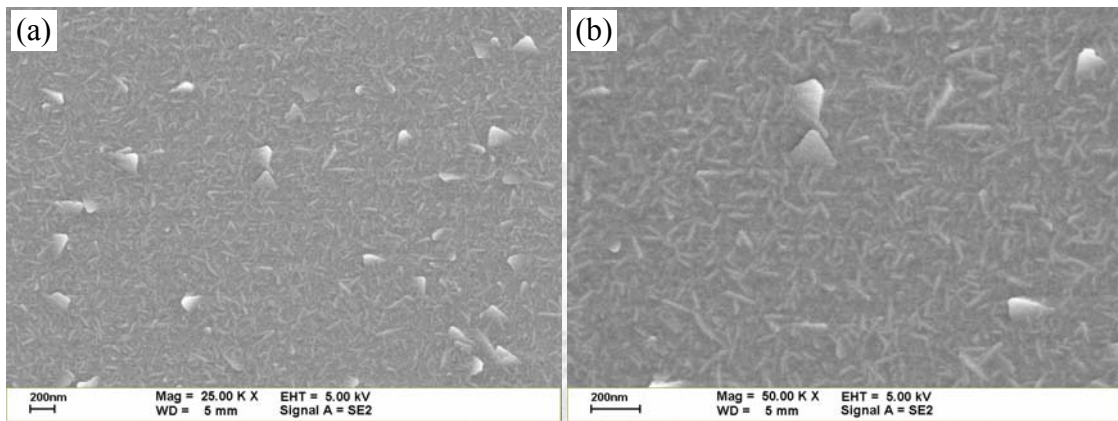


圖 4-1-5 (a)(b) 分別為經過 350°C 退火處理的氧化鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

#### 4.1.2 氧化鋅鎂薄膜（通道層）性質分析

圖 4-1-6 為利用濺鍍沈積法所沈積的氧化鋅鎂薄膜之 XRD 分析圖，氧化鋅鎂薄膜沈積於經過 BOE 清洗的矽基板上，其膜厚為 500 nm。由 XRD 分析可以得知未經處理、200°C 以及 350°C 氮氣下熱退火處理三者皆有結晶現象，並且我們發現在  $2\theta = 34^\circ$  附近都有明顯(002)優生結晶方向的峰值，此峰值所對應到的是氧化鋅的烏采結構(wurtzite structure)，沈積後未經處理的氧化鋅鎂薄膜有最低的  $2\theta$  角度，並在退火後峰值向右偏移，這顯示了鎂取代鋅的現象，是由於鎂的離子半徑較鋅略小所導致，我們也發現 350°C 熱退火處理後的薄膜有最大的偏移，因此其取代現象是最多的。另外經由計算 XRD 中的半高全寬(FWHM, full width at half-maximum)，可以得知 200°C 熱退火處理的氧化鋅鎂薄膜結晶性並未有顯著改

善，然而 350°C 熱退火處理之薄膜所計算出來的半高全寬降低許多，表示較為高溫的熱退火對氧化鋅鎂薄膜的結晶性有增強的效果，故 350°C 熱退火處理可以有較多的鎂取代鋅，也有較好的結晶性，根據接下來的穩定性測試結果，也發現此退火條件對薄膜電晶體的穩定性有相當大的助益。

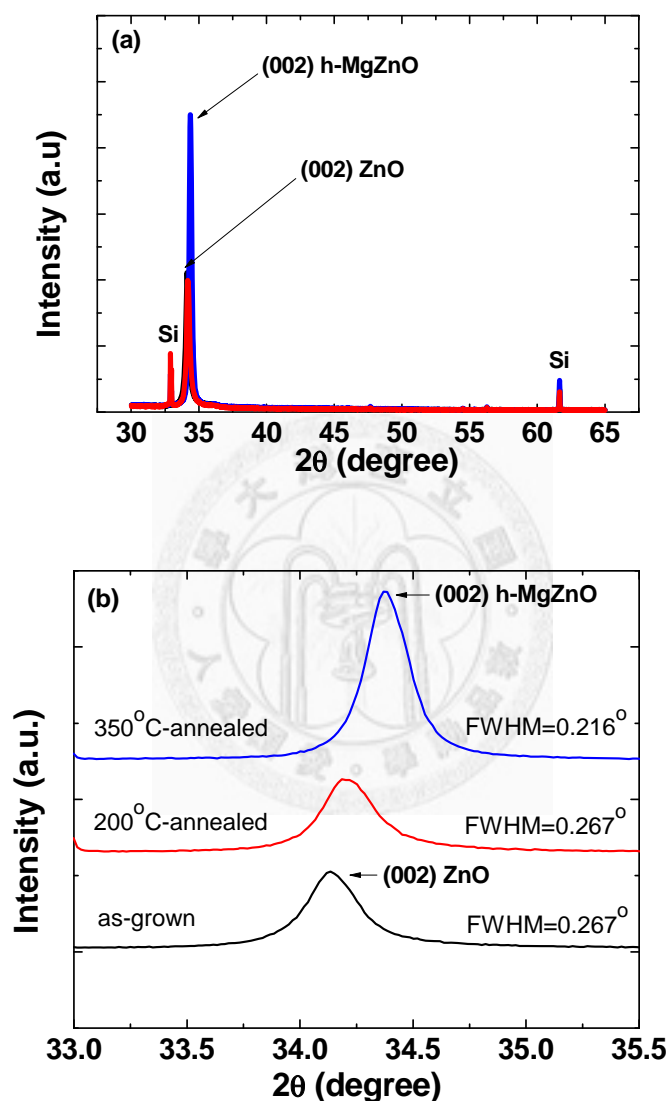


圖 4-1-6 在(a)較大角度範圍與(b) (002)峰值附近角度範圍量測之未處理以及退火處理的氧化鋅鎂薄膜的 XRD

圖 4-1-7、4-1-8、4-1-9 分別為未經處理、200°C 與 350°C 退火處理的氧化鋅鎂薄膜於 SEM 下觀察的表面形貌，可以發現 350°C 退火處理後的氧化鋅鎂薄膜相較於未退火與 200°C 退火的試片有較大的結晶顆粒。



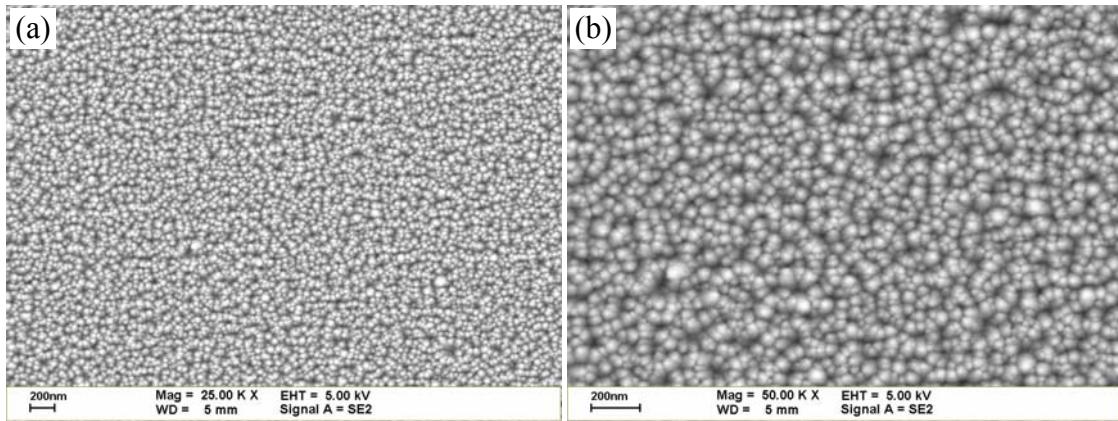


圖 4-1-7 (a)(b) 分別為未經處理的氧化鋅鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

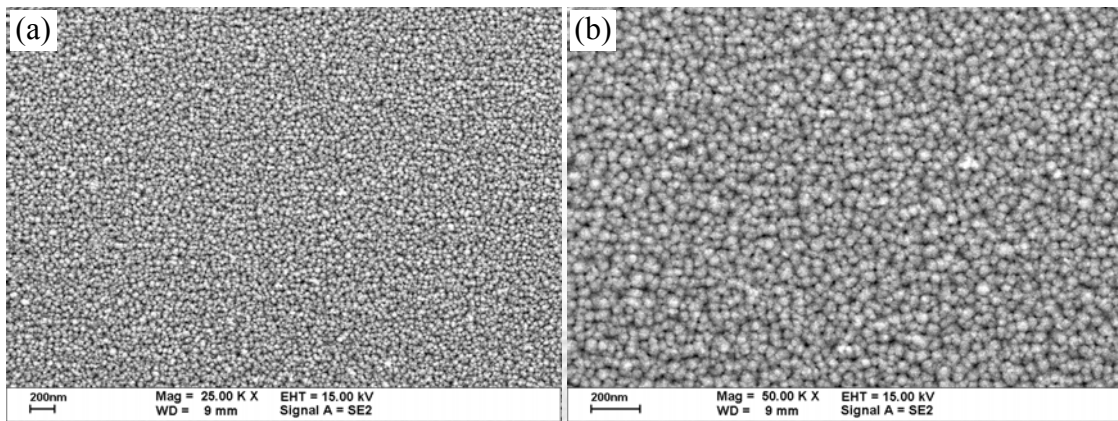


圖 4-1-8 (a)(b) 分別為 200°C 退火處理的氧化鋅鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

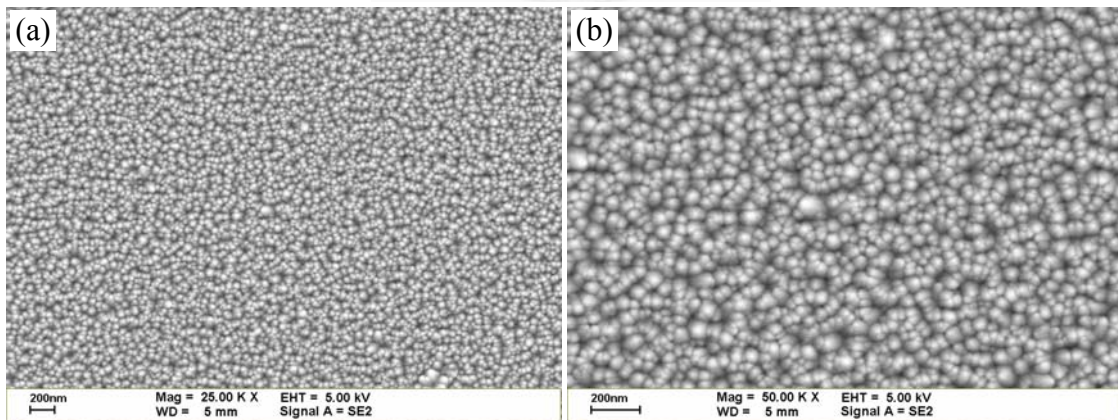


圖 4-1-9 (a)(b) 分別為 350°C 退火處理的氧化鋅鎂薄膜於 25k, 50k 放大倍率下所觀察到的 SEM 上視圖

## 4.2 不同退火後處理之電性

我們將依據兩種不同退火後處理之條件，來比較薄膜電晶體的電性以及電熱穩定性之差異，並且做一系列不同的通道長寬比測試。

### 1. 通道長寬比為 $L/W = 15 \mu\text{m} / 320 \mu\text{m}$ :

首先圖 4-2-1 為通道長寬比為  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  的薄膜電晶體在不同條件退火的轉換特性曲線，而圖 4-2-2 則為輸出特性曲線，兩種退火條件的初始特性參數比較擷取於表 4-2-1，由擷取的參數可以得知，兩種不同退火條件的薄膜電晶體所表現的初始特性是類似的，並且都工作在增強模式(enhancement mode)，即是常關的工作型態，而兩者也有相似的臨界電壓值、載子遷移率、次臨界擺幅、電流開關比以及界面捕獲態，然而可以注意到的是， $350^\circ\text{C}$  退火條件的薄膜電晶體的載子遷移率有稍微降下來的趨勢，此一結果與鎂摻雜進入氧化鋅薄膜的結晶多寡有關，根據 4.1.2 節所述的通道層 XRD 分析， $350^\circ\text{C}$  退火的氧化鋅鎂薄膜結晶中有較多的鋅被鎂取代，也由於鎂會降低氧化鋅中的載子濃度，因此造成載子遷移率些微下降的結果，如 Ohtomo 等人所發表  $\text{Mg}_x\text{Zn}_{1-x}\text{O}$  薄膜電晶體在  $x = 0$  改變到  $x = 0.3$  時，載子遷移率隨之從  $2.7 \text{ cm}^2/\text{Vs}$  降至  $0.03 \text{ cm}^2/\text{Vs}$ ，主要可能來自於部份的合金錯排(alloying disorder)使載子散射機率增加所導致[2]，由量測的輸出特性曲線也可以佐證在相同的閘極偏壓下， $350^\circ\text{C}$  退火的薄膜電晶體其輸出電流有下降的趨勢。另外兩者的次臨界擺幅值極為接近，可以得知不論是  $200^\circ\text{C}$  或是  $350^\circ\text{C}$  退火處理對於介電層與通道層的界面皆有相近的結果，由式(2.4.1)的計算可以得知，兩種退火條件所得到的界面捕獲態是相近的，並且與其他氧化物為基礎的薄膜電晶體是可以比較的( $N_t = 5-7 \times 10^{12}$ )[3][4]，這表示氧化鎂作為介電層可以與通道層有不錯的界面，在我們的實驗中， $200^\circ\text{C}$  與  $350^\circ\text{C}$  退火的薄膜電晶體有類似的界面性質，此一結果可能意味著退火處理的溫度對界面性質的影響有限，或是兩者溫度相差不遠所致。

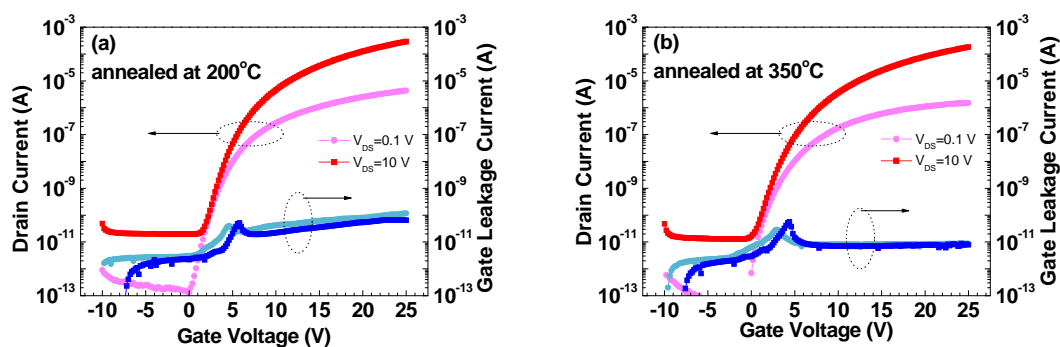


圖 4-2-1 (a)(b) 分別為  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於  $200^\circ\text{C}$  以及  $350^\circ\text{C}$  氮氣下熱退火的轉換特性曲線以及閘極漏電流

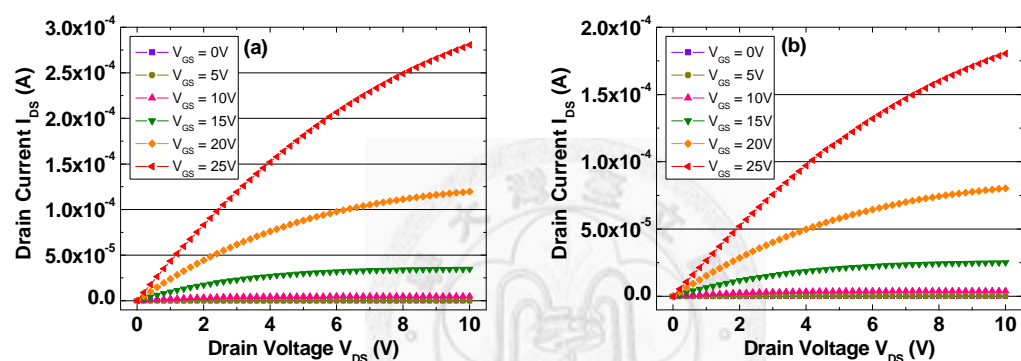


圖 4-2-2 (a)(b) 分別為  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於  $200^\circ\text{C}$  以及  $350^\circ\text{C}$  氮氣下熱退火的輸出特性曲線

	臨界電壓 $V_{th}$ (V)	載子遷移率 $\mu$ ( $\text{cm}^2/\text{Vs}$ )	次臨界擺幅 SS (V/dec)	電流開關比 on/off current ratio	界面捕獲態 $N_t$ ( $1/\text{cm}^2$ )
200°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	5.0	5.22	0.82	$1.8 \times 10^7$	$2.77 \times 10^{12}$
350°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	5.0	3.77	0.83	$2.6 \times 10^7$	$2.81 \times 10^{12}$
200°C 退火 ( $V_{DS} = 10 \text{ V}$ )	7.7	3.89	0.88	$1.4 \times 10^7$	$3.00 \times 10^{12}$

350°C 退火 ( $V_{DS} = 10\text{ V}$ )	7.8	2.54	0.88	$1.4 \times 10^7$	$3.00 \times 10^{12}$
--	-----	------	------	-------------------	-----------------------

表 4-2-1 擷取  $L/W = 15\ \mu\text{m} / 320\ \mu\text{m}$  之薄膜電晶體於 200°C 以及 350°C 氮氣下熱退火的初始特性參數

2. 通道長寬比為  $L/W = 20\ \mu\text{m} / 320\ \mu\text{m}$  :

圖 4-2-3 為通道長寬比為  $L/W = 20\ \mu\text{m} / 320\ \mu\text{m}$  的薄膜電晶體在兩種退火條件的轉換特性曲線，而圖 4-2-4 為輸出特性曲線，此一長寬比所擷取到的特性參數如表 4-2-2，可得知此一元件的特性與長寬比為  $L/W = 15\ \mu\text{m} / 320\ \mu\text{m}$  極為類似，且根據典型薄膜電晶體的汲極電流公式如式(2.3.1)與式(2.3.2)，可以推測汲極電流將會與通道的寬度成正比，而與長度成反比，所以比較不同長度元件，可看出較大的通道長度在相同的閘極工作電壓下會有較小汲極電流，也符合預期的結果。

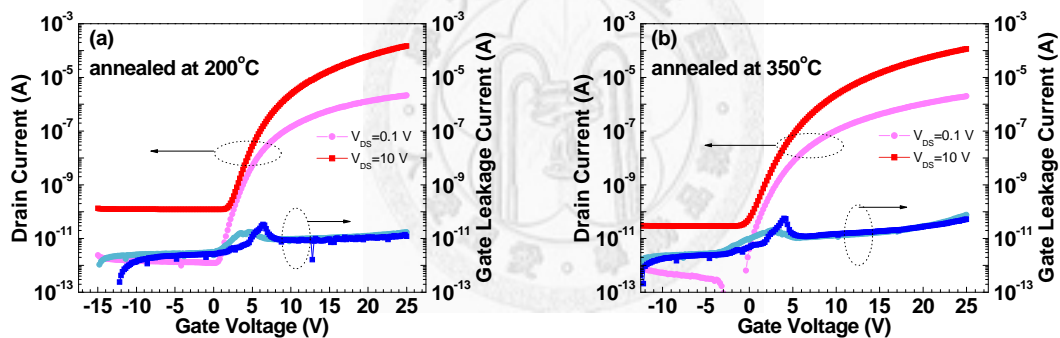


圖 4-2-3 (a)(b) 分別為  $L/W = 20\ \mu\text{m} / 320\ \mu\text{m}$  之薄膜電晶體於 200°C 以及 350°C 氮氣下熱退火的轉換特性曲線以及閘極漏電流

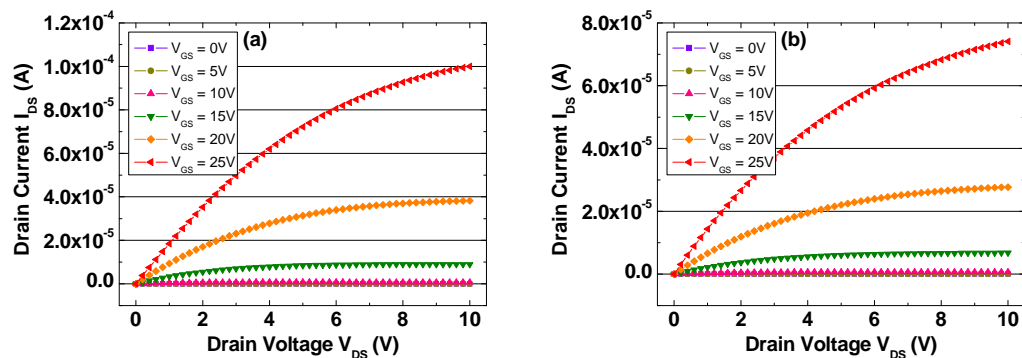


圖 4-2-4 (a)(b) 分別為  $L/W = 20\ \mu\text{m} / 320\ \mu\text{m}$  之薄膜電晶體於 200°C 以及 350°C

氮氣下熱退火的輸出特性曲線

	臨界電壓 $V_{th}$ (V)	載子遷移率 $\mu$ ( $\text{cm}^2/\text{Vs}$ )	次臨界擺幅 SS (V/dec)	電流開關比 on/off current ratio	界面捕獲態 $N_t$ ( $1/\text{cm}^2$ )
200°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	5.0	4.75	0.88	$2.0 \times 10^6$	$3.0 \times 10^{12}$
350°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	4.6	3.84	0.88	$5.0 \times 10^6$	$3.0 \times 10^{12}$
200°C 退火 ( $V_{DS} = 10 \text{ V}$ )	8.6	2.92	1.25	$1.2 \times 10^6$	$4.3 \times 10^{12}$
350°C 退火 ( $V_{DS} = 10 \text{ V}$ )	8.4	2.19	1.29	$4.0 \times 10^6$	$4.5 \times 10^{12}$

表 4-2-2 擷取  $L/W = 20 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於 200°C 以及 350°C 氮氣下熱退火的初始特性參數

3. 通道長寬比為  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  :

圖 4-2-5 為通道長寬比為  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  的薄膜電晶體在兩種退火條件的轉換特性曲線，而圖 4-2-6 為輸出特性曲線，表 4-2-3 為所擷取到的特性參數，可以明顯注意到閘極漏電顯著增加，這可能是由於氧化鎂介電層的鍍膜不均勻所導致，由於閘極電流通過某些較大的缺陷傳導到源極或汲極，使漏電較為嚴重，並且閘極漏電也影響到載子遷移率的表現。

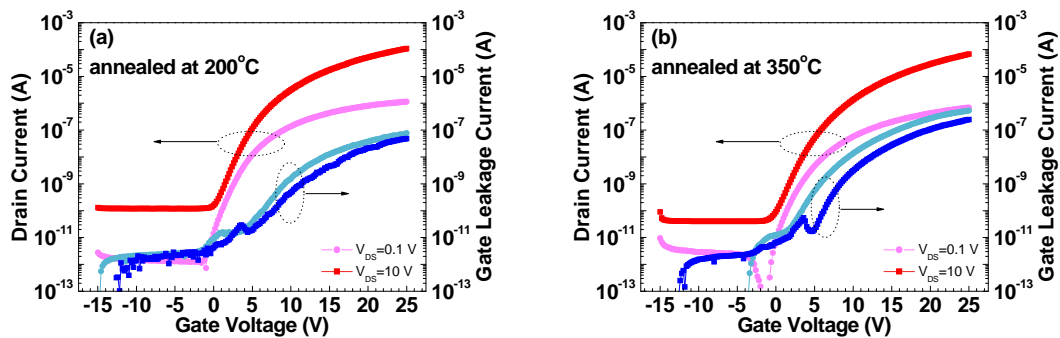


圖 4-2-5 (a)(b) 分別為  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於 200°C 以及 350°C 氮氣下熱退火的轉換特性曲線以及閘極漏電流

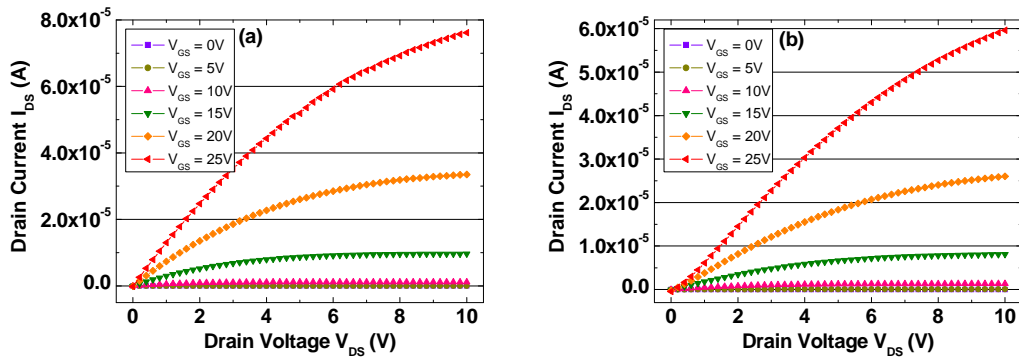


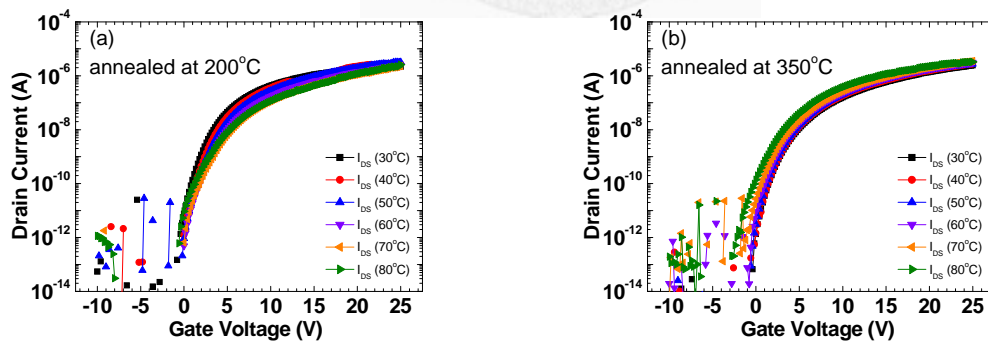
圖 4-2-6 (a)(b) 分別為  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於  $200^\circ\text{C}$  以及  $350^\circ\text{C}$  氮氣下熱退火的輸出特性曲線

	臨界電壓 $V_{th}$ (V)	載子遷移率 $\mu$ ( $\text{cm}^2/\text{Vs}$ )	次臨界擺幅 SS (V/dec)	電流開關比 on/off current ratio	界面捕獲態 $N_t$ ( $1/\text{cm}^2$ )
200°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	4.0	2.07	1.02	$9.3 \times 10^5$	$3.5 \times 10^{12}$
350°C 退火 ( $V_{DS} = 0.1 \text{ V}$ )	5.1	1.56	0.96	$1.7 \times 10^6$	$3.3 \times 10^{12}$
200°C 退火 ( $V_{DS} = 10 \text{ V}$ )	6.7	2.52	1.46	$9.2 \times 10^5$	$5.1 \times 10^{12}$
350°C 退火 ( $V_{DS} = 10 \text{ V}$ )	8.1	1.86	1.55	$1.6 \times 10^6$	$5.4 \times 10^{12}$

表 4-2-3 擷取  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體於  $200^\circ\text{C}$  以及  $350^\circ\text{C}$  氮氣下熱退火的初始特性參數

### 4.3 不同退火後處理熱穩定性

我們以  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  之薄膜電晶體元件做單純的熱穩定性實驗，分別在  $30^\circ\text{C}$ 、 $40^\circ\text{C}$ 、 $50^\circ\text{C}$ 、 $60^\circ\text{C}$ 、 $70^\circ\text{C}$ 、 $80^\circ\text{C}$  量測其轉換特性曲線，並討論熱效應對元件的影響。圖 4-3-1 分別為兩種退火處理的轉換特性曲線隨環境溫度變化圖，可以發現在高溫環境中，熱的效應對薄膜電晶體元件會造成通道層中有載子熱激發(thermal excitation)現象，主因為原本中性的氧空缺( $V_O$ )因為熱的效應激發成為帶正電的氧空缺( $V_O^+$  或  $V_O^{2+}$ )，同時釋放電子，因此關電流會上升，並且臨界電壓值會略為下降[5]，如圖 4-3-2 所示，這在  $350^\circ\text{C}$  的元件上的趨勢是相當明顯的；然而  $200^\circ\text{C}$  退火元件只有在較高溫時發生此現象，前幾個較低溫時量測的熱效應並不明顯，這可能是由於通道層中的造成載子捕陷的缺陷較多，一開始較低溫時載子熱激發現象不明顯，僅在量測中發生的載子被捕陷的數量多於熱激發的載子數量，因此  $200^\circ\text{C}$  退火條件的臨界電壓值先有上升而後下降的情形，關電流也有先下降後上升的趨勢。圖 4-3-3 與圖 4-3-4 分別為兩種退火溫度的載子遷移率與次臨界擺幅對環境溫度的變化，可以發現  $200^\circ\text{C}$  退火元件的載子遷移率也有折返的現象， $350^\circ\text{C}$  退火元件則會隨溫度改變有較為一致的趨勢，另外在次臨界擺幅隨溫度變化可以得知， $200^\circ\text{C}$  退火元件在升溫初期不明顯，直到環境溫度較高溫時急遽退化，反而  $350^\circ\text{C}$  退火元件是相較穩定一些的。



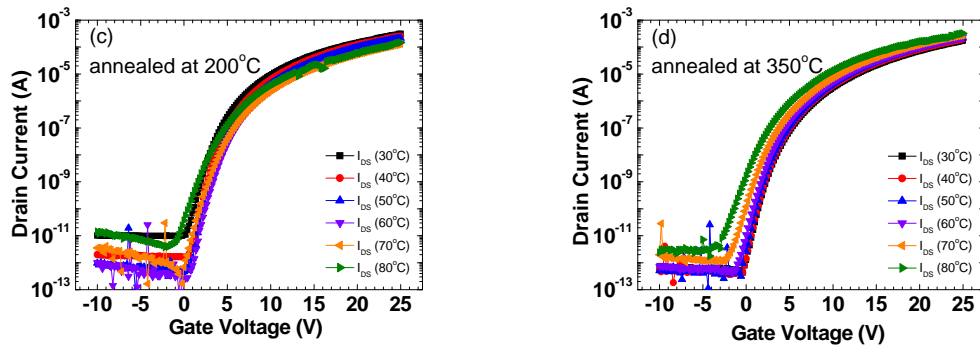


圖 4-3-1 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 的轉換特性曲線隨環境溫度變化圖

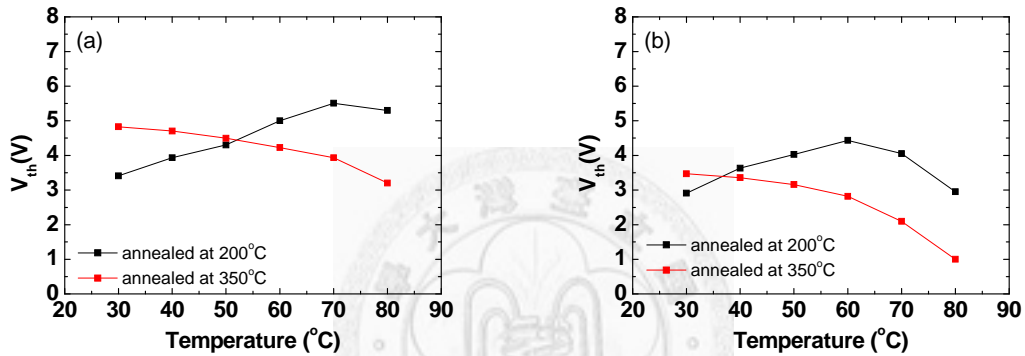


圖 4-3-2 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 的臨界電壓隨環境溫度變化圖

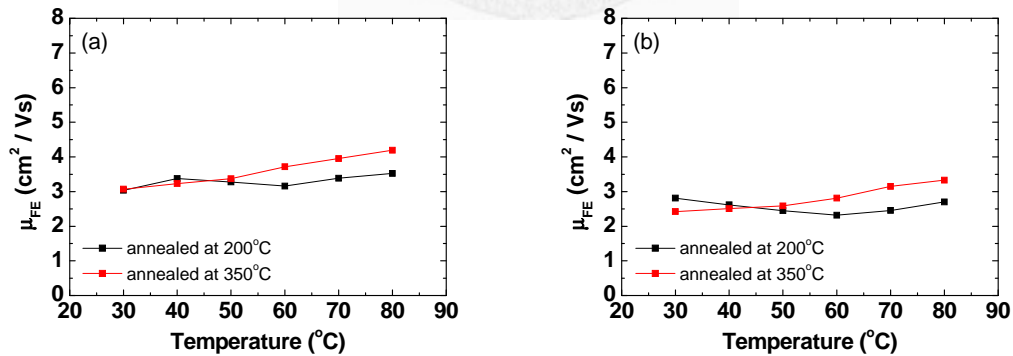


圖 4-3-3 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 的載子遷移率隨環境溫度變化圖



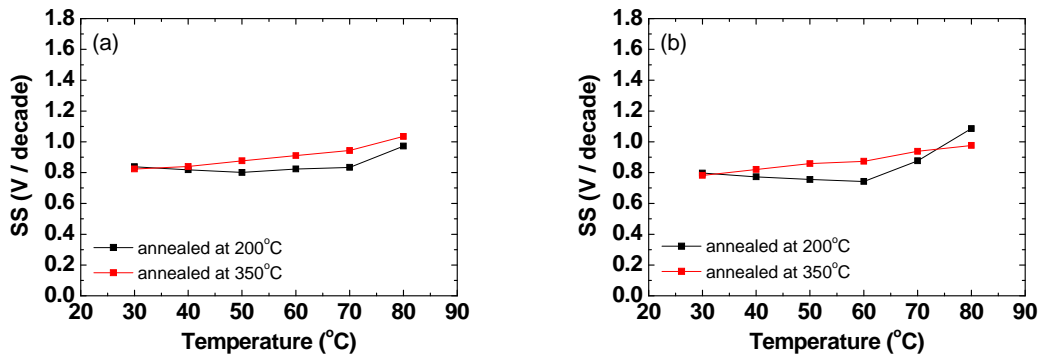
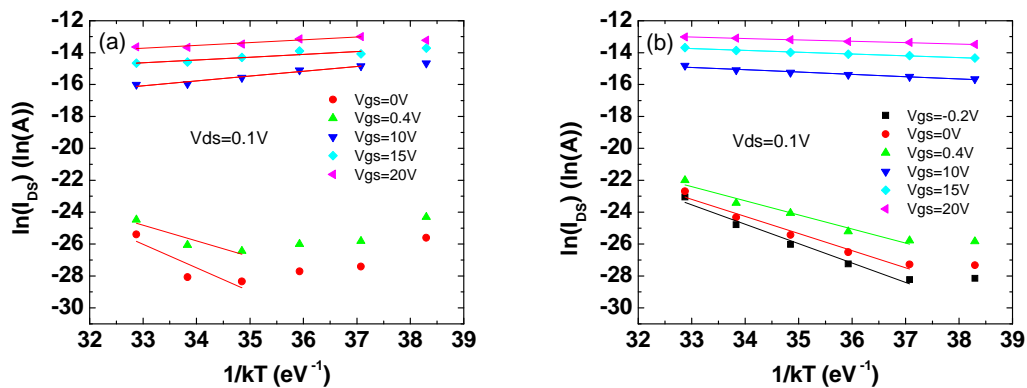


圖 4-3-4 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 的次臨界擺幅隨環境溫度變化圖

接著我們可以利用升溫量測的資料點計算出汲極電流的活化能，如式(2.6.1)。首先取固定的  $V_{GS}$  所對應到的汲極電流值，將電流值取自然對數後對  $1/kT$  作圖，則可以得到斜率，將斜率乘上負號即是活化能的值，圖 4-3-5(a)(b)分別為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 的活化能線性擬合作圖，其中值得注意的是 200°C 退火的試片，由於前幾個溫度的載子熱激發效應並不明顯，造成汲極電流並不隨著溫度增加而上升，因此計算的活化能為負值，表示導電帶降到了費米能階之下，這並不符合常理，而在 350°C 退火的試片中，求得的活化能值最大為 1.2 eV，圖 4-3-5(c)為活化能對閘極電壓圖，在 Ku 等人所發表的文獻中，摻雜鎂的氧化鋅( $Mg_{0.06}Zn_{0.94}O$ )所得到的活化能為 1.15 eV，相較於單純氧化鋅所得到的活化能最大為 0.85 eV，摻雜鎂後的活化能相較高了許多，然而這並非完全來自於摻雜鎂所增加的能隙，主要的原因應是來自於鎂抑制了氧空缺的形成導致[5]。



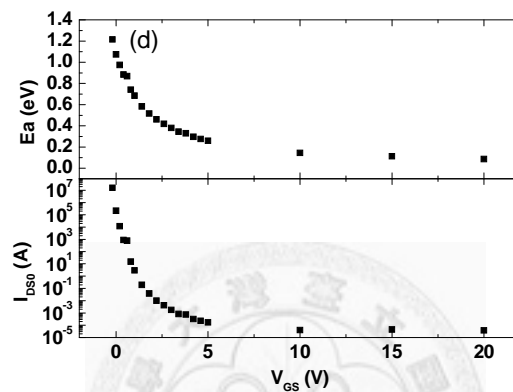
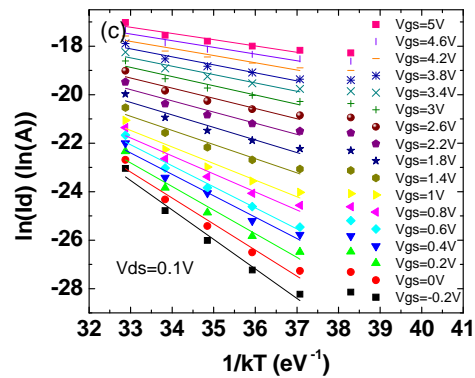


圖 4-3-5 分別為(a) 200°C 以及(b)(c) 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 的活化能線性擬合方式作圖以及(d)計算 350°C 熱退火之薄膜電晶體所得之活化能  $E_a$  與汲極電流前因子  $I_{DS0}$

#### 4.4 不同退火後處理電穩定性

我們挑選不同尺寸的元件並且做電穩定性、電熱穩定性、正負偏壓測試以及交流偏壓測試，因此分別以不同尺寸的元件分類，做系統性的比較與分析在不同穩定性測試下的現象。

##### 4.4.1 電穩定性與電熱穩定性比較

電穩定性與電熱穩定性為不同溫度下做閘極正偏壓測試，測試的條件為閘極偏壓為 +20 V，汲極與源極各接地，偏壓持續時間最長為 10000 秒，每到 100 秒、200 秒、500 秒、1000 秒、2000 秒、5000 秒、10000 秒中斷偏壓並量測薄膜電晶體轉換特性曲線，並且分別在 20°C，50°C，65°C，80°C 做測試，而所選用的通道長寬為  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  的元件。

圖 4-4-1 為不同退火溫度的薄膜電晶體在汲極偏壓分別為 0.1 V 與 10 V 下量測的閘極偏壓穩定性測試結果，由圖中將兩者比較，可以發現轉換特性曲線為平行的偏移，意即次臨界擺幅(SS)沒有很大的改變，這可以表示在介電層與通道層的界面所產生的電子捕陷態可以被忽略，並且臨界電壓的偏移原因可以歸因於電荷捕陷(charge trapping)，在界面附近或是介電層內被捕獲的電子會將閘極施加的電場部份屏蔽，使得有效的閘極電場減弱，因此臨界電壓往正方向偏移[6]。圖 4-4-2 為臨界電壓偏移量對閘極偏壓時間變化圖，可以很明顯發現 200°C 以及 350°C 退火的條件在穩定性上有很大的不同；200°C 退火臨界電壓有 8.9 V 的偏移量，然而經過 350°C 退火的處理，臨界電壓只有 2.6 V 的偏移量，而由式(2.4.2)的 stretched-exponential model 做臨界電壓的擬合曲線，可以得到 200°C 與 350°C 退火元件的特徵捕獲時間  $\tau$  分別為  $1.2 \times 10^4$  秒以及  $3.8 \times 10^5$  秒，擬合常數  $\beta$  則分別為 0.71 與 0.44，根據公式若特徵捕獲時間越長表示載子在閘極偏壓測試時越不容易被捕陷，而擬合常數越小也表示元件越穩定，因此藉由數值上模型的擬合分析，也可以預測臨界電壓的偏移趨勢，意即能推測元件的生命週期(life time)，並且也能藉此比較薄膜電晶體的穩定性，對於我們的結果而言，350°C 退火相較於 200°C 退火的薄膜電晶體有較好的穩定性。

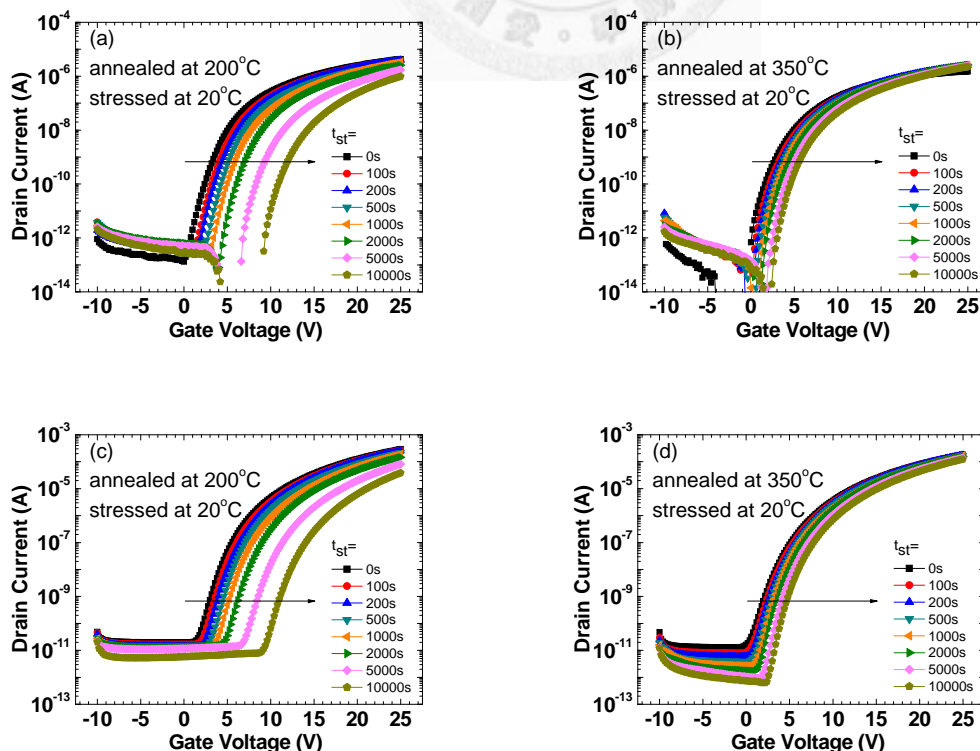


圖 4-4-1 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 20°C 時做偏壓測試的轉換特性曲線隨時間變化圖

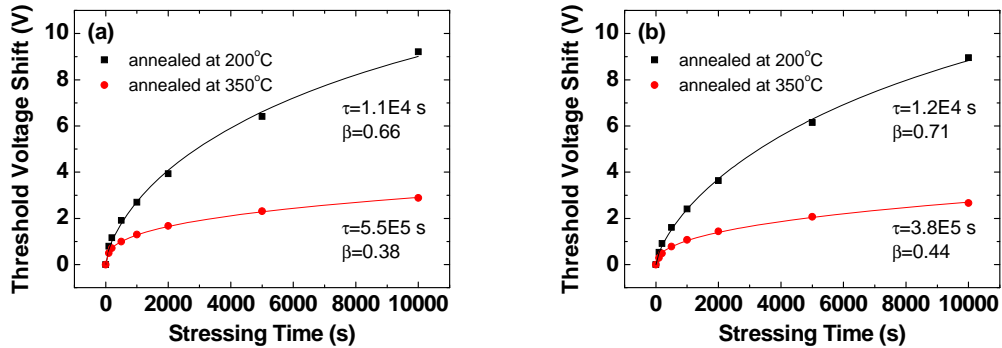


圖 4-4-2 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 20°C 時做偏壓測試的臨界電壓隨時間變化圖

圖 4-4-3、4-4-5、4-4-7 分別為為不同退火溫度的薄膜電晶體在汲極偏壓分別為 0.1 V 與 10 V 下升溫至 50°C、65°C、80°C 量測的閘極偏壓穩定性測試結果，圖 4-4-4、4-4-6、4-4-8 則為相對應的臨界電壓偏移對應閘極偏壓時間的關係圖。可以很明顯發現，從環境溫度為 50°C 開始，200°C 退火的元件有駝峰(hump)現象產生，而 350°C 退火的元件卻不明顯，這些駝峰現象也只有在高溫的閘極偏壓測試時才會發生，為了找出駝峰現象發生的原因，我們另外做了鬆弛(relaxation)測試，如圖 4-4-11 為在環境溫度為 80°C 時，經過 10000 秒閘極偏壓測試後的鬆弛情形，意即將元件放置一段時間後量測，可以發現駝峰現象在偏壓一停止後就快速地消失，在 200°C 退火的元件以及 350°C 退火的元件上，大約分別經過 4000 秒與 2000 秒的鬆弛後，轉換特性曲線的次臨界區域幾乎回復到未經偏壓的狀況，表示駝峰由閘極偏壓引起，且是一個不穩定的狀態，然而鬆弛測試中我們將元件放置在 80°C 的載台上而不加任何偏壓，這樣的過程也類似退火處理，如同 Fung 等人發現在 IGZO 電晶體經由高溫以及閘極偏壓產生的駝峰，雖然放置在常溫下 24 小時仍然存在，但是經由 200°C 熱退火處理會完全回復[7]。

駝峰現象經常在薄膜電晶體的轉換特性曲線中被討論到，也在不同通道層種類的元件上被發現，並探討幾種可能造成駝峰的原因，條列如下：

### 1. 量測時的氣氛環境：

Huang 等人研究 IGZO 薄膜電晶體在不同氣氛之下的升溫閘極正偏壓測試，指出氣氛環境中若是存在較多水氣，且通道的背側未經過鈍化層(passivation layer)處理，則背通道(back channel)容易在閘極電場的作用之下吸附水氣，而水氣扮演類似施子(donors)的角色，故形成較為導電的背通道，如同有一個寄生(parasitic)電晶體的效應，使得電晶體在轉換特性曲線上出現類似駝峰的現象[8]。

### 2. 通道層的化學計量比例(chemical stoichiometry)：

Kamada 等人以不同條件成長氧化鋅通道層，研究在不同氧分量下成長的通道層所造成的轉換特性曲線變化情形，發現若是在缺氧的環境中沈積氧化鋅，則會有過量的鋅而產生許多鋅相關的缺陷，這些缺陷會造成次臨界擺幅的退化，於是在未經過偏壓測試就有類似駝峰的現象產生，然而在閘極正偏壓的測試當中，轉換特性曲線仍為類似平行的偏移[9]。

### 3. 同時的閘極與汲極偏壓：

Ma 等人在低溫多晶矽的薄膜電晶體中，研究外加閘極正偏壓與汲極正偏壓的偏壓測試，當只有外加閘極正偏壓時，通道層中的電子會被加速去撞擊晶界間較弱的鍵結，產生一些捕陷態，於是使得汲極的漏電流提高，然而當閘極正偏壓與汲極正偏壓同時加上時，由於在汲極端的電場會抵銷閘極電場，使得汲極端捕陷態的產生被抑制，而有汲極漏電流在次臨界區域中部份提高的駝峰現象[10]。

### 4. 通道層的電漿處理：

Tsai 等人在 IGZO 薄膜電晶體中做閘極正偏壓測試，並且研究一氧化二氮( $N_2O$ )電漿處理的電晶體電性，發現經過處理過的 IGZO 通道層會表現出比較好的初始電晶體特性，然而電晶體經過閘極偏壓測試後在次臨界區域出現了駝峰，相較的駝峰現象在未經過電漿處理的電晶體卻沒有出現，由於兩組電晶體皆有背通道的鈍化層處理，排除了環境氣氛因素，因此作者推測駝峰產生的原因來自於被電漿鈍化(passivate)的缺陷，藉由閘極偏壓引導而出現[11]。

### 5. 升溫閘極偏壓測試：

Fung 等人對經過背通道鈍化處理的 IGZO 薄膜電晶體，做高溫環境下的閘極正偏壓測試研究，發現經過偏壓後汲極漏電增加的現象，而退火後此現象會回復，因為氧空缺的增加可以導致薄膜的電阻率下降，因此作者推測原因為介穩定

(meta-stable)的氧空缺藉由閘極偏壓於通道層與介電層之間產生，而增加了汲極漏電，以及臨界電壓往負的方向偏移[7]。

事實上，發生駝峰現象的詳細物理機制到目前仍不是非常清楚[7]，我們嘗試以實驗觀察到的現象來解釋，第一，環境氣氛對通道層的影響不能完全排除，但水氣在高溫應比較不容易被吸收進入通道層，且我們嘗試在不同的氣氛中做相同的偏壓實驗，分別為氮氣、氧氣，如圖 4-4-9 與圖 4-4-10 分別為 200°C 與 350°C 退火之元件在 80°C 時做不同氣氛之偏壓測試的比較，發現駝峰情形並沒有太大的差異，然而，實驗中可以發現在較低溫時關電流會隨著偏壓時間增加而下降，這可能是來自於水氣經由閘極偏壓解離(dissociation)，或是氧氣經由閘極偏壓吸附(adsorption)所造成[12]，這些氣氛的影響使得關電流下降，以及有較多的臨界電壓偏移，有可能背通道會因為氣氛影響而存在另一個寄生電晶體，產生不同步的轉換特性曲線而類似於駝峰。第二，駝峰現象在 350°C 退火的薄膜電晶體中被明顯的抑制，通道層經過高溫處理會有較好的結晶以及較多的鎂取代鋅，也就是會有比較少的缺陷存在於 350°C 退火的通道層中，由於兩種退火條件的電晶體都未經過鈍化層處理，環境氣氛不能完全解釋不同退火處理的電晶體有截然不同的駝峰表現，因此駝峰現象的差異，應是來自於退火條件的不同。第三，駝峰現象只有在高溫環境加上長時間的閘極偏壓才會出現，室溫環境中皆無此一現象，表示需要額外提供較高的能量，才会有明顯的駝峰產生，這有可能與較高的溫度容易產生缺陷有關[4]。第四，在鬆弛測試中，駝峰在一移除閘極偏壓後快速的消失，這表示駝峰現象是介穩定狀態，且是由閘極偏壓所引起的。

因此綜合以上所述，我們推測駝峰現象發生的原因應是與缺陷相關連的，根據我們的實驗結果，駝峰的出現有可能來自於介穩定的缺陷產生，在較高溫進行閘極正偏壓測試時，藉由偏壓所產生的介穩態中性氧空缺可能由熱激發而成為正一價或正二價的氧空缺，其釋放的電子在通道層形成漏電通道(leakage path)，而造成電晶體提早導通，因此在轉換特性曲線的次臨界區域造成駝峰現象。在 350°C 退火的元件上，由於通道層本身有較佳的結晶性，使得缺陷是比較不容易被產生出來的，而較多的鎂取代鋅，也降低了氧空缺相關的缺陷產生機會，另外於高溫環境中，額外提供的能量使得這些缺陷更容易在閘極偏壓下被產生出來。總體而言，缺陷的產生在 350°C 退火的元件上被抑制了，駝峰現象只有在相對較高溫，

以及較長的偏壓時間，才有些許的出現，這也表示了 350°C 退火的元件相較於 200°C 退火的元件有更好的穩定性。

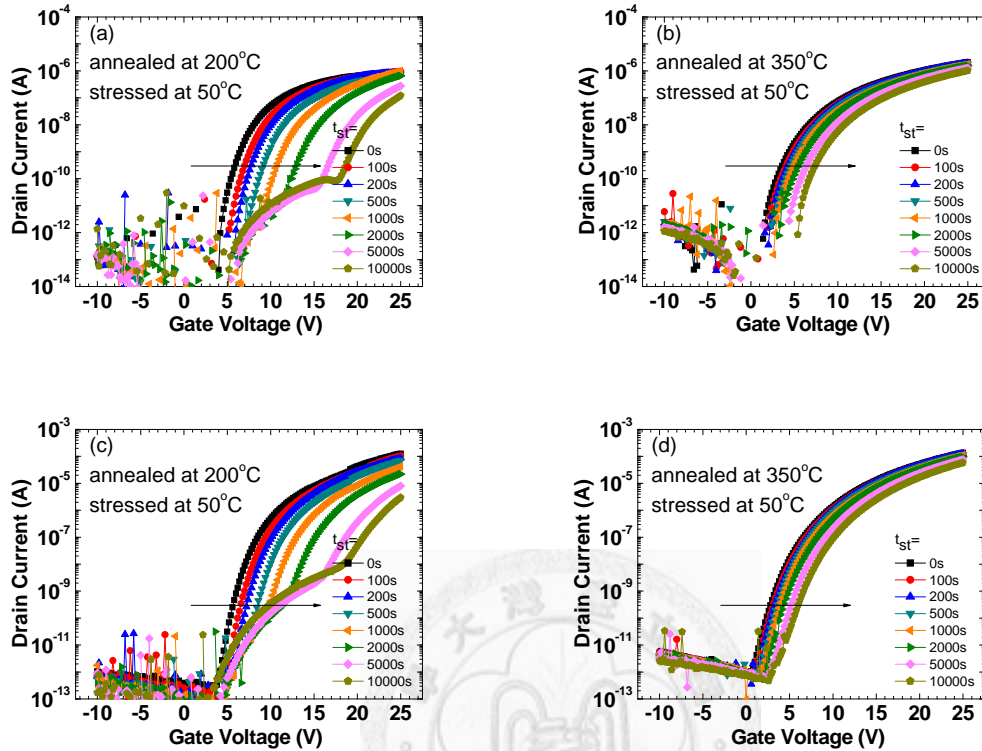


圖 4-4-3 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 50°C 時做偏壓測試的轉換特性曲線隨時間變化圖

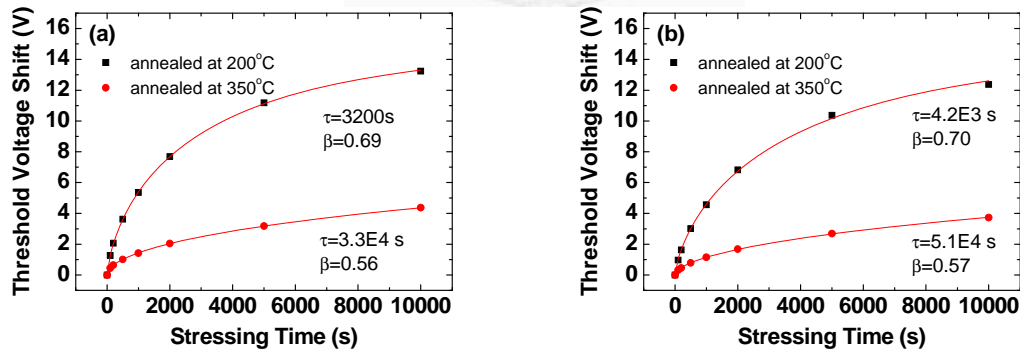


圖 4-4-4 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 50°C 時做偏壓測試的臨界電壓隨時間變化圖

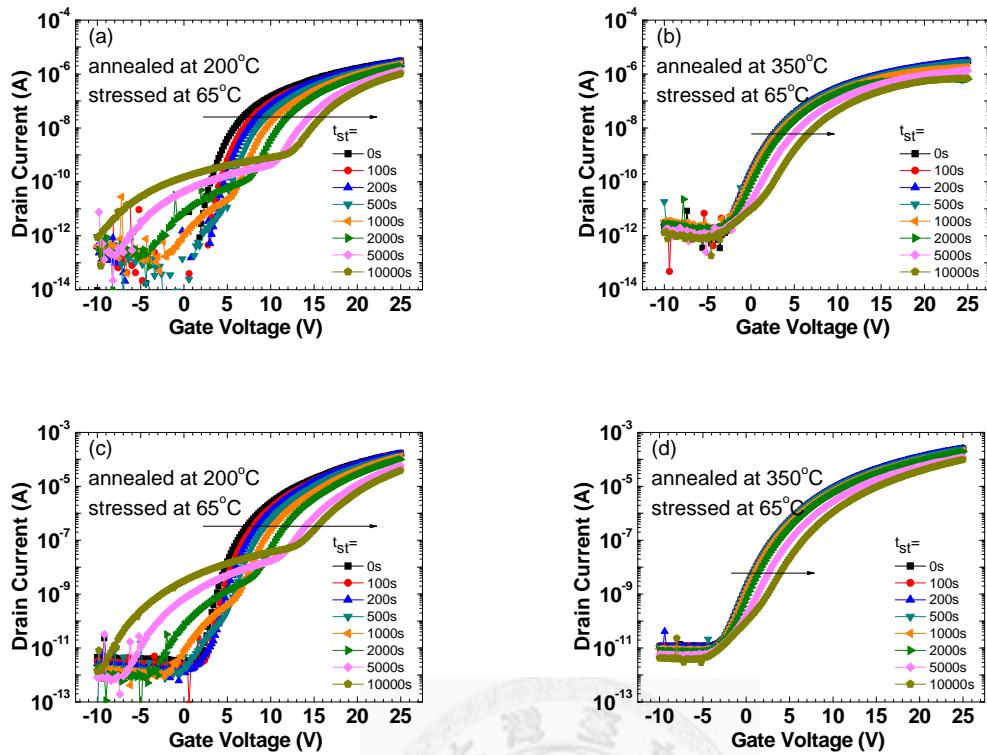


圖 4-4-5 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 65°C 時做偏壓測試的轉換特性曲線隨時間變化圖

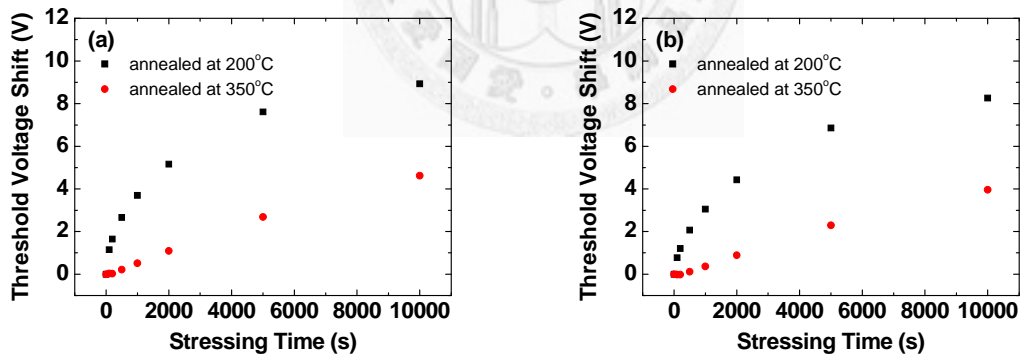


圖 4-4-6 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 65°C 時做偏壓測試的臨界電壓隨時間變化圖



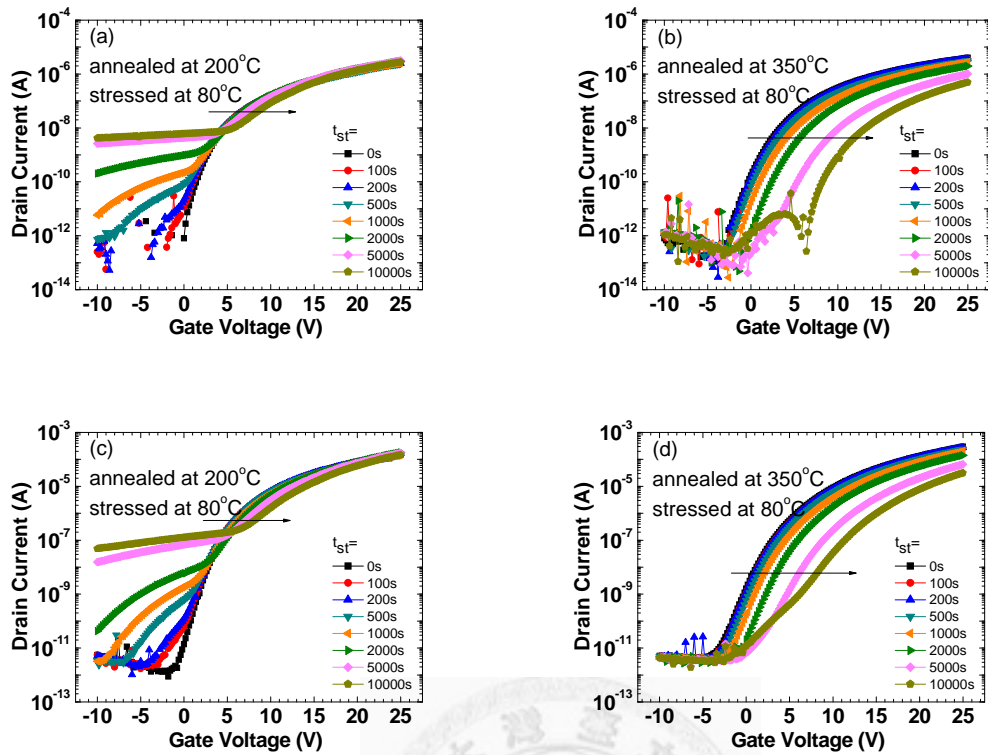


圖 4-4-7 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 80°C 時做偏壓測試的轉換特性曲線隨時間變化圖

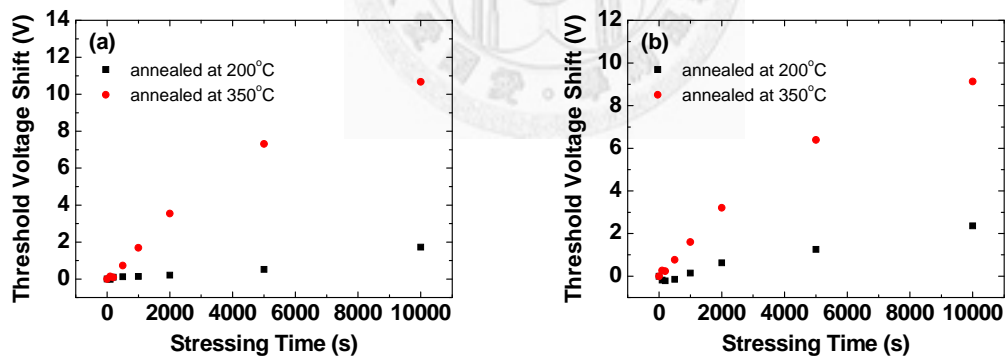


圖 4-4-8 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a) 0.1 V 以及(b)10 V 在 80°C 時做偏壓測試的臨界電壓隨時間變化圖

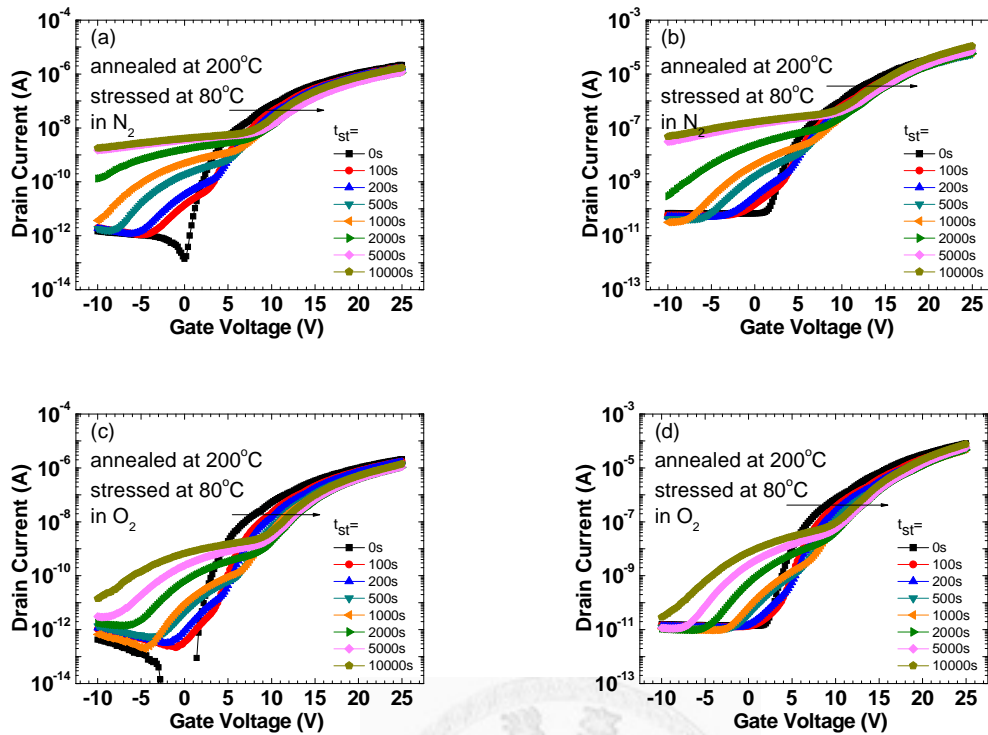


圖 4-4-9 為 200°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試於(a)(b) 氮氣下，量測汲極偏壓分別為 0.1 V 與 10 V，及(c)(d) 氧氣下，量測汲極偏壓分別為 0.1 V 與 10 V

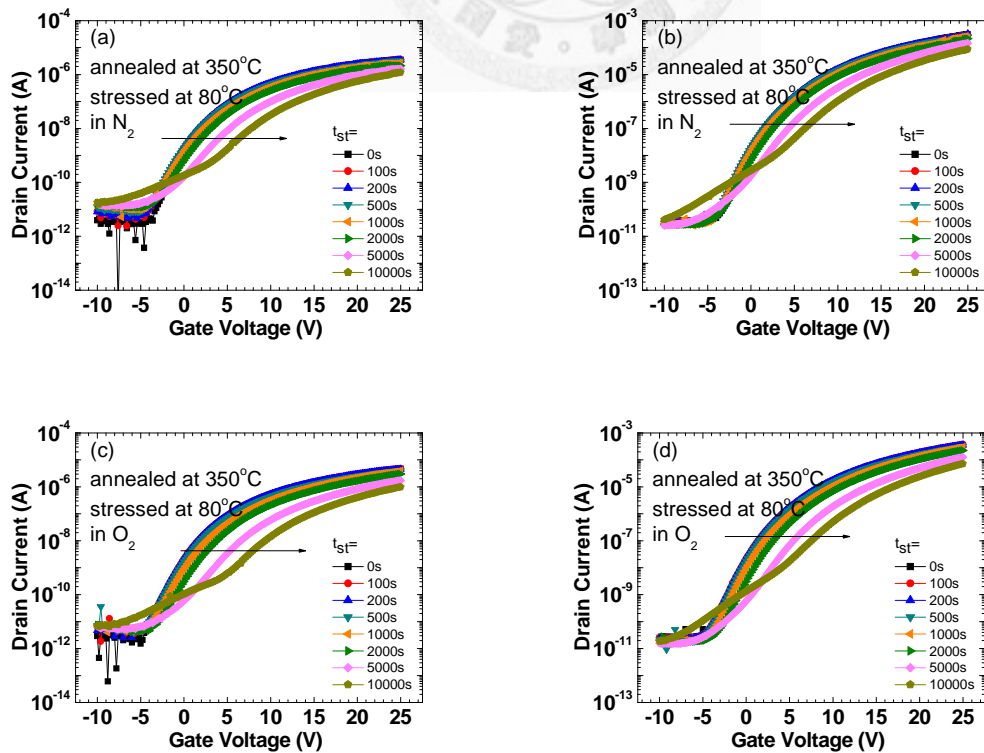


圖 4-4-10 為 350°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試於(a)(b) 氮氣下，量測汲極偏壓分別為 0.1 V 與 10 V，及(c)(d) 氧氣下，量測汲極偏壓分別為 0.1 V 與 10 V 與 10 V

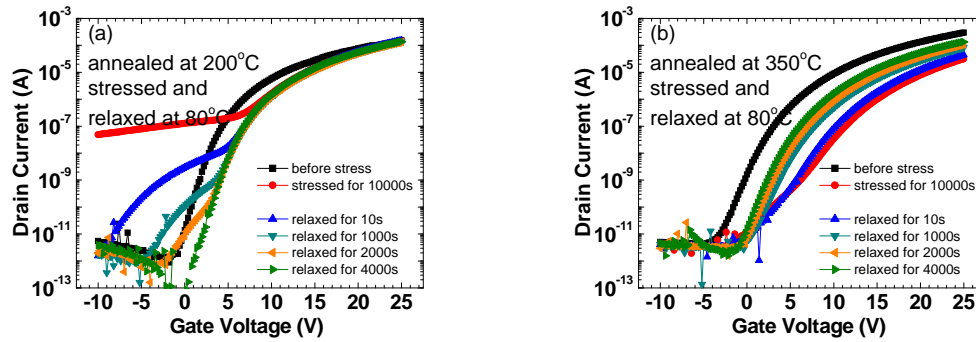


圖 4-4-11 為(a) 200°C 與(b) 350°C 熱退火之薄膜電晶體在 80°C 時做偏壓測試以及鬆弛測試的轉換特性曲線變化，量測汲極偏壓為 10 V



#### 4.4.2 不同閘極偏壓極性之穩定性

以下我們取薄膜電晶體元件的通道為  $L/W = 30 \mu\text{m} / 320 \mu\text{m}$  來做正負閘極偏壓的測試，其中，正偏壓為 +20 V，負偏壓為 -20 V，在施加閘極偏壓的同時，源極與汲極為接地的情況，並且我們也分別在升溫的情況下做偏壓測試，來比較負偏壓所造成的現象。

圖 4-4-12、4-4-15、4-4-18、4-4-21 分別為 200°C 以及 350°C 熱退火之薄膜電晶體於 25°C、50°C、65°C、80°C 的環境溫度中做正偏壓測試的轉換特性曲線隨時間變化圖，在相同的閘極偏壓與升溫測試下，同樣的，此一組薄膜電晶體元件的通道尺寸與前述的  $L/W = 15 \mu\text{m} / 320 \mu\text{m}$  有類似的駝峰情形。另外，在常溫的偏壓測試中同樣的可以藉由式(2.4.2)的 stretched-exponential model 做臨界電壓的擬合曲線，並得到 200°C 與 350°C 退火元件的特徵捕獲時間  $\tau$  分別為  $1.2 \times 10^4$  秒以及  $4.7 \times 10^5$  秒，擬合常數  $\beta$  則分別為 0.49 與 0.35，350°C 退火元件同樣表現了比較穩定的特性。

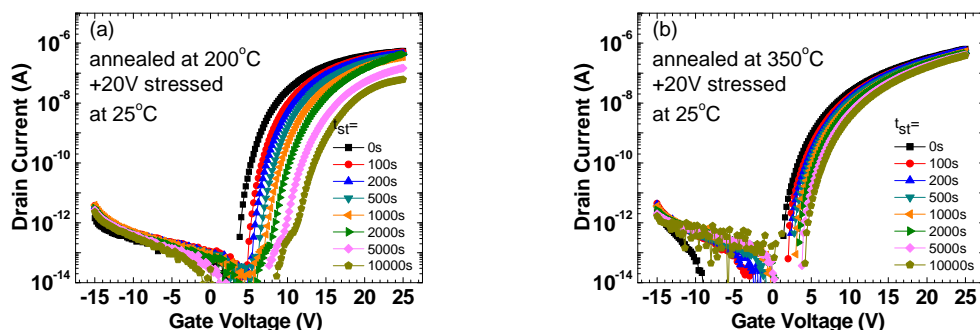
圖 4-4-13、4-4-16、4-4-19、4-4-22 則分別為 200°C 以及 350°C 熱退火之薄膜電晶體於 25°C、50°C、65°C、80°C 的環境溫度中做負偏壓測試的轉換特性曲線隨時間變化圖，可以由實驗結果發現，在負偏壓測試時，並沒有如同正偏壓測試時會在次臨界區域產生的駝峰現象，由此現象可以說明駝峰的產生只與閘極正偏壓有關，反而在閘極為負偏壓時被抑制。

圖 4-4-14、4-4-17、4-4-20、4-4-23 為 200°C 以及 350°C 熱退火之薄膜電晶體在 25°C、50°C、65°C、80°C 的環境溫度時，於閘極正偏壓與閘極負偏壓下量測的臨界電壓隨時間變化圖比較整理，在常溫 25°C 偏壓的情況下，正偏壓測試的最大臨界電壓偏移量在 200°C 以及 350°C 熱退火之薄膜電晶體分別約為 9.0 V 與 3.3 V，而負偏壓測試的情況則為 -2.6 V 與 -2.2 V，表示元件對於負偏壓所造成的電荷捕陷情況是比較緩和的，這可能意味著 n 型通道的電晶體不容易被感應出電洞，從而有較少的載子被捕陷。

接下來在升溫實驗的正偏壓測試部份，我們可以發現由於駝峰現象的出現，200°C 退火元件的臨界電壓雖在低溫時仍往正方向偏移，但相反地，在高溫時會往負方向偏移；而 350°C 退火元件沒有駝峰現象，取而代之的是有些許次臨界擺幅的改變，我們推測在正偏壓的測試情況下，若是缺陷產生的夠多，則可以建立一

個漏電的途徑，使得駝峰現象產生，然而若是只有些許的缺陷被產生，則會表現成為次臨界擺幅退化的現象，而 350°C 退火元件的臨界電壓被此一現象影響而有較不規則的變化，儘管如此，我們仍可以將有明顯駝峰現象出現的 200°C 退火條件視為較不穩定的情況。

在升溫實驗的負偏壓測試部份，首先發現的是，不管 200°C 或是 350°C 退火的薄膜電晶體元件，都沒有出現駝峰，接著，200°C 的元件隨著溫度的增加，臨界電壓的偏移出現了折返(turn-around)的現象。根據前一小節的推論，駝峰是經由正偏壓所引起的介穩定的缺陷產生，很可能在負的閘極偏壓的情況不易引起這些缺陷，因此沒有駝峰出現。然而，200°C 退火元件的臨界電壓折返現象應是由兩種機制互相競爭所導致，一般而言，這兩種機制分別為電荷捕陷(charge trapping)以及缺陷產生(defect creation)[13][14]，電荷如電子與電洞的捕陷會使得臨界電壓分別往正或負方向偏移，而缺陷的產生即為多出來需被填補的態，這會使得臨界電壓往正方向偏移，也同時能夠由次臨界擺幅的退化看出來，如圖 4-4-24 為兩種退火條件的元件在環境溫度為 80°C 時做負偏壓測試的次臨界擺幅隨偏壓時間變化圖，可以發現 200°C 退火元件的次臨界擺幅隨偏壓時間增加而退化地越來越嚴重，因此一開始電荷捕陷為主要機制，後來逐漸被缺陷產生的效應掩蓋，故臨界電壓變化為先下降後上升，而造成了折返現象，反之，對於 350°C 退火之元件，並沒有發現次臨界擺幅的退化，即是轉換特性曲線為隨偏壓時間的平行偏移，因此在臨界電壓的變化是往一致的方向增加，並沒有觀察到折返的情況，因此總而來說，350°C 退火的元件是相對於 200°C 退火的元件來的穩定。



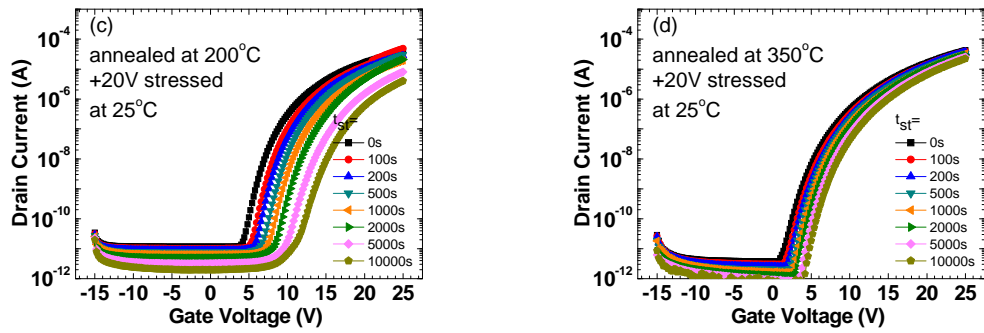


圖 4-4-12 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 25°C 時做開極正偏壓測試的轉換特性曲線隨時間變化圖

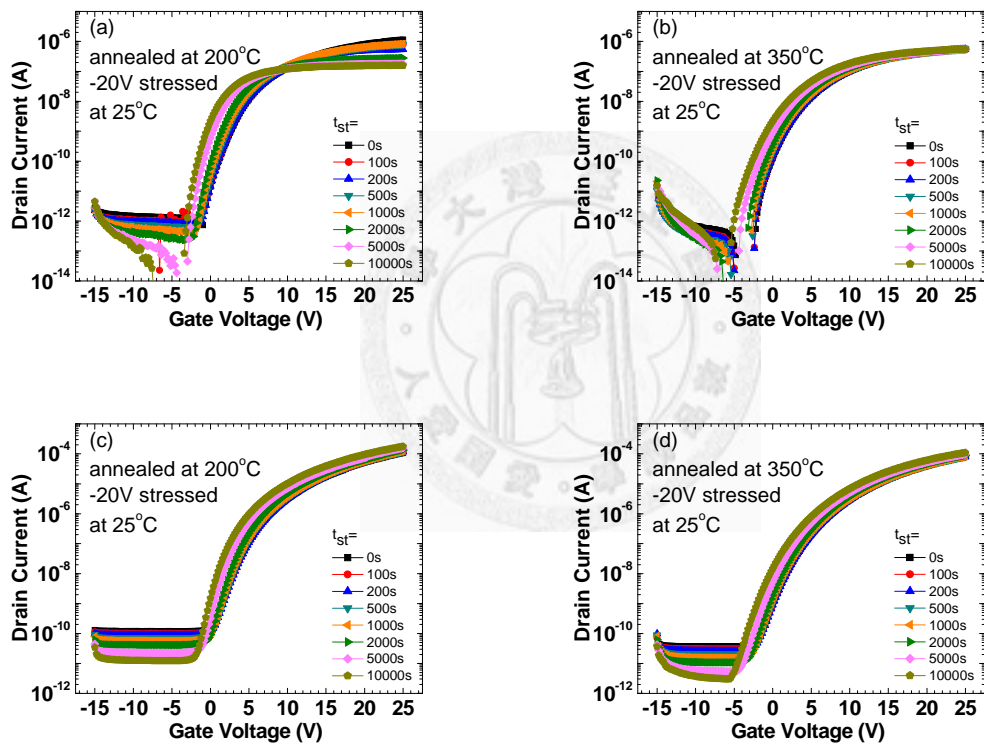


圖 4-4-13 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 25°C 時做開極負偏壓測試的轉換特性曲線隨時間變化圖

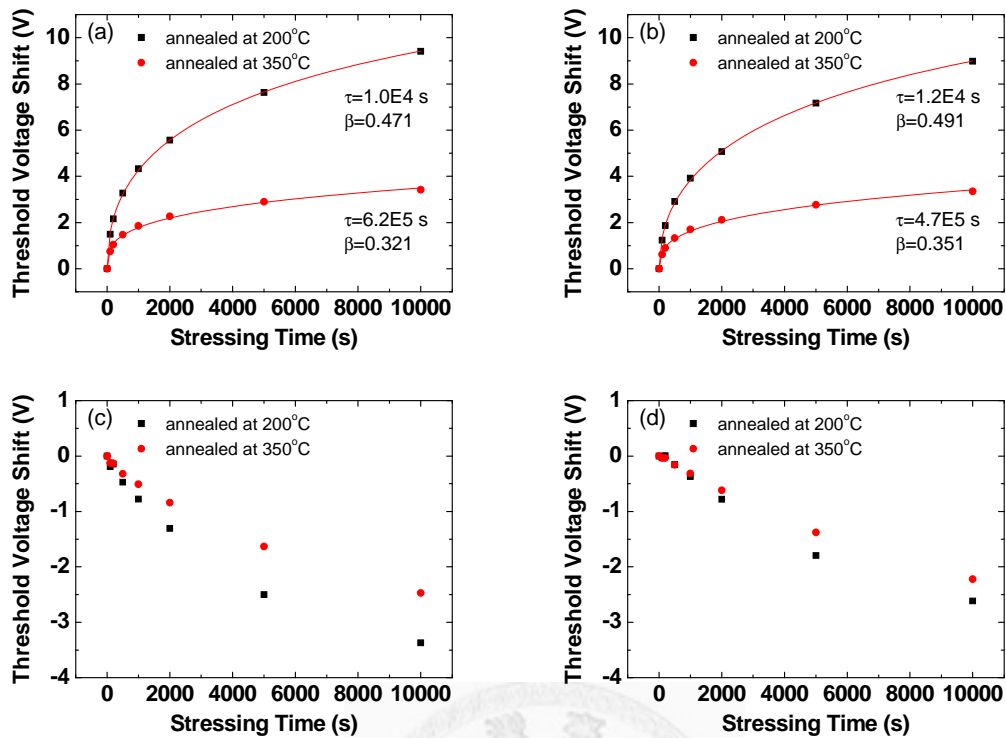


圖 4-4-14 為 200°C 以及 350°C 熱退火之薄膜電晶體於開極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與開極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 25°C 時的臨界電壓隨時間變化圖

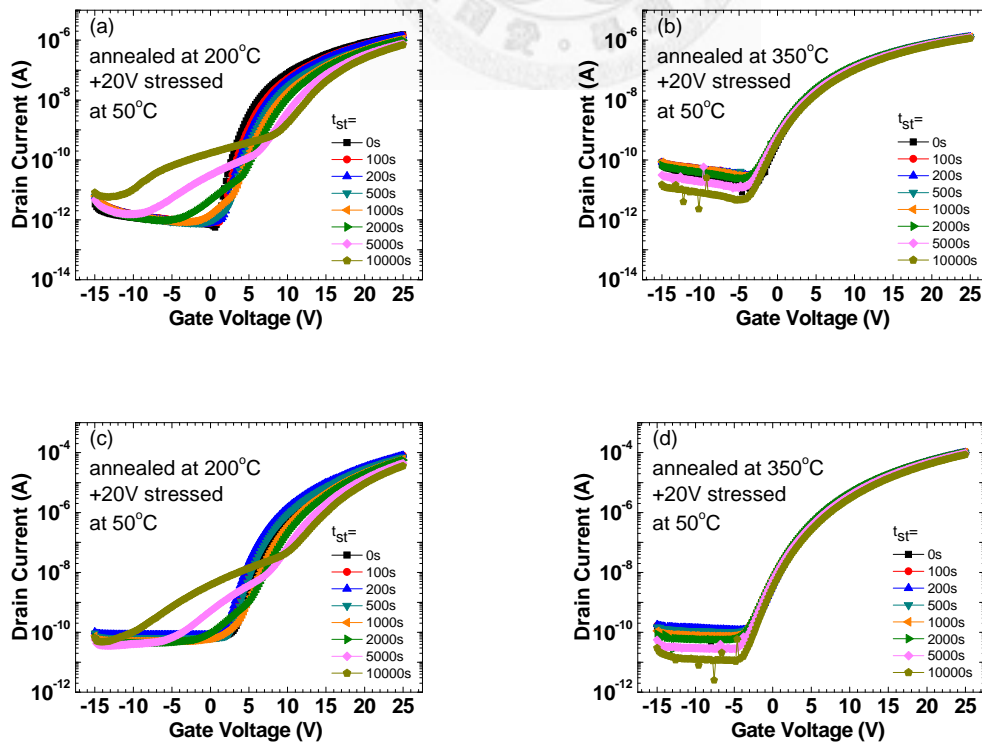


圖 4-4-15 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 50°C 時做閘極正偏壓測試的轉換特性曲線隨時間變化圖

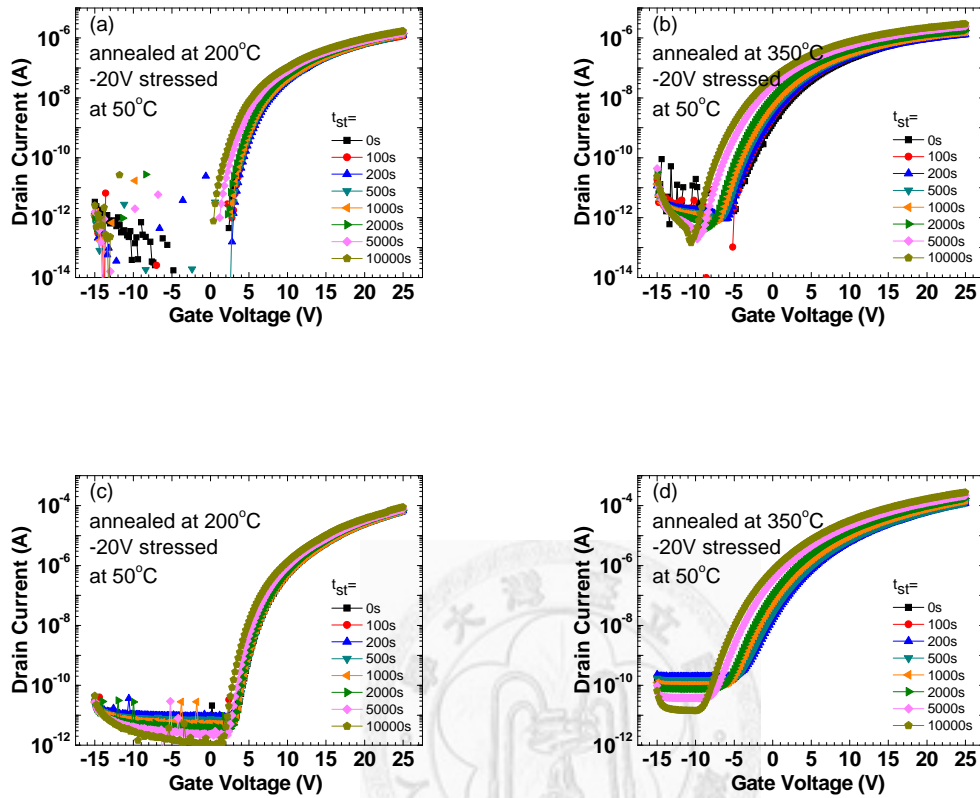
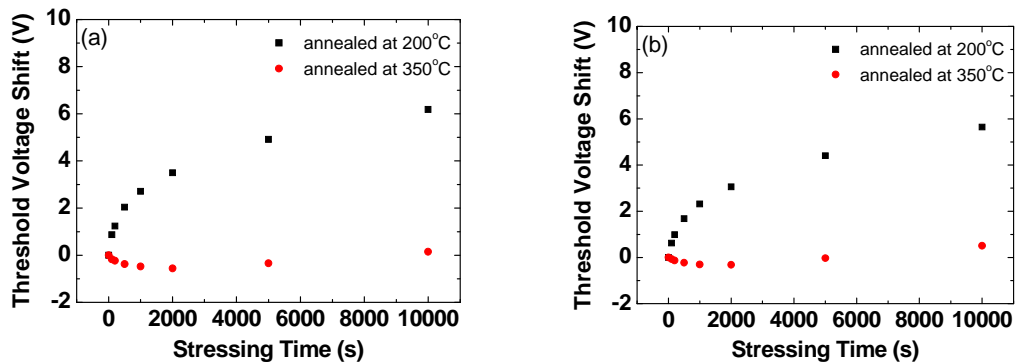


圖 4-4-16 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 50°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖





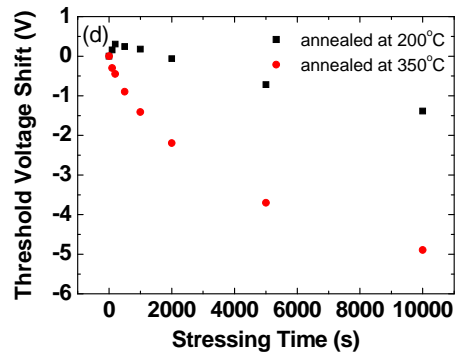
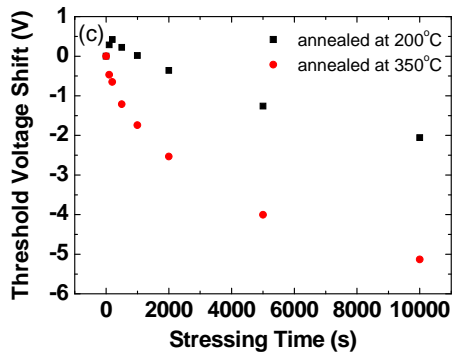


圖 4-4-17 為 200°C 以及 350°C 熱退火之薄膜電晶體於開極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與開極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 50°C 時的臨界電壓隨時間變化圖

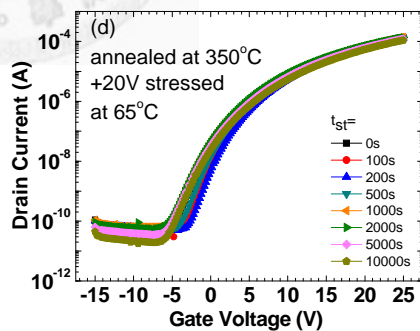
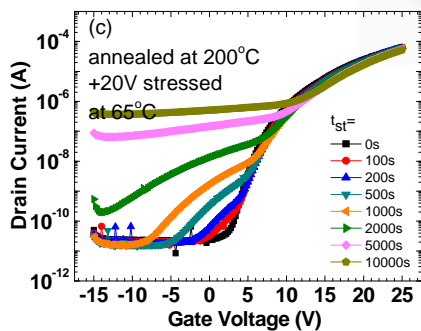
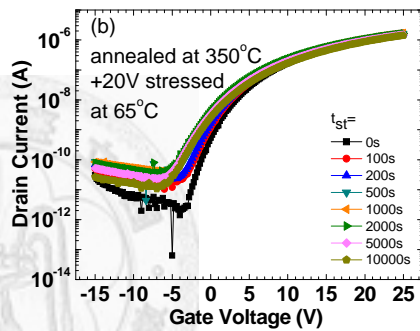
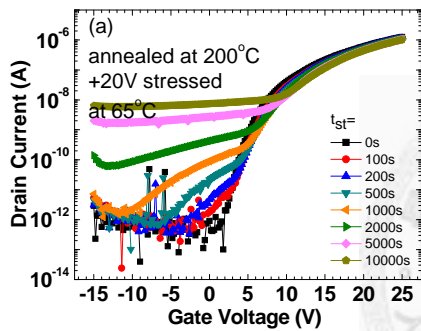


圖 4-4-18 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 65°C 時做開極正偏壓測試的轉換特性曲線隨時間變化圖

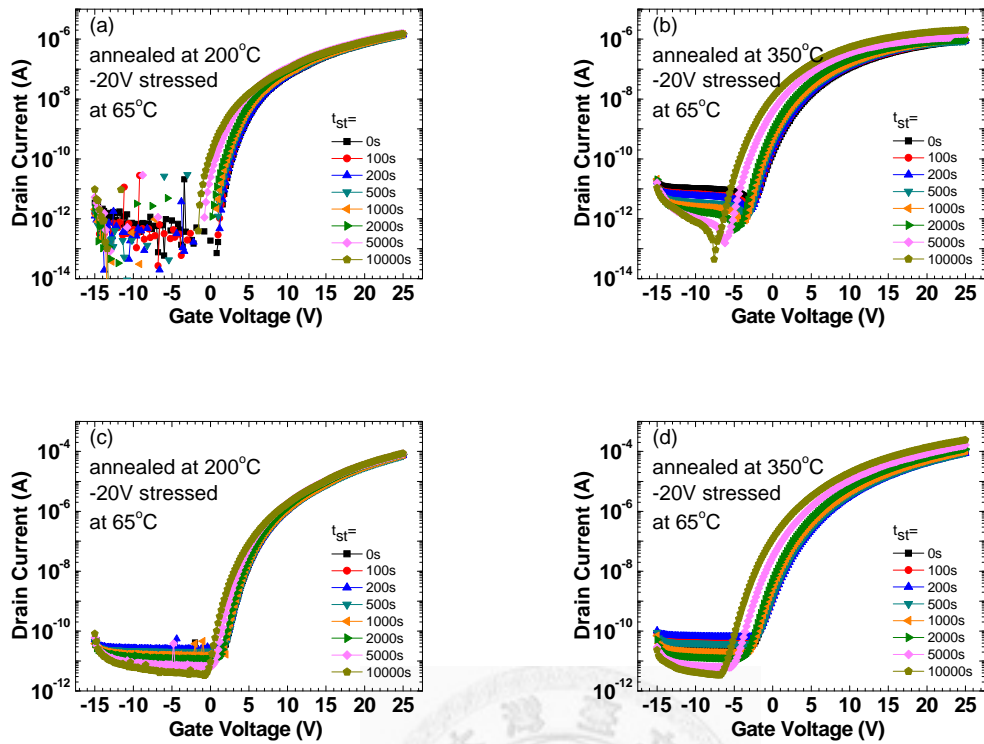


圖 4-4-19 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 65°C 時做開極負偏壓測試的轉換特性曲線隨時間變化圖

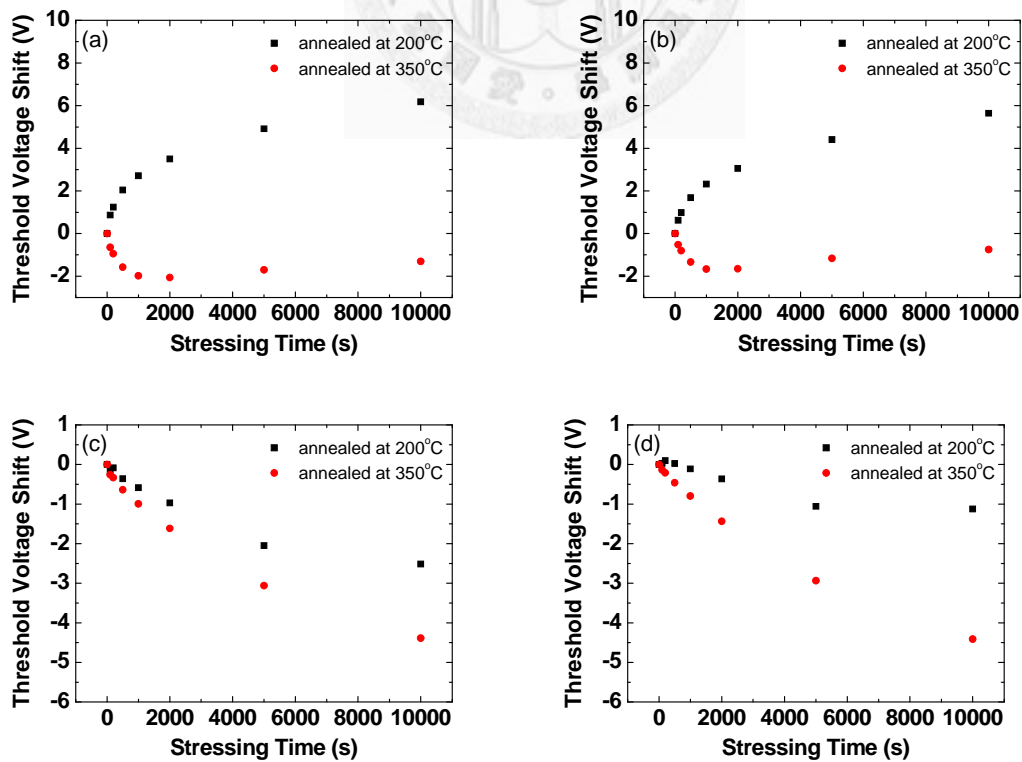


圖 4-4-20 為 200°C 以及 350°C 熱退火之薄膜電晶體於開極正偏壓下量測汲極電壓

分別為(a) 0.1 V(b)10 V 與開極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 65°C 時的臨界電壓隨時間變化圖

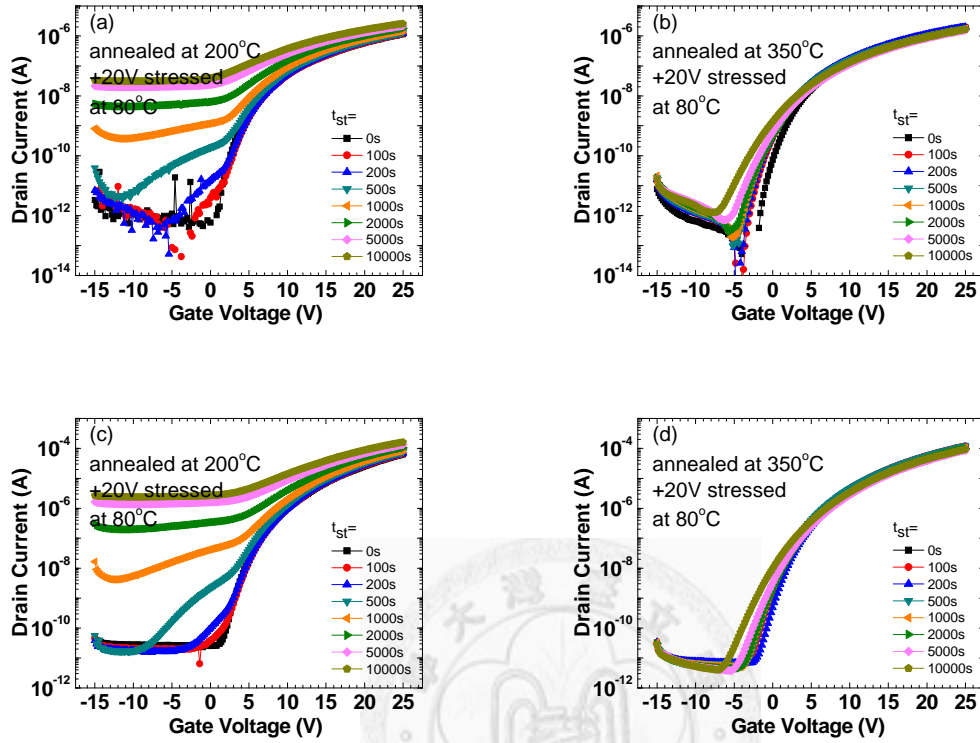
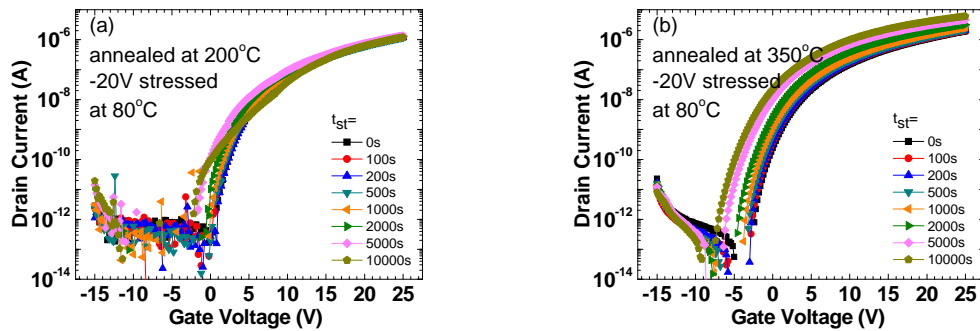


圖 4-4-21 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 80°C 時做開極正偏壓測試的轉換特性曲線隨時間變化圖



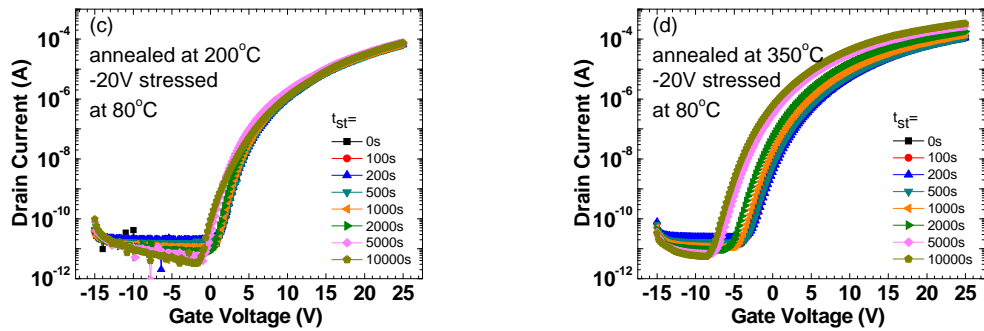


圖 4-4-22 為 200°C 以及 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)(b) 0.1 V 以及(c)(d)10 V 在 80°C 時做閘極負偏壓測試的轉換特性曲線隨時間變化圖

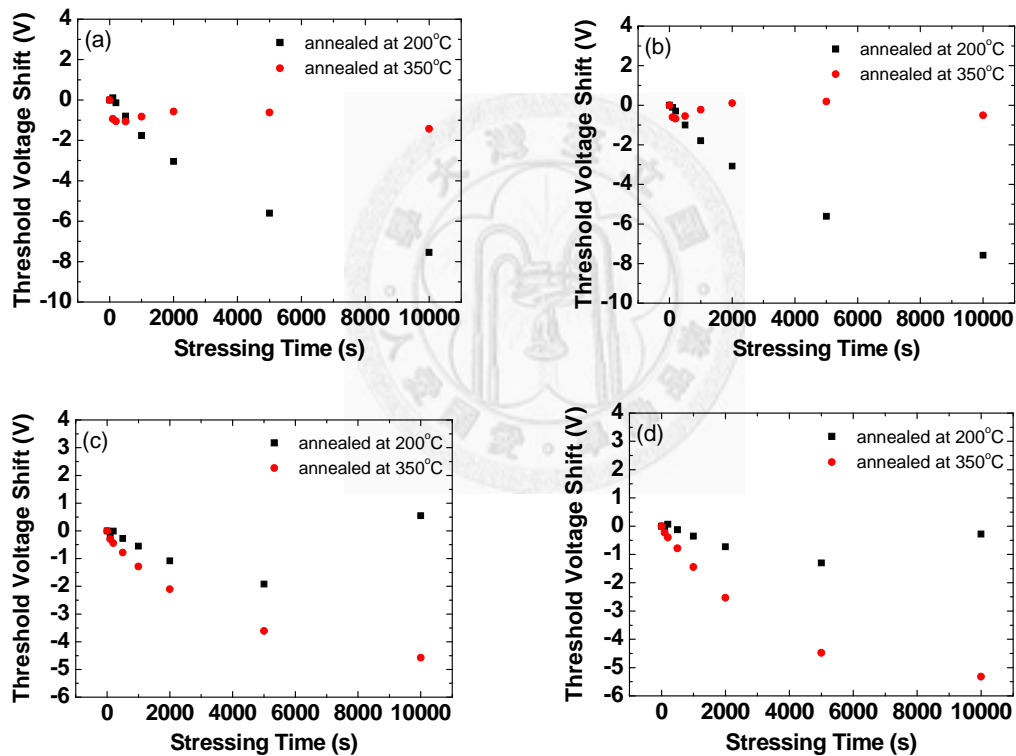


圖 4-4-23 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極正偏壓下量測汲極電壓分別為(a) 0.1 V(b)10 V 與閘極負偏壓下量測汲極電壓分別為(c) 0.1 V (d) 10 V 在 80°C 時的臨界電壓隨時間變化圖

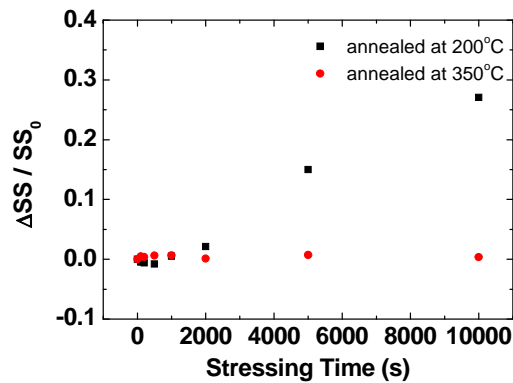


圖 4-4-24 為 200°C 以及 350°C 熱退火之薄膜電晶體於閘極負偏壓下次臨界擺幅隨著偏壓時間的變化情形，量測汲極電壓為 10 V

#### 4.4.3 不同閘極偏壓頻率之電穩定性 (AC 測試)

我們已經由前面的討論得知，350°C 退火的條件會有較良好的穩定性，因此我們直接在這部份使用此一條件來測試不同的閘極偏壓頻率會有何種變化，並且討論常溫情況的正負偏壓電穩定性情形，所使用的元件通道尺寸為  $L / W = 20 \mu\text{m} / 320 \mu\text{m}$ ，所測試的閘極偏壓為 +20 V 以及 0 V 的交流訊號偏壓，其測試頻率有 1 Hz，10 Hz，100 Hz，1 kHz，10 kHz，100 kHz，而工作週期(duty ratio)為 50 %。

圖 4-4-25 為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 時分別做 1 Hz 到 100 kHz 不同頻率的閘極交流正偏壓測試以及直流偏壓測試的轉換特性曲線隨時間變化圖，而圖 4-4-26 為量測時汲極電壓為 10 V，兩者的臨界電壓隨著偏壓時間的偏移變化如圖 4-4-27，由臨界偏壓的偏移可以發現，當外加的閘極交流偏壓的頻率越高，則臨界偏壓的偏移越為明顯，因此在閘極變頻測試中，頻率為 1 Hz 的實驗結果有最小臨界電壓偏移量，而頻率為 100 kHz 的實驗結果有最大的臨界電壓偏移量，除此之外，閘極直流偏壓測試的結果與最高頻率的交流偏壓測試相去不遠，偏移量僅高了 0.22 V，換言之，當閘極偏壓的頻率越高，則電荷累積的現象越接近直流的情況，這可以利用載子的捕陷(trapping)以及釋出(detraping)的兩個機制互相競爭的結果來說明：自然的情況下，因為閘極偏壓被捕陷的載子放置一段時間，即鬆弛(relaxation)後會有部份機率重新釋放出來，如圖 4-4-28(a)為臨界電壓在短時間內閘極直流偏壓以及鬆弛的連續交錯測試中(各 1000 秒)所表現的行為，說明了偏壓所造成臨界電壓增加的速度大於鬆弛所能回復的速度，而圖 4-4-28(b)則為臨界電壓在長時間的閘極直流偏壓(10000 秒)以及鬆弛(35000 秒)的

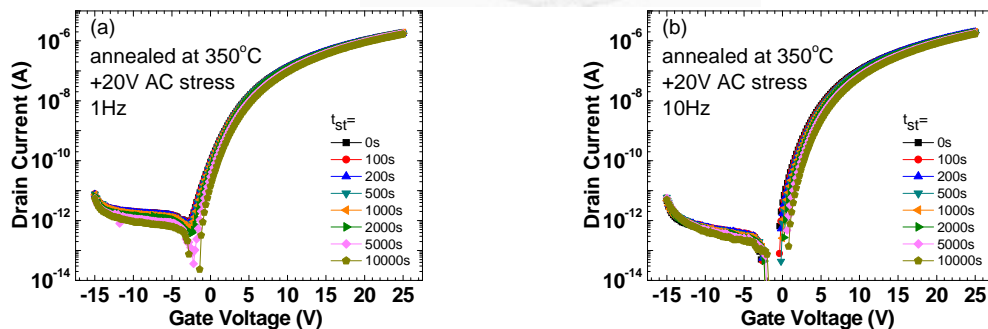
連續測試中所表現的行為，並且利用 stretched-exponential 模型如式(2.4.2)與修正後適用於鬆弛測試的式子做擬合，其中修正過的  $\Delta V_{th,max}$  為偏壓測試恰結束時的臨界電壓值與初始臨界電壓值差( $V_{th,max} - V_{th0}$ )[15]：

$$\Delta V_{th} = \Delta V_{th,max} \left\{ \exp \left[ - \left( \frac{t}{\tau} \right)^\beta \right] \right\} \quad (4.4.1)$$

，分別擬合出兩者的特徵捕獲時間  $\tau$ ，為偏壓時  $2.6 \times 10^5$  秒以及鬆弛時  $3.4 \times 10^5$  秒，擬合常數  $\beta$  則分別為偏壓時 0.539 與鬆弛時 0.259，因此由數值分析的方式也可以得知：在鬆弛的情況，特徵捕獲時間  $\tau$  的擬合結果雖然相去不遠，然而擬合常數  $\beta$  小了很多，由擬合常數來看，數值越小表示越穩定，因此鬆弛測試的情況中臨界電壓值越不容易回復到初始狀態，另外從圖 4-4-28(b) 的臨界電壓鬆弛情形來分析，可以得知鬆弛現象在一開始較為迅速，而隨時間增加越緩慢，也可以由此看出臨界電壓的偏移並不能完全隨時間回復，藉由這個結果我們推測閘極交流偏壓在高頻情況會使臨界電壓偏移較多的原因：當施加的閘極交流偏壓的頻率較低時，在同一個偏壓週期內有較長的未偏壓時間間距，讓臨界電壓得以快速回復，而當頻率越高，未偏壓的時間間距減少，使得臨界電壓來不及回復，而在我們設定的最高頻(100 kHz)量測中，臨界電壓的偏移量跟閘極直流偏壓的測試最為接近。

在其他如 a-Si:H、poly-Si 或是 IGZO 的電晶體中也曾經有文獻提出閘極交流偏壓頻率對臨界電壓偏移的影響[15]-[19]：Huang 等人所發表的對 a-Si:H 薄膜電晶體做閘極交流偏壓的測試中，發現隨著交流正偏壓頻率增加，臨界電壓偏移量有幾乎不變或是些許的下降，並且沒有伴隨著明顯的次臨界擺幅退化情形，表示交流正偏壓下是電荷捕陷的機制，然而在交流負偏壓測試的情形中，臨界電壓為正的偏移，這表示主要的衰退機制為缺陷產生，且臨界電壓偏移量隨著頻率增加而減少，次臨界擺幅也隨著頻率增加而衰退較少，這可以解釋為負的交流偏壓下，少數載子電洞在高頻反應較慢、積聚較少所造成[17]。Zhou 等人所發表的對 a-Si:H 薄膜電晶體做閘極交流負偏壓測試實驗中，發現臨界電壓的偏移量隨著交流負偏壓頻率增加而降低，最後會趨近於幾乎不變，並且也觀察到了次臨界擺幅隨著頻率增加而下降，同樣地，原因也是來自於少數載子電洞跟不上閘極交流偏壓，導致衰退情況在高頻較不容易產生[18]。Liao 等人在 p 型通道層的低溫多晶矽 (Low-Temperature Polycrystalline Silicon, LTPS) 電晶體於高溫下的閘極交流負偏壓測試當中，發現臨界電壓偏移量有隨著閘極頻率增加而降低的現象，這可以藉由

將缺陷分為界面捕獲態  $N_t$  以及晶界捕獲態(grain boundary traps)的兩種產生方式來說明：由於在交流偏壓的測試中，偏壓與鬆弛的總時間長度固定，在通道層與介電層的界面間反應較為快速的載子對交流偏壓的頻率不敏感，造成界面捕獲態的產生不受到頻率影響，而晶界捕獲態的產生卻隨著頻率變化，主要是由於載子需要足夠的反應時間，因此高頻時在晶界感應出的載子數量較少，也使得晶界捕獲態的產生較為不明顯，故臨界電壓偏移量隨頻率增加而下降是由晶界捕獲態的產生所主導[19]。Cho 等人對氧化物 IGZO 薄膜電晶體做閘極交流正偏壓測試，也發現了隨著頻率增加臨界電壓偏移量下降的趨勢，但詳細的機制仍不清楚，作者推測與使用氧化鈦( $\text{HfO}_2$ )作為介電層的金氧半場效電晶體(metal-oxide-semiconductor field-effect transistor, MOSFET)的機制類似[15]，也就是電荷捕陷以及電荷釋出互相影響的結果，而大部分的電荷可以在短時間內重新釋出，並對於頻率相依的關係提出假設，在不同頻率的交流偏壓的每一週期之內，電荷捕陷的數量並非隨著偏壓的時間長短做線性變化，而是在較久的偏壓持續時間中有較多的捕陷數量，因此低頻的交流偏壓有較大的臨界電壓偏移量[20]。在我們的測試中，雖然臨界電壓偏移量隨頻率增加尚有待驗證，但從圖 4-4-28(b)的臨界電壓鬆弛情形來分析，我們推測載子捕陷以及回復的影響是有可能的原因，當高頻時載子沒有足夠時間回復，於是造成了較大的臨界電壓偏移量。



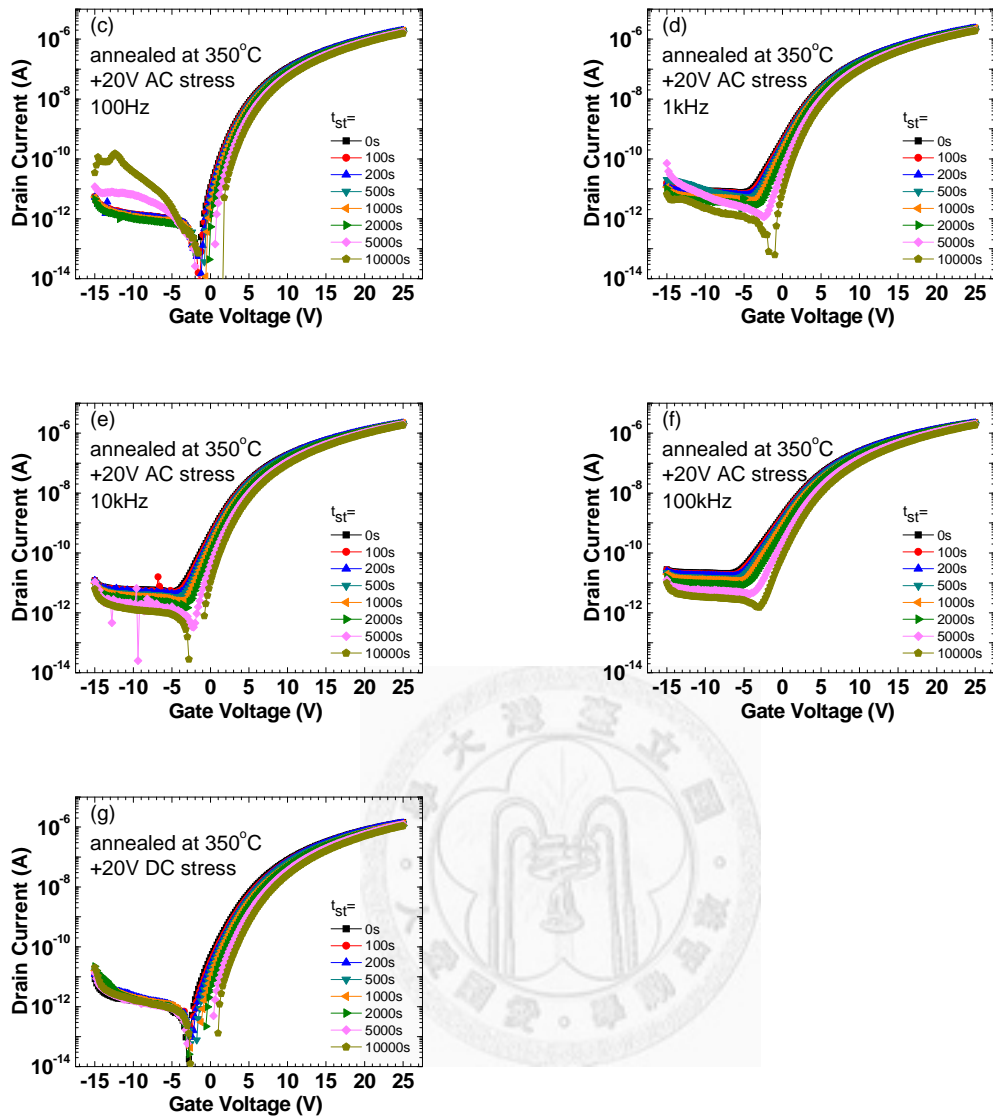
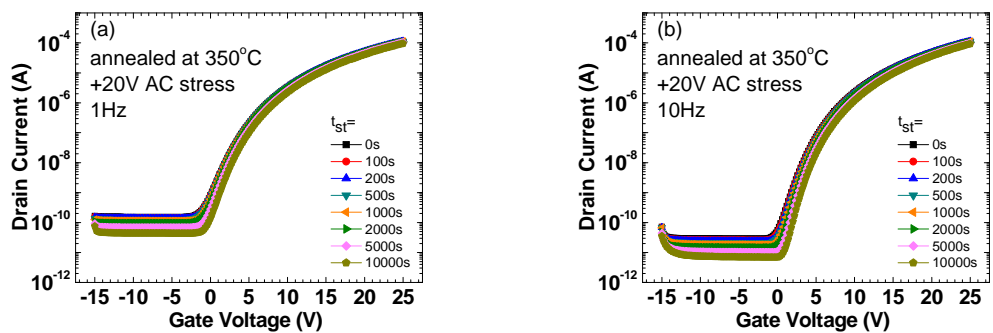


圖 4-4-25 (a)(b)(c)(d)(e)(f)為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 時分別做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及(g)直流偏壓測試的轉換特性曲線隨時間變化圖





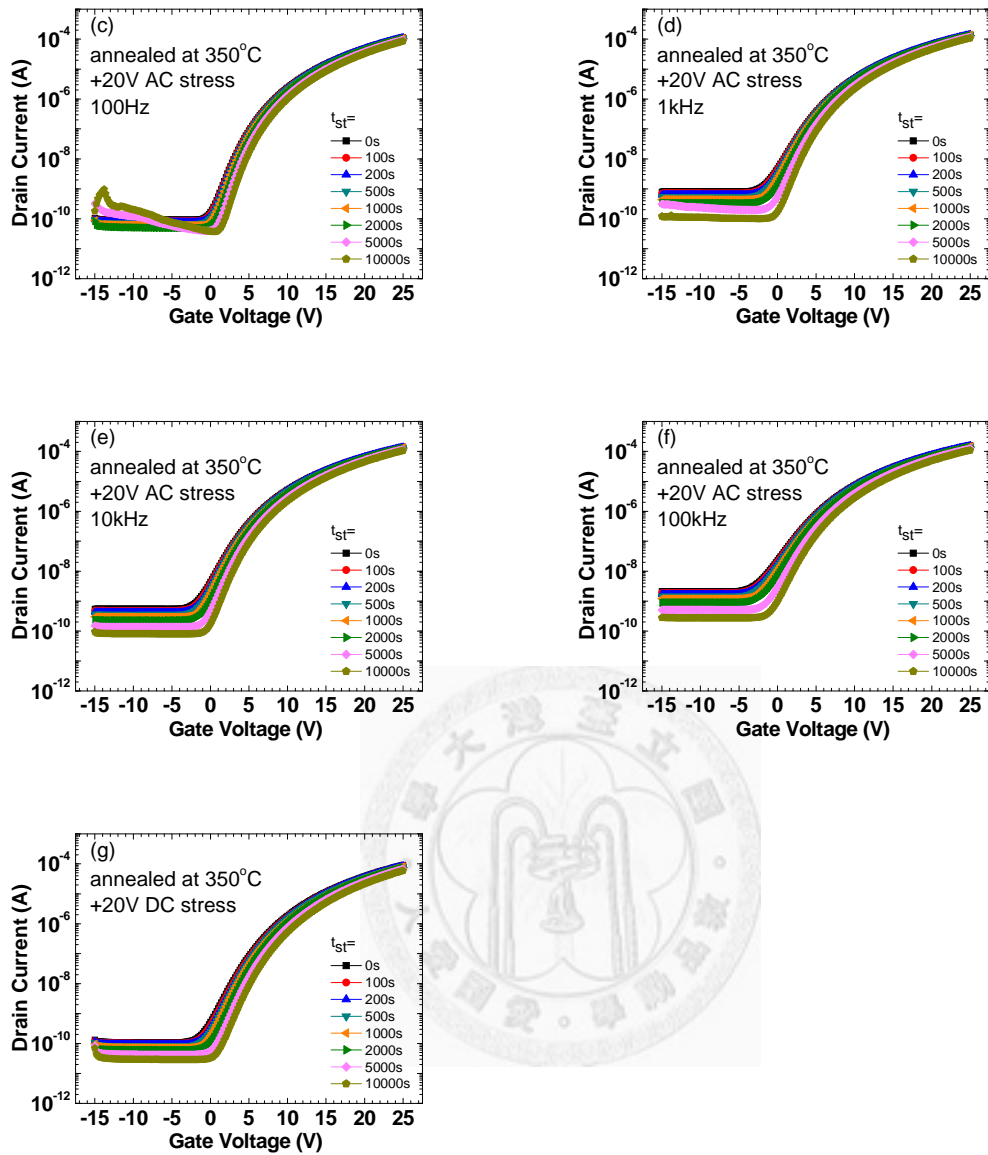


圖 4-4-26 (a)(b)(c)(d)(e)(f)為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 10 V 時分別做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及(g)直流偏壓測試的轉換特性曲線隨時間變化圖

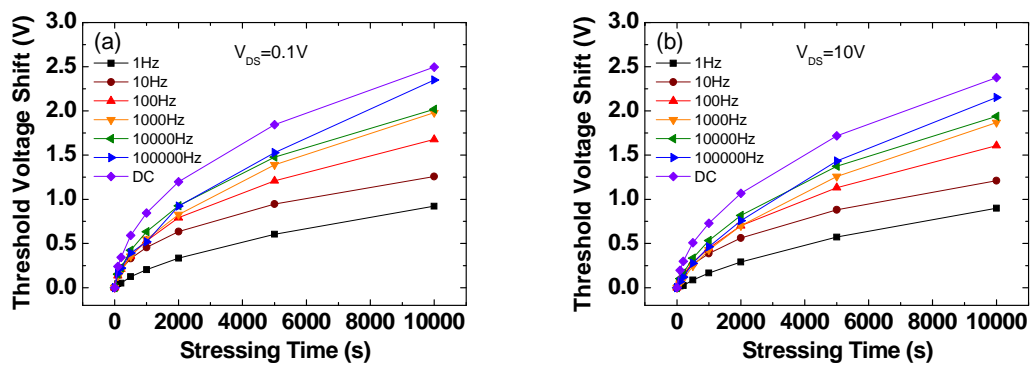


圖 4-4-27 為 350°C 熱退火之薄膜電晶體於量測時汲極電壓分別為(a)0.1 V 與(b)10 V 時做 1 Hz - 100 kHz 不同頻率的閘極交流正偏壓測試以及直流偏壓測試的臨界電壓隨時間變化圖

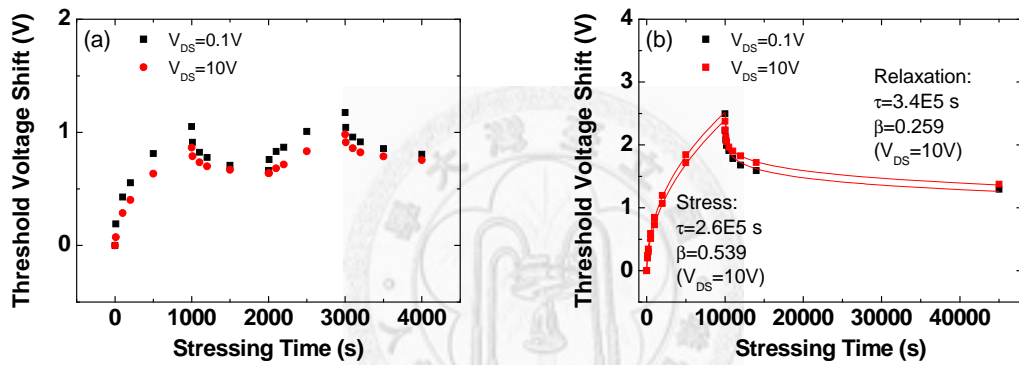


圖 4-4-28 為 350°C 熱退火之薄膜電晶體於量測時汲極電壓為 0.1 V 與 10 V 時分別 (a)短時間(偏壓及鬆弛各 1000 秒)(b)長時間閘極(偏壓 10000 秒及鬆弛 35000 秒)直流正偏壓測試的臨界電壓隨時間變化圖

#### 4.5 第四章參考文獻

- [1] J.-H. Boo, S.-B. Lee, K.-S. Yu, W. Koh, and Y. Kim, "Growth of magnesium oxide thin films using single molecular precursors by metal organic chemical vapor deposition," *Thin Solid Film*, 341, 1-2, pp. 63-67, 1999.
- [2] A. Ohtomo, S. Takagi, K. Tamura, T. Makino, Y. Segawa, H. Koinuma, and M. Kawasaki, "Photo-irresponsive thin-film transistor with  $Mg_xZn_{1-x}O$  channel," *Jpn. J. Appl. Phys.*, 45, 27, pp. L694-L696, 2006.
- [3] R. B. M. Cross, M. M. D. Souza, S. C. Deane, and N. D. Young, "A comparison of the performance and stability of ZnO-TFTs with silicon dioxide and nitride as gate insulators," *IEEE Trans. Electron Devices*, vol. 55, no. 5, pp. 1109-1115, 2008.
- [4] L.-Y. Su, H.-Y. Lin, S.-L. Wang, Y.-H. Yeh, C.-C. Cheng, L. H. Peng, and J.-J. Huang, "Effects of gate-bias stress on ZnO thin-film transistors," *J. Soc. Inf. Displ.*, 18, 10, pp. 802-806, 2010.
- [5] C.-J. Ku, Z. Duan, P. I. Reyes, Y. Lu, Y. Xu, C.-L. Hsueh, and E. Garfunkel, "Effects of Mg on the electrical characteristics and thermal stability of  $Mg_xZn_{1-x}O$  thin film transistors," *Appl. Phys. Lett.*, 98, 12, p. 123511, 2011.
- [6] J.-M. Lee, I.-T. Cho, J.-H. Lee, and H.-I. Kwon, "Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors," *Appl. Phys. Lett.*, 93, 9, p. 093504, 2008.
- [7] T.-C. Fung, K. Abe, H. Kumomi, and J. Kanicki, "Electrical instability of rf sputter amorphous In-Ga-Zn-O thin-film transistors," *J. Disp. Technol.*, 5, 12, pp. 452-461, 2009.
- [8] S.-Y. Huang, T.-C. Chang, M.-C. Chen, S.-C. Chen, C.-T. Tsai, M.-C. Hung, C.-H. Tu, C.-H. Chen, J.-J. Chang, and W.-L. Liauc, "Effects of ambient atmosphere on electrical characteristics of  $Al_2O_3$  passivated InGaZnO thin film transistors during positive-bias-temperature-stress operation," *Electrochem. Solid-State Lett.*, 14, 4, pp. H177-H179, 2011.
- [9] Y. Kamada, S. Fujita, M. Kimura, T. Hiramatsu, T. Matsuda, M. Furuta, and T. Hirao, "Effects of chemical stoichiometry of channel region on bias instability in ZnO thin-film transistors," *Appl. Phys. Lett.*, 98, 10, p. 103512, 2011.
- [10] M.-W. Ma, C.-Y. Chen, W.-C. Wu, C.-J. Su, K.-H. Kao, T.-S. Chao, and T.-F. Lei, "Reliability mechanisms of LTPS-TFT with  $HfO_2$  gate dielectric: PBTI, NBTI, and hot-carrier stress," *IEEE Trans. Electron Devices*, 55, 5, pp. 1153-1160, 2008.

- [11] C.-T. Tsai, T.-C. Chang, S.-C. Chen, I. Lo, S.-W. Tsao, M.-C. Hung, J.-J. Chang, C.-Y. Wu, and C.-Y. Huang, "Influence of positive bias stress on N<sub>2</sub>O plasma improved InGaZnO thin film transistor" *Appl. Phys. Lett.*, 96 , 24, p. 242105, 2010.
- [12] J. K. Jeong, H. W. Yang, J. H. Jeong, Y.-G. Mo, and H. D. Kim, "Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors," *Appl. Phys. Lett.*, 93, 12, p.123508, 2008.
- [13] D. N. Kouvatso and D. Davazoglou, "Gate/drain bias-induced degradation effects in TFTs fabricated in unhydrogenated SPC polycrystalline silicon films," *Thin Solid Films*, 426, 1-2, pp. 250-257, 2003.
- [14] H.-S. Jung, S.-H. Rha, H. K. Kim, J. H. Kim, S.-J. Won, J. Lee, S. Y. Lee, C. S. Hwang, J.-M. Park, W.-H. Kim, M.-W. Song, and N.-I. Lee, "Turn-around effect of  $V_{th}$  shift during the positive bias temperature instability of the n-type transistor with HfO<sub>x</sub>N<sub>y</sub> gate dielectrics," *IEEE Electron Device Lett.*, 31, 12, pp. 1479-1481, 2010.
- [15] I.-T. Cho, J.-M. Lee, J.-H. Lee, and H.-I. Kwon, "Charge trapping and detrapping characteristics in amorphous InGaZnO TFTs under static and dynamic stresses," *Semicond. Sci. Technol.*, 24, 1, pp. 015013, 2009.
- [16] H.-C. Cheng, C.-Y. Huang, J.-W. Lin, and Jerry J.-H. Kung, "The reliability of amorphous silicon thin film transistors for LCD under DC and AC stresses," *Solid-State and Integrated Circuit Technology*, 1998 5th International Conference.
- [17] C.-Y. Huang, T.-H. Teng, J.-W. Tsai, and H.-C. Cheng, "The instability mechanisms of hydrogenated amorphous silicon thin film transistors under AC bias stress," *Jpn. J. Appl. Phys.*, 39, 7, pp. 3867-3871, 2000.
- [18] D. Zhou, M. Wang, H. Li, and J. Zhou, "Stability of a-Si thin film transistors under negative gate bias stress," *Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2010 17th IEEE International Symposium.
- [19] J. C. Liao, Y. K. Fang, C. H. Kao, and C. Y. Cheng, "Dynamic Negative Bias Temperature Instability (NBTI) of Low-Temperature Polycrystalline Silicon (LTPS) Thin-Film Transistors," *IEEE Electron Device Lett.*, 29, 5, pp. 477-479, 2008.
- [20] C. Shen, H. Y. Yu, X. P. Wang, M.-F. Li, Y.-C. Yeo, Daniel S. H. Chan, K. L. Bera, and D.L. Kwong, "Frequency dependent dynamic charge trapping in HfO<sub>2</sub> and

threshold voltage instability in MOSFETs,” *IEEE International Reliability Physics Symposium Proceedings*, pp. 601-602, 2004



## 第五章 結論與未來展望

### 5.1 結論

我們成功地製作了以氧化鋅鎂為通道層搭配氧化鎂為介電層的的薄膜電晶體，並且分別以 200°C 與 350°C 做熱退火，討論兩者在變溫穩定性、常溫偏壓穩定性、變溫偏壓穩定性、變溫與不同偏壓極性穩定性、交流偏壓穩定性之測試中有何不同。

首先由 X 光繞射分析，我們發現氧化鋅鎂薄膜於 200°C 退火後有些微的鎂取代鋅的現象，350°C 退火後有更多的取代產生，且結晶性方面也顯示了 350°C 退火較 200°C 退火為佳，因為鎂的取代可以抑制氧空缺的產生，摻雜鎂能提高氧化鋅的能隙，使得一些施子能級(donor levels)對氧化鋅半導體的能帶影響程度降低，因此我們預期鎂取代較多的情況會有較好的電晶體穩定性。

在變溫穩定性測試中，熱的效應對薄膜電晶體元件會造成通道層中的載子熱激發(thermal excitation)，因此關電流會上升，並且臨界電壓值會略為下降，但是 200°C 退火元件只有在較高溫時發生此現象，較低溫時量測的熱效應並不明顯，這可能是由於通道層中的缺陷較多，導致量測中載子被捕陷的數量多於熱激發的數量，另外在次臨界擺幅隨溫度變化可以得知，200°C 退火元件在升溫初期不明顯，直到環境溫度較高溫時急遽退化，反而 350°C 退火元件是相較穩定一些的。

在常溫偏壓穩定性測試中，經過+20 V 的閘極偏壓 10000 秒後，得到 200°C 與 350°C 退火元件的臨界電壓總偏移量分別有 8.9 V 與 2.6 V，顯示 350°C 退火能得到較佳的穩定性。而變溫的閘極正偏壓穩定性測試結果則發生駝峰現象，隨著溫度越高、偏壓時間越長則駝峰越明顯，然而在 350°C 退火的薄膜電晶體中此現象被明顯地抑制，而此現象會在高溫的持溫環境中快速回復，在不同的氣氛中(氧氣、氮氣)也一樣有出現，並且兩種退火條件的電晶體皆未經過背通道鈍化層處理，顯示駝峰現象的差異來自於退火條件的不同，因此推測可能原因為介穩定(meta-stable)的氧空缺藉由閘極偏壓在通道層與介電層之間產生，而某些因為熱而從氧空缺中激發的載子會使通道層電阻率下降，因此逐漸形成通道層提早導通的駝峰現象。

在變溫閘極負偏壓的穩定性測試中，駝峰現象則沒有出現，然而，200°C 退火元件的臨界電壓出現折返現象，並且應是電荷捕陷(charge trapping)以及缺陷產生

(defect creation)互相競爭的結果，由次臨界擺幅的退化證實了 200°C 退火元件的次臨界擺幅隨偏壓時間增加而退化越嚴重，而在偏壓測試初期退化不明顯，因此一開始電荷捕陷為主要機制，後來逐漸被缺陷產生的效應掩蓋，產生臨界電壓折返現象。

相較於閘極直流偏壓測試，交流測試會有較小的臨界電壓偏移，其原因來自於交流偏壓訊號有一段不加偏壓的時間間距，使得被捕陷的電子重新釋出，而實驗結果發現隨著交流偏壓頻率的增加，臨界電壓的偏移也越多，雖然總偏壓時間固定，但可能由於電晶體處在未加偏壓的時間間距縮短，因此電子重新釋出的速度不及於捕陷的速度，使得臨界電壓的偏移量增加。

## 5.2 未來展望

由於氧化鋅鎂電晶體的電穩定性仍是需要高溫退火處理來改善，低溫製程的電晶體尚須尋找其他方式改善穩定性，另外，雖然高溫退火可以增進穩定性，但由於鎂的取代作用會在另一方面犧牲些微的載子遷移率，因此，若要降低製程溫度，除了使用不同的處理方式(如電漿、雷射、紫外光等等)做處理，加入不同材料的摻雜也是一種值得研究的改進方式。