

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering
College of Electrical Engineering and Computer Science

National Taiwan University

Master Thesis

製程與量測環境對二硫化錫電子傳輸的效應

Effects of Fabrication Processes and Measurement Ambience on
Electron Transport of Tin Disulfide

吳睿濬

Rui-Jun Wu

指導教授：李峻賈 教授

Advisor: Professor Jiun-Yun Li

中華民國 112 年 5 月

May, 2023



誌謝

首先我要感謝教授李峻實，在碩士期間的指導與訓練，從尋找題目方向以及相關文獻、設計實驗、架設所需儀器到數據的分析和解釋，都給我很大的空間思考並發揮，過程中，在我沒有自信時，給予激勵敦促我的腳步，在我有過度大膽的假設或結論時，提醒並要求我細心求證，並且在最後的論文寫作階段也協助我更清楚完整的表達自己論述，也感謝口試委員梁啟德教授、陳敏璋教授以及吳肇欣教授給予的指點和建議，讓我的碩士期間有扎實的訓練和完整的收尾。

在 QEL 實驗室的時間，我要先特別感謝一起研究二維材料的戰友蘇士傑和高祥順學長，有他們合作才能完成儀器的設計和架設，並完成後續研究。也感謝實驗室的莊嚴學長、偉志學長、家佑學長、俞叡學長、嘉澤學長、耀均學長、子茗學長、志穎學長、奕潔學姊、宗穎學長、凱瑩學姊、志力學長，曾經教導過我儀器的操作、實驗的小技巧或在我有疑問時提供寶貴的意見，讓我能適應實驗室的步調。也感謝同學蘇遙、宸曉、瑋哲、驊凌，雖然彼此的題目方向差異很大，但能和你們互相分享不同面向的知識，讓我能夠接觸和了解到不同研究領域，或是共同思考目前遇到的瓶頸為彼此加油打氣，也讓我更快的面對每次的困難。也謝謝學弟閔宇常常找我分享和討論物理，給我不同面向的物理觀點，也提供我解釋實驗數據的想法。其他學弟妹們也謝謝你們一起渡過這段實驗室的時光，祝福你們的實驗都能順利有好的結果。

在實驗室以外的生活中，除了感謝好友以及球友陪我轉換心境抒發壓力以外，特別感謝我的父母、兩位姐姐和一直陪伴我的靜穎，能體諒接受我選了較艱難的道路，花費比較多的時間，沒有給我太多額外的壓力，每天結束都能再回復體力和心力，應對接下來的難題。

在許多人的協助和支持下，我才能走完這個學生階段，無法將所有人都一一列舉，只能在此期許自己也能成為別人生命中的助力，萬分感謝！

摘要

二維金屬硫化物(Metal dichalcogenides, MX_2)由於其良好的材料性質和豐富的物理現象(例如:高遷移率、超導性以及強自旋耦合效應)因此受到大量的關注,其中,二硫化錫具有約 2.15 ~ 2.76 eV 的能隙,被應用在可見光範圍的光電元件上;此外,較高的電子親和力(~5.48 eV)亦能應用於高效能穿隧元件。然而,對於二硫化錫的基本性質的研究十分有限,例如:大氣環境如何影響薄膜品質或是低溫載子電性。本論文將研究二硫化錫特性以進一步填補其知識空白。

為了取得高品質的薄膜,我們將二維薄膜轉移系統架設於充滿氮氣的手套箱中,盡量避免製備過程中的氧化效應或環境影響。並分別利用後電極以及預電極製程步驟完成二硫化錫電晶體元件,利用預電極製程步驟製作之電晶體,於溫度 100 K 下的四點量測電晶體遷移率可達 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ (世界最高)。此外,二硫化錫放置於大氣環境下,閾值電壓變大,可能是因為大氣中的氧氣吸附於二硫化錫表面,並造成 P 型摻雜,使得遷移率下降、次臨界斜率上升(Subthreshold Slope, SS)以及遲滯加劇(Hysteresis)。

透過變溫量測,利用後電極製程製作之二硫化錫電晶體的電導率隨溫度下降而大幅下降,可利用變程跳躍模型(Variable Range Hopping)解釋,暗示系統受大量的缺陷影響較為無序(disordered),其載子傳輸方式由缺陷間的穿隧所主導。在預電極製程之樣品中,遷移率與溫度的關係則主要受到帶電缺陷以及聲子散射所限,顯示預電極製程有效地提升二硫化錫的遷移率,未來可提供在低溫下量測二硫化錫基本特性的途徑。

關鍵字：二硫化錫、電晶體、變程跳躍、遷移率

Abstract

Metal dichalcogenides (MX_2) are a large family of two-dimensional (2D) materials, which have captured great attention for their excellent material properties and rich physics, such as high mobility, superconductivity, and strong spin-orbit coupling. Among those materials, SnS_2 shows great promise for optoelectronics applications in a visible-light range owing to its larger band gap energy of $2.15 \sim 2.76$ eV. In addition, its high electron affinity (~ 5.48 eV) allows it to form broken-gap heterostructures for high-performance tunneling devices. However, there has been limited research on carrier transport, ambience effects on the thin film quality, and low-temperature characteristics of SnS_2 . Therefore, this work aims for bridging the knowledge gap of SnS_2 .

For high-quality 2D material, the preparation steps to avoid oxidation are crucial. In this work, a nitrogen-filled glove box equipped with a thin-film transfer system is designed and installed for the 2D thin-film preparation. A post-pattern process and a pre-pattern process are used for the fabrication of SnS_2 transistors and the effects on the device performance are compared. The highest field-effect mobility of $\sim 100 \text{ cm}^2/\text{V}\cdot\text{s}$ is demonstrated at 100 K using the pre-pattern process to suppress ambient effects on SnS_2 surfaces. Furthermore, a positive shift of the threshold voltage for transistors is observed, attributed to p-type doping effects by oxygen in the atmosphere attached to the SnS_2 surface, leading to a worse mobility, a larger subthreshold slope, and serious hysteresis.

Temperature-dependent measurements were performed to characterize the carrier transport in the post-patterned SnS_2 transistors. As the temperature decreases, the conductivity is reduced, which follows the Variable-Range-Hopping model. This suggests the disorder in the material dominates and the carrier transport is assisted by electron tunneling between defects. For the pre-patterned device, the temperature dependence of the mobility suggests the charged impurity and phonon scattering dominates. This indicates the pre-pattern process could improve the mobility effectively, paving a way to further explore the fundamental properties of SnS_2 at low temperatures.

Keywords: Tin-Sulfide(SnS_2), Transistor, Variable-Range-Hopping, Mobility.



目錄



口試委員會審定書	#
誌謝	i
摘要	ii
Abstract.....	iii
目錄	v
圖目錄	vii
第 1 章 引言.....	1
1.1 研究動機	1
1.2 文獻回顧	3
1.3 論文架構	5
第 2 章 二硫化錫與二維材料元件製備	6
2.1 二硫化錫材料分析	6
2.2 二維材料乾式轉移系統	8
2.3 元件製作及電性量測	10
2.3.1 元件製作	10
2.3.2 電性量測	12
第 3 章 製程及環境的影響	15
3.1 二維材料電晶體中的缺陷及對電性影響	15
3.1.1 次臨界擺幅	16
3.1.2 閾值電壓變化及遲滯現象	19
3.1.3 載子遷移率	22
3.2 室溫電晶體特性	23
3.2.1 後電極二硫化鉬	23
3.2.2 後電極二硫化錫	25
3.2.3 預電極二硫化錫	26

3.2.4	二硫化錫兩種製程結果比較.....	30
3.3	電導法之界面缺陷分析	32
3.3.1	電導法模型介紹.....	33
3.3.2	實驗製程及結果.....	35
3.4	結論	41
第 4 章	二硫化錫變溫傳輸性質	42
4.1	文獻回顧	42
4.1.1	二硫化錫及其他二維材料.....	42
4.1.2	變溫遷移率.....	44
4.1.3	跳躍傳輸.....	50
4.2	變溫量測及結果分析	52
4.2.1	後電極製程二硫化鉬之電性結果.....	52
4.2.2	後電極製程二硫化錫之電性結果.....	54
4.2.3	預電極製程二硫化錫之電性結果.....	57
4.2.4	其他環境條件預電極二硫化錫樣品之電性結果.....	60
4.3	結論	61
第 5 章	結論及未來工作	62
5.1	結論	62
5.2	未來工作	62
參考文獻.....		64

圖目錄



圖 1.1 (a)塊材矽及二維材料遷移率對通道厚度的關係。(b)過去半導體製程節點使用的技術、結構與材料演進圖及未來可能的路徑 [1]。.....	1
圖 1.2 (a)不同電性的二維材料 [4]。(b)二維材料異質結構示意圖 [5]。.....	2
圖 1.3 (a)不同二維材料的能隙對晶格常數作圖，空心為塊材，實心為單層材料，(b)理論計算遷移率對等效質量作圖 [1]。.....	2
圖 1.4 二硫化錫應用：光感測器(a)對不同波長光的響應和(b)反應時間 [10]以及WS ₂ /SnS ₂ 穿隧二極體(c)能帶示意圖和(d)負微分電阻效應(Negative Differential Resistance, NDR) [11]。.....	3
圖 1.5 過去二硫化錫電晶體實驗中遷移率及開關比的分布及本論文中最佳結果 [15-25]。.....	4
圖 2.1 (a)2H-SnS ₂ 的晶體結構側視圖和俯視圖 [29]，(b)SnS ₂ 塊材與(c)利用 Scotch 膠帶進行機械剝離法。.....	6
圖 2.2 二硫化錫薄膜於 25 nm 二氧化矽/矽基板 (a)光學顯微鏡影像 (紅色虛線為厚度頗面，綠色虛線範圍為雷射激發區域)，左下為二氧化矽薄膜厚度的色卡[30]；(b)AFM 影像和薄膜切面厚度數據；以 532 nm 雷射激發的(c)拉曼光譜和(d)光致發光光譜。.....	7
圖 2.3 二維材料透過 PDMS 完成乾式轉移的流程示意圖 [35]。.....	8
圖 2.4 乾式轉移系統之(a)架構示意圖與實際外觀，(b)轉移過程之顯微鏡影像，依序為(i)PDMS 上的二硫化錫、(ii)目標基板圖形與懸浮的薄膜、(iii)PDMS 與基板貼合的過程以及(iv)轉移完成圖，(c)乾式手套箱轉移系統。.....	9
圖 2.5 二維材料電晶體前段製作流程，從基板、對準標記、定義外電極和背電極的示意圖，由上至下分別為流程解說、元件側視圖和俯視圖。.....	10
圖 2.6 二維材料電晶體後半部製作流程，包含定義接觸電極和二維材料轉移，上半部為後電極流程，下半部是預電極流程的解說、側視圖和俯視圖。.....	11
圖 2.7 二硫化鉬電晶體之 I _D -V _G 曲線：(a)後電極樣品、(b)預電極樣品、(c)利用石	

墨稀作為金屬電極之預電極樣品。縮圖為對應元件的光學影像。.....	13
圖 2.8 接觸電極結構示意圖以及沿紅色虛線的對應能帶圖，顯示閘極偏壓變化對 蕭基障礙的影響。.....	13
圖 2.9 二硫化錫電晶體 I_D-V_G ，(a)後電極樣品、(b)預電極樣品。縮圖為對應元件的 光學影像。.....	14
圖 3.1 二維材料閘極氧化層結構中不同種類的缺陷，對於電流有不同反應時間反 應在不同的量測結果 [39]。.....	15
圖 3.2 (a)MOS 結構能帶圖，實線為 $V_G = V_{FB}$ 的平能帶情況，虛線為繼續施加正閘 極偏壓的情況 [41]。(b)SOI-MOS 結構的能帶圖 [40]。(c) MOS 在次臨界區 域的等效電容電路。(d) SOI-MOS 的等效電容電路。.....	18
圖 3.3 (a)沒有額外電荷的平能帶圖，(b)絕緣層有額外電荷分布後的能帶圖與(c)有 額外電荷的平能帶圖，和(a)相差 ΔV [45]。.....	19
圖 3.4 (a) I_D-V_G 曲線逆時針遲滯示意圖，(b-c) 氧化層中自由電荷以及接近閘極的 氧化層缺陷狀態隨閘極偏壓變化示意圖，(d) I_D-V_G 曲線順時針遲滯示意圖 (e-g) 半導體通道側缺陷狀態隨閘極偏壓變化示意圖，依序成為分子吸附、 界面和氧化層缺陷以及二維材料原生缺陷，紅點為電子，藍色叉號為缺陷 [51]。.....	21
圖 3.5 (a)順時針遲滯 I_D-V_G 曲線示意圖，(b)各閘極偏壓下的能帶示意圖。.....	21
圖 3.6 後電極製程二硫化鉬電晶體的 I_D-V_G 曲線(a-c)為存放於氮氣環境中隨天數的 變化，(d-f) 為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現， (b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m-V_G 圖。.....	24
圖 3.7 後電極製程二硫化鉬 I_D-V_G 曲線各個參數隨時間及存放環境的變化。(a)正 向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色， 左刻度)和遲滯大小(紅色，右刻度)，以及(c) g_m (左刻度)和對應電晶體等效載 子遷移率(右刻度)。.....	24
圖 3.8 後電極製程二硫化錫電晶體的 I_D-V_G 曲線(a-c)為存放於氮氣環境中隨天數的 變化，(d-f) 為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現，	

(b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m - V_G 圖。縮圖為量測元件光學顯微鏡圖。	26
圖 3.9 後電極製程二硫化錫 I_D - V_G 曲線各個參數隨時間及存放環境的變化。(a)正向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色，左側刻度)和遲滯大小(紅色，右側刻度)，以及(c) g_m (左刻度)和對應電晶體等效載子遷移率(右刻度)。	26
圖 3.10 預電極製程二硫化錫電晶體的 I_D - V_G 曲線(a-c)為存放於氮氣環境中隨天數的變化，(d-f) 為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現，(b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m - V_G 圖。縮圖為量測元件光學顯微鏡圖。	27
圖 3.11 預電極製程二硫化錫 I_D - V_G 曲線各個參數隨時間及存放環境的變化。(a)正向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色，左側刻度)和遲滯大小(紅色，右側刻度)，以及(c) g_m (左刻度)和對應電晶體等效載子遷移率(右刻度)。	27
圖 3.12 (a)模型預測之暫態能帶變化示意圖，以及(a) I_D -Time 實際量測圖，縮圖為閘極偏壓對時間關係，和預電極元件光學顯微鏡圖。	28
圖 3.13 (a)為預電極二硫化錫遲滯曲線各個階段的 I_D - V_G 示意圖，綠色為平衡狀態，紅色及藍色分別為正向及負向量測結果，(b)為對應閘極偏壓對時間的關係以及(c)對應的能帶示意圖。	29
圖 3.14 (a)不同氧化程度之二硫化錫拉曼光譜 [58]，(b)二硫化錫曝露於空氣前後的拉曼光譜，縮圖為光學顯微鏡影像。	30
圖 3.15 (a)懸浮的預電極二硫化錫對 NH_3 氣體的電流變化，白色區塊為乾燥大氣，灰色區塊混入不同濃度 NH_3 ，(b)為對不同氣體的反應大小 (Response factor $\equiv (I_{gas} - I_{air})/I_{air}$) [59]。(c)二硫化錫從氮氣至乾燥大氣的電流變化圖，縮圖為元件示意圖 [60]。	30
圖 3.16 二硫化錫薄膜接觸光阻後的前後 AFM 影像，(a-b)為 AZ5214 光阻，(c-d)為 TDUR-P015 光阻。	31

圖 3.17 (a)缺陷於 MOS 結構中的小訊號模型，(b)能階連續分布的缺陷等效電路， (c)轉換為與頻率相關的等效並聯電容 $C_{it}(\omega)$ 和電導 $G_p(\omega)$ [65]。.....	33
圖 3.18 儀器量測等效電路圖：(a)串聯模型(阻抗) (b)並聯模型(導納)以及(c) MOS 結構等效電路。.....	34
圖 3.19 局部背電極二硫化錫電晶體製程流程:解說、側視圖以及俯視圖。.....	35
圖 3.20 局部背閘極預電極二硫化錫電晶體 I_D-V_G 曲線：(a)曝露於大氣 1~2 小時， (b)曝露於大氣一周(縮圖為元件光學顯微鏡影像)。.....	36
圖 3.21 (a)電容閘極電壓變頻量測結果，(b)電導閘極電壓變頻量測結果。(c)元件的 結構及電容示意圖，(d)高低頻率法的缺陷密度對閘極偏壓關係圖以及低頻 和高頻的等效電路。.....	37
圖 3.22 (a) G_p/ω 與 ω 之關係圖，點為實際量測數據轉換後的數值，實線為擬合曲 線，(b)為不同偏壓下擬合出的缺陷密度和反應時間倒數(速率)。.....	38
圖 3.23 SOI 結構的表面能帶彎曲大小($\psi(0)$)以及反轉電荷(Q_i)對閘極偏壓的關係 [41]。.....	39
圖 3.24 能帶起伏造成局域狀態 [68]並在導帶邊界形成能帶帶尾 [69]。.....	39
圖 3.25 放置一周後電導法量測結果(a) G_p/ω 對 ω 作圖，點為實際量測數據轉換後 的數值，實線不同偏壓下的擬合曲線，(b)為不同偏壓下擬合出的缺陷密度 和反應時間倒數。(c)分別為起始和放置一周後二硫化錫缺陷密度對閘極偏 壓的關係。.....	40
圖 4.1 不同文獻中的後電極製程二硫化錫電晶體變溫 I_D-V_G 曲線以及等效電晶體 遷移率對溫度變化圖，(a-b)和(c-d)分別為取自於 [16]和[25]。.....	43
圖 4.2 後電極製程(a)二硫化鉬 [70]及(b)二硫化鎢 [71]電晶體遷移率對溫度的關 係圖。.....	43
圖 4.3 晶格震盪對載子散射(a)在高溫及(b)低溫的示意圖。(c)以二硫化鉬為例，聲 學(LA)及光學(LO)震盪模式示意圖及震盪頻率(能量)對動量關係 [76]。..	45
圖 4.4 帶電缺陷對載子散射(a)在動能高及(b)動能低的散射角度示意圖。(c)庫倫位 能受到電子雲感應電荷屏蔽前後的位能對距離關係 [68]。(d)不同密度電子	

雲極化程度對溫度關係 [75]。(e)相同載子密度下，二維載子於高溫及低溫的能量分布示意圖。.....	46
圖 4.5 (a)根據波茲曼傳輸方程式，假設 $\tau = \tau_0 E^2$ 且忽略屏蔽效應後，不同載子密度下遷移率對溫度的關係，以及(b)費米能階對溫度的關係。.....	47
圖 4.6 考慮屏蔽效應下，受帶電缺陷散射限制的遷移率對溫度關係圖(a) 二硫化鉬考慮相鄰材料介電值為 ϵ_e ， n_s 為載子密度 [69]，(b)二硫化鉬於不同介電值基板，藍與紅線分別為載子密度 10^{12} 和 10^{13} cm^{-2} [69]，(c)n-GaAs 二維電子氣系統，下方藍線缺陷密度較高 [78]。.....	49
圖 4.7 不同二維系統在缺陷密度較高時，遷移率對溫度的關係，(a)不同晶面的矽電晶體，其中(110)有較高的缺陷密度 [79]，(b)二氧化矽基板上之後電極製程二硫化鉬 [72]，(c)上圖為二氧化矽基板上之後電極製程二硫化鉬，下圖為同一個樣品覆蓋 HfO_2 [73]。.....	49
圖 4.8 (a)帶電缺陷對能帶造成起伏，產生電子的局域狀態，右圖為二維狀態密度在能量上分布情況 [69]。(b)為三種跳躍傳輸機制的示意圖，依序為①熱激發、②相鄰跳躍及③變程跳躍 [68]。.....	51
圖 4.9 (a)樣品小載台、樣品及金線實際樣貌圖，(b)小載台之載具。.....	52
圖 4.10 (a)二硫化鉬電晶體變溫 I_D - V_G 曲線左(右)刻度為對數(線性)尺標，以及電晶體各參數對溫度的關係，依序為(b)閾值電壓、(c)電晶體等效遷移率以及(d)SS 和缺陷密度對溫度關係。.....	53
圖 4.11 後電極製程二硫化錫電晶體變溫 I_D - V_G 曲線(a)線性尺標及(b)對數尺標，和(c)電晶體等效遷移率對溫度關係。.....	54
圖 4.12 後電極製程二硫化錫電晶體個閘極偏壓下，電流(電導率)對溫度作圖，(a) T^{-1} 對應熱激發或相鄰跳躍傳輸及(b) $T^{-1/3}$ 和 $T^{-1/2}$ (縮圖)對應 Mott 和 ES 變程跳躍傳輸。(c-d)分別利用斜率萃取兩種跳躍傳輸的參數。.....	55
圖 4.13 預電極製程二硫化錫電晶體 I_D - V_G 曲線(a)線性尺標和(b)對數尺標，(c)為等效遷移率對溫度關係，(d)為各偏壓下電流(電導率)對溫度作圖。.....	57
圖 4.14 預電極製程二硫化錫電晶體(a)兩點量測 I_D - V_G 曲線和(b)兩點量測等效遷移	

率，以及(c)四點量測電導 V_G 圖和(d)四點等效遷移率對溫度關係。.....	59
圖 4.15 預電極製程二硫化錫電晶體兩點量測 I_D - V_G 曲線(a)於大氣放置一周後，接著(b)存放於氮氣環境兩周後，(c)遷移率對溫度作圖。	60
圖 4.16 六方氮化硼覆蓋之預電極製程二硫化錫電晶體變溫 I_D - V_G 圖。	60



第 1 章 引言

1.1 研究動機

電晶體是邏輯運算晶片中最基本的元件，從 1960 年代依照摩爾定律以約每兩年尺寸微縮 0.7 倍(亦即密度增加兩倍)的趨勢持續進步到現在，除了可以在相同面積下能夠有更多的邏輯運算單位以外，隨元件尺寸縮小，元件寄生電容降低，能夠有更快的操作頻率；考慮相同操作電場下，可以使用更小的電壓，使得功耗降低，最後達到增加邏輯運算的效能的目的。

電晶體藉由閘極偏壓控制通道開關，通道方向位能 $\psi(x)$ 可以化簡成利用一維的靜電場泊淞方程式表示[1,2]:

$$\frac{d^2\psi(x)}{dx^2} + \frac{\psi(x)}{\lambda^2} = 0, \lambda = \sqrt{\frac{t_b t_{ox} \epsilon_b}{\epsilon_{ox}}} \quad (\text{式 1.1})$$

t_b 和 t_{ox} 分別為半導體塊材空乏區和氧化層的厚度， ϵ_b 和 ϵ_{ox} 分別為半導體塊材和氧化層的介電常數， λ 為電晶體通道位能的特徵長度，對應通道兩側電壓對通道影響的深度，並決定電晶體元件適合的尺寸；當電晶體通道長度小於特徵長度時，短通道效應就會變得明顯使得關閉電流較高。過去的電晶體技術發展藉由縮減氧化層厚度(t_{ox})、使用高介電常數氧化層提升 ϵ_{ox} ，接著使用 SOI 或是 FinFET 等新元件架構來減少通道厚度(t_b)，持續降低特徵長度，達到電晶體尺寸微縮的目標，如今邁入使用環繞閘極(GAA)架構的階段(圖 1.1(b))，雖然能夠繼續透過減少 t_b 減少特徵長度，不過也面臨塊材遷移率在減薄後嚴重下降的物理極限，此時，本身晶格就是

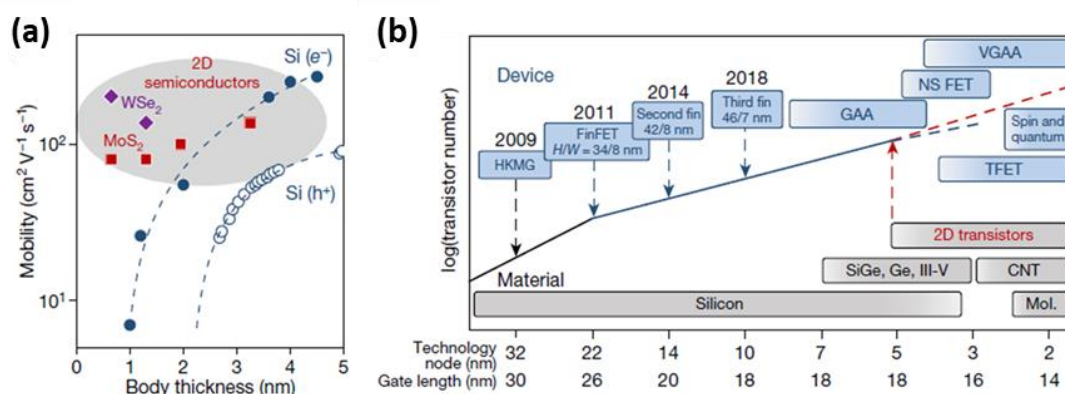


圖 1.1 (a)塊材矽及二維材料遷移率對通道厚度的關係。(b)過去半導體製程節點使用的技術、結構與材料演進圖及未來可能的路徑 [1]。

層狀結構的二維材料，因為本身載子就侷限在薄膜通道中，所以其遷移率在通道微縮減薄後不會因為表面散射機制導致遷移率下降(圖 1.1(a))，被視為未來能延續摩爾定律的可能選擇。

此外，二維材料除了可能作為積體電路上的應用，本身二維系統的物理特性也吸引很多研究關注，自從石墨稀被發現以來 [3]，不同二維材料也開始受到關注，在電性上，從絕緣體、半導體、半金屬或是金屬甚至是超導體都有對應的材料存在(圖 1.2(a))，層狀的結構也提供將不同材料堆疊形成異質結構的可能性(圖 1.2(b))，並衍生許多新興元件及應用。

本論文著重在研究二維材料半導體本身的特性，希望在研究材料基本物理特性的同時，討論電晶體應用上的可能性。在過去文獻中，二維半導體以二硫化鉬、

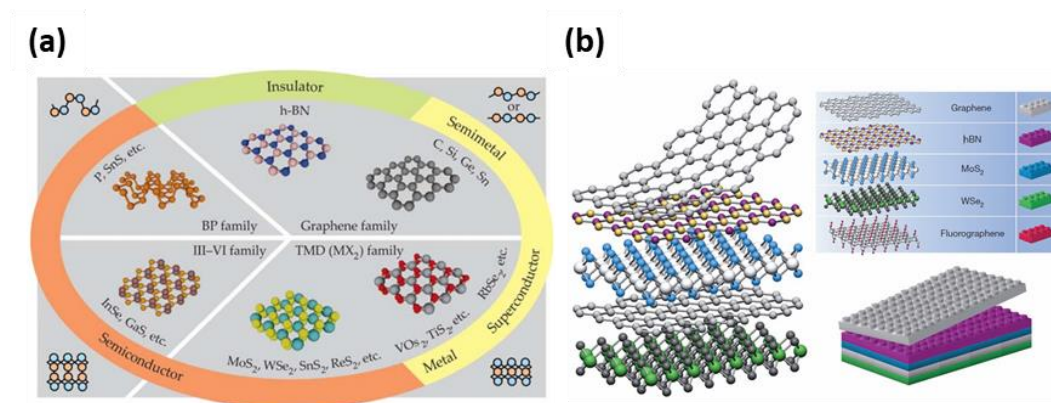


圖 1.2 (a)不同電性的二維材料 [4]。(b)二維材料異質結構示意圖 [5]。

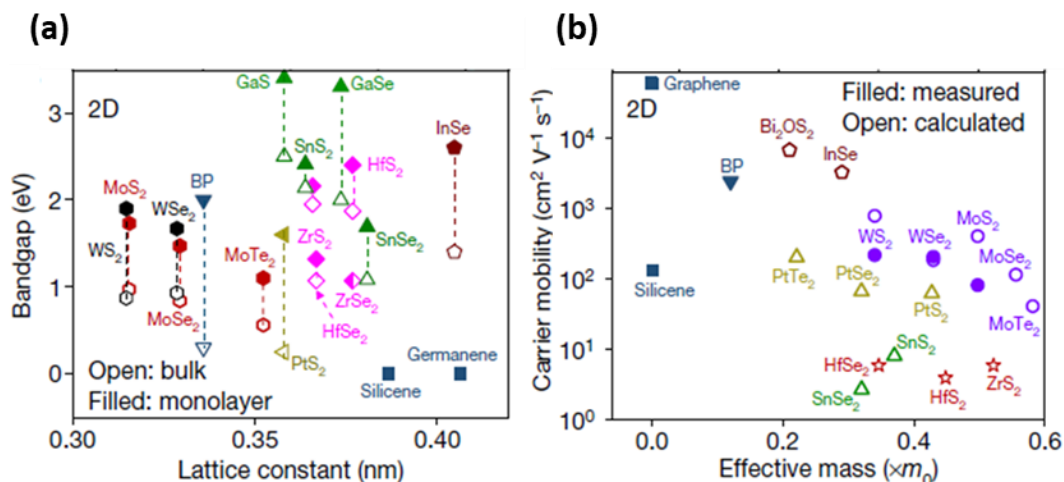


圖 1.3 (a)不同二維材料的能隙對晶格常數作圖，空心為塊材，實心為單層材料，(b)理論計算遷移率對等效質量作圖 [1]。

二硫化錳等金屬硫化物(Metal dichalcogenides, MX_2)受到最廣泛的研究，主要是因為硫化物本身在環境中穩定性較佳，較不容易氧化，而且在實驗以及理論計算上都有不錯的電子遷移率(圖 1.3)，甚至進入晶圓尺寸的實驗階段 [6]。此外，在低溫時也發現一些特殊電子傳輸現象，如: Shubnikov–de Haas(SdH)震盪 [7]、弱局域磁阻 [8]、超導特性 [9]等。在眾多金屬硫化物中，二硫化錫在室溫的電晶體研究文獻不多，遷移率表現大多也較理論預測差，在低溫(100 K 以下)的傳輸特性甚至沒有文獻紀錄；不過，過去文獻中都沒有顯示在大氣環境二硫化錫有明顯氧化，顯示二硫化錫化合物的穩定性，因此，我們選擇以二硫化錫作為後續研究二維傳輸的平台。

1.2 文獻回顧

二硫化錫和其他二維材料相比，室溫下電子遷移率不是特別突出(圖 1.3(b))，其能隙大約落在 2.15 ~ 2.76 eV 左右(圖 1.3(a))，隨層數越少能隙越大，雖然不是

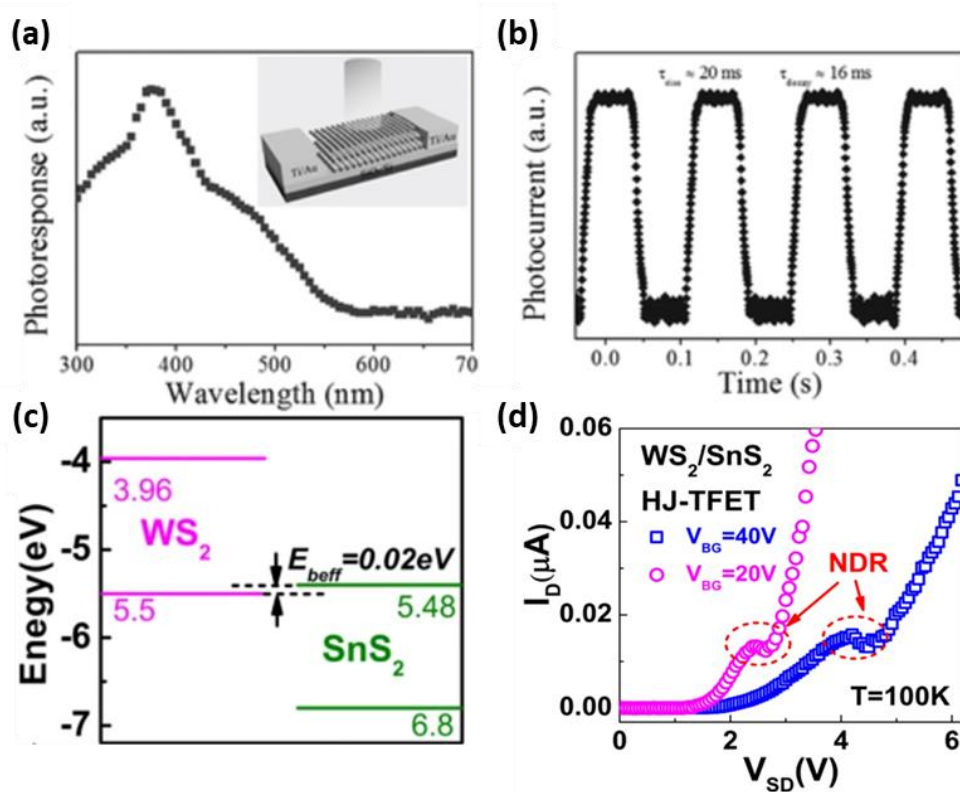


圖 1.4 二硫化錫應用：光感測器(a)對不同波長光的響應和(b)反應時間 [10]以及 WS_2/SnS_2 穿隧二極體(c)能帶示意圖和(d)負微分電阻效應(Negative Differential Resistance, NDR) [11]。

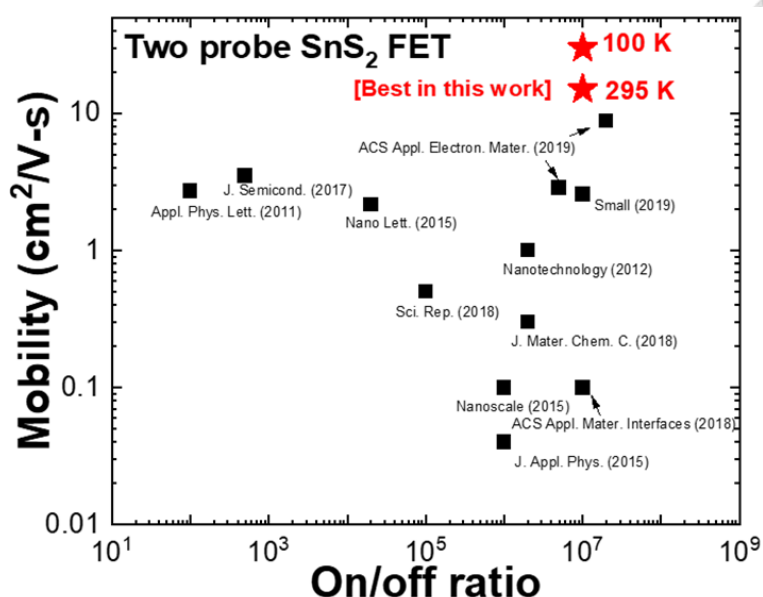


圖 1.5 過去二硫化錫電晶體實驗中遷移率及開關比的分布及本論文中最佳結果[15-25]。

直接能隙 [12]，但是在實驗上也有不錯的光電反應，因此可能作為可見光範圍的光電元件應用 [13]，例如：在文獻中 [10]，實驗團隊就有利用化學氣相沉積的方式大面積成長二硫化錫，製作光電晶體並以 350 nm 波長的雷射量測得到約 260 A/W 的光響應度(Responsivity)及 16 ~ 20 ms 的反應時間。(圖 1.4 (a-b))。此外，二硫化錫也有較高的電子親和力(約為 5.48 eV)，在與其他材料相接形成異質結構時，容易形成接近 Type III 的能帶接合 (圖 1.4(c)以二硫化鎢/二硫化錫為例)，並應用於穿隧元件上 [14]，文獻 [11]就利用 P 型二硫化鎢和 N 型二硫化錫的異質結構，製作出穿隧二極體及穿隧電晶體。

上述光電、穿隧元件的應用需要建立在材料本身的品質上，我們可以透過基礎的電晶體特性量測來了解不同製程環境對二硫化錫品質的影響，然而，二硫化錫在電晶體方面的研究和其他二維材料相比數量不多，雖然有兩篇較早期的文獻分別於 2013 年透過 Al_2O_3 為上電極介電質 [26]以及 2014 年用水作為閘級電極 [27]，室溫中分別顯示得到 $50 \text{ cm}^2/\text{V-s}$ 和 $230 \text{ cm}^2/\text{V-s}$ 的遷移率，後續的論文[15-23,25]普遍都量測到偏低的遷移率($\sim 1 \text{ cm}^2/\text{V-s}$)(圖 1.5)，和理論預測室溫下的極限值 $10 \text{ cm}^2/\text{V-s}$ 仍有些差距，近期文獻則透過特殊的分子溶液(Ethylenediaminetetraacetic Acid, EDTA)修復材料中的硫空缺達到最高室溫遷移率為 $8.77 \text{ cm}^2/\text{V-s}$ [24]；本論文則透過製程方法的改善，利用背電極架構得到高遷移率(圖 1.5)，並在低溫環境下

進一步提升遷移率到 $30 \text{ cm}^2/\text{V}\cdot\text{s}$ (二點量測)及 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ (四點量測)，顯示製程方法對薄膜品質的影響。



1.3 論文架構

本論文第一章簡介關於二維材料在工程及物理上目前的發展性及重要性，並以二硫化錫作為論文的研究對象，回顧目前文獻上的應用及結果。在第二章，我們先針對二硫化錫薄膜的材料結構及厚度做基本的確認及介紹，此外，介紹我們架設的二維材料薄膜轉移系統，用以配合機械剝離法和後續的半導體製程步驟，來製作二維材料電晶體，最後，對其電性做初步量測分析。接著在第三章，透過量測電晶體的電性，分析二維材料電晶體中的不同缺陷，並討論不同製程以及環境中水氧對二硫化錫影響。第四章則進一步透過變溫量測，利用遷移率或電導率對溫度的關係，研究不同製程下二硫化錫電晶體的低溫傳輸特性。最後一章則對整個論文內容做統整及結論，並提出未來可以進一步研究的方向以及方法建議。



第 2 章 二硫化錫與二維材料元件製備

2.1 二硫化錫材料分析

二硫化錫有不同的同質異形體 [28]，其中以 2H-SnS₂ 最為常見，金屬錫為中間層，上下各有一層硫原子鍵結形成單層二硫化錫，平面方向晶格常數為 3.6486 Å，沿 c 軸方向每層間距約為 0.6 nm，層與層之間僅以微弱的凡得瓦力交互作用 (圖 2.1(a))，可以藉由機械剝離法(Mechanical Exfoliation)將塊材剝離為薄膜(圖 2.1(b-c))。

圖 2.2 (a)為二硫化錫薄膜於 25-nm 二氧化矽/矽基板上的光學顯微鏡影像，由原子力顯微鏡(Atomic Force Microscope, AFM)掃描的結果(圖 2.2 (b))，可以得知圖中深藍色的區塊厚度大概為 25 nm，隨厚度變薄，顏色會在由藍黑色轉換為咖啡色，厚度 5 nm 已接近視覺上可辨識的極限，其顏色隨厚度變化的順序和二氧化矽薄膜的變化一致(左下二氧化矽薄膜厚度色卡 0 ~ 100 nm 的範圍 [30])。薄膜顏色和厚度的關係以光學干涉決定，而過去文獻中以矽/二氧化矽/單層石墨稀的結構考慮薄膜干涉計算反射光強度和對比度，得到在 600 nm 波長可見光下(視覺較敏感的光譜)，如果以 90-nm 或 300-nm 二氧化矽為基板對比度最大，可以辨識更薄的二維材料 [31](對應二氧化矽薄膜厚度色卡，也有較密集的颜色變化)，而考慮後續電性量測會以背閘極控制，氧化層的厚度會決定電容大小，若使用較厚的氧化層要達到相同的載子變化，會需要施加更大的閘極偏壓，因此，我們選用 25-nm 二氧化矽為基板，以利於後續的電性量測。圖 2.2 (c)為二硫化錫的拉曼光譜，在拉曼位移為 314 cm⁻¹ 有一個峰值，對應到二硫化錫 A_{1g} 的聲子震盪模式，為出平面的震盪

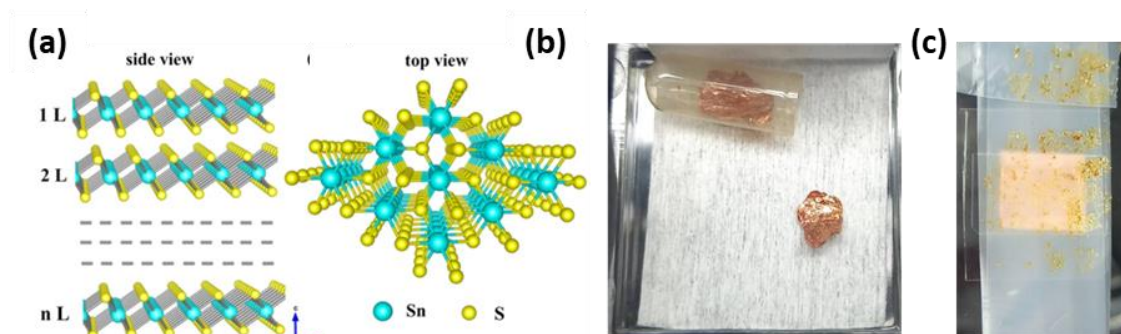


圖 2.1 (a)2H-SnS₂ 的晶體結構側視圖和俯視圖 [29]，(b)SnS₂ 塊材與(c)利用 Scotch 膠帶進行機械剝離法。

模式(如縮圖方向)，符合其他文獻中以 532 nm 波長雷射激發的結果 [32]。由第一原理計算，二硫化錫的能帶結構是間接能隙，從塊材到單層薄膜的能隙為 2.18 ~ 2.41 eV [12]，利用紫外-可見分子吸收光譜法(Ultraviolet-visible spectroscopy)，從 100 nm 到 3 nm 厚度的二硫化錫薄膜能隙為 2.15 ~ 2.76 eV [33]，對應到的發光波長範圍約為 450 nm ~ 576 nm，而我們使用 532 nm 波長雷射嘗試量測二硫化錫光致發光頻譜，其結果顯示於圖 2.2 (d)，四個主要峰值依序分別對應到雷射光、二硫化錫拉曼和兩個矽拉曼光譜，和直接激發矽基板的頻譜相比，沒有明顯的光致發光，可能因為二硫化錫為間接能隙導致發光效率比較差 [34]，或是測試樣品的能隙較大，激發雷射(532 nm, 2.33 eV)能量不足。

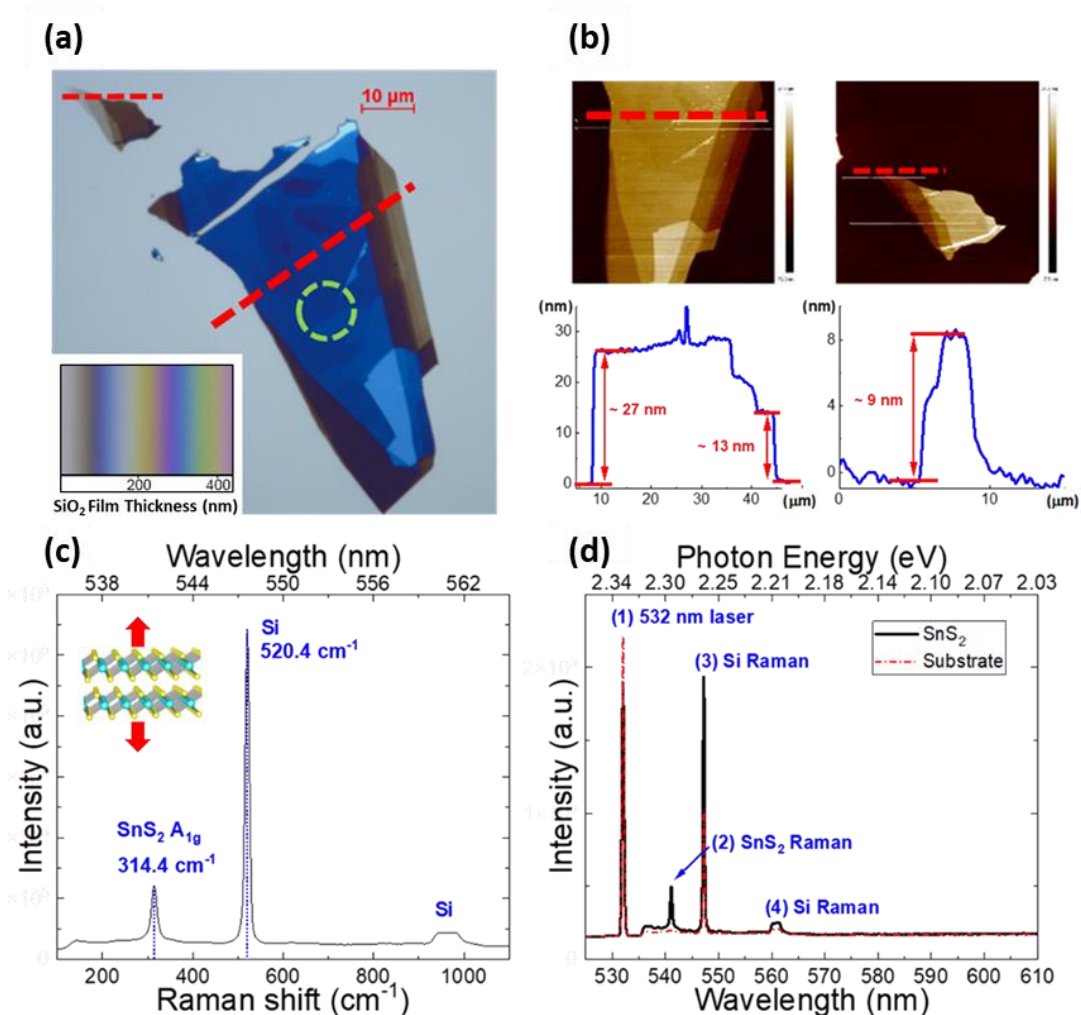


圖 2.2 二硫化錫薄膜於 25 nm 二氧化矽/矽基板 (a)光學顯微鏡影像 (紅色虛線為厚度剖面，綠色虛線範圍為雷射激發區域)，左下為二氧化矽薄膜厚度的色卡[30]；(b)AFM 影像和薄膜切面厚度數據；以 532 nm 雷射激發的(c)拉曼光譜和(d)光致發光光譜。



2.2 二維材料乾式轉移系統

製備二維材料薄膜主要有兩種方式，第一種直接利用化學氣相沈積法成長小面積的薄膜，在製備條件上比較困難，反應氣體、溫度、成長基板等等都會影響薄膜厚度、晶向、缺陷密度等，不過較適用於未來量產。第二種則是採用機械剝離法，利用二維材料層與層之間交互作用很弱的特性，直接利用膠帶將塊材重複剝離，最後貼在基板上，就有機會得到不同層數的薄膜(圖 2.1 (b-c))，也是首次發現單層二維材料石墨烯的方法 [3]。此方法因準備容易，較常用來了解薄膜的各項特性，而以此方式製備之二維薄膜，其電傳輸特性如載子遷移率遠高於利用化學沉積法所成長的薄膜。

論文中採用第二種方式，和第一種相比有以下幾種優點: (1)材料取得較容易，可以直接購買塊材，(2)薄膜缺陷比化學成長的薄膜少，(3)二維材料間為凡得瓦力作用，可直接推疊形成不同異質結構。不過也有明顯的缺點: (1)薄膜厚度、大小、位置隨機分布，需要以時間和次數換取成功率，無法大規模生產，(2)可能會有殘膠影響薄膜品質。為了解決薄膜位置隨機出現的問題，並實現二維材料的異質結構堆疊，我們參考文獻的方法 [35]進行乾式轉移。二維材料的轉移主要是透過聚二甲基矽氧烷(PDMS)作為媒介，我們使用 Gel-Pak 公司所販售的 Gel film PF-40-X4，首先利用 Scotch 膠帶剝離的二維材料，重複約 4 ~ 6 次，接著將 PDMS 薄膜和帶有二維材料的膠帶沾黏一次，部分二維薄膜就會沾到 PDMS 上，接著將沾有二維薄膜的 PDMS 和基板上目標位置對準後貼合，最後緩慢抬起，二維材料就有機會

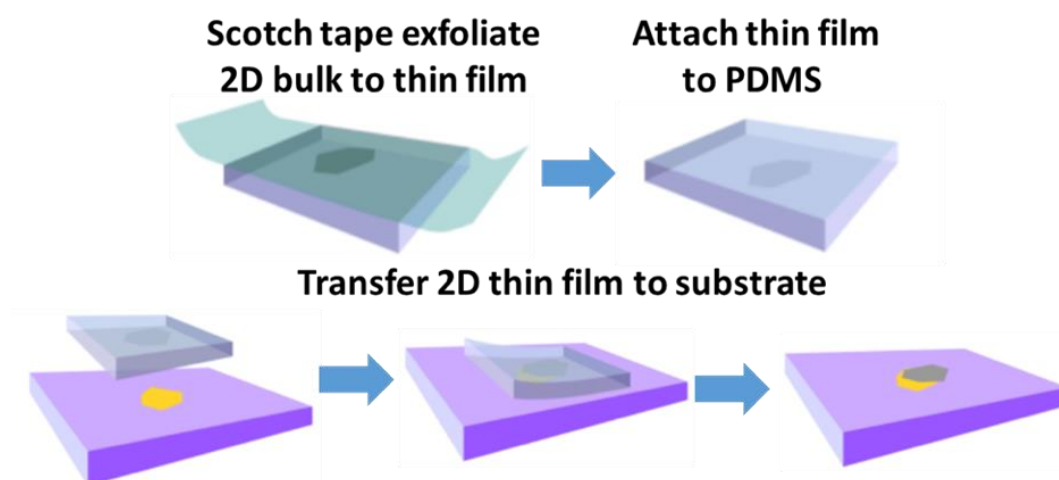


圖 2.3 二維材料透過 PDMS 完成乾式轉移的流程示意圖 [35]。

留在目標基板上(圖 2.3)。附著的成功率和基板表面和二維薄膜本身的平整程度有關，當基板有較大的高度差或是比較厚的二維薄膜，就需要以更緩慢的速率抬起才比較容易成功。

在薄膜剝離步驟完成後，接著進行二維薄膜對準，我們將 PDMS 黏貼在玻片上形成一個透明手臂(圖 2.4(a))，讓光學顯微鏡對焦在不同高度時，可以看到 PDMS 上的二維材料和目標基板。利用軟體操控一組 XY 軸電動平移台，首先將目標轉移地點移動到顯微鏡底下，再操作另一組 XY&Z 電動平移台控制手臂，利用顯微鏡進行地毯式搜索(圖 2.4(a-b))，讓光學顯微鏡對焦在不同高度時，可以看到 PDMS 上的二維材料和目標基板。利用軟體操控一組 XY 軸電動平移台，首先將目標基板轉移地點移動到顯微鏡底下，再操作另一組 XY&Z 電動平移台控制手臂，利用顯微鏡進行地毯式搜索，接著將目標基板圖形和搜索到的二維材料對準在一起，將基

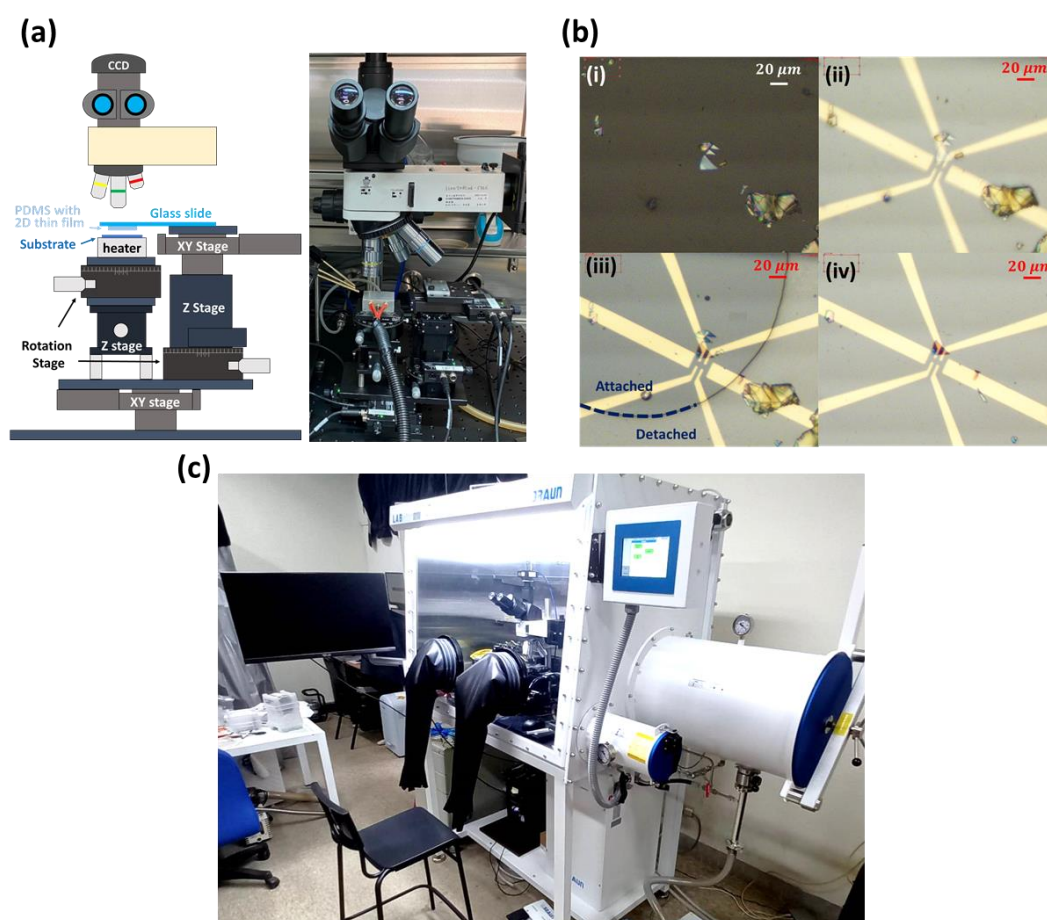


圖 2.4 乾式轉移系統之(a)架構示意圖與實際外觀，(b)轉移過程之顯微鏡影像，依序為(i)PDMS 上的二硫化錫、(ii)目標基板圖形與懸浮的薄膜、(iii)PDMS 與基板貼合的過程以及(iv)轉移完成圖，(c)乾式手套箱轉移系統。

板和 PDMS 貼合後，緩慢抬升，完成二維材料轉移(圖 2.4(b)i-iv)。(XY&Z 電動平移台的平移解析度可達 $0.5\ \mu\text{m}$)。最後，為了能進一步對容易氧化或是受環境影響較大的材料進行研究，整個乾式轉移系統架設在手套箱中，利用氮氣使得水氣和氧氣濃度小於 $0.5\ \text{ppm}$ 以下(圖 2.4 (c))。

2.3 元件製作及電性量測

2.3.1 元件製作

二維材料電晶體的結構和一般的矽基電晶體有些差異，常見的製程流程，會先選用表面覆蓋氧化層的高濃度摻雜矽作為基板，高摻雜基板作為背閘極，最後疊上二維材料半導體，形成和傳統平面電晶體結構上下顛倒的金屬氧化物半導體結構。此外，由於二維材料較難使用離子佈值等方法進行摻雜，通常會直接利用金屬作為汲極和源極。

本論文的二維材料電晶體元件製程流程，主要分為兩種：後電極(post-patterned)和預電極(pre-patterned)。圖 2.5 為兩種製程相同的步驟，(i)、基板：首先我們選用品高濃度磷摻雜的矽基板(電阻率為 $0.0015\ \Omega\text{-cm}$)作為背閘極金屬，並用乾式熱氧化法成長 25-nm 二氧化矽作為閘極氧化層；(ii)、對準標記(十字交叉)及座標點(方形)：接著旋塗 P015 正光阻 (2000 rpm、40 s) 並軟烤(100 度, 90 s)進行電子束曝光，曝

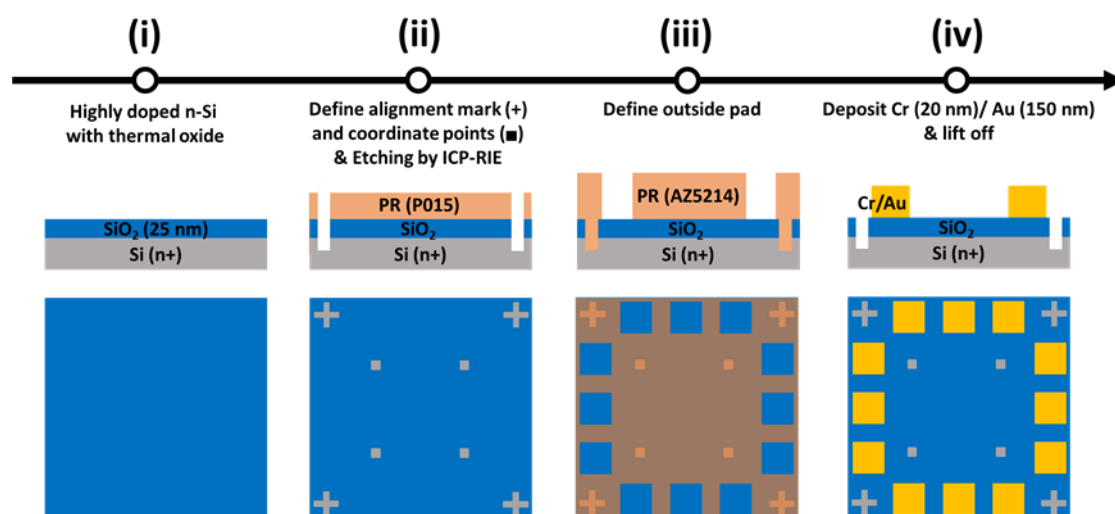


圖 2.5 二維材料電晶體前段製作流程，從基板、對準標記、定義外電極和背電極的示意圖，由上至下分別為流程解說、元件側視圖和俯視圖。

光後再進行曝後烤(120 度、90 s)，並顯影出對準標記和座標點(使用 AD-10 顯影液)，接著再硬烤以保護光阻覆蓋區域(110 度、2 min)，以反應離子蝕刻(ICP-RIE)蝕刻出約 1 ~ 2 μm 深的標記，再用氧電漿去除光阻，以便在後續步驟分別用於多道曝光時的對準，以及定位二維材料的精確位置座標；(iii)、外電極：旋塗 AZ5214 正光阻並軟烤(95 度, 90 s)以進行光學曝光，使用 AZ 300 MIF 顯影後，熱蒸鍍鉻(20 nm)和金(150 nm)並用掀離製程(lift off)定義面積較大且較厚的外金屬電極，作為後續打線使用；(iv)、背電極：旋塗光阻並硬烤以保護基板正面，使用氟化氫溶液(HF)去除背面的氧化層並鍍上金屬電極。完成後可以事先測試外電極和背電極的漏電情況，後續設計內部的接觸電極時避開使用具漏電外電極，以提高元件成功率。

接下來分為兩種製程，後電極法為文獻較常見的方法(圖 2.6)：(v)、利用轉移

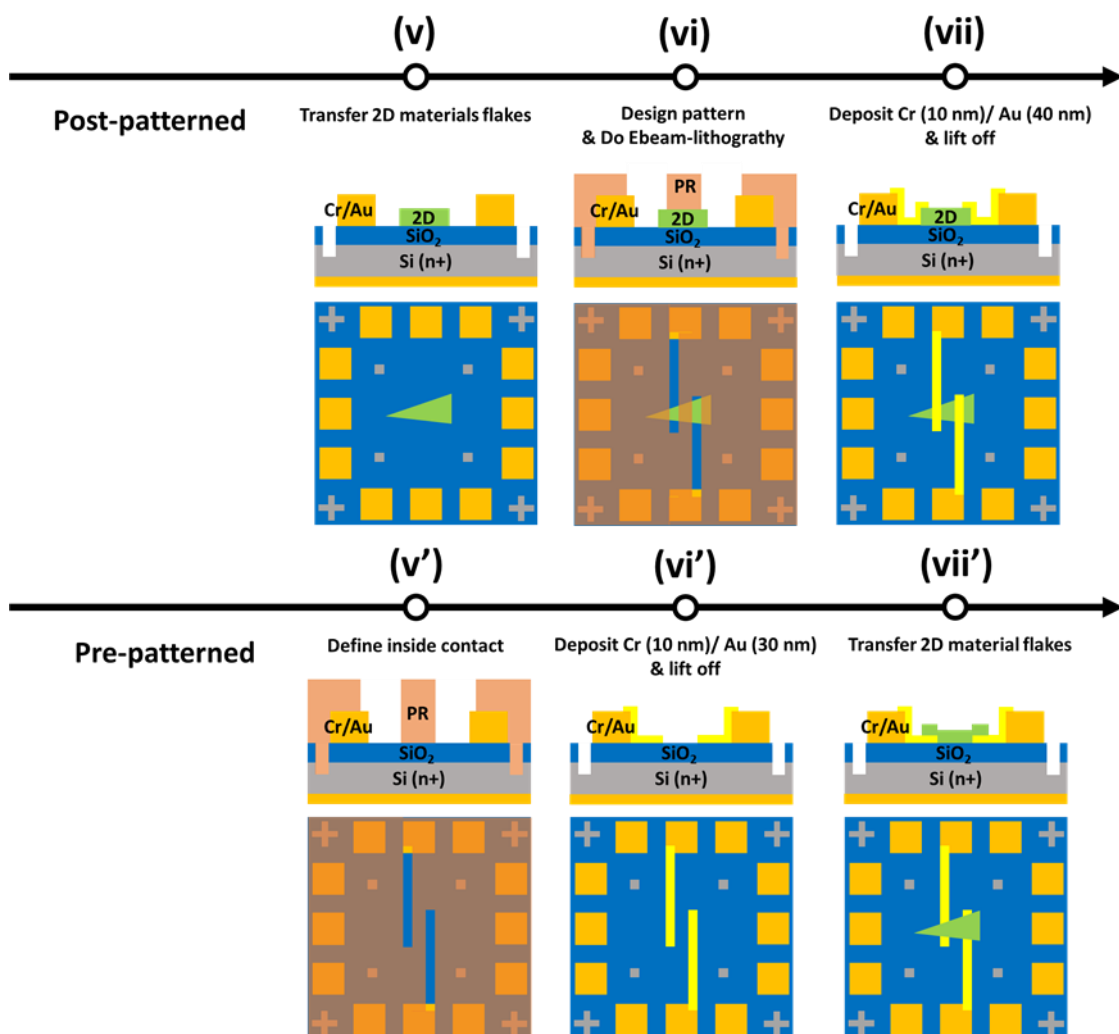


圖 2.6 二維材料電晶體後半部製作流程，包含定義接觸電極和二維材料轉移，上半部為後電極流程，下半部是預電極流程的解說、側視圖和俯視圖。

系統將二維薄膜置於步驟(ii)所蝕刻的座標點範圍內，並使用顯微鏡紀錄包含座標點之影像(座標點範圍約 $80\text{ }\mu\text{m} \times 80\text{ }\mu\text{m}$ ，配合 50 倍物鏡下光學顯微鏡影像的視野)；(vi)、將有座標點的影像匯入 AutoCAD，並與步驟(ii)的曝光檔案藉由 Align 功能對準在一起，最後在其他圖層繪製接觸電極圖形，並再次利用電子束微影曝光顯影；(vii)、最後以熱蒸鍍法沈積金屬(10-nm Cr/60-nm Au)，並用丙酮、甲醇、異丙醇完成掀離製程。其中，後電極製程已經將二維材料和光阻及化學藥品接觸的次數減少至一次，希望儘可能地避免化學藥劑對於二維材料所產生的汙染，越晚執行轉移二維材料的步驟越好。第二種製程則是預電極法：(v')、利用曝光和顯影定義出合適大小的電極圖形；(vi')、熱蒸鍍金屬(10-nm Cr/30-nm Au)並進行掀離製程，此步驟使用較薄的金屬作為電極，以提高轉移時候的成功率；(vii')、最後將適合的二維材料轉移到事先定義好的金屬電極上，完成預電極的樣品。

2.3.2 電性量測

我們製作二硫化鉬(MoS_2)電晶體作為基準以檢視製程流程。二硫化鉬是首個製作出單層電晶體的二維半導體 [36]，後續對於二硫化鉬的研究也有較廣泛的文獻。圖 2.7(a) 顯示文獻中常見的後電極製程樣品，使用鉻/金作為接觸金屬，從對數尺標的電流可以看出二硫化鉬有很好的次臨界擺幅(Subthreshold Swing, SS)， 70 mV/dec 幾乎接近室溫的物理極限 60 mV/dec ，開關電流比值也可達到 10^7 ，顯示在這個製程下，有機會作出很好的閘極控制，且意味著二硫化鉬的界面缺陷可以控制在一定數量；(b-c)圖則為預電極的結果，可以看到對二硫化鉬來說如果直接和金貼合形成接觸電極，量測到的導通電流大小僅有 10^{-8} A 的數量級，然而如果額外使用石墨稀來作為接觸電極的話，可以達到和後電極同數量級的導通電流($\sim 10^{-6}\text{ A}$)。可能的原因在於接觸電阻，對於金屬和二硫化鉬的接面，通常會形成蕭基障礙(Schottky barrier)，使得接觸電阻變得較大，而對於後電極製程的結構，接觸金屬位於二硫化鉬上方，因此，背閘極仍然可以對位於下層的二硫化鉬控制載子濃度，在施加較大的閘極偏壓使通道開始導通時，二硫化鉬的濃度提升，進而讓蕭基障礙的寬度縮短 [37](圖 2.8(a))，因此可以有較小的接觸電阻，達到較大的導通電流；反

之，預電極製程的結構，接觸金屬位於二維半導體正下方，隔絕背閘極的電場，因此接觸金屬上的二硫化鉬半導體載子濃度較低，會形成較大接觸電阻，限制導通電流(圖 2.8(b))。SS 較差則無法直接由接觸電阻大來直接解釋，不過可能跟導通電流被限制加上儀器可量測電流的極限有關，只有電流較大的次臨界區能夠被量測，可能導致量測到的 SS 較差；對於以石墨稀為接觸電極的預電極樣品，雖然接觸電極的二硫化鉬同樣受到石墨稀屏蔽背閘極的控制，不過導通電流明顯遠大於以金屬

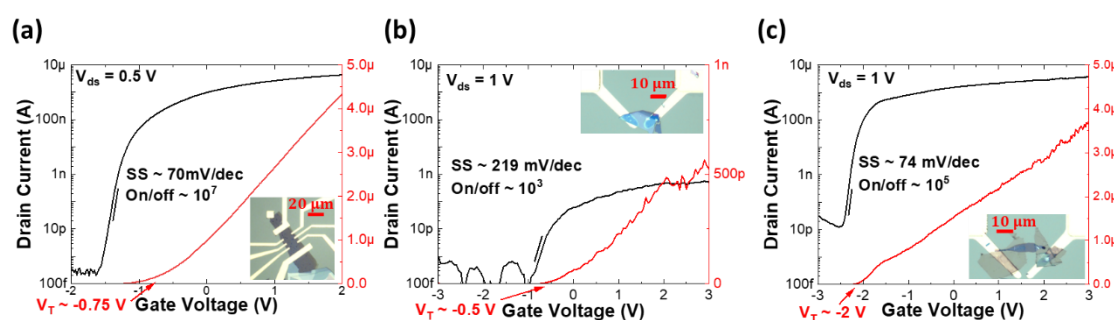


圖 2.7 二硫化鉬電晶體之 I_D - V_G 曲線：(a)後電極樣品、(b)預電極樣品、(c)利用石墨稀作為金屬電極之預電極樣品。縮圖為對應元件的光學影像。

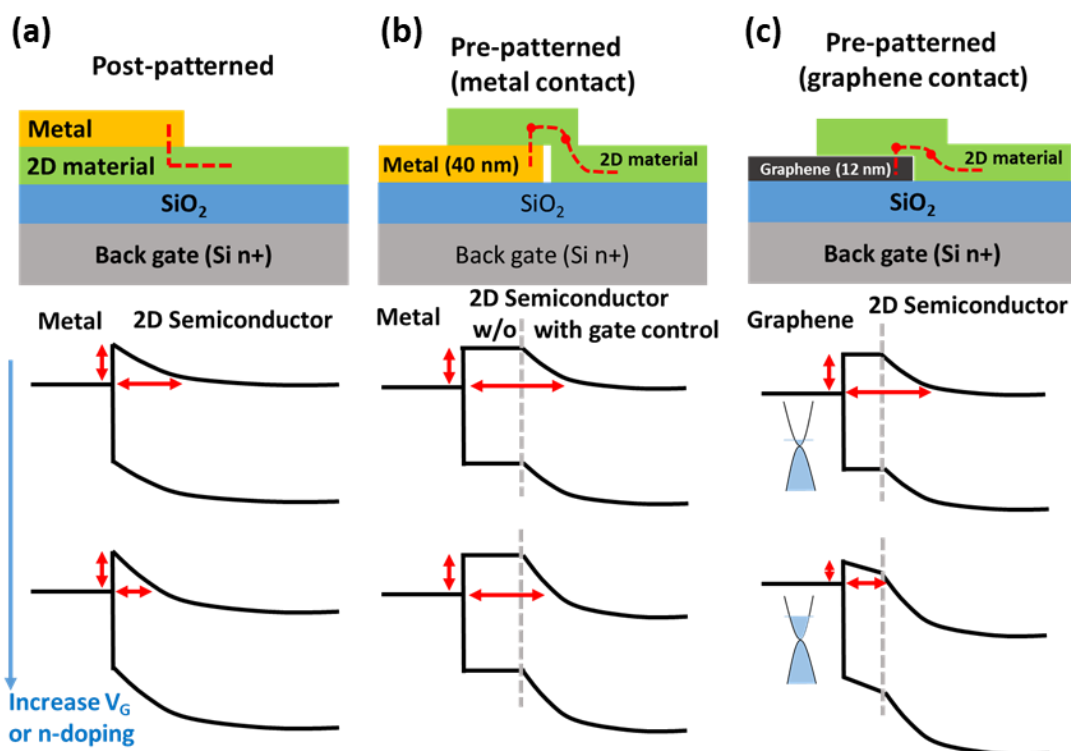


圖 2.8 接觸電極結構示意圖以及沿紅色虛線的對應能帶圖，顯示閘極偏壓變化對蕭基障礙的影響。

直接接觸結果，可能是因為石墨稀並非理想的金屬，其載子濃度亦會隨閘極變化 (圖 2.8 (c))，在其他文獻中也曾指出可以藉此控制蕭基障礙的高度 [38]；另一方面，石墨稀若沒有足夠載子可以屏蔽背閘極的電場，上方的二硫化鉬也會稍微受背閘極控制，使得蕭基障礙變窄，產生較佳的接觸電極。

二硫化錫電晶體之 I_D - V_G 量測結果顯示於圖 2.9，一樣分為後電極和預電極兩種製程。和二硫化鉬相比，二硫化錫預電極製程樣品沒有額外透過石墨稀作為接觸金屬，就能夠達到和後電極同樣數量級的電流，表示二硫化錫和金的直接接觸產生的接觸電阻較佳，有可能是因為二硫化錫本身就具有較高的摻雜濃度，因此，就算接觸面形成蕭基障礙，障礙寬度也較窄，從 I_D - V_G 的量測結果也可以觀察到預電極的二硫化錫本身的閾值電壓相較於二硫化鉬較小，表示在沒有施加背閘極偏壓時，二硫化錫本身的載子濃度就很高。而透過從對數尺標可以看到二硫化錫在兩種製程下都有不錯的次臨界擺幅，分別是 193 mV/dec 與 167 mV/dec，開關電流比值也能夠達到 10^7 ，不過兩者閾值電壓(V_T)分別為 -1.5 V 和 -7.5 V，兩者之間差異很大，同時與二硫化鉬電晶體也相差甚多。和二硫化鉬比較，二硫化錫的次臨界擺幅較差，可能是其氧化層介面較差；再者，不同製程下的閾值電壓的差異也很大，可能顯示二硫化錫本身缺陷可能比較多，或是受到環境和製程影響很大。而在第三章當中，我們會透過分析電晶體的各種指標和電導法的量測來探討製程和環境對二維材料二硫化錫的影響。

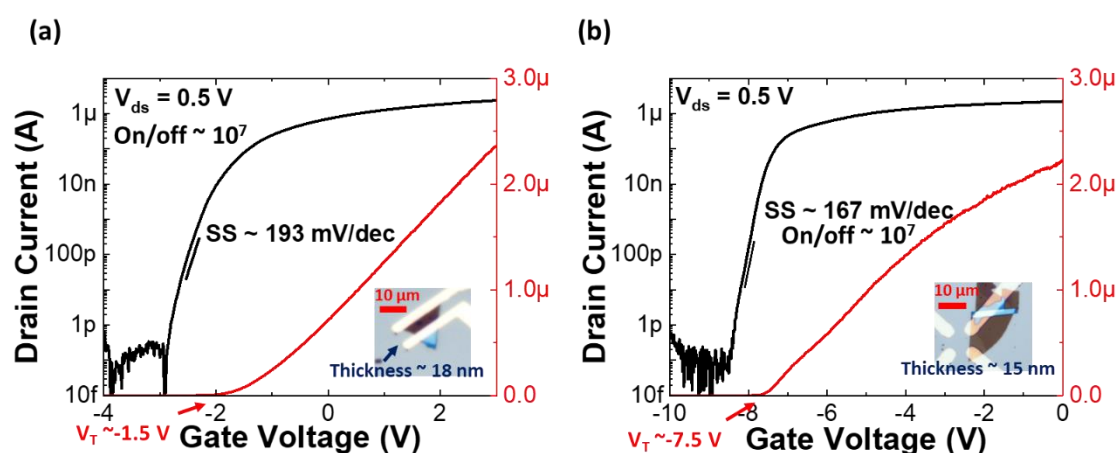


圖 2.9 二硫化錫電晶體 I_D - V_G ，(a)後電極樣品，(b)預電極樣品。縮圖為對應元件的光學影像。

第 3 章 製程及環境的影響

二維材料具有奈米尺度的通道厚度，在電晶體的應用上，閘極可以更有效的控制，來抑制短通道效應，在持續減薄微縮下，載子的遷移率和塊材(如：矽)相比也較不會有明顯的下降 [1]。不過二維材料介面缺乏鍵結，與三維塊材的介面容易形成較多缺陷，此外，在大氣環境中，也常出現材料氧化分解或是氣體分子吸附於表面對電性造成影響，對於電晶體應用的表現以及穩定性都是需要解決和注意的問題，因此，我們在本章節會針對二硫化錫電晶體缺陷來討論及分析。首先介紹缺陷對電性上的變化，接著，將二硫化錫樣品分為兩種製程於大氣環境及氮氣環境，來討論分析製程以及環境對二硫化錫的影響。

3.1 二維材料電晶體中的缺陷及對電性影響

二維材料電晶體的電性會受到材料本身性質影響，缺陷也會造成很大的影響。除了材料本身的原生缺陷(intrinsic defects)，如結構上出現原子空缺(vacancy)、錯位(dislocation)或是晶粒邊界(grain boundary)等；另外，當不同材料形成異質結構的時候，位於界面的某些原子缺乏鍵結，會形成許多懸浮鍵(dangling bond)而形成界面

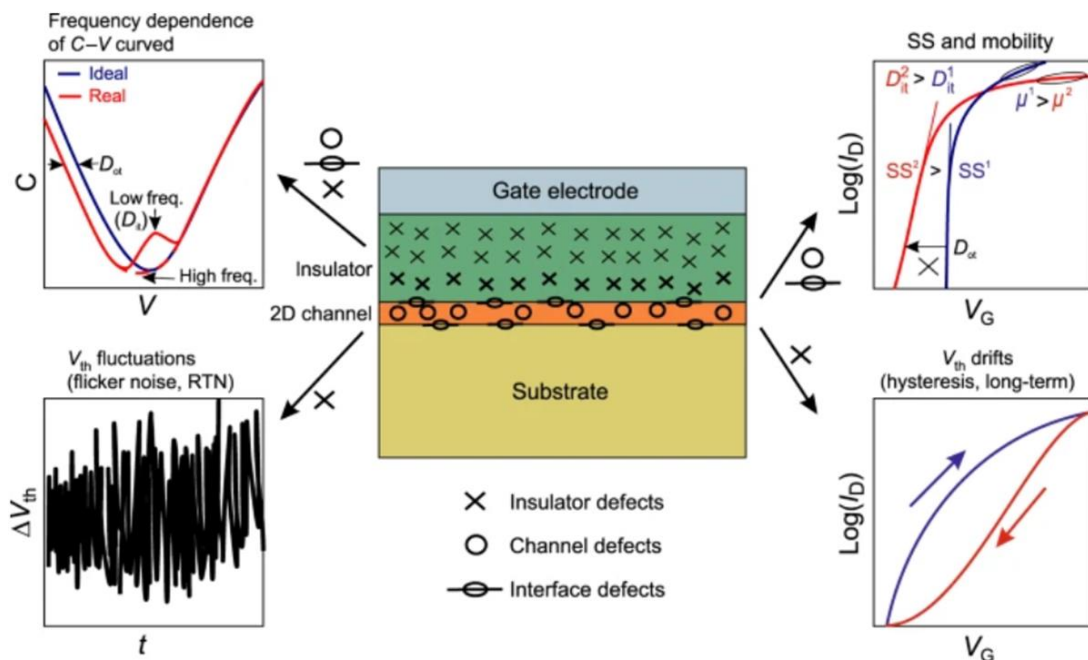


圖 3.1 二維材料閘極氧化層結構中不同種類的缺陷，對於電流有不同反應時間反應在不同的量測結果 [39]。

缺陷(interface defects)。因為二維材料本身沒有垂直方向的鍵結，因此二維材料的界面容易形成較多的缺陷。或甚至是二維材料與大氣的界面，如本論文中的背電極之電晶體結構，空氣中的分子也有可能吸附於材料表面，造成電荷轉移並形成界面缺陷，當缺陷出現於閘極絕緣層當中會產生絕緣層缺陷(insulator defects)，而較接近半導體通道時，載子需要藉由穿隧進出的缺陷，則稱之為邊緣缺陷(border trap)。

圖 3.1 顯示各種缺陷對於電晶體電性的影響 [39]，較接近通道的缺陷，如原生或界面缺陷，反應時間較短，此種缺陷的密度會影響電流電壓曲線的次臨界擺幅，缺陷密度(D_{it})越高電流隨閘極電壓增加指數上升的斜率會越陡峭(圖 3.1 右上)。絕緣層缺陷或是反應時間較長的缺陷，則可能導致電流遲滯曲線(圖 3.1 右下)，或因為電子進出缺陷產生的閃爍雜訊(flicker noise)(圖 3.1 左下)。透過高頻及低頻的電容閘極電壓量測，可以得知缺陷密度高低、反應時間以及於能隙中的分布(圖 3.1 右上)；此外，載子遷移率(μ)的大小也會受到缺陷的影響，因此透過量測電流與閘極電壓曲線萃取等效電子遷移率，亦可討論缺陷密度變化(圖 3.1 右上)。

後續實驗針對存放環境對二維材料的影響來討論，會重複進行多次量測，因此，我們選擇較容易操作且資料萃取最直接的量測方式，透過量測電晶體電流電壓曲線並萃取次臨界擺幅、閾值電壓、遲滯和載子遷移率，接下來會依序介紹這些指標定量分析的方法以及背後的物理機制；另外，於 3.3 小節針對電容(電導)閘極電壓的量測方法也設計不同的元件結構來進行量測，以取得更詳細的缺陷資訊。

3.1.1 次臨界擺幅

電晶體處於次臨界區域時，費米能階(Fermi energy, E_F)距離導帶較遠，距離大於費米統計分布的尾巴長度，因此，通道載子數量極少呈現絕緣態，接著隨閘極偏壓增加，表面能帶彎曲增大讓費米能階靠近導帶，在分布尾巴進入導帶以上後，通道載子數量(電流)呈指數上升，最後轉變為導體。這個過程中，增加閘極電壓時，理想上載子會注入通道中的導帶，不過當材料具有位於能隙間的缺陷狀態(defect states)，載子有可能被注入到這些缺陷態(圖 3.2 (a))，而非進入導帶貢獻電流，因此，電流並不會隨著閘極產生應有的變化亦即閘極電壓對通道載子的控制能力下

降，不過此量測過程的時間較短，只有反應時間較短的缺陷可以透過這個指標萃取出來，通常對應到原生和界面等和通道載子相鄰的缺陷，而較詳細的定義及推導如下。

對電晶體而言，SS 定義如式 3.1，對應到金屬氧化物半導體(Metal-Oxide-Semiconductor, MOS)結構中，閘極電壓 V_G 對半導體表面電位 ψ_s 的控制能力：

$$SS = \frac{\partial V_G}{\partial (\log(I_D))} = \frac{\partial V_G}{\partial \psi_s} \cdot \frac{\partial \psi_s}{\partial (\log(I_D))} = \frac{\partial V_G}{\partial \psi_s} \cdot \frac{k_B T}{e} \ln(10) \quad (\text{式 3.1})$$

其中 k_B 為波茲曼常數， T 為絕對溫度， e 為基本電荷。而閘極電壓和平帶電壓(Flat Band Voltage, V_{FB})的差值，分別會降在氧化層和半導體當中(圖 3.2 (a))：

$$V_G - V_{FB} = V_{ox} + \psi_s \quad (\text{式 3.2})$$

若進一步考慮界面缺陷狀態密度(D_{it} ，單位為 $\text{cm}^{-2}\text{eV}^{-1}$)，電荷隨表面電位變化進出缺陷亦會藉由缺陷電容($C_{it} = eD_{it}$)產生變化，形成的等效電容電路如圖 3.2 (c)，由此可以將氧化層上的分壓用 ψ_s 表示，其中 C_s 為半導體塊材的空乏區電容：

$$V_G - V_{FB} = \frac{C_s + C_{it}}{C_{ox}} \psi_s + \psi_s = \left(1 + \frac{C_s + C_{it}}{C_{ox}}\right) \psi_s \quad (\text{式 3.3})$$

最後可以推得 SS 和界面缺陷的關係，當缺陷越多 SS 的數值會越大，閘極的控制能力會越差：

$$SS = \frac{k_B T}{e} \ln(10) \cdot \left(1 + \frac{C_s + C_{it}}{C_{ox}}\right) \quad (\text{式 3.4})$$

考慮二維材料僅有數奈米厚，因此，我們利用 SOI 電晶體(Si on insulator)的模型 [40]來估計接觸空氣面缺陷密度的影響程度(圖 3.2 (b))。原本無限厚的半導體塊材，換為背面具有絕緣層的薄膜半導體，在等效電路上，則將空乏區電容，換為半導體薄膜完全空乏的電容($C_s = \epsilon_s/t_s$)和底絕緣層電容($C_{box} = \epsilon_{box}/t_{box}$)及底缺陷電荷等效電容($C_{bit} = eD_{bit}$)的串聯(圖 3.2(d))，並利用分壓的方式推得 V_G 和 ψ_s 的關係，以及 SS 和上下界面缺陷的關係式，其中 ϵ 和 t 表示各材料的介電常數和厚度：

$$SS = \frac{k_B T}{e} \ln(10) \cdot \left(1 + \frac{C_{it}}{C_{ox}} + \frac{C_s(C_{box} + C_{bit})}{C_{ox}(C_s + C_{box} + C_{bit})}\right) \quad (\text{式 3.5})$$

對於一面暴露於空氣當中的二維電晶體元件而言，結構相似 SOI 結構，由上到下分別為：閘極、上絕緣層、半導體通道以及底絕緣層。假設底絕緣層厚度趨近無

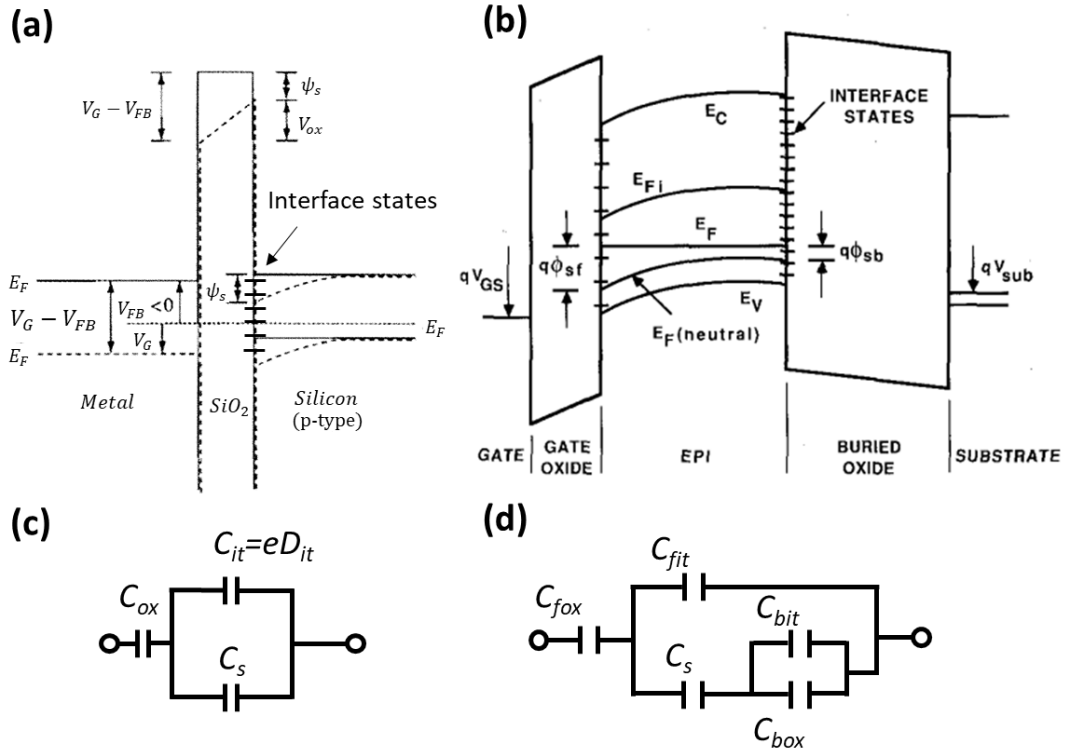


圖 3.2 (a)MOS 結構能帶圖，實線為 $V_G = V_{FB}$ 的平能帶情況，虛線為繼續施加正閘極偏壓的情況 [41]。(b)SOI-MOS 結構的能帶圖 [40]。(c)MOS 在次臨界區域的等效電容電路。(d) SOI-MOS 的等效電容電路。

限大，電容 C_{box} 趨近於零可以忽略，接著定義 $C_s / (C_s + C_{bit})$ 為 α ，考慮足夠薄的二維材料 ($C_s \gg C_{bit}$, $\alpha \sim 1$)，兩側的缺陷對於 SS 有相同的影響。

$$SS \sim \frac{k_B T}{e} \ln(10) \cdot \left(1 + \frac{C_{fit}}{C_{ox}} + \alpha \frac{C_{bit}}{C_{ox}}\right) \sim \frac{k_B T}{e} \ln(10) \cdot \left(1 + \frac{C_{fit} + C_{bit}}{C_{ox}}\right) \quad (\text{式 3.6})$$

在後續實驗中，二維材料的厚度約為 10 ~ 20 nm 左右，根據第一原理計算，二硫化鉬和二硫化錫的相對介電常數分別大概在 3.92 [42] 和 6.7 ~ 7.51 [43,44]，以 15 nm 的通道厚度計算， C_s 大約為 2.3×10^{-7} F/cm² 和 $3.96 \sim 4.42 \times 10^{-7}$ F/cm²，與缺陷數量級為 10^{12} cm⁻²eV⁻¹ 的缺陷電容大小相近 ($\sim 1.6 \times 10^{-7}$ F/cm²)， α 約為 0.5 和 0.7，因此，如果直接以式 3.6 近似換算出兩側缺陷密度總和，空氣側的缺陷會稍微被低估大約一半左右。



3.1.2 閾值電壓變化及遲滯現象

電荷由電晶體通道材料轉移至缺陷，會使缺陷帶電，以致電流電壓曲線平移，藉由觀察閾值電壓(V_T)變化，可以估計電晶體當中的固定電荷(fixed charge)的變化。對電晶體而言，閾值電壓由平帶電壓、絕緣層電容、半導體介電常數、摻雜濃度(N_A)以及原生載子濃度(n_i)直接決定，例如一般平面 N 型電晶體:

$$V_T = V_{FB} + \frac{\sqrt{2\epsilon_s e N_A \psi_B}}{C_{ox}} + 2\psi_B \quad (\text{式 } 3.7)$$

其中 $\psi_B = k_B T / e \cdot \ln(N_A / n_i)$ 。當結構中存在額外電荷的時候，也會影響到閾值電壓(圖 3.3)，其中額外電荷(ρ_{it})對閾值電壓影響和距離閘極的距離有關，離閘極越遠(離通道到越近)變化量越大:

$$\Delta V_T = -\frac{1}{C_{ox}} \left[\frac{1}{t_{ox}} \int_0^{t_{ox}} x \rho_{it}(x) dx \right] \quad (\text{式 } 3.8)$$

對於後續二維材料電晶體來說，假設額外的電荷變化都在半導體通道，可以直接利用氧化層電容估計密度(N_{it})變化:

$$N_{it} = \frac{1}{e} \cdot C_{ox} \Delta V_T \quad (\text{unit: cm}^{-2}) \quad (\text{式 } 3.9)$$

進行閘極電壓電流曲線量測時，透過閘極來回掃描所出現的遲滯(圖 3.4(a,d))，也可以判斷缺陷的多寡。和 SS 的方法相比，這種方法可量測出反應時間較長的缺陷，當閘極電壓改變時通道載子可以快速反應，但缺陷當中的電荷會來不及跟上閘極變化，因此缺陷狀態的填滿與否，會和閘極的變化方向有關，進而出現來回掃描的

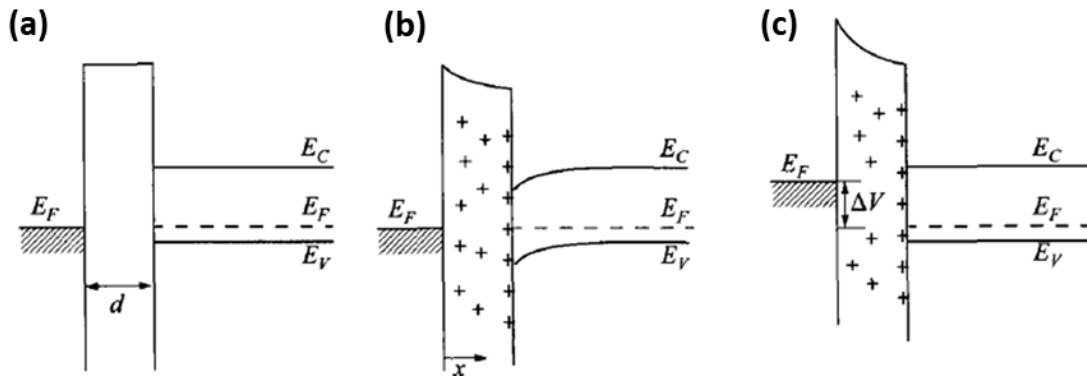


圖 3.3 (a)沒有額外電荷的平能帶圖，(b)絕緣層有額外電荷分布後的能帶圖與(c)有額外電荷的平能帶圖，和(a)相差 ΔV [45]。

遲滯現象，而根據曲線為順時針或是逆時針，對於 N 型電晶體可以列出幾種可能缺陷成因：對於逆時針的遲滯曲線而言，扣除氧化層具有鐵電性之可能性以外，有下列其他可能(圖 3.4(a-c))，(i)、氧化層當中有自由電荷(如:Na⁺,K⁺): 當進行正向掃描時，假設一開始施加足夠負偏壓，自由正電荷被吸引到較接近閘極的氧化層區域內，此時對閾值電壓的影響較小，直到施加足夠正偏壓時，自由正電荷會被閘極排斥到靠近半導體通道，對閾值電壓較大(負)，因此，負向回掃時會形成逆時針的遲滯(圖 3.4(b)) [46]；(ii)、絕緣層間之缺陷: 當施加較大之負閘極偏壓，金屬閘極的電子可藉由穿隧的方式，遷移到絕緣層缺陷中，使得閾值電壓較正，因此正向掃描有較大的閾值電壓，反之，施加足夠正閘極偏壓後開始負向掃描，缺陷中電子會被吸引至閘極，回到較負的閾值電壓，形成逆時針的遲滯(圖 3.4(c)) [47]。

對於順時針的遲滯曲線而言，則對應到位於半導體通道側的缺陷(可能源自於氧化層中、材料界面、材料本身 [46]以及二維材料表面所吸附的分子[48,49])(圖 3.4(e-g))。此處以三維的能帶圖解釋順時針遲滯成因，圖 3.5(a)為 I_D - V_G 曲線示意圖，並以綠色虛線表示系統達到平衡的狀態(Stationary state)，紅色及藍色箭頭分別表示正向及負向閘極偏壓掃描，圖 3.5(b)為對應的能帶圖，由左至右依序為金屬、氧化層和半導體。假設上述幾種不同缺陷態在能量上連續分布且位於半導體以及氧化層介面附近，並將缺陷態被電子填滿的最高能量稱為缺陷費米能階($E_{F,trap}$)，從平衡狀態的能帶圖可以觀察到，當施予較正的閘極偏壓時，費米能階會較接近導帶，有較多的缺陷態被填滿；首先，考慮負向掃描的情況($B0 \rightarrow B1$)，一開始施以較正閘極偏壓且達到平衡，若缺陷電子所需的脫離時間較長，在降低閘極偏壓時，隨費米能階遠離導帶有些缺陷電子可能尚未脫離，所以相較於平衡態，半導體通道側有比較多的缺陷電子(負電荷)，會排斥通道中的移動載子，亦即電流較低或閾值電壓較高；反之，考慮正向掃描的情況($F0 \rightarrow F1$)，若缺陷捕獲電子時間較長，隨閘極偏壓增加時，部分缺陷態尚未填滿，因此電流較平衡態高，最終正向和負向掃描會形成順時針的遲滯。當在費米能階能量變化範圍內的缺陷狀態越多，正向和負向的閾值電壓會相差越大，對應的缺陷密度可以透過 式 3.9 缺陷電荷和閾值電壓差的關係推得 [50]。

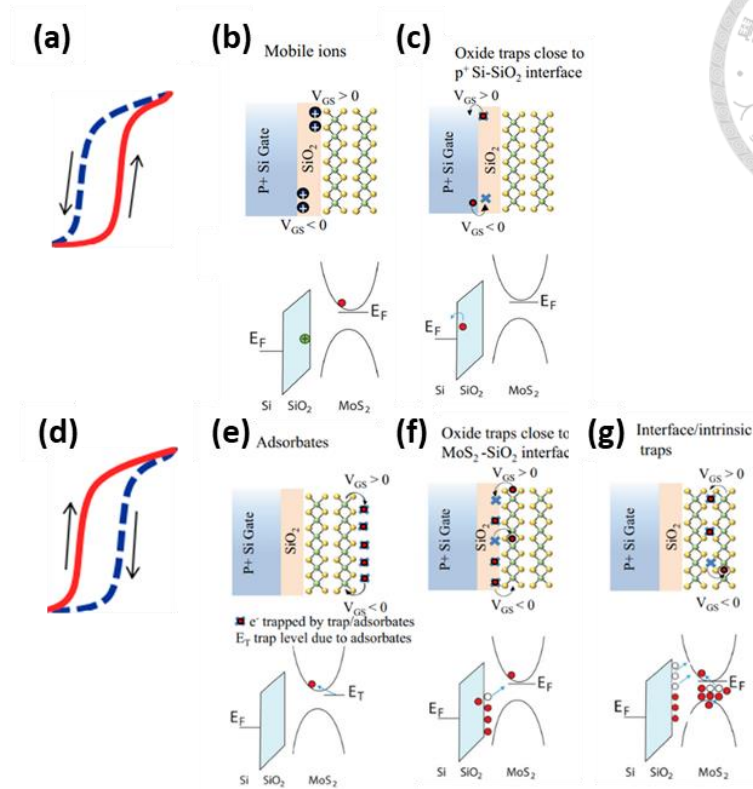


圖 3.4 (a) I_D - V_G 曲線逆時針遲滯示意圖，(b-c) 氧化層中自由電荷以及接近閘極的氧化層缺陷狀態隨閘極偏壓變化示意圖，(d) I_D - V_G 曲線順時針遲滯示意圖(e-g) 半導體通道側缺陷狀態隨閘極偏壓變化示意圖，依序成為分子吸附、界面和氧化層缺陷以及二維材料原生缺陷，紅點為電子，藍色叉號為缺陷 [51]。

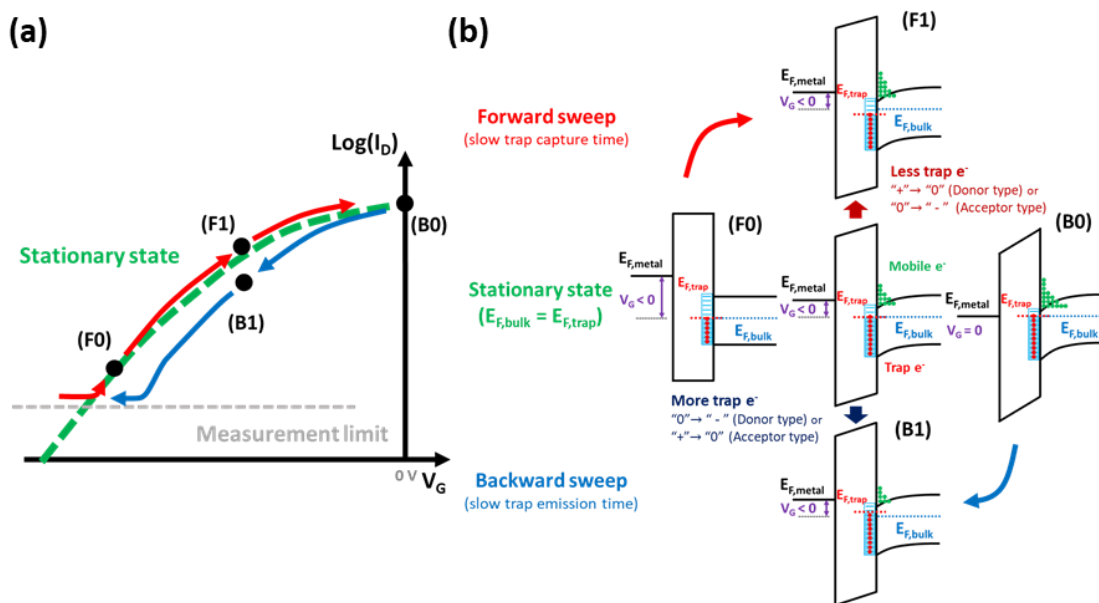


圖 3.5 (a)順時針遲滯 I_D - V_G 曲線示意圖，(b)各閘極偏壓下的能帶示意圖。

其中，由於這些缺陷電荷的反應時間較長，且和閘極偏壓大小有關，因此在量測時，可能會出現以不同起始閘極偏壓 [52]、不同偏壓範圍或掃描速度 [53]進行量測，有不同閾值電壓或是遲滯大小不同，因此，討論環境對同一個樣品的影響時，會以相同的起始閘極偏壓、掃描範圍及速度進行實驗。

3.1.3 載子遷移率

除了材料能帶結構所決定的載子等效質量，以及晶格結構聲子碰撞決定材料的載子遷移率的上限以外，通道附近的缺陷電荷也會使載子遷移率下降（各個影響遷移率的機制以及隨溫度的關係會在第四章更詳細說明）。薄膜材料的電導率(σ)由電子濃度(n_{2D})和電子遷移率(μ)所決定，而對於一個寬 W 為長為 L 的均勻矩形通道而言，可以透過電阻大小推得電導率：

$$\sigma = en_{2D}\mu = \left(\frac{L}{W}\right) \left(\frac{V_{DS}}{I_D}\right)^{-1} \quad (\text{式 3.10})$$

假設電晶體導通後，電子濃度由閘極絕緣層電容和 $V_G - V_T$ 決定($n_{2D} = C_{ox}(V_G - V_T)$)，則可以推得電流：

$$I_D = \mu_{eff} C_{ox} \frac{W}{L} [(V_{GS} - V_T)V_{DS}] \quad (\text{式 3.11})$$

其中為 μ_{eff} 電晶體等效載子遷移率，此式建立於假設 V_{DS} 較小，因此通道的載子濃度幾乎皆相同的情況。進一步將電流對閘極電壓微分，可以推得等效遷移率和轉導(Transconductance, $g_m \equiv \frac{\partial I_D}{\partial V_{GS}}$)的關係：

$$\mu_{eff} = \frac{1}{C_{ox}} \cdot \frac{L}{W} \cdot \frac{1}{V_{DS}} \cdot \frac{\partial I_D}{\partial V_{GS}} \quad (\text{式 3.12})$$

因此可以透過量測 I_D - V_G 曲線的斜率，得到等效遷移率來分析缺陷數量。



3.2 室溫電晶體特性

3.2.1 後電極二硫化鉬

在過去二維材料的文獻當中，許多文獻討論不同氣體 [54]或是濕度環境 [48]對二硫化鉬電性的影響，此處我們先以二硫化鉬進行實驗作為參考，和他人結果對照以確立實驗步驟。量測實驗的過程如下，在製作完後電極製程的二硫化鉬後，先進行電壓電流曲線量測，再將樣品置於手套箱儲存在純氮氣環境當中，水氣和氧氣的濃度維持在 0.5 ppm 以下，每間隔數天後，拿出手套箱重複量測，並在 10 分鐘內完成放回手套箱儲存，以此紀錄在氮氣環境下對二維材料電晶體的影響。接著將樣品存放在大氣環境當中，間隔數天進行相同條件的量測，觀察含水或氧環境下二硫化鉬電晶體效能的影響。

圖 3.6 (a)顯示儲存於氮氣環境當中不同天數的 I_D - V_G 曲線，可以觀察到明顯且方向一致的變化且具有順時針的遲滯；(b)為對數尺度下的 I_D - V_G 曲線，可以看到遲滯的程度於氮氣環境下逐漸變小，根據順時針遲滯模型可以推論出反應較慢的缺陷密度有減少；此外，正向掃描的過程中，一開始會施加較負的電壓，使得缺陷電子被排除，因此，正向掃描的閾值電壓變動不大的表現，表示減少的缺陷在未填滿時呈現電中性(受主型缺陷，Acceptor-type trap);(c) 為正向掃描曲線的 g_m 對 V_G 作圖，可以觀察到 g_m 最大值隨存放於氮氣環境時間有明顯的上升。(d-f)為儲存於含水氧大氣環境的變化，可以看到的明顯且相反方向的變化趨勢。而從電流電壓曲線可以進一步萃取電晶體的 SS 、 V_T 和遲滯變化以及等效遷移率，分別顯示於圖 3.6(a-c)，其中此處 V_T 定義為電流為 100 pA 的閘極偏壓，而正向及負向掃描的 V_T 差值作為遲滯大小，由三個缺陷相關的指標參數都可以明顯看到在氮氣環境下電晶體的電性變化，正向的次臨界擺幅從一開始約 250 mV/dec，在氮氣環境優化到約 125 mV/dec，以 25-nm 二氧化矽的閘極絕緣層並利用式 3.6 直接換算(圖 3.6(a)右刻度)，兩側的總缺陷密度在氮氣環境從約 $2.7 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 減少至 $1.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ，反應時間短的缺陷減少至少 2 倍以上(如果變化的缺陷都位於空氣側，變化數量會更多);而順時針遲滯從 3 V 減少至 2 V(圖 3.6(b)右刻度)，以式 3.9 估計相當於通道側反應時間長的缺陷密度(N_{it})減少約 $8.6 \times 10^{11} \text{ cm}^{-2}$;等效遷

移率也提升將近 3 倍(圖 3.6(c)右刻度)；三個和缺陷相關的指標都顯示在氮氣環境可以讓缺陷密度有效降低，此外，當放回到大氣環境中儲存時，則出現缺陷密度增加的相反變化。

兩種環境主要差別在於水氣和氧氣濃度，從缺陷密度的變化可以推測水氣或氧氣會對二維材料產生額外的缺陷，而氣體對材料的反應，有可能是使材料氧化或是吸附於材料表面，假設是材料氧化導致缺陷增加，則在氮氣環境中，只會減緩材料氧化的速度，並不會出現缺陷變少而元件電性優化的情況，因此，我們認為是主

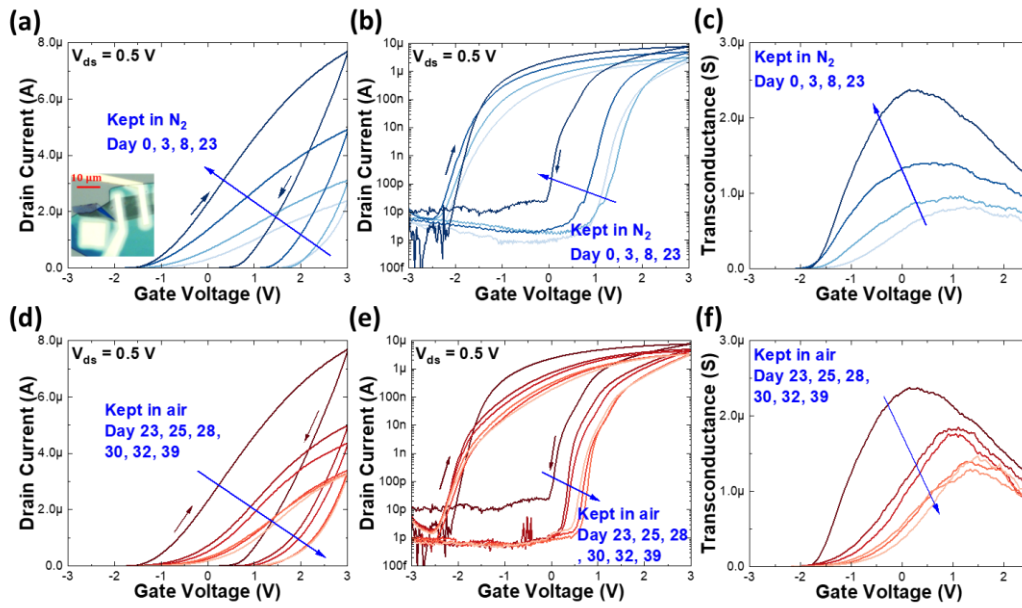


圖 3.6 後電極製程二硫化鉬電晶體的 I_D - V_G 曲線(a-c)為存放於氮氣環境中隨天數的變化，(d-f) 為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現，(b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m - V_G 圖。

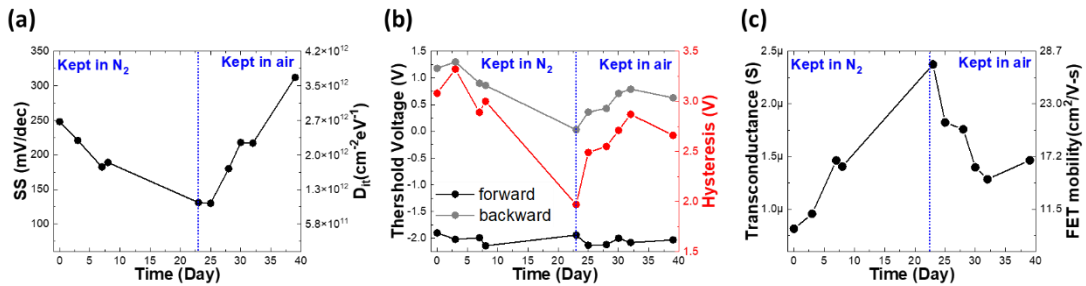


圖 3.7 後電極製程二硫化鉬 I_D - V_G 曲線各個參數隨時間及存放環境的變化。(a)正向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色，左刻度)和遲滯大小(紅色，右刻度)，以及(c) g_m (左刻度)和對應電晶體等效載子遷移率(右刻度)。

要氣體分子吸附的影響。而過去文獻也曾指出當環境濕度越高時，二硫化鉬會有 SS 及遷移率變差或是遲滯變大的現象[48,55,56]符合我們量測到的實驗結果，此外，透過第一原理計算的方式，水氣或氧氣分子在二硫化鉬會形成電子受體(電荷會從通道轉移到分子) [57]，可以對應到前述正向閾值電壓變化較小的實驗結果，不過在其他文獻中也出現過雙向或是僅負向閾值電壓變化的不同結果，雖然都有因為氣體分子導致缺陷增加，但缺陷所帶的電性還需要更詳細的實驗排除其他製程污染的因素才能完全確定。

3.2.2 後電極二硫化錫

在確定環境中的水氣或氧氣會對二維材料產生額外影響後，後續的後電極製程樣品在完成最後掀離製程後，會盡快儲存於無水氧的氮氣環境中一周以上。因此，此小節針對元件從手套箱移出至大氣環境後的特性進行分析。圖 3.8 為二硫化錫後製程電晶體之 I_D - V_G 曲線置於大氣環境的變化，(a)以線性尺度呈現可以觀察到曲線明顯的右移且有順時針的遲滯；而(b)以對數尺度呈現，(c)為 g_m - V_G 曲線，可以看到 g_m 的最大值稍微遞減。把元件放回無(或是較低濃度)水或氧的氮氣環境存放後，可以發現整條曲線明顯持續左移且 g_m 最大值稍微增加。雖然變動幅度不是很大，但可以推測變化和環境水氧有關並非隨機誤差，且從變化的可逆性，可以推測材料氧化不會是主要因素，較有機會為氣體分子吸附及脫附所造成。

一步從 SS、 V_T 及遲滯大小和遷移率最大值對時間作圖(圖 3.9)，可以發現對 SS 沒有明顯的長時間變化趨勢，比較可能是隨機誤差，對應的缺陷密度維持在 $2 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 附近。雖然 V_T 有明顯的變化趨勢，在含水氧環境會增加，表示水氣或氧氣的吸附會對於二硫化錫有類似 P 型摻雜的效果，不過遲滯大小卻比較隨機分布(約為 0.55 V，對應缺陷密度約 $4.3 \times 10^{11} \text{ cm}^{-2}$)。電子等效遷移率在 $2.2 \sim 2.6 \text{ cm}^2/\text{V-s}$ 左右，和其他文獻中的遷移率相近，變化趨勢上，雖然一致且有明顯的轉折，但是變化幅度卻不是很明顯，這部分的可能原因後續會和預電極樣品比較並討論。

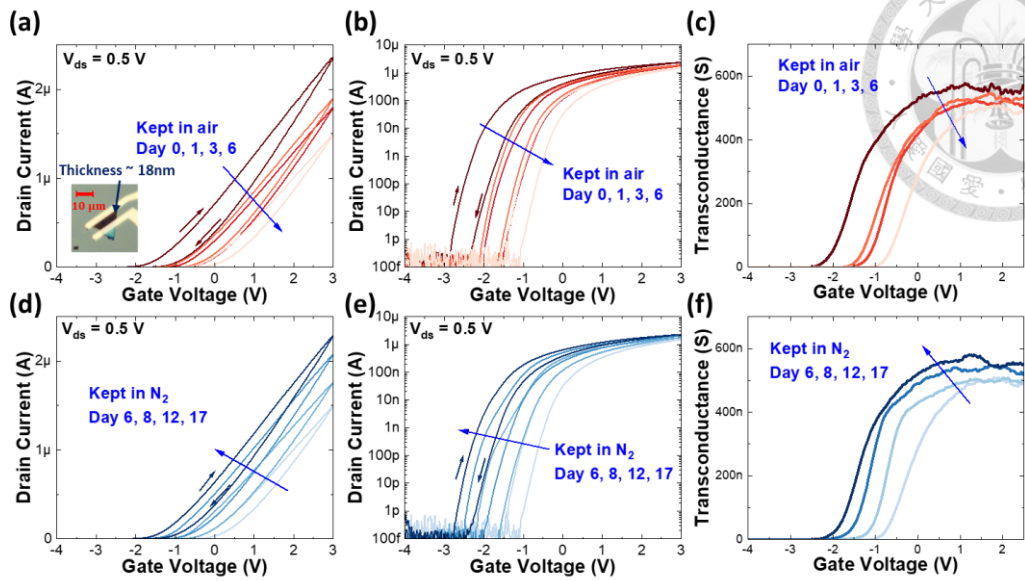


圖 3.8 後電極製程二硫化錫電晶體的 I_D - V_G 曲線(a-c)為存放於氮氣環境中隨天數的變化，(d-f) 為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現，(b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m - V_G 圖。縮圖為量測元件光學顯微鏡圖。

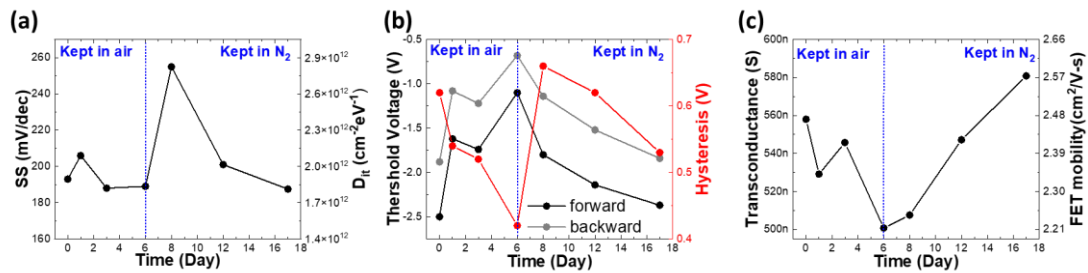


圖 3.9 後電極製程二硫化錫 I_D - V_G 曲線各個參數隨時間及存放環境的變化。(a)正向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色，左側刻度)和遲滯大小(紅色，右側刻度)，以及(c) g_m (左刻度)和對應電晶體等效載子遷移率(右刻度)。

3.2.3 預電極二硫化錫

預電極樣品的二硫化錫，從塊材晶體儲存、機械剝離法到乾式轉移都是在無水氧的環境下完成，除了基板和電極是預先在大氣環境製作完成，已盡量將環境可能的影響降至最低。而在元件完成後，以與前一小節相同的順序量測，先將元件存放於大氣中數天並以相同電壓條件紀錄變化，隨後，置入氮氣環境中存放並進行量測記錄，中間每次量測時是於大氣環境進行，但將暴露於大氣的時間控制在 10 分鐘

內。

圖 3.10 (a-c)為在大氣中不同時刻的 I_D - V_G 曲線以及正向掃描的 g_m - V_G 曲線，在第零天的時候，閘極偏壓為 0~-10 V 的範圍內無法將二硫化錫電晶體關閉(若閘極加到-15 V 附近容易使閘極氧化層會被擊穿使元件無法量測)，隨暴露的時間越長，閾值電壓越來越大且 g_m 越來越小，反之在放回手套箱儲存後，有相反的變化趨勢(圖 3.10(d-f))，顯示這個變化的可逆性。其中，圖 3.11(b,e)中，Day 0、1、4、13 和 16 的正向和負向掃描曲線出現交錯(如圖 3.13(a)示意圖)，不同於正常的順時

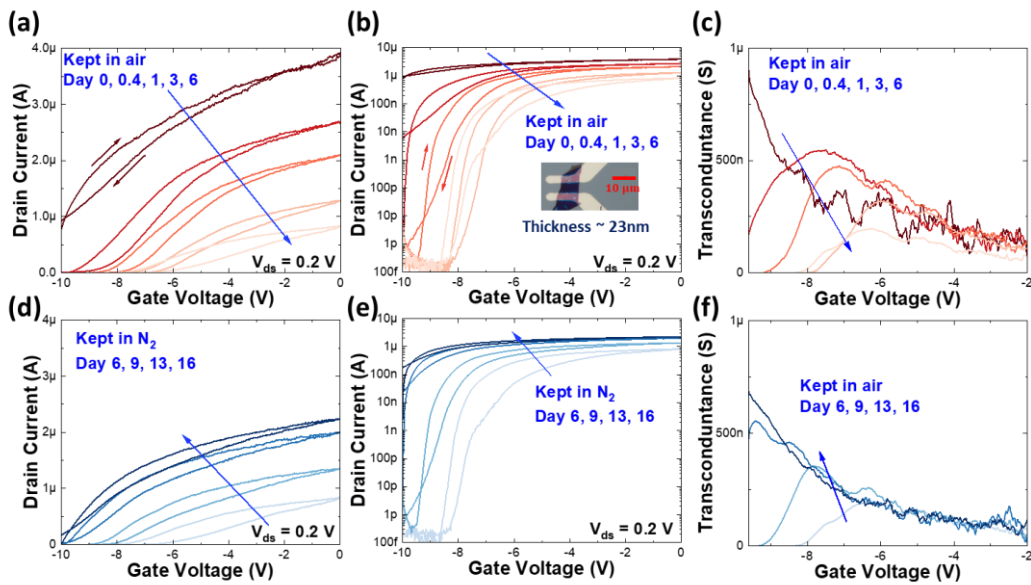


圖 3.10 預電極製程二硫化錫電晶體的 I_D - V_G 曲線(a-c)為存放於氮氣環境中隨天數的變化，(d-f)為存放於大氣環境中隨天數的變化。(a,d)電流以線性尺度呈現，(b,e)電流以對數尺度呈現，(c,f)為正向掃描曲線的 g_m - V_G 圖。縮圖為量測元件光學顯微鏡圖。

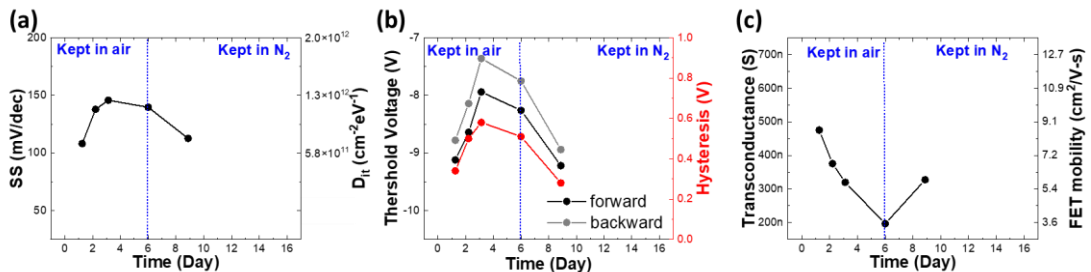


圖 3.11 預電極製程二硫化錫 I_D - V_G 曲線各個參數隨時間及存放環境的變化。(a)正向次臨界擺幅(左刻度)及對應缺陷密度大小(右刻度)、(b)閾值電壓(黑和灰色，左側刻度)和遲滯大小(紅色，右側刻度)，以及(c) g_m (左刻度)和對應電晶體等效載子遷移率(右刻度)。

針或逆時針遲滯曲線，可能是受到缺陷在量測過程偏離平衡狀態出現的暫態影響，後續對應的電晶體參數萃取也會先不列入討論，在後面段落會提出可能模型詳加解釋。

圖 3.11(a-c)為 I_D - V_G 曲線各個參數隨時間的變化。首先為 SS 隨時間的變化，在大氣環境中，由 100 mV/dec 上升至 150 mV/dec 左右，由於元件表面曝露於空氣，表示含水氧的大氣環境使得反應時間快的缺陷密度變高；此外，在閾值電壓方面，在一周的曝露時間內至少有超過 3 V 的變化，相當於增加 $4.6 \times 10^{12} \text{ cm}^{-2}$ 的 P 型摻雜，同時，遲滯的大小也從 0.4 V 上升最高為 0.6 V 表示反應時間較慢的缺陷密度也有增加；在大氣一周下，遷移率下降 2 倍以上，不過放回氮氣環境儲存有恢復到開始的數值的趨勢。

以下針對特殊遲滯曲線可能的成因討論:與一般較常見的順時針遲滯的模型相比(圖 3.5)，在一開始施以較負閘極偏壓時，假設缺陷填滿的狀態接近平衡，不過對於閾值電壓小於 0 V 的電晶體來說，在不額外施加偏壓的一般情況，費米能階接近導帶，大部分的缺陷是填滿的。在實際量測的過程，正向掃描會先施以較負的電壓關閉電晶體，使費米能階遠離導帶，因此，一開始可能會出現缺陷電子尚未脫離的情況(圖 3.12(a))，在過去文獻以及本論文中二硫化鉬的量測結果(如圖 3.5(a)和圖 3.6(b))，在一開始施加負偏壓時，電晶體通道是關閉狀態，電流大小在儀器可量測範圍之下，在通道隨閘極偏壓增加開始導通前，缺陷電子有足夠時間脫離達到平衡；然而，對於預電極二硫化錫，因為閾值電壓較小，閘極不足以完全關閉通道，

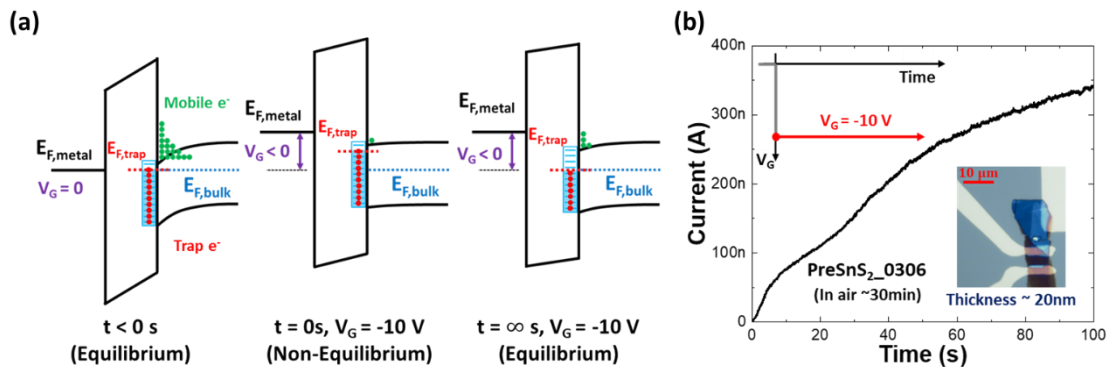


圖 3.12 (a)模型預測之暫態能帶變化示意圖，以及(a) I_D -Time 實際量測圖，縮圖為閘極偏壓對時間關係，和預電極元件光學顯微鏡圖。

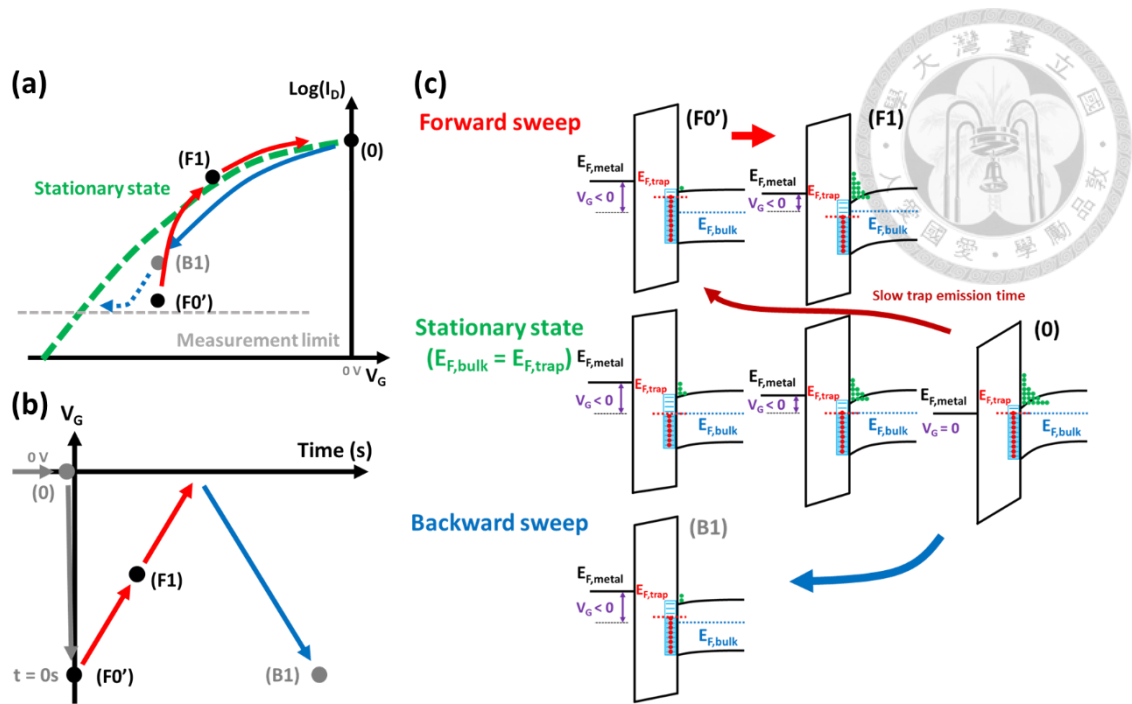


圖 3.13 (a)為預電極二硫化錫遲滯曲線各個階段的 I_D - V_G 示意圖，綠色為平衡狀態，紅色及藍色分別為正向及負向量測結果，(b)為對應閘極偏壓對時間的關係以及(c)對應的能帶示意圖。

導致暫態的表現出現於量測結果中。透過量測通道電流對時間的關係我們能夠對模型加以驗證:圖 3.12(a)為模型對應的能帶圖，當時間 $t < 0$ 時，通道為導通狀態大部分的缺陷態填滿電子，在 $t = 0$ 時，突然施加負偏壓半導體費米能階下降，但缺陷電子尚未排出，最後隨時間增加缺陷電子會漸漸脫離達到平衡，會使得導通電流隨時間增加，最後趨於平穩，在實際量測施加負閘極偏壓下元件電流對時間的結果也符合預期(圖 3.12 (b))。

利用上述的缺陷模型，其對應的遲滯曲線如和對應的能帶如圖 3.13，在正向掃描時，一開始會受到暫態變化的影響($F0' \rightarrow F1$)，可能量測到比實際更為陡峭的斜率變化，如圖 3.11(a)Day 0.4 的 50 mV/dec(若為穩態理論上極限為 60 mV/dec)，接下來隨閘極偏壓來回掃描會先形成正常的順時針遲滯，最後比較突然施加負偏壓的起始點($F0'$)和從 0 V 回掃回來的終點($B1$)，後者會較接近平衡而有較前者少的缺陷電子，最終形成逆時鐘的遲滯，符合量測結果。此暫態的表現可能會導致正向掃描時的 SS 和 g_m 被高估，因此數據以灰色點表示(圖 3.11(a,c))。



3.2.4 二硫化錫兩種製程結果比較

此處對後電極及預電極二硫化錫電晶體特性比較。首先，兩者對於環境的變化趨勢是一致的，當置於含水氧環境時，皆會產生曲線右移且遷移率下降，相當於P型摻雜的表現，而放回純氮氣無水氧環境，向左平移恢復，除了這樣的可逆性可以推測是分子吸附的影響，透過拉曼光譜儀亦可確認材料是否有明顯氧化或是變質(圖 3.14(a)) [58]，圖 3.14(b)顯示剛轉移完的二硫化錫和放置於大氣一周且加熱後，同一薄膜的拉曼光譜線並沒有明顯的差異，因此，氧化不大可能是主要影響因子。

另外，在 [59]他們以二硫化錫作為氣體感測器，和我們元件有類似的製程步驟和結構，只是缺少背閘極的控制，以一個雙極元件量測電阻變化，而預電極的結構通道長度約為1 μm ，使薄膜可以懸浮於基板上，達到更大的表面積；針對不同

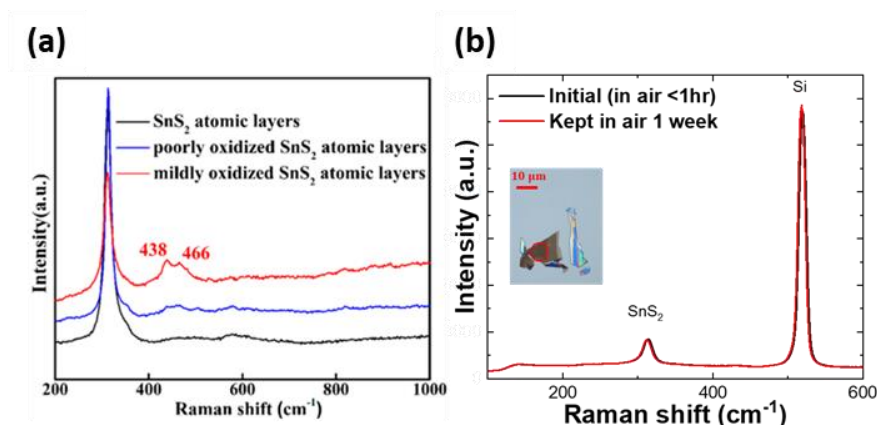


圖 3.14(a)不同氧化程度之二硫化錫拉曼光譜 [58]，(b)二硫化錫曝露於空氣前後的拉曼光譜，縮圖為光學顯微鏡影像。

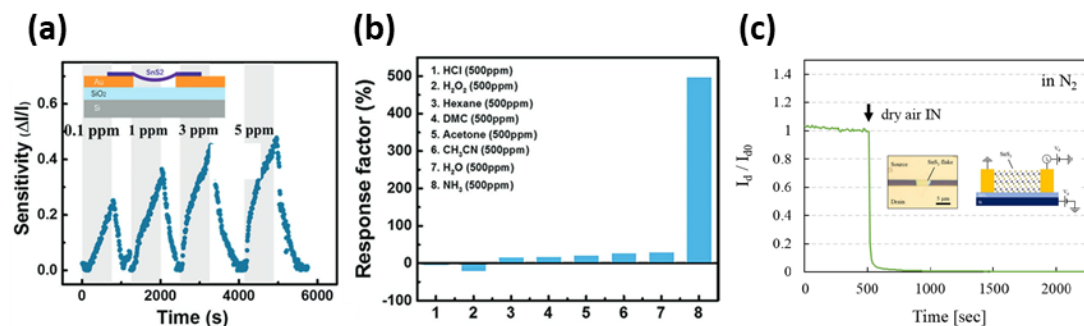


圖 3.15(a)懸浮的預電極二硫化錫對 NH_3 氣體的電流變化，白色區塊為乾燥大氣，灰色區塊混入不同濃度 NH_3 ，(b)為對不同氣體的反應大小($\text{Response factor} \equiv (I_{\text{gas}} - I_{\text{air}})/I_{\text{air}}$) [59]。(c)二硫化錫從氮氣至乾燥大氣的電流變化圖，縮圖為元件示意圖 [60]。

氣體環境以乾燥大氣為背景的量測結果，其中，大部分氣體包含水氣都使二硫化錫導通電流上升，對應到 N 型摻雜，僅有氯化氫(HCl)和過氧化氫(H₂O₂)使電流下降，對於氧氣沒有直接的實驗量測，但文中推論氧氣會產生 P 型摻雜效果進而使電流下降；此外，在另一篇文獻中，在後電極製程樣品的量測中，得到從 N₂ 環境轉移到含氧乾燥大氣而通道電流下降的結果(圖 3.15(c)) [60]，符合上述氧氣對二硫化錫影響的推論。和我們的實驗結果比較，在水氧濃度高的環境會使電流下降，可以推測使得元件電流下降的應該為氧氣而非水氣的效果。

另外，環境對後電極製程方法二硫化錫的影響幅度較預電極製程樣品小，在上述文獻中的電流變化幅度也有相似的結果但沒有多加說明，在本實驗結果中，後電極樣品的 SS 和遲滯甚至看不出明顯差異(圖 3.9)，而且後電極二硫化錫的遷移率在 2 cm²/V-s 左右，和過去的結果相近[15-23,25] (圖 1.5)，不過比利用預電極製程的結果(~ 9 cm²/V-s)較低，可能的因素為：第一、金屬接觸電極的差異，由於元件特性分析是使用兩點量測技術，接觸電阻與通道電阻串聯會影響遷移率萃取的精確性，例如:過去對於二硫化鉬研究結果顯示，不同接觸金屬或是不同接觸金屬製程(蒸鍍或凡德瓦接觸)會形成不大小的蕭基障礙(Schottky barrier)，使得量測到的導通電流大小有顯著的差別 [61]，進而影響到以 I_D-V_G 曲線斜率萃取的遷移率。實驗中預電極和後電極的接觸分別為二硫化錫與金和鉻的接觸界面，因此預電極製程能得到較好遷移率的原因可能是金與二硫化錫的凡德瓦接觸能有較小的接觸電阻，不過並無法解釋後電極製程的 SS 以及遲滯變化不明顯的結果。

第二可能的原因則是二硫化錫通道本身的電性受到後電極製程的影響。由於

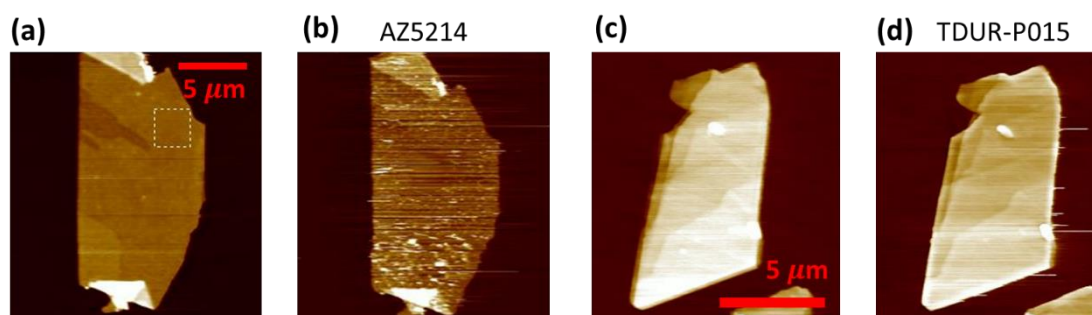


圖 3.16 二硫化錫薄膜接觸光阻後的前後 AFM 影像，(a-b)為 AZ5214 光阻，(c-d)為 TDUR-P015 光阻。

在製作過程中，二維材料和光阻直接接觸，而光阻可能無法僅透過有機溶液沖洗乾淨，而殘留在樣品表面 [62]。若光阻或是其他製程中的污染殘留在薄膜表面，可能會形成額外的缺陷使得後電極製程二硫化錫的遷移率和 SS 較差；而後電極製程元件對於環境影響較不敏感，可能是因為大部分氣體分子和薄膜吸附的面積遭殘留光阻隔所致。圖 3.16 利用 AFM 確認在旋塗過光阻 AZ5214 後，二硫化錫表面起伏變得較劇烈，顯示光阻附著的可能性，不過，對於使用電子束微影所需 TDUR-P015 光阻的樣品前後變化，沒有量測到特別明顯的起伏，是否為光阻附著或是其他流程中對二維薄膜的破壞性影響，會需要其他方式(如:電子顯微鏡)來觀察缺陷或雜質變化。(第四章會進一步探討使用兩種製程的電晶體之遷移率對溫度關係以及可能的傳輸機制差異)

3.3 電導法之界面缺陷分析

前一章節主要透過電晶體電流電壓曲線萃取 SS、遲滯以及遷移率來分析，在元件製作上較容易且僅需要進行直流量測，但是只能夠簡略知道缺陷密度變化。此節則藉由電導法來量測大氣環境對於二硫化錫的效應，除了能夠量測出缺陷密度之外，還可以量測出缺陷態在能量上的分布狀況及缺陷的反應時間，並藉此推測缺陷的成因。目前大部分的相關文獻主要都用於分析二硫化鉬本身缺陷或是與不同氧化層的界面缺陷，例如: [63] 團隊藉此量測化學沉積二硫化鉬與 30-nm HfO_2 為介電質的上電極電晶體的缺陷，分析出兩種缺陷分別是在分佈能隙中間數量級為 $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 以及接近導帶而指數增加的缺陷，其數量級在 $10^{12} \sim 10^{14} \text{ cm}^{-2} \text{ eV}^{-1}$ ，後者可能源自於較無序(disorder)的位能所形成的局域態，而 [64] 團隊則直接量測金屬/二硫化鉬/ HfO_2 /金屬的電容結構，在能帶中間量測到約 $7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 的峰值缺陷密度，認為是二硫化鉬材料本身的硫空缺所造成的。此處將針對環境對二硫化錫的影響來討論，因此設計局部背電極的架構，讓二維材料正面與空氣接觸面，同時利用局部背電極對厚度較薄半導體材料的進行電容電導量測，萃取兩側界面(主要為與空間接觸的上界面)和二硫化錫本身的缺陷以及隨存放環境的變化。

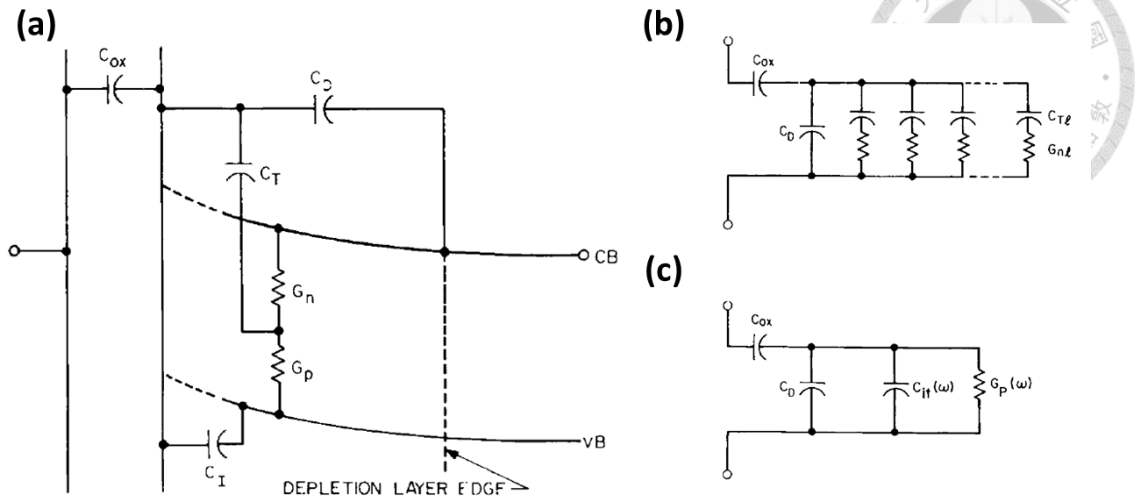


圖 3.17 (a)缺陷於 MOS 結構中的小訊號模型，(b)能階連續分布的缺陷等效電路，(c)轉換為與頻率相關的等效並聯電容 $C_{it}(\omega)$ 和電導 $G_p(\omega)$ [65]。

3.3.1 電導法模型介紹

對於半導體或是半導體界面之間的缺陷，會將載子困於其中也可能從當中釋放，而這個困住和釋放的反應時間除了跟缺陷本身的性質(cross section)有關，也和缺陷被填滿的機率以及附近的載子濃度成正比，將載子被捕捉和釋放(capture and emission)的過程以小訊號電路模型表示，可得到和缺陷密度相關的導納(admittance)，並可用等效電容和電阻表示，圖 3.17(a)以 N 型半導體基板為例，將整個 MOS 結構之能帶圖以及等效電路對應，其中單一能階缺陷的等效電導及電容為 [65]:

$$C_T = \frac{e^2}{k_B T} n_T f_0 (1 - f_0) \quad (\text{式 3.13})$$

$$G_n = \frac{e^2}{k_B T} n_T c_n n_s (1 - f_0) \quad (\text{式 3.14})$$

$$G_p = \frac{e^2}{k_B T} c_p p_s f_0 \quad (\text{式 3.15})$$

其中， n_s 和 p_s 表示表面電子和電洞密度， n_T 為缺陷數量， f_0 為此能階的費米-狄拉克分布，為此能階填滿的機率，而 c_n 和 c_p 為電子及電洞被缺陷捕捉的機率。

考慮費米能階比較靠近導帶(或價帶)的情況，可以只考慮電子(電洞)從導帶進出缺陷的部分(忽略圖 3.17(a)中之 G_n (G_p))，而對於在能隙中連續分布的缺陷可以

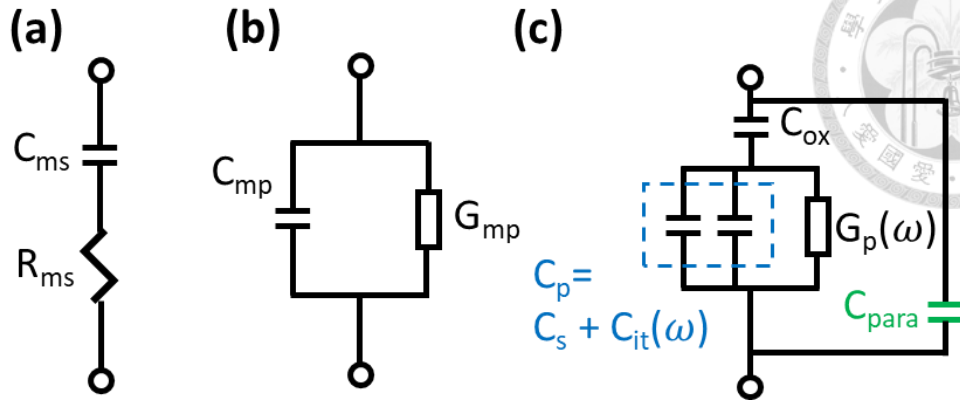


圖 3.18 儀器量測等效電路圖：(a)串聯模型(阻抗)(b)並聯模型(導納)以及(c)MOS 結構等效電路。

化為多個缺陷的等效電導($G_{n\ell}$)電容($C_{T\ell}$)並聯(圖 3.17(b))，或是轉換為與頻率相關的並聯電容($C_{it}(\omega)$)以及電導($G_p(\omega)$)(圖 3.17(c)):

$$C_{it}(\omega) = qD_{it}(\omega\tau)^{-1} \tan^{-1}(\omega\tau) \quad (\text{式 3.16})$$

$$\frac{G_p}{\omega} = qD_{it}(2\omega\tau)^{-1} \ln[1 + (\omega\tau)^2] \quad (\text{式 3.17})$$

$$\tau^{-1} = c_n n_s \quad (\text{式 3.18})$$

其中， D_{it} 為缺陷密度(單位： $\text{cm}^{-2}\text{eV}^{-1}$)，而對於在不同偏壓下的半導體，費米能階會切到不同能量位置的缺陷，除了閘極氧化界面的缺陷外，對於非常薄的半導體通道(如:SOI[40]和二維材料 [63])，半導體內部或是另一側界面的缺陷也會影響電導，因此後續實驗量測分析所萃取的缺陷密度包含上述所有缺陷。如果對於各個物理參數(原生載子密度、半導體介電常數、摻雜濃度等)較明確的材料，可以透過閘極偏壓和表面能帶彎曲的關係式，進一步繪製缺陷密度在能帶上的分布。

在實際量測時，儀器會在閘極施加直流偏壓並疊加不同頻率的小訊號，並量測小訊號阻抗(Z)，由串聯電容 C_{ms} 和串聯電阻 R_{ms} 分別對應虛部和實部(圖 3.18(a))，也可以用導納(Y)表示，為 Z 的倒數，以並聯電導 G_{mp} 和並聯電容 C_{mp} 對應實部與虛部(圖 3.18(b)):

$$Z = \frac{1}{j\omega C_{ms}} + R_{ms} \text{ or } Y = G_{mp} + j\omega C_{mp}; \quad (\text{式 3.19})$$

而前述的缺陷等效電導(G_p)和等效電容(C_{it})還會跟氧化層電容(C_{ox})並聯及受其他寄生電容影響(C_{para})，因此，量測到的電容和電導，還需要轉換為圖 3.18(c)所示的電效電路，才能夠取得缺陷電導的頻率響應。後續實驗為了能直接扣除掉寄生電容的



貢獻，是選用導鈉(Y)表示量測原始數據。

3.3.2 實驗製程及結果

背電極電晶體結構不利於量測元件電容，主因是二維薄膜面積較小(約為 $10\ \mu\text{m} \times 10\ \mu\text{m}$)，而金屬電極一般大小約為 $50\ \mu\text{m} \times 50\ \mu\text{m}$ 以上，此金屬電極與背閘極重疊所形成的並聯電容遠遠超過二維材料的電容，因此，為了能夠利用電導法對二硫化錫的缺陷進一步討論，我們參考[63 - 67]利用局部上閘極量測的結構，另外設計了局部背閘極的結構，針對環境對預電極二硫化錫電晶體的效應有更深入的分析。

圖 3.19 為製程步驟，(i)、首先使用表面已沈積 100 nm 厚的二氧化矽之矽基板，以減少後續電極與電極之間的電容，同時增加後續蝕刻製程的容錯率；(ii)、利用 ICP-RIE 蝕刻對準標記以進行多道曝光對準；(iii)、濺鍍 50-nm TiN，並使用負

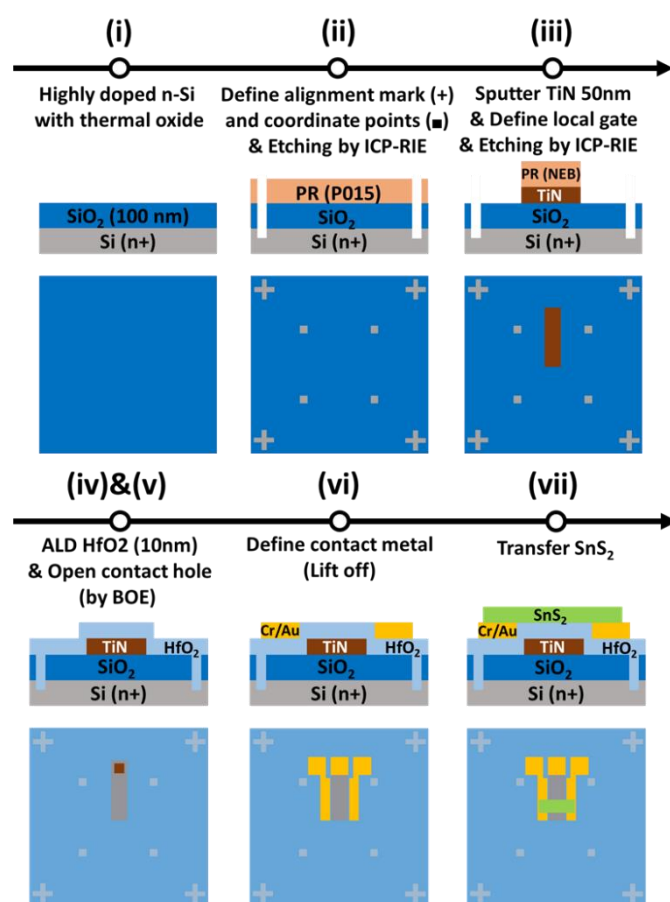


圖 3.19 局部背電極二硫化錫電晶體製程流程:解說、側視圖以及俯視圖。

光阻曝光，定義出局部閘極區域以光阻保護，最後利用 ICP-RIE 蝕刻掉多餘的 TiN，作為背電極金屬電極；(iv)、利用原子層沉積成長約 10 nm 之局部背閘極氧化層將閘極金屬覆蓋，並選用介電常數較大的材料 HfO_2 ；(v)、利用正光阻曝光顯影將氧化層開洞，用緩衝氧化物刻蝕劑(buffered oxide etch, BOE)蝕刻約 5 分鐘以裸露局部的 TiN，再以有機溶液去除光阻，為了避免 BOE 滲透進光阻保護區域，特別以攝氏 105 度硬烤約 1 小時，而蝕刻方面利用 BOE 對 TiN 的蝕刻率可忽略的特性預防過蝕刻發生；(vi)、利用正光阻曝光，定義汲級和源級金屬電極，同時包括前一步驟裸露的閘極金屬區域，接著熱蒸鍍金屬:10 nm 鉻和 40 nm 金，並以掀離製程完成電極和金屬導線。(vii)、轉移面積約為 $10\ \mu\text{m} \times 10\ \mu\text{m}$ 的二硫化錫作為通道材料，完成電晶體製作。

圖 3.20 為局部背閘極的二硫化錫電晶體的 I_D - V_G 曲線，元件在製作過程中暴露在大氣中約 1~2 小時或在大氣環境下一周後的變化，可以看到放置大氣下越久，閾值電壓明顯地變大(-2 V~0.1 V)，同時 g_m 下降，和 3.2.3 小節觀察到的現象一致，推測是因為氧分子吸附於表面，造成 P 型摻雜的效果，讓 V_T 上升且 g_m 下降(正比於遷移率)，不過此樣品的 SS 沒有明顯變差，表示環境變化產生的缺陷可能所需反應時間較長，沒有反應在 SS 的量測上。接著，我們利用 B1500A 的模組 B1520A 進行電容及電導對閘極電壓的變頻量測，將探針下在樣品的汲極和源極(兩者短路)，並連接在量測模組的低電壓端，而閘極和高電壓端連接，並改變閘極直流偏壓(間隔為 50 mV)，並施加不同頻率的交流偏壓(振幅為 40 mV，頻率為 1 k~1.5 MHz)，

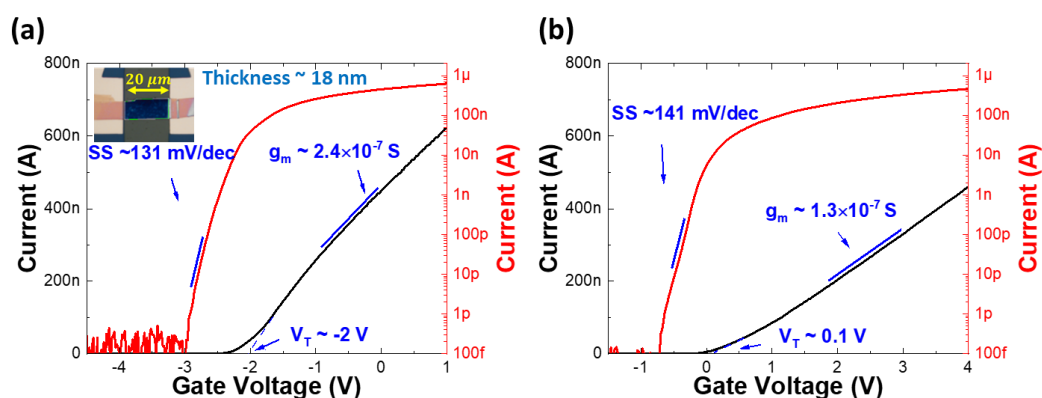


圖 3.20 局部背閘極預電極二硫化錫電晶體 I_D - V_G 曲線：(a)曝露於大氣 1~2 小時，(b)曝露於大氣一周(縮圖為元件光學顯微鏡影像)。

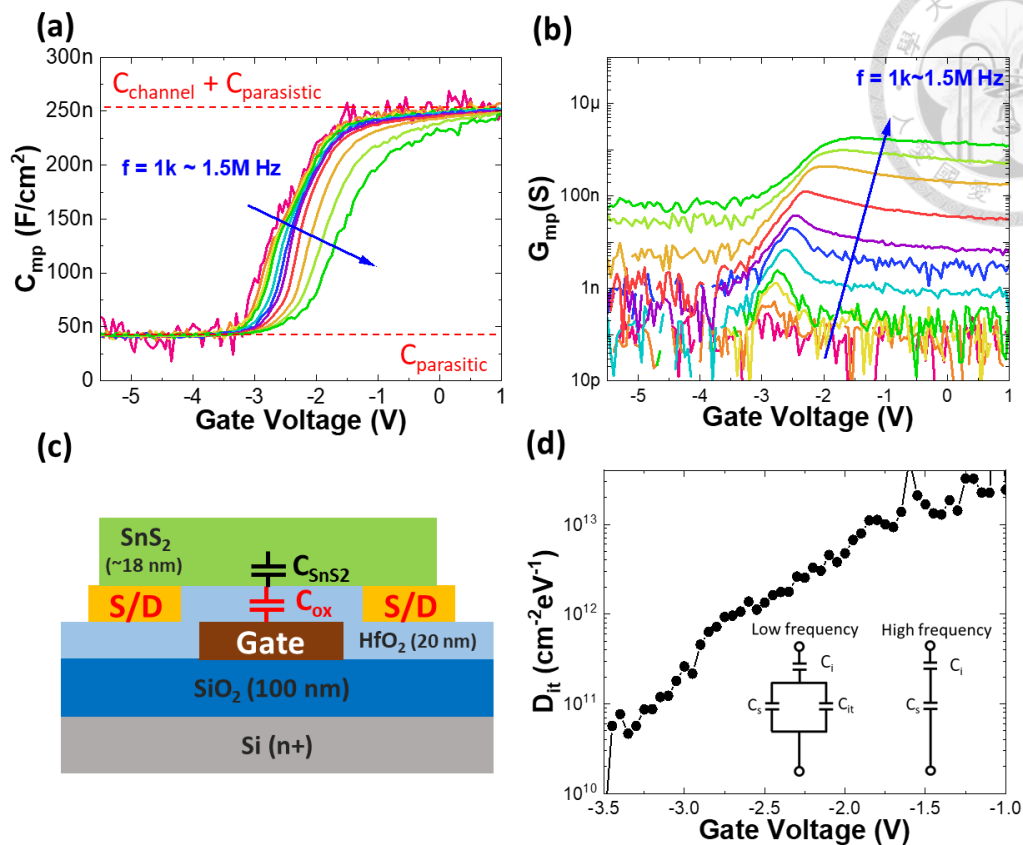


圖 3.21 (a)電容開極電壓變頻量測結果，(b)電導開極電壓變頻量測結果。(c)元件的結構及電容示意圖，(d)高低頻率法的缺陷密度對開極偏壓關係圖以及低頻和高頻的等效電路。

我們選用 C_p - G_p 的量測模型(圖 3.18(b))，圖 3.21(a-b)為量測的並聯電容電導原始數據，從電容電壓量測結果可以觀察到，施加較負的開極電壓使半導體通道關閉時，量測到電容值為一固定的數值，可能是開極到汲極源極不同路徑所產生的等效寄生電容($C_{parasitic}$)。開極電壓超過電晶體閾值電壓時，二硫化錫通道開始有足夠載子，此時量測到的電容值主要是由開極氧化層所貢獻(圖 3.21(c)之 C_{ox})，根據實際氧化層厚度(20 nm，蝕刻後以 AFM 量測)，推算出的相對介電係數(ϵ_r)約為 4.6，小於以相同 ALD 製程之測試片的量測結果(Cr/Au/HfO₂/p-Si 之 MOS 結構, $\epsilon_r \sim 12.4$)，有可能是因為部分反應的通道電荷不位於界面而較接近通道中間，因此氧化層電容還會與半導體電容串聯(圖 3.21(c))，二硫化錫通道薄膜厚度為 18 nm，相對介電係數約為 6.7 [43]，若將量測到的電容值扣除並聯的二硫化錫等效電容，可得到 HfO₂ 的相對介電係數約為 12.1，與測試片的 HfO₂ 氧化層界電係數較為接近。後續針對缺陷的分析，將通道導通時所量測到電容視為等效絕緣層電容(C_i)，並透過變頻量

測的方式萃取缺陷密度，而圖 3.21(a)中，隨著量測頻率提高，電容值下降，意味著缺陷跟不上頻率的變化，使得缺陷電容變小趨近於零，讓量測到的等效電容值下降。此外，透過高頻電容(C_{HF})和低頻電容(C_{LF})曲線可初步分析缺陷密度和閘極偏壓的關係(圖 3.21 (d))，稱為高低頻電容法(High-low frequency capacitance method):

$$C_{it} = eD_{it} = \left(\frac{1}{C_{LF}} - \frac{1}{C_i} \right)^{-1} - \left(\frac{1}{C_{HF}} - \frac{1}{C_i} \right)^{-1} \quad (\text{式 } 3.20)$$

接著，為了取出等效模型中的缺陷電導(圖 3.18(c)之 G_p)，我們將量測到的電納(Y_m)扣除寄生電容之後，轉換成阻抗(Z')再減去絕緣層電容(C_i)，最後再換回電納(Y')，實部對應模型當中的缺陷電導(G_p)，而虛部對應模型中缺陷電容(C_{it})並聯半導體電容(C_s):

$$\begin{aligned} Y_m &= G_{mp} + j\omega(C'_{mp} + C_{para}) = \frac{1}{Z'} + j\omega C_{para} \\ \Rightarrow Z' &= \frac{1}{j\omega C_{ox}} + \frac{1}{j\omega C'} + R_{ms} = \frac{1}{j\omega C_i} + \frac{1}{Y'} \\ \Rightarrow Y' &= G_p(\omega) + j\omega(C_s + C_{it}(\omega)) \end{aligned}$$

透過式 3.17 擬合不同偏壓下缺陷電導隨頻率的關係，可以取得各偏壓下的缺陷密度和缺陷反應時間(圖 3.22)。可看到缺陷密度隨著閘極偏壓呈現指數成長，而反應

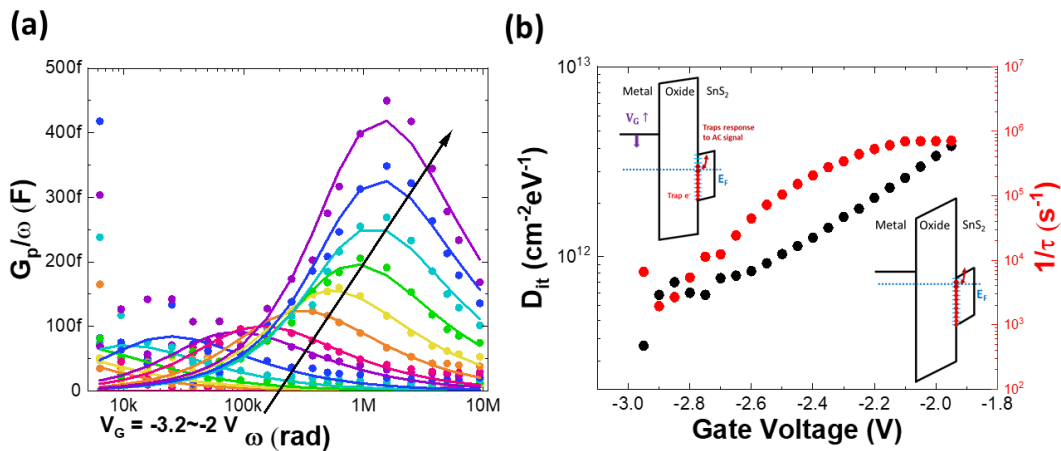


圖 3.22 (a) G_p/ω 與 ω 之關係圖，點為實際量測數據轉換後的數值，實線為擬合曲線，(b)為不同偏壓下擬合出的缺陷密度和反應時間倒數(速率)。

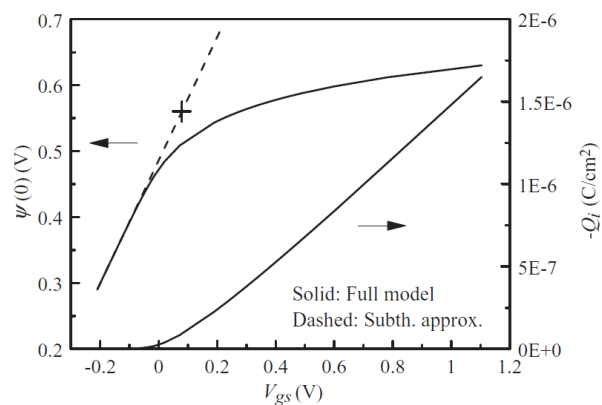


圖 3.23 SOI 結構的表面能帶彎曲大小($\psi(0)$)以及反轉電荷(Q_i)對閘極偏壓的關係 [41]。

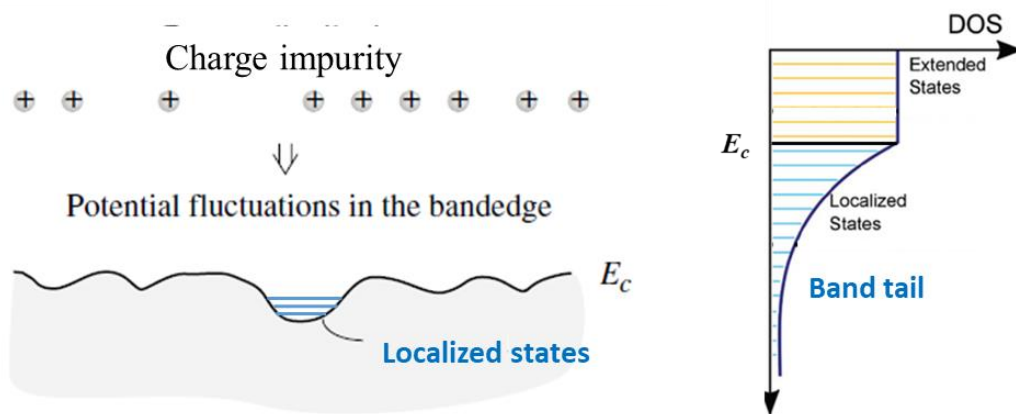


圖 3.24 能帶起伏造成局域狀態 [68]並在導帶邊界形成能帶帶尾 [69]。

時間倒數(反應速率)隨偏壓呈指數遞增。假設將此結構類比為 SOI，SOI 底層介電質層對應到為極厚的空氣，則對於 SOI 而言，閘極電壓對表面能帶彎曲程度在次臨界區成正比(圖 3.23)，而隨閘極偏壓增加使表面能帶彎曲增加，半導體中費米能階會越接近二硫化錫的導帶，和交流訊號反應之缺陷的位置會越接近導帶，如圖 3.22 (b)縮圖所示，因此，藉由量測缺陷密度對閘極偏壓的關係，得到缺陷在能隙中的分布情況；另外，且缺陷反應時間倒數和表面載子濃度成正比(式 3.18)，反應時間倒數(速率)隨閘極偏壓指數上升在趨緩的趨勢，可以對應到通道載子隨閘極的變化，可以增加量測結果的可信度。缺陷密度靠近導帶時隨能量呈現指數增加，類似於文獻中上電極二硫化鉬的缺陷分布，文中認為是材料或介面中的無序缺陷造成能帶的隨機起伏，在導帶附近形成呈指數分布的缺陷態，稱為能帶帶尾(Band tail)

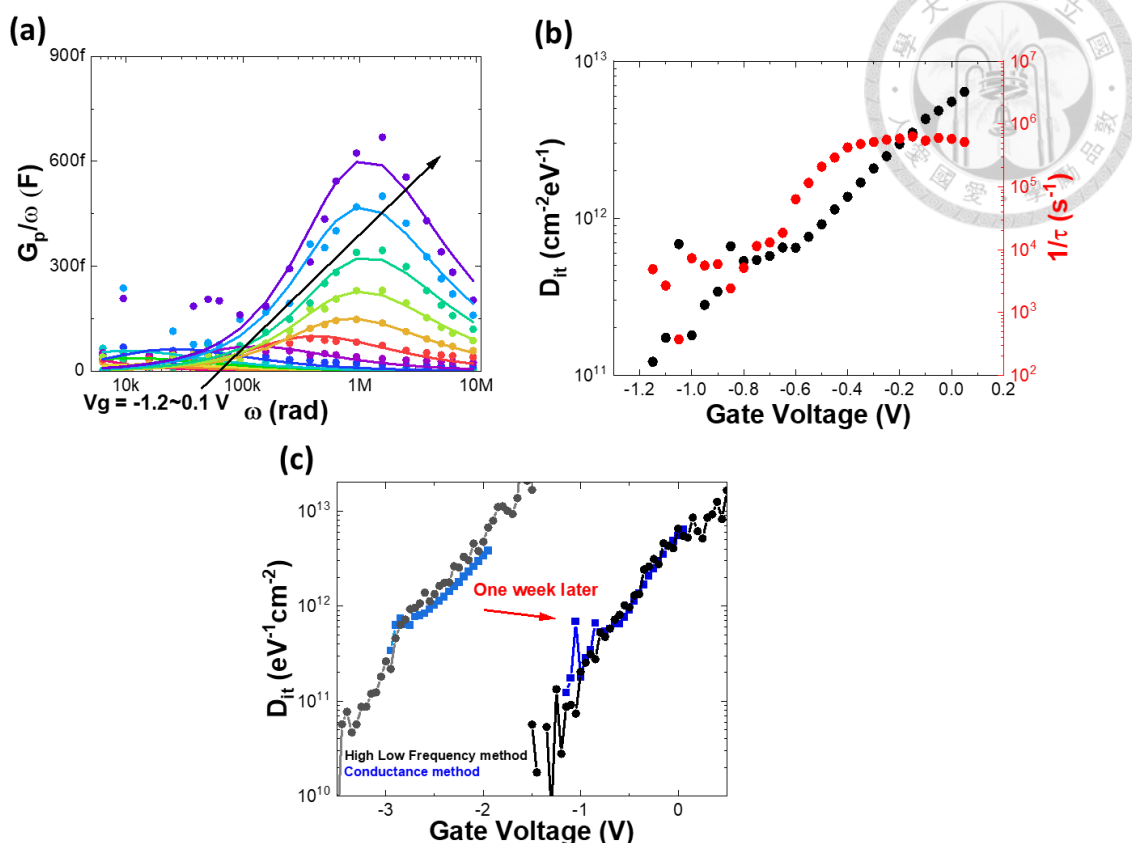


圖 3.25 放置一周後電導法量測結果(a) G_p/ω 對 ω 作圖，點為實際量測數據轉換後的數值，實線不同偏壓下的擬合曲線，(b)為不同偏壓下擬合出的缺陷密度和反應時間倒數。(c)分別為起始和放置一周後二硫化錫缺陷密度對閘極偏壓的關係。

[63]，也表示材料比較接近無序(disorder)系統(圖 3.24)。

進一步將樣品放置於空氣中一周再次進行元件電性量測(圖 3.25(a-b))，可以看到缺陷密度和閘極同樣呈現指數關係，而反應時間倒數(正比於表面載子濃度)亦隨閘極偏壓呈現指數成長後趨緩，不過和一周之前的結果相比(圖 3.25(c))，缺陷分布沒有明顯變化，同樣在 $10^{11} \sim 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ 的範圍，反應時間在 $10^{-6} \sim 10^{-4} \text{ s}$ 的範圍，可能原因有二硫化錫本身以及與氧化層界面的缺陷就較多，因此大氣的效應較小，或者是此方法量測的可量測到的缺陷反應時間較短，而在大氣形成的缺陷反應時間較長，沒有反應在此量測上，也可以對應到在 I_D-V_G 曲線中 SS 隨環境變化不大的量測結果 (圖 3.20)。此實驗透過電導法的量測結果，沒有額外得知大氣環境對二硫化錫的影響，不過量測出的缺陷分布顯示預電極二硫化錫雖然受到製程汙



染極小，但是仍然有不少的缺陷存在，能量上的分布也暗示電子系統較為無序。若要分辨是氧化層界面、二硫化錫材料本身缺陷或是短時間內接觸大氣的影響，還需要額外的實驗控制邊界條件，例如：以二維絕緣體-六方氮化硼為閘極介電質改善界面、維持於氮氣環境下量測等，才能確認原因。

3.4 結論

在第三章節，我們對於二硫化錫在兩種不同製程以及兩種氣體環境下討論電性上的變化，透過電晶體的電流電壓曲線的各個參數，次臨界擺幅、閾值電壓、遲滯和 g_m (遷移率)，以及電導法，討論缺陷的性質和變化，發現一般大氣環境對於二硫化錫有 P 型參雜的效果，可能是由於大氣中氧氣吸附於二硫化錫薄膜表面造成介面電荷轉移，而這個局部的電荷同時會使得碰撞增加載子遷移率下降，而在電導法量測的結果也暗示這樣的額外電荷會在能帶附近形成指數相關的缺陷密度。不過這種氣體吸附，也可以透過存放於氮氣環境達到回復的效果。

而透過預電極製程的樣品，比起後電極製程，幾乎沒受到較製程步驟影響，如：大氣曝露、有機溶液、光阻，能達到較高的載子遷移率，不過對於環境變化也比較敏感，表示二硫化錫這個材料較不適合經過製程，對於作為電晶體應用較不適合，不過可能利用在環境感測上，如氣體感測等。

第 4 章 二硫化錫變溫傳輸性質

此章節針對二硫化錫的變溫傳輸性質進行量測分析及討論。大部分的二維電子系統，如量子井或其他二維材料，低溫遷移率比室溫高數百甚至數千倍，當對應的電子平均自由徑夠長時，配合元件設計並施加磁場或是電場，就有機會觀察到不同的傳輸性質，例如：弱局域磁阻(weak localization)、SdH 震盪、量子霍爾效應等，並可進一步討論材料特性，像是等效質量、自旋軌道耦合等等。不過，過去較少文獻中探討二硫化錫之低溫量測結果，目前僅提到遷移率在降溫時會大幅下降，可能是因為材料缺陷所致。因此，透過製程方法改善二硫化錫元件品質來提升遷移率，可能更有機會量測到二硫化錫的低溫量子傳輸特性。本章首先回顧二硫化錫以及其他二維半導體材料的變溫傳輸特性，並詳細介紹自由電子散射模型以及跳躍傳輸模型對溫度的關係，最後藉由兩種模型討論後電極和預電極二硫化錫電晶體的變溫量測結果。

4.1 文獻回顧

4.1.1 二硫化錫及其他二維材料

過去文獻中較缺乏二硫化錫的低溫實驗量測數據(僅有兩篇)，圖 4.1(a-b)是透過機械剝離法得到二硫化錫薄膜，並在矽/二氧化矽基板上以電極製程的方式製作電晶體，進行不同溫度下 I_D - V_G 特性量測以取得等效遷移率對溫度的關係，電流或遷移率隨溫度下降而大幅下降 [16]，圖 4.1(c-d)則是利用化學氣相沉積法在矽/二氧化矽基板上成長數層二硫化錫後，同樣透過電極製程的方式製作電晶體並量測 I_D - V_G ，溫度範圍為 400 K 到室溫，遷移率與溫度幕次關係為-1.69，主要散射擊為聲子散射；從室溫降至 100 K，遷移率大幅下降 [25]，過去文獻並沒有 100 K 以下的相關量測，主要原因可能是降溫後，二硫化錫電阻大幅上升而提高量測難度，也較不容易觀察到特殊的物理現象。這樣的導電度或遷移率變化和其他二維材料系統觀察到的結果差異很大，多數的二維材料在污染較少的情況，其遷移率會隨溫度下降先上升到一定數值之後飽和，如圖 4.2(a-b)分別為後電極製程二硫化鉬以及

二硫化錫的遷移率對溫度關係圖，同樣在矽/二氧化矽基板上，低溫遷移率相較於室溫都能提升數十倍[70-71]；此外，如果特別使用二維的絕緣體材料-六方氮化硼(h-BN)作為介電質來優化界面，甚至可以到數千倍 [7]。二硫化鉬在過去文獻中，在一些在製程過程可能受到較多污染的情況，也曾出現低溫遷移率或電導變差的情況[72-73]，因此，透過降低製程污染的預電極製程，期望在低溫下能得到更高的遷移率。

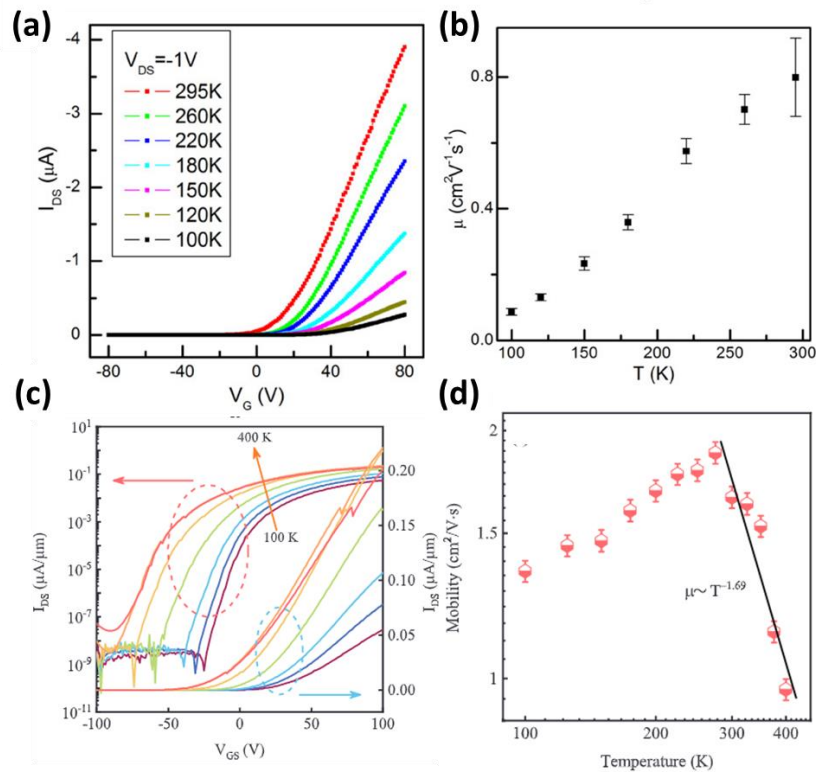


圖 4.1 不同文獻中的後電極製程二硫化錫電晶體變溫 I_D - V_G 曲線以及等效電晶體遷移率對溫度變化圖，(a-b)和(c-d)分別為取自於 [16]和[25]。

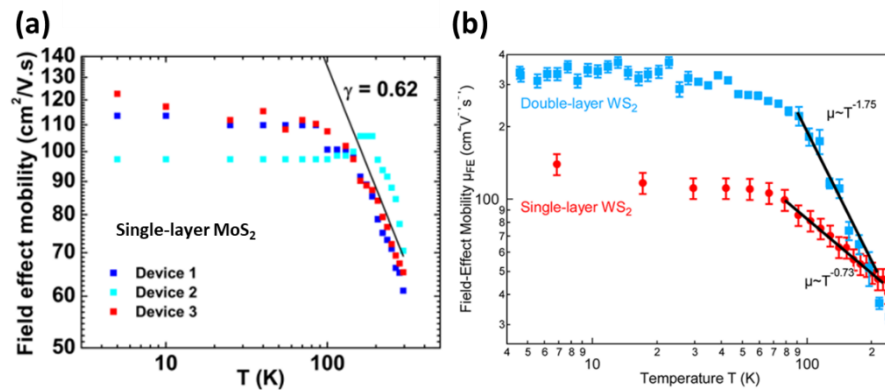


圖 4.2 後電極製程(a)二硫化鉬 [70]及(b)二硫化錫 [71]電晶體遷移率對溫度的關係圖。

本章的實驗會先使用後電極的二硫化鉬以及二硫化錫重複和過去文獻相似的結果，也對製程汙染較少的預電極二硫化錫元件進行變溫量測，並藉由遷移率或電導率對溫度的關係討論載子傳輸物理機制。接下來會介紹自由電子散射以及跳躍兩種不同的傳輸機制對溫度的關係，並對實驗結果進行分析及討論。

4.1.2 變溫遷移率

載子在材料中自由移動的時候，如果材料中位能並非完美週期變化，而有其他位能變動的時候，例如：材料中的原子缺陷、介面上的額外電荷或是晶格的震盪，都會使得載子產生散射，每次散射會改變載子運動狀態。根據波茲曼傳輸模型可得到材料的遷移率(μ)的大小和載子的平均自由時間(mean free time, τ)成正比，其中，對於不同的散射成因考慮不同的散射位能，得到不同的平均自由時間，而以下針對晶格震盪(聲子)以及帶電缺陷散射對溫度的關係詳細介紹。

首先是聲子散射，當溫度較高的時候，晶格會產生較劇烈的震盪，會有較多的聲子和載子發生碰撞，因此使得平均自由時間下降，反之在低溫時平均自由時間會上升(圖 4.3 (a-b))。而聲子可以分為聲學聲子(acoustic phonons)和光學聲子(optic phonons)兩種，前者為較長周期的震盪，單位晶胞內的原子其移動方向相同(圖 4.3 (c))，震盪形成晶格排列的形變產生額外的周期位能和載子交互作用，發生散射並使載子從動量 $\vec{K}$ 變到動量 $\vec{K} + \vec{Q}$ 的機率，與聲子的數量 $N_{\vec{Q}}$ 以及載子狀態密度 $DOS(E(\vec{K}))$ 成正比，考慮溫度較高時，電子動能正比於 $k_B T$ [74]:

$$\frac{1}{\tau_{ac,phonon}} \propto N_{\vec{Q}} \times DOS(E(\vec{K})) \quad (\text{式 4.1})$$

$$N_{\vec{Q}} = \frac{1}{e^{\hbar\omega_{\vec{Q}}/k_B T} - 1} \quad (\text{式 4.2})$$

$$\text{二維: } DOS(E(\vec{K})) = \frac{m^*}{\pi\hbar^2} \propto T^0 \quad (\text{式 4.3})$$

$$\text{三維: } DOS(E(\vec{K})) \propto \sqrt{E} \propto \sqrt{\frac{3}{2}k_B T} \propto T^{0.5} \quad (\text{式 4.4})$$

而此類型聲子的激發能量較小 $\hbar\omega_{\vec{Q}} \ll k_B T$ (圖 4.3(c))，因此，聲子數量 $N_{\vec{Q}} \sim \hbar\omega_{\vec{Q}}/k_B T \propto T^{-1}$ ，可以得到遷移率和溫度的關係:

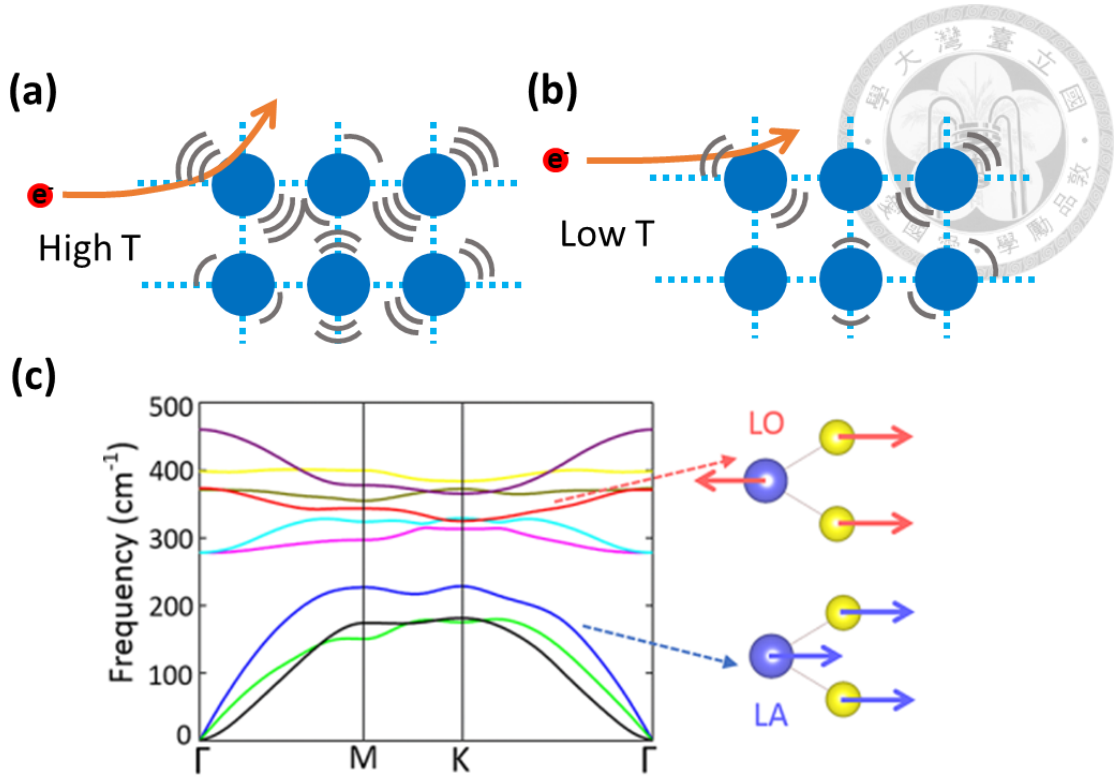


圖 4.3 晶格震盪對載子散射(a)在高溫及(b)低溫的示意圖。(c)以二硫化鉬為例，聲學(LA)及光學(LO)震盪模式示意圖及震盪頻率(能量)對動量關係 [76]。

$$\text{二維: } \mu_{ac,phonon} \propto \tau_{ac,phonon} \propto T^{-1} \quad (\text{式 4.5})$$

$$\text{三維: } \mu_{ac,phonon} \propto \tau_{ac,phonon} \propto T^{-1.5} \quad (\text{式 4.6})$$

而光學震動模式則出現當鄰近原子位移方向相反，產生偶極電場和載子交互作用，碰撞機率和聲子數量 $N_{\vec{Q}}$ 成正比，不過此震動模式所需能量較高，考慮 $\hbar\omega_{\vec{Q}} \gg k_B T$ ，遷移率隨溫度呈指數下降 [74]:

$$\mu_{op,phonon} \propto \tau_{op,phonon} \propto 1/N_{\vec{Q}} \sim e^{\hbar\omega_{\vec{Q}}/k_B T} \quad (\text{式 4.7})$$

此外，對於二維材料而言，除了本身晶格的聲子以外，相鄰介電材料的震動也會造成載子的散射，例如: [75]透過第一原理計算二硫化鉬遷移率在室溫下，主要受到介電材料的表面光學聲子散射主導。

接著討論帶電缺陷對載子的散射效應。假設為彈性碰撞，碰撞前後能量守恆，僅有動量變化，和溫度相關的主要有兩種因素:

(後續討論中，定義費米溫度($T_F = E_{F,0K}/k_B$)為絕對零度下的費米能階除以波茲曼常數，考慮費米-狄拉克分布 $f(E, T) = \left[1 + \exp\left(\frac{E - E_F}{k_B T}\right)\right]^{-1}$ ，在高溫下($T > T_F$)，統計函



數分佈於導帶以上的能量可以波茲曼分布近似，而在低溫下($T < T_F$)，則近似於階梯函數，如圖 4.4(e)。

(1) 屏蔽效應:

對於多電子系統，原本的帶電缺陷的位能 $V(q)$ (傅立葉轉換到動量空間)，會因為來自電子雲的感應電荷產生新的屏蔽位能，屏蔽程度會和感應電荷數量有關，會以可極化的程度(Π)表示 [74]:

$$V(q) = \frac{e^2}{\epsilon_0 \epsilon_s q^2} \rightarrow V_{screen}(q) = \frac{V(q)}{\epsilon_{electron}(q)}$$

$$\epsilon_{electron}(q) = 1 + V(q)\Pi(q) = 1 + \frac{q_{TF}^2}{q^2}$$

q_{TF} 為 Thomas-Fermi 模型中，位能隨距離指數衰減的特徵長度(圖 4.4(c))。其中可極化程度(感應電荷的數量)和溫度相關，如圖 4.4(d)數值計算的結果所示，相同載子密度下可極化程度隨溫度降低而單調遞增，原因如下:藉由將缺陷產生的局部位能變化視為局部費米能階變化(ΔE_F)，若載子數量隨之增減的程度越大則可極化程度越大(如圖 4.4(e)灰色斜線面積大小對應載子數量)，考慮二維系統且相同載子密

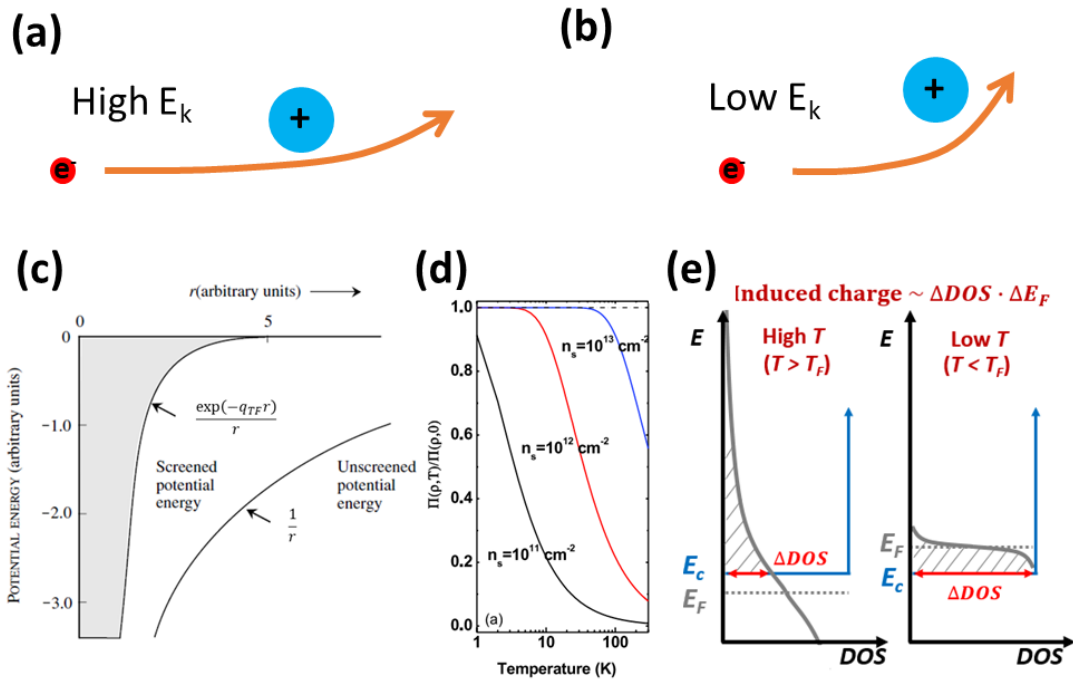


圖 4.4 帶電缺陷對載子散射(a)在動能高及(b)動能低的散射角度示意圖。(c)庫倫位能受到電子雲感應電荷屏蔽前後的位能對距離關係 [68]。(d)不同密度電子雲極化程度對溫度關係 [75]。(e)相同載子密度下，二維載子於高溫及低溫的能量分布示意圖。

度的情況(實驗上可透過閘極偏壓調變固定載子密度)，比較高溫($T > T_F$)和低溫($T < T_F$)的載子能量分布，可以觀察到在低溫下會有較多的感應電荷($\sim \Delta \text{DOS} \cdot \Delta E_F$)，此外，載子密度高的極化程度隨溫度下降越早達到飽和，則是因為其對應的費米溫度較高。因此在低溫下($T < T_F$)，帶電位能對載子的散射程度會變低，對於相同動能的電子，平均自由時間(遷移率)會增加或是飽和到一定數值。

(2)載子的動能以及能量分布：

庫倫位能對於載子的散射角度和動能相關，當入射動能越大，散射角度會越小，等效的散射機率就會越小(圖 4.4(a-b))；此外，載子受到散射後，在考慮彈性碰撞下，動量 K 會轉變為同能量的動量狀態 K' ，所以碰撞發生機率也和狀態密度成正比，因此碰撞機率和能量的關係如下[63]:

$$\frac{1}{\tau_{\text{imp}}(E(\vec{K}))} \propto \frac{\text{DOS}(E(\vec{K}))}{E^2} \quad (\text{式 4.8})$$

不過，在多電子系統中，電子動能在能量上遵守費米狄拉克分布，並非單一能量，因此，對於與能量相關的自由時間($\tau(E)$)，需要透過波茲曼傳輸模型計算對不同能量平均以得出整個載子系統的平均自由時間($\langle \tau \rangle$) [77]:

$$\langle \tau \rangle = \frac{\int \text{DOS}(E) \cdot E \cdot \tau(E) \cdot \left[-\frac{\partial f(E,T)}{\partial E} \right] dE}{\int \text{DOS}(E) \cdot f(E,T) dE} \quad (\text{式 4.9})$$

圖 4.5(a)為考慮二維系統於不同載子密度下且假設 $\tau(E) \propto E^2$ (二維電子系統且忽略屏蔽效應)之遷移率對溫度關係的數值計算結果，並以星號標記各載子濃度對應

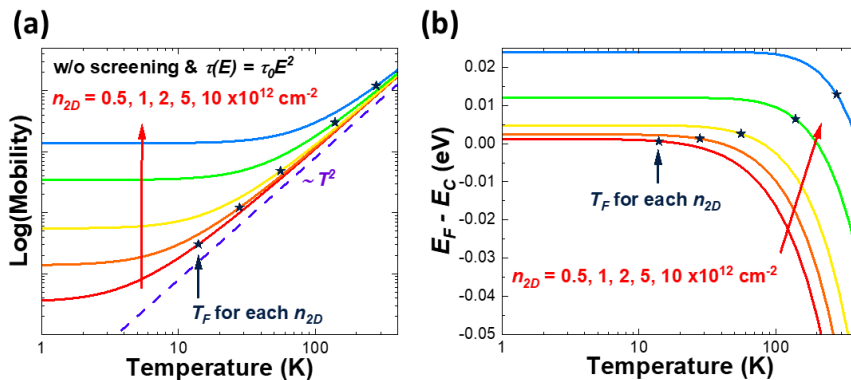


圖 4.5 (a)根據波茲曼傳輸方程式，假設 $\tau = \tau_0 E^2$ 且忽略屏蔽效應後，不同載子密度下遷移率對溫度的關係，以及(b)費米能階對溫度的關係。

的費米溫度，可以看到不同載子濃度在溫度比費米溫度低時，遷移率和溫度相關性較低，主要是因為在低溫時，載子的能量分布較接近階梯函數，移動載子平均動能約等於費米能量。如圖 4.5(b)所示，低溫時費米能階隨溫度變化極小；而溫度較大時($T > T_F$)，能量分布會近似於波茲曼分布，載子平均動能($E(\vec{K})$)與溫度幕次成正比，也符合圖 4.5(a)的數值結果(各曲線在星號以右的高溫部分，遷移率符合與溫度的幕次關係，以左則偏離並漸漸趨緩):

$$\text{二維: } \mu_{imp} \propto \tau_{imp} \propto E^2 \propto T^2 \quad (\text{式 4.10})$$

$$\text{三維: } \mu_{imp} \propto \tau_{imp} \propto E^{\frac{3}{2}} \propto T^{\frac{3}{2}} \quad (\text{式 4.11})$$

綜合以上兩種和溫度相關的因素，可推論假設帶電缺陷散射主宰遷移率，在溫度小於費米溫度時，因為平均動能與溫度相關性變小，且屏蔽效果只會增加或趨緩，因此，隨溫度下降受缺陷限制的遷移率會開始向上偏離與溫度之幕次關係，甚至可能出現上升的情況。其中，波茲曼傳輸模型中的 E_F 和載子密度在絕對零度時關係如下:

$$\text{三維: } N(E) = \int_0^{E_F} \frac{\sqrt{2}m^{3/2}}{\pi^2\hbar^3} \sqrt{E} dE = \frac{2\sqrt{2}m^{3/2}}{3\pi^2\hbar^3} E_F^{3/2} \quad (\text{式 4.12})$$

$$\text{二維: } N(E) = \frac{m^*}{\pi\hbar^2} E_F \quad (\text{式 4.13})$$

其他文獻中同時考慮屏蔽以及能量分布後的數值模擬結果，也呈現在低溫下，會趨緩甚至上升的結果，例如:圖 4.6 (a)及(b)考慮二硫化鉬在不同介電值環境以及不同載子密度的情況下，受帶電缺陷散射所限制的遷移率對溫度的關係，在載子密度高(10^{13}cm^{-2})時，有較佳的屏蔽效果，從室溫到低溫遷移率呈現單調遞增，在為載子密度較低的情況，從室溫開始雖然遷移率一開始會因為平均動能下降而下降，不過在低溫因為屏蔽效應及平均動能趨於定值甚至轉為上升。在 n-GaAs 二維電子系統的數值結果也有類似現象，遷移率在低溫時與溫度相關性降低(圖 4.6(c)藍色虛線)。類似的遷移率對溫度曲線也曾出現在過去文獻以及我們後續的實驗結果當中，例如: 圖 4.7(a)比較不同晶面矽電晶體的變溫傳輸表現，當中(110)晶面較其他晶面有較多界面缺陷，其電晶體的遷移率對溫度的關係就呈現與上述的趨勢，隨溫度降低先下降後趨緩甚至上升，以及其他二硫化鉬可能製程污染較多的量

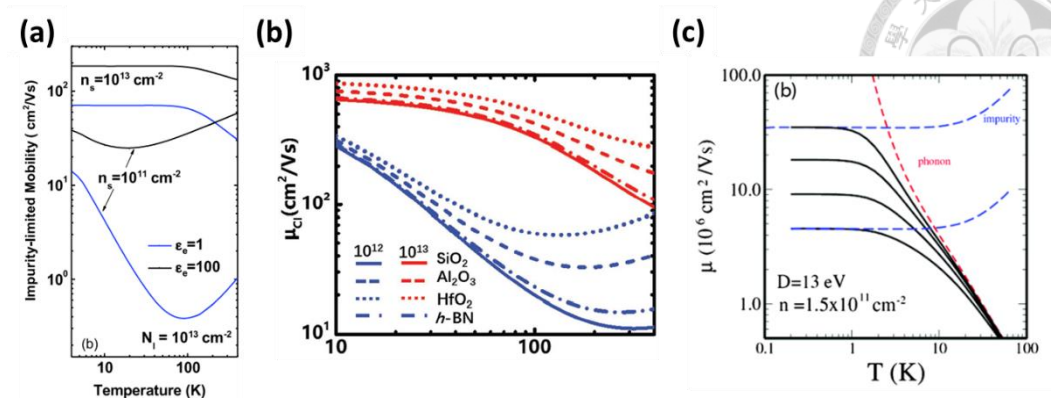


圖 4.6 考慮屏蔽效應下，受帶電缺陷散射限制的遷移率對溫度關係圖(a) 二硫化鉬考慮相鄰材料介電值為 ϵ_e ， n_s 為載子密度 [69]，(b)二硫化鉬於不同介電值基板，藍與紅線分別為載子密度 10^{12} 和 10^{13} cm^{-2} [69]，(c)n-GaAs 二維電子氣系統，下方藍線缺陷密度較高 [78]。

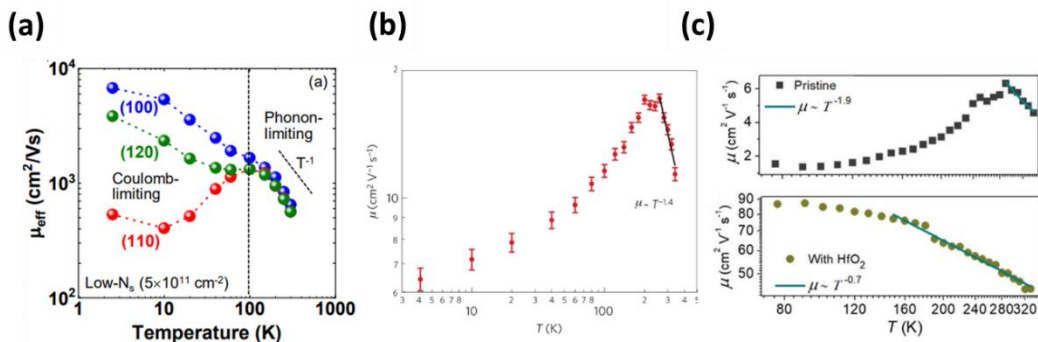


圖 4.7 不同二維系統在缺陷密度較高時，遷移率對溫度的關係，(a)不同晶面的矽電晶體，其中(110)有較高的缺陷密度 [79]，(b)二氧化矽基板上之後電極製程二硫化鉬 [72]，(c)上圖為二氧化矽基板上之後電極製程二硫化鉬，下圖為同一個樣品覆蓋 HfO_2 [73]。

測結果也有呈現遷移率趨緩的趨勢(圖 4.7(b)和(c))。

最後，若同時考慮缺陷以及聲子散射，透過將不同機制單位時間內的碰撞機率相加，可以得到整體的平均自由時間(等效遷移率)如下 [45]:

$$\frac{1}{\mu} = \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{impurity}}} + \dots \quad (\text{式 } 4.14)$$

可以得到等效遷移率會由遷移率最小的散射機制主導。對於元件製程品質較佳的二維材料在高溫時，遷移率由聲子散射限制且隨溫度降低而上升，在低溫下則由缺陷散射主導，遷移率無法繼續上升而趨於平緩(圖 4.2)。



4.1.3 跳躍傳輸

前一小節，我們考慮帶電缺陷散射的模型，推論遷移率即使隨降溫而下降，在低溫也會趨於平緩甚至上升，過去文獻[80-81]報導在低溫下材料的遷移率或電導隨溫度降低大幅下降(在後續的實驗也有觀察到類似現象)，此時須考慮另一種傳輸機制-跳躍傳輸。跳躍傳輸發生在材料的缺陷較多時，形成較無序(disordered)的系統；在通道中，缺陷電荷會使得能帶有上下的起伏，甚至形成一些能量井或低窪，進而形成一些局域的狀態(圖 4.8(a))，載子會先填入這些較能量低的狀態，如果載子數量不足以填滿所有低窪進入導帶，材料中會呈現一個一個獨立區域，載子需要透過在這些區域以跳躍的方式傳輸，因此，材料的導電度受到溫度很大的影響。

跳躍傳輸主要分成三種情況(圖 4.8(b)) [68]，在溫度較高時，熱激發跳躍(Thermal activation)以及相鄰跳躍傳輸(Nearest Neighbor Hopping)是最主要的傳輸途徑，前者考慮熱能使缺陷中的載子藉由熱能激發到導帶傳輸，因此導電率(σ)可以用激發能量模型描述：

$$\sigma(T) = \sigma_0 \cdot \exp\left[-\frac{E_c - E_F}{k_B T}\right] \quad (\text{式 4.15})$$

後者則考慮缺陷中局域電子的波函數有一部份會延伸到相鄰的能量井，因此，載子有一定的機率以穿隧的方式前進到相鄰的缺陷態，其中假設相鄰缺陷之間距離固定為 R ，且能量差為 $\Delta E > 0$ (如圖 4.8(a))，而溫度主要會影響參與穿隧的聲子數量，因此，穿隧機率和 $\exp[-\Delta E/k_B T]$ 成正比，且穿隧電流的大小也和附近缺陷載子數量成正比，因此，電導率可以由下式表示 [82]：

$$\sigma_h(T) = \sigma_{h0}^* \cdot \text{DOS}(E_F) \cdot \exp\left[-\frac{2R}{\xi_{loc}}\right] \exp\left[-\frac{\Delta E}{k_B T}\right] \quad (\text{式 4.16})$$

$\text{DOS}(E_F)$ 為費米能階附近的缺陷狀態密度， ξ_{loc} 表示局域電子波函數在位能井外隨距離衰減的特徵長度 ($\psi \rightarrow f(r) \cdot e^{-r/\xi_{loc}}$ ，圖 4.8(a))，當位能井的能量障礙高度越高，此特徵長度就會越短，此外， ΔE 可以用 $\text{DOS}(E_F)$ 的物理意義推得，在跳躍範圍 R 的半徑空間內存在數量級為 1 的缺陷數：

$$\text{二維: } \text{DOS}_{2D}(E_F) \cdot \Delta E \cdot \pi R^2 \sim 1 \quad (\text{式 4.17})$$

$$\text{三維: } \text{DOS}_{3D}(E_F) \cdot \Delta E \cdot \frac{4}{3} \pi R^3 \sim 1 \quad (\text{式 4.18})$$

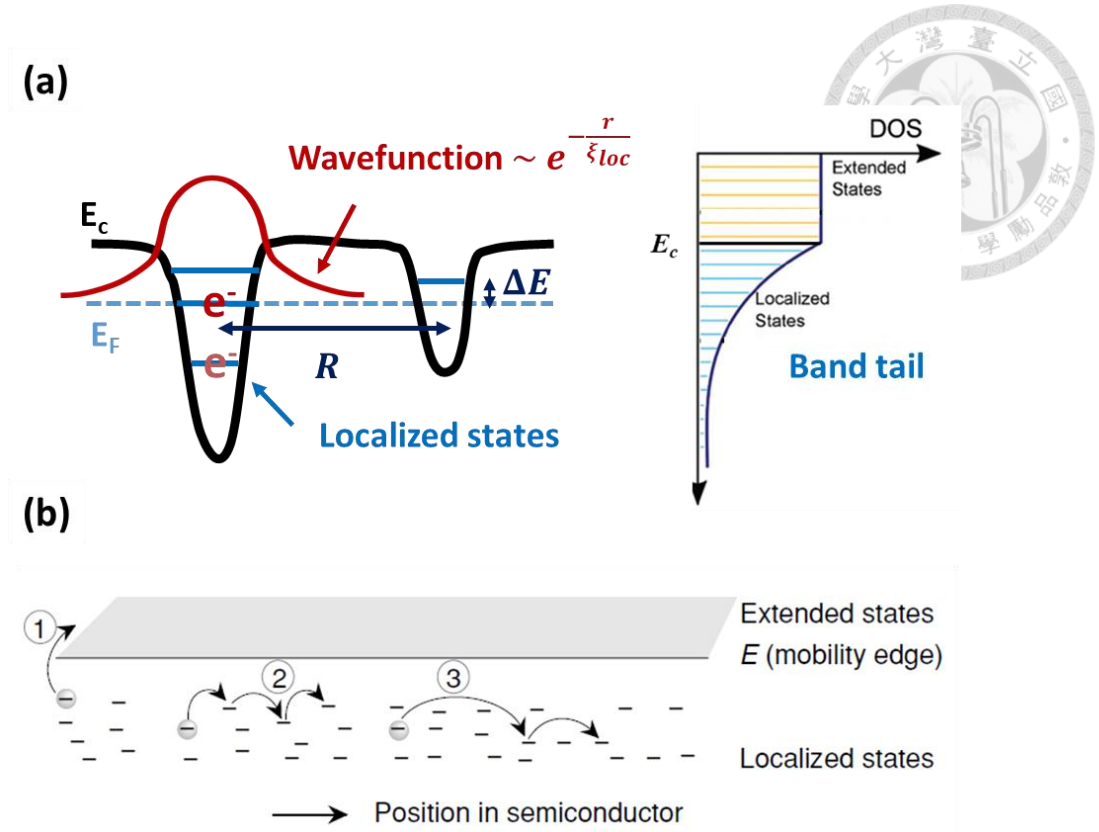


圖 4.8 (a)帶電缺陷對能帶造成起伏，產生電子的局域狀態，右圖為二維狀態密度在能量上分布情況 [69]。(b)為三種跳躍傳輸機制的示意圖，依序為①熱激發、②相鄰跳躍及③變程跳躍 [68]。

不過當溫度進一步下降時，相鄰缺陷態有很大的機率呈現填滿的狀態，因此，不可忽略跳躍至次鄰局域態的占比，將式 4.16 中的相鄰缺陷能量差 ΔE 以式 4.17、4.18 帶入，可以得到電導最大值出現在跳躍距離為 R_M 的時候：

$$\frac{d}{dR} \left[\frac{2R}{\xi_{loc}} + \frac{\Delta E(R)}{k_B T} \right] = 0, \text{ at } R = R_M \quad (\text{式 4.19})$$

$$\text{二維: } R_M = \left[\frac{\xi_{loc}}{\pi \text{DOS}_{2D}(E) k_B T} \right]^{1/3} \quad (\text{式 4.20})$$

$$\text{三維: } R_M = \left[\frac{9\xi_{loc}}{8\pi \text{DOS}_{3D}(E) k_B T} \right]^{1/4} \quad (\text{式 4.21})$$

最終呈現載子跳躍的距離隨溫度變化的關係，稱為 Mott 變程跳躍(Mott Variable Range Hopping)，將 R_M 帶回可以得到電導率隨溫度的關係為：

$$\sigma_h(T) = \sigma_0 \exp \left[- \left(\frac{T_M}{T} \right)^{\frac{1}{d+1}} \right] \quad (\text{式 4.22})$$

$$T_M \propto \frac{1}{\xi_{loc}^d k_B \text{DOS}(E_F)} \quad (\text{式 4.23})$$

其中 d 是維度。上述的推導是假設費米能階附近之缺陷態密度接近常數，不過考

慮缺陷態中的局域電子間有較強庫倫交互作用時，在費米能階附近的缺陷狀態密度會因此變少，在能量分布上以費米能階為中心產生庫倫間隙(Coulomb Gap)，最終電導會與溫度的 1/2 次方相關且與維度無關，稱為 Efros-Shklovskii (ES)變程跳躍 [83]:

$$\sigma_h(T) = \sigma_0 \exp\left[-\left(\frac{T_{ES}}{T}\right)^2\right] \quad (\text{式 } 4.24)$$

$$T_{ES} = \frac{2.8e^2}{4\pi\epsilon_r\epsilon_0 k_B \xi_{loc}} \quad (\text{式 } 4.25)$$

4.2 變溫量測及結果分析

為進行變溫量測，我們將樣品固定在小載台(carrier)上，並使用打線機利用金線將樣品的外電極和小載台上的電極連接(圖 4.9)。大部分的情況 25-nm 二氧化矽足夠抵擋打線的力道，不會導致打線區域與背閘極被打穿而產生漏電流路徑。接著，將樣品置於低溫量測系統，最低溫可以達到 4 K 左右，並利用 B1500A 半導體參數分析儀進行直流電性量測，其中量測系統的線路較探針量測系統的線路長，背景雜訊較大，因此，後續的量測數據電流最小值僅為 100 pA~1 nA 左右。

4.2.1 後電極製程二硫化鉬之電性結果

圖 4.10(a)為二硫化鉬室溫到 4 K 的直流 I_D - V_G 曲線，可觀察到閾值電壓隨溫度降低而上升(圖 4.10 (b))，這是因為在溫度較低時，載子的能量分布(費米分布)會越來越接近階梯函數，若要產生相同數量的載子，費米能階需要越接近導帶邊緣，甚至進入導帶中，因此閾值電壓增加。利用 g_m 萃取電晶體等效遷移率和溫度的關

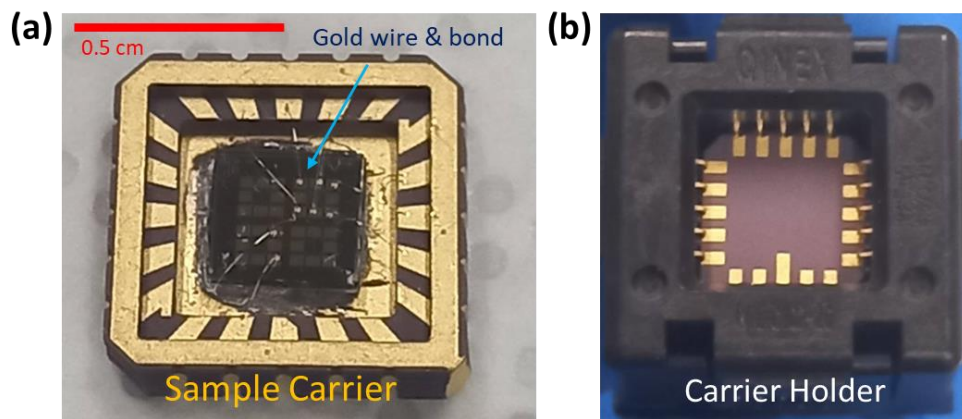


圖 4.9 (a)樣品小載台、樣品及金線實際樣貌圖，(b)小載台之載具。

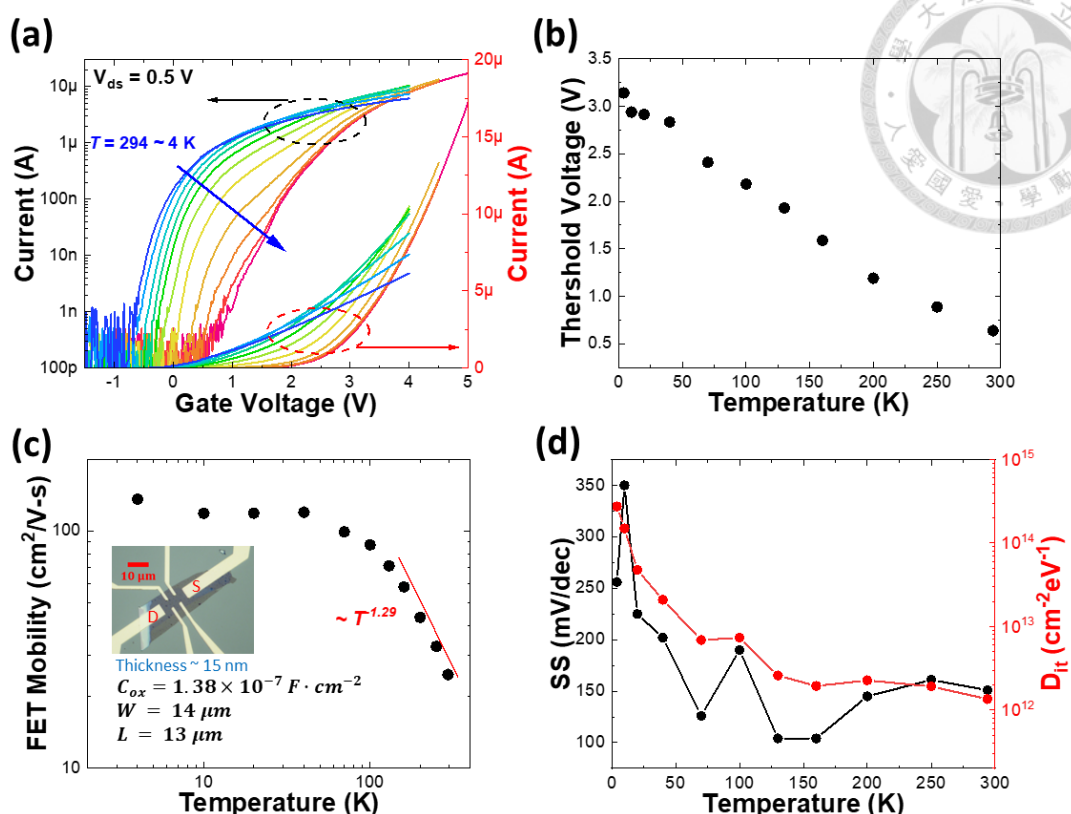


圖 4.10 (a)二硫化鉬電晶體變溫 I_D - V_G 曲線左(右)刻度為對數(線性)尺標，以及電晶體各參數對溫度的關係，依序為(b)閾值電壓、(c)電晶體等效遷移率以及(d)SS 和缺陷密度對溫度關係。

係(圖 4.10(c))，可以觀察到在 100 K 到 294 K 範圍，遷移率明顯地上升，和溫度的冪次關係大約是-1.29，比二維聲學聲子的冪次還陡峭，有可能是受到光學聲子限制，此數值也和其他文獻的量測結果相近。而到 100 K 以下後，遷移率受到缺陷限制，飽和值約為 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 左右，溫度相關性較低，和其他文獻中製程較好而二硫化鉬的結果符合。量測結果顯示此二硫化鉬電晶體的 SS 在低溫並沒有明顯的改善，可能的原因如 [63]所述，如果在能隙中接近導帶有呈現指數分布的缺陷狀態(圖 4.8(a))，且此帶尾能量分布的範圍大於 $k_B T$ ，SS 就不會隨溫度降低而減少。在高溫時，費米能階的變化範圍距離導帶較遠，附近缺陷密度較少有較佳的 SS，反之，在低溫時，費米能階的變化範圍在導帶附近，有較高的缺陷密度，使得 SS 較差，最後可能呈現溫度下降但是 SS 維持甚至上升的現象，和理想情況與溫度正比的關係不同；我們也額外利用 SS 換算對應的缺陷密度與溫度作圖(圖 4.10(d))，可以看到次臨界區缺陷密度在低溫時上升的關係，可以對應上述帶尾缺陷的分布情

況。



4.2.2 後電極製程二硫化錫之電性結果

後電極製程二硫化錫電晶體的室溫到 4 K 的 I_D - V_G 曲線如圖 4.11(a)所示， V_T 隨溫度下降而增加(圖 4.11(b))，不過電流大幅下降，遷移率亦隨溫度降低而下降(圖 4.10(c))，與文獻的結果相同(圖 4.1)，和相同製程步驟下的二硫化鉬結果相比，二硫化鉬的遷移率在低溫沒有明顯下降，顯示二硫化錫有較多的缺陷，可能受到製程汙染影響較大；接著，針對遷移率下降的可能原因討論，此處考慮二硫化錫的載子密度大約落在 10^{12} cm^{-2} 左右($n_{2D} \sim \frac{1}{e} C_{ox}(V_G - V_T)$)，其對應費米能階約為 2.3 meV ($T_F = E_F/k_B \sim 26\text{K}$)，若假設遷移率由帶電缺陷散射主導，雖然遷移率從室溫開始會隨溫度降低而減少，不過在 26 K 以下遷移率應該趨於飽和或甚至是上升，但實際量測到的遷移率依溫度的幕次關係持續下降。

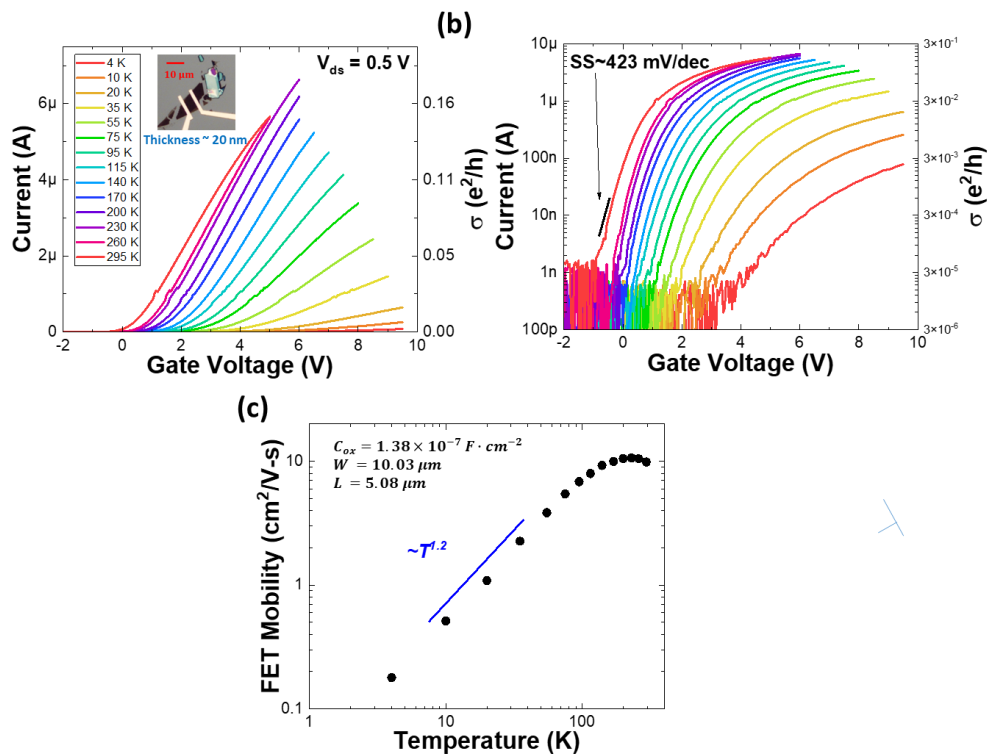


圖 4.11 後電極製程二硫化錫電晶體變溫 I_D - V_G 曲線(a)線性尺標及(b)對數尺標，和(c)電晶體等效遷移率對溫度關係。

因此，我們進一步考慮缺陷較多，系統較接近無序時，載子傳輸由跳躍傳輸主導的可能性。首先，考慮 Ioffe-Regel 限制 [72] 利用平均自由徑(l)和費米波數(k_F)比較，若 $k_F l < 1$ 表示平均自由徑比電子波函數波長短，載子較接近局域的狀態。考慮二維系統 $k_F = \sqrt{2\pi n_{2D}}$ ，根據 Drude 模型：

$$\sigma = ne^2 l / \hbar k_F \Rightarrow k_F l = \sigma / (e^2 / h) \quad (\text{式 4.26})$$

以此樣品來說所有量測範圍下 $k_F l$ 皆小於 1，在 4 K 時甚至相差二個數量級 (圖 4.11(a-b) 右刻度)，可以推測載子可能較接近局域的狀態；所以我們嘗試使用跳躍傳輸的模型來擬合電導與溫度的關係，將不同閘極偏壓下的電導分別對溫度的幕次作圖 (圖 4.12 (a-b))，可以發現對 T^{-1} 作圖時，僅有溫度在 100 K 以上比較符合熱激發或是相鄰跳躍模型的趨勢，而低溫的部分則有比線性趨勢較高的電導率，可能是由其他跳躍機制所貢獻，從擬合的斜率可以萃取出跳躍模型中的激發能量 E_a (圖

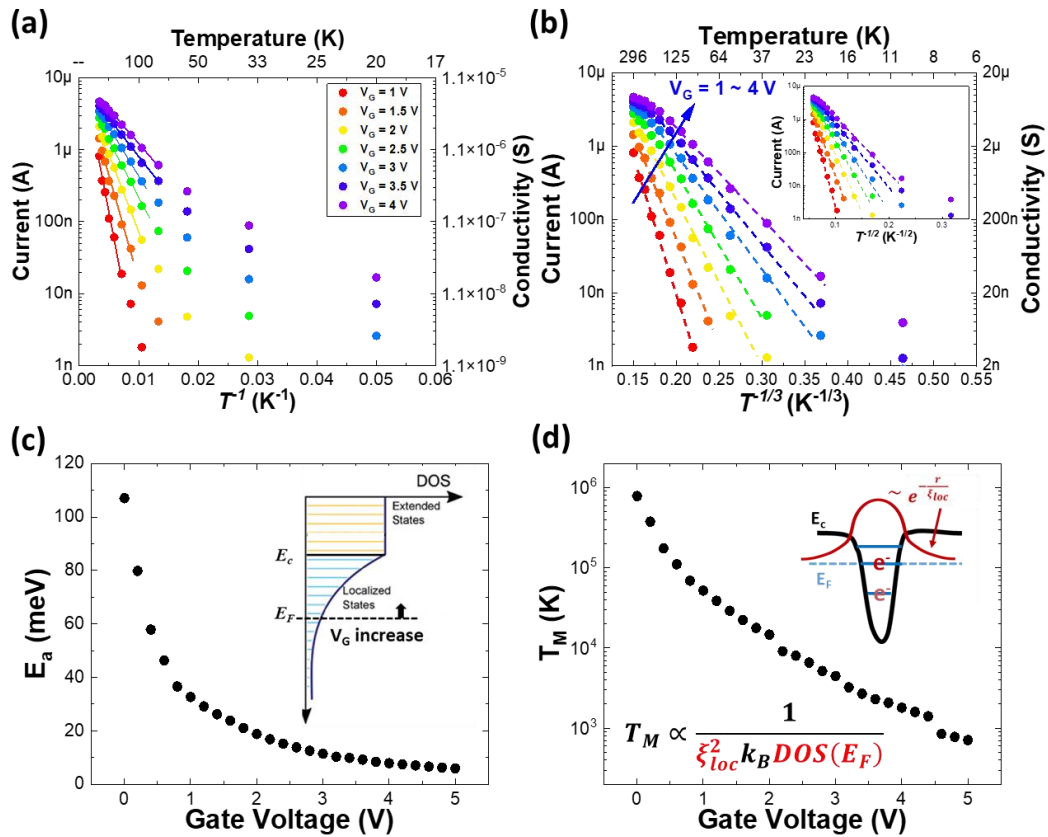


圖 4.12 後電極製程二硫化錫電晶體個閘極偏壓下，電流(電導率)對溫度作圖，(a) T^{-1} 對應熱激發或相鄰跳躍傳輸及(b) $T^{-1/3}$ 和 $T^{-1/2}$ (縮圖)對應 Mott 和 ES 變程跳躍傳輸。(c-d)分別利用斜率萃取兩種跳躍傳輸的參數。

4.12 (c))，在兩種模型中，分別代表為缺陷載子跳躍至導帶的障礙高度($E_C - E_F$)和透過聲子輔助穿隧至相鄰缺陷的局域態能量差($\Delta E \propto DOS(E_F)$)，式 4.17)，從萃取出來的 E_a 能量範圍(5 ~ 120 meV)並無法判斷何種模型比較符合量測結果，兩者都能解釋 E_a 隨閘極偏壓增加而下降的關係。當閘極偏壓上升時， E_F 越來越接近 E_C ，對於熱激發模型而言，費米能階附近之缺陷電子所需跳躍的障礙因此降低。對於相鄰傳輸模型，可能因為靠近 E_C 的缺陷狀態密度較高(圖 4.12 (c)縮圖)，使得相鄰缺陷狀態能量差減少，兩種機制皆可解釋量測數據，在此範圍無法區分何者主導，也可能同時存在。在溫度降到 100 K 以下的範圍，觀察 $T^{-1/3}$ 以及 $T^{-1/2}$ 的作圖結果(圖 4.12(b)以及縮圖)，電導與 $T^{-1/3}$ 關係較線性吻合，不過兩者差別不大，很難完全排除 E-S 變程跳躍傳輸的貢獻。不過在高溫區域($T > 100\text{K}$)電導對溫度無法完全和變程跳躍模型擬合，有可能在高溫下的傳輸機制由熱激發機制主導 [84]。此外，從斜率可以萃取出變程跳躍模型中的 T_M ，根據式 4.23， T_M 會和電子波函數局域範圍(ξ_{loc})以及費米能階附近的缺陷密度($DOS(E_F)$)呈負相關，當閘極偏壓增加時， E_F 會接近 E_C ，對於 ξ_{loc} 而言，可能因為能量障礙變低而變長，而對於 $DOS(E_F)$ 也同樣會增加，因此 T_M 隨閘極偏壓而下降，其數量級也接近其他文獻的結果 [81]。藉由跳躍模型，推測後電極製作之二硫化錫元件較可能具有較多的缺陷態使電子系統較為無序，在室溫到約 100 K 的範圍由熱激發跳躍的傳輸方式主導，在溫度繼續降低後，沒有足夠的熱動能使缺陷電子跳至導帶，因此電子傳輸方式開始由聲子輔助的缺陷間穿隧主導(變程跳躍)，電導率隨溫度降低而持續下降，導致量測到的電晶體等效遷移率在低溫大幅下降，和過去二硫化錫電晶體的變溫結果一致[16,25]。



4.2.3 預電極製程二硫化錫之電性結果

由第三章的結果得知，除了製程影響以外，大氣中的水氣或氧氣也可能對二硫化錫有很大的影響，因此，我們將樣品曝露於大氣中的時間盡量減少。圖 4.13(a) 與(b)為曝露於大氣中大約兩小時的預電極製程二硫化錫電晶體(樣品 Pre-1)之 I_D - V_G 曲線，在室溫時，和第三章的結果相似，施加 V_G 至 -10 V 仍無法關閉二硫化錫電晶體，而在低溫時，由於閾值電壓增加(I_D - V_G 曲線右移)，在電壓源提供之可範圍內即可關閉電晶體。利用電晶體之電流電壓曲線斜率可萃取遷移率(圖 4.13(c))，溫度從室溫降至 200 K，等效遷移率明顯上升，最大值約為 $20 \text{ cm}^2/\text{V}\cdot\text{s}$ 。電子遷移率在此溫度範圍可能主要受到聲子碰撞限制，且對溫度冪次為 -1.69，較聲學聲子的冪次關係更陡峭，可能主要是受到光學聲子限制，在 200 K 左右達到極大值後，遷移率開始隨溫度降低而下降，之後逐漸飽和在一定值。和後電極製程二硫化錫電晶體相比，在室溫下電子傳輸主要是受到聲子限制，表示預電極二硫化錫在室溫受缺陷

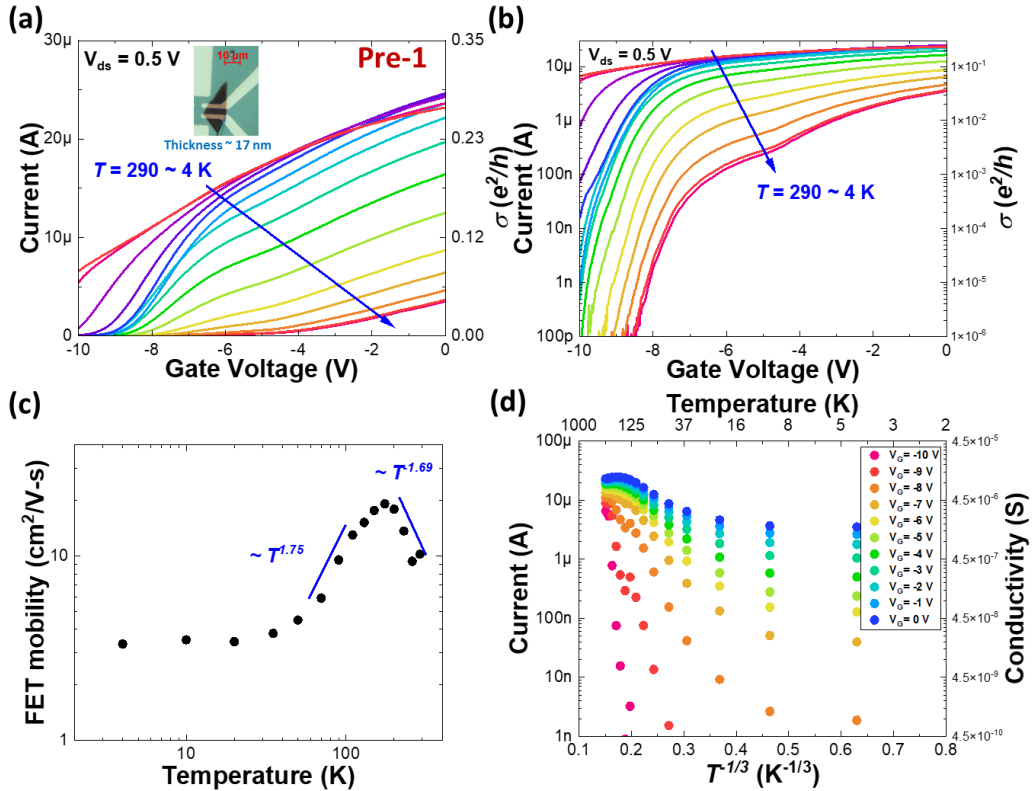


圖 4.13 預電極製程二硫化錫電晶體 I_D - V_G 曲線(a)線性尺標和(b)對數尺標，(c)為等效遷移率對溫度關係，(d)為各偏壓下電流(電導率)對溫度作圖。

影響較小，而在低溫下遷移率仍然受到缺陷影響有大幅下降。在低溫下，首先，藉由電導率和 e^2/h 的比值，雖然可以觀察到 $k_F l$ 同樣小於 1，不過僅差距一個數量級(圖 4.13(b)右刻度)，可能是受到串聯電阻的限制，和後電極二硫化錫相比，電子可能較適合以自由電子模型描述，此外，我們同樣也藉由電導對 $T^{-1/3}$ 作圖來確認跳躍傳輸主導的可能性(圖 4.13(d))，可以發現數據點在圖中的趨勢不符合直線，無法以跳躍傳輸的模型描述；而對於缺陷散射限制的自由電子模型，若以 10^{12} cm^{-2} 的電子密度估算，低溫下費米位能對應的溫度約為 26 K，因此，在 26 K 以下遷移率會開始偏離對溫度的冪次關係而開始持平甚至是上升，量測結果在溫度小於 30 K 左右遷移率就不再下降，大於 30 K 時，則以 $T^{1.75}$ 的關係上升，僅略小於二維缺陷散射模型的 T^2 ，綜合以上，我們認為預電極二硫化錫的傳輸機制較適合以受聲子和缺陷散射限制的自由電子模型來描述。

後電極以及預電極製程兩種量測結果相比，前者的傳輸機制由跳躍傳輸的缺陷電子主導，較接近無序電子系統，而後者則由受缺陷散射限制的自由電子主導，也有較高的遷移率，符合我們藉由預電極製程來減少污染的預期，不過結果也顯示此預電極製程二硫化錫(Pre-1)的缺陷密度還是太高，導致無法出現如同二硫化鉬的遷移率對降溫單調遞增的預期情形。

針對預電極二硫化錫我們也製作出四點量測的樣品(圖 4.14(c)縮圖，Pre-2)，和兩點量測相比，四點量測利用兩組電極分別作為電流輸入以及跨壓量測，可以消除掉串聯電阻的貢獻，因此量測到的電性會更加接近材料本身。其中，我們使用兩台鎖相交流放大器(SR830)及一台直流電源供應器(IT6433)分別作為汲極源極交流電壓和電流量測、順向跨壓(V_{xx})量測以及提供直流閘極偏壓，串聯 10 M 歐姆的大電阻以 1.5 V 輸出，以提供頻率為 13.131 Hz 之 150 nA 的交流電流(圖 4.14(c)縮圖)。同時，使用 B1500A 半導體參數分析儀對同一個樣品作直流兩點量測做為參考。

圖 4.14(a)分別為兩點量測的 I_D-V_G 圖和(c)四點量測的 $\sigma-V_G$ 圖，由右刻度可以觀察到雖然在兩點量測的電導率與 e^2/h 比值小於 1，但在四點量測的情況下，比值就到 1 的數量級(圖 4.14(c))，顯示此二硫化錫樣品在低溫時接近金屬態，此外，由等效遷移率對溫度作圖(圖 4.14(d))，可以觀察到四點量測和兩點量測之遷移率

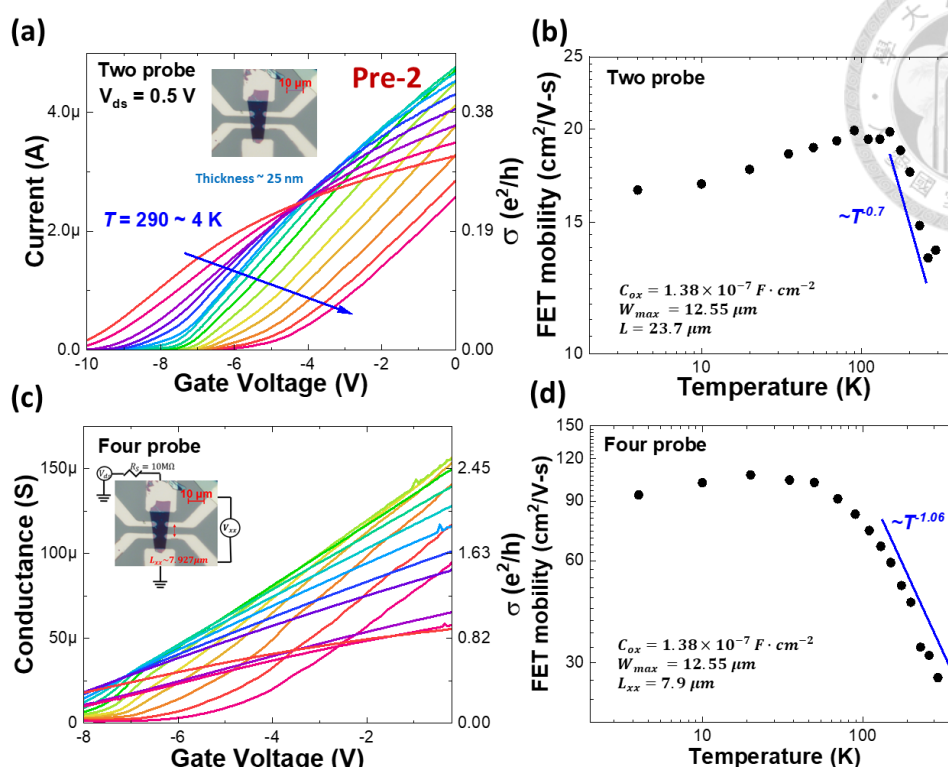


圖 4.14 預電極製程二硫化錫電晶體(a)兩點量測 I_D - V_G 曲線和(b)兩點量測等效遷移率，以及(c)四點量測電導 V_G 圖和(d)四點等效遷移率對溫度關係。

對溫度的趨勢是一致的，在 100 K 到室溫的範圍主要受到聲子散射限制，和溫度的冪次關係分別為-0.7 以及-1，接近二維聲學聲子散射下遷移率對溫度的冪次關係，而到低溫時，遷移率沒有明顯的下降而是飽和在一定數值，表示此樣品缺陷密度較低，缺陷散射限制的遷移率上限較高。雖然此樣品(Pre-2)和前述雙極預電極樣品(Pre-1)的主要差別只有在本身厚度，分別約為 25 nm 和 17 nm，其他製程過程是在同一次流程完成的，大氣曝露時間、量測環境都相同，受缺陷影響的差異可能是和厚度有關，不過也有可能單純是在機械剝離法及轉移過程中，不同的膠對樣品的隨機汙染，在只有一組對照組的情況無法下定論。不過此樣品(Pre-2)四點量測的遷移率高達 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ ，遷移率隨降溫也幾乎呈現單調遞增，表示若能有效控制外界環境汙染的話，是有機會進一步提高二硫化錫的低溫遷移率，以量測到如量子震盪等特殊物理現象。



4.2.4 其他環境條件預電極二硫化錫樣品之電性結果

考慮環境變化的影響，如水氧會吸附於二硫化錫對電性有所影響，在此也利用變溫量測再次驗證，圖 4.15(a)和(b)為保存在大氣中約一周以及接續儲存於氮氣環境約兩周的預電極二硫化錫電晶體不同溫度下之 I_D - V_G 曲線，兩組量測在室溫都可以在 $0 \sim -10$ V 的閘極電壓範圍中關閉，但儲存於氮氣環境過後，閾值電壓明顯變小，符合第三章的結果。而遷移率在所有溫度範圍都有明顯的提升(圖 4.15(c))，考慮量測時都是在高真空度的環境進行，但過去環境對元件的影響仍然維持，表示吸附於二硫化錫的分子僅透過真空的方式也無法有效去除。而兩組量測中，對溫度的趨勢和樣品 Pre-1 是相似，推測電子傳輸同樣是受到聲子以及缺陷散射所主導。

最後，在材料轉移的階段，利用絕緣的二維材料-六方氮化硼來覆蓋表面，嘗試將環境分子影響降到最低，不過因為所有溫度範圍內，都無法在閘極偏壓 $-10 \sim 0$ V 的範圍關閉二硫化錫(圖 4.16)，因此無法利用電晶體特性做分析，未來也許

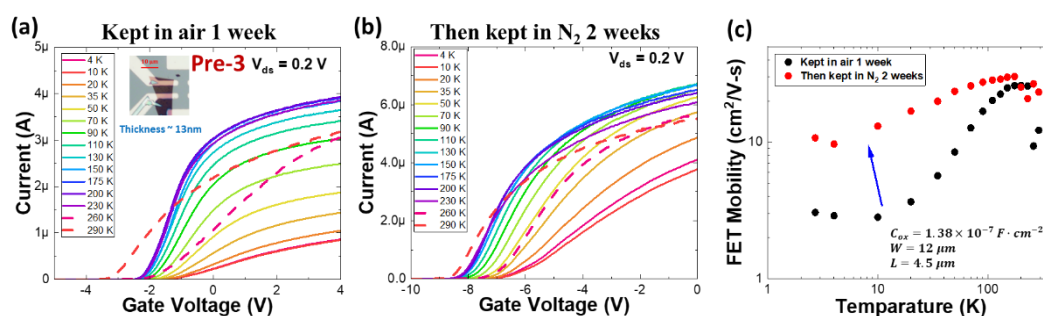


圖 4.15 預電極製程二硫化錫電晶體兩點量測 I_D - V_G 曲線(a)於大氣放置一周後，接著(b)存放於氮氣環境兩周後，(c)遷移率對溫度作圖。

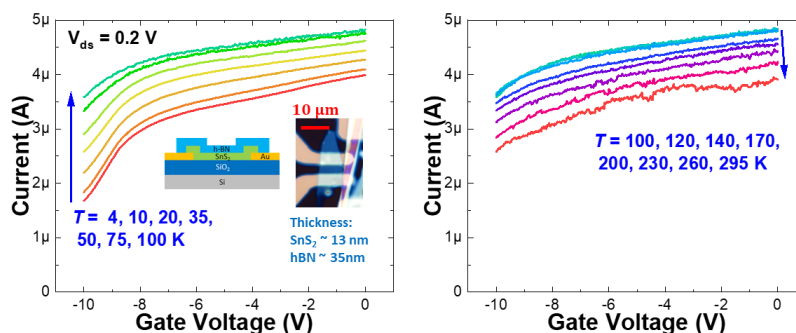


圖 4.16 六方氮化硼覆蓋之預電極製程二硫化錫電晶體變溫 I_D - V_G 圖。

可以嘗試藉由不同的閘極金屬提高閾值電壓，在氧化層可承受的範圍內，量測到幾乎不和水氧接觸的二硫化錫材料性質。



4.3 結論

此章節主要針對後電極以及預電極兩種製程二硫化錫電晶體的變溫傳輸性質來討論，在製程污染較大的後電極樣品量測結果，我們得到和過去文獻相似的趨勢，遷移率及電導率隨溫度持續下降，藉由跳躍傳輸模型擬合，我們認為後電極的傳輸由缺陷電子主導，顯示後電極製程的二硫化錫較接近無序電子系統，不過在製程污染較小的預電極樣品量測結果，遷移率對溫度在低溫呈現先下降後趨於平緩的趨勢，推測傳輸方式主要由缺陷散射限制的自由電子所主導，也具有較後電極樣品高的遷移率，表示預電極製程確實可以降低污染並改善二硫化錫的電性表現。雖然在其中一個預電極樣品中，有量測到如同其他二維材料在低溫遷移率提升的趨勢，甚至在四點量測達到 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 的遷移率，但在多數預電極樣品在低溫都受到較強的缺陷散射所限制，除了二硫化錫本身或是二維材料轉移過程的污染等因素外，根據第三章的結果推測，可能是受到環境分子吸附形成缺陷有關，未來可以嘗試使用六方氮化硼覆蓋以減少與大氣的接觸，並使用其他功函數較大的金屬作為閘極，來量測在低溫量測到更好的電性表現。



第 5 章 結論及未來工作

5.1 結論

本論文以金屬硫化物的傳輸性質作為研究標的，選擇以二硫化錫作為研究主體，並同時以二硫化鉬對照。以機械剝離法作為二維材料製備的途徑，在實驗室建立二維材料轉移系統，並利用半導體製程建立一套二維材料電晶體元件的流程，分為後電極以及預電極兩種製程流程。比較兩種製程下二硫化錫電晶體於室溫的表現，發現預電極製程能夠達到較高的遷移率以及較小次臨界擺幅，顯示製程過程對二硫化錫會有汙染；此外，當儲存於含水氧的大氣環境時，二硫化錫電晶體出現閾值電壓變負遷移率下降、次臨界擺幅上升以及遲滯加劇，相當於 P 型摻雜的效果，反之，當儲存無水氧的氮氣環境，對電晶體電性則有相反且可逆的效果，暗示水氣或氧氣附著於二硫化錫表面造成摻雜形成缺陷的可能性，綜合其他文獻的結果，我們認為大氣下的電性變化主要是受到氧氣吸附的影響所主導，不過各種氣體的詳細影響，還需要設計進一步的實驗才能確認。

最後透過變溫量測，後電極製程二硫化錫電晶體的電導率隨降溫度下降而大幅下降，考慮無序系統中載子於缺陷態間的跳躍(穿隧)傳輸的可能性，發現電導和溫度的關係符合變程跳躍模型，推論後電極製程的二硫化錫受較嚴重的缺陷影響較為無序，因此載子傳輸方式由缺陷間的穿隧所主導；預電極製程二硫化錫電晶體中，遷移率隨溫度的關係則由聲子散射以及帶電缺陷散射所限，在接近室溫的溫度範圍遷移率隨溫度下降而上升，在低溫時，遷移率隨溫度下降而下降，直到溫度低於費米溫度後，下降幅度趨緩漸漸持平。比較兩者結果，顯示預電極製程可以有效地降低二硫化錫薄膜的缺陷並提升遷移率，在可能缺陷較少的預電極樣品中，甚至在 100 K 下達到 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 的四點量測電晶體遷移率，是過去所有文獻中最高的，可以提供未來於低溫量測二硫化錫基本特性的途徑。

5.2 未來工作

未來的工作項目可分為三個部分：

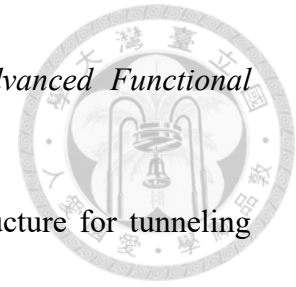
- 
1. 製作其他預電極二硫化錫霍爾棒結構，使用較大的磁場進行霍爾量測，研究二硫化錫低溫基本傳輸特性。(目前於磁場範圍 $0 \sim 0.5 \text{ T}$ 進行量測，橫向跨壓和磁場間無明顯的相關性。)
 2. 架設可以通入不同氣體並同時能進行量測的容器，來研究二硫化錫電性在不同氣體環境的變化，討論作為氣體偵測器的可能性。
 3. 將預電極製程的方式使用於穿隧電晶體元件製作中，比較是否能夠提升元件的表現。

參考文獻

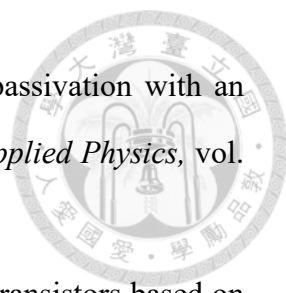


- [1] Y. Liu, X. Duan, H.-J. Shin, S. Park, Y. Huang, and X. Duan, "Promises and prospects of two-dimensional transistors," *Nature*, vol. 591, no. 7848, pp. 43-53, 2021.
- [2] Y. Liu, X. Duan, Y. Huang, and X. Duan, "Two-dimensional transistors beyond graphene and TMDCs," *Chemical Society Reviews*, vol. 47, no. 16, pp. 6388-6409, 2018.
- [3] K. S. Novoselov et al., "Electric field effect in atomically thin carbon films," *science*, vol. 306, no. 5696, pp. 666-669, 2004.
- [4] P. Ajayan, P. Kim, and K. Banerjee, "van der Waals materials," *Phys. Today*, vol. 69, no. 9, p. 38, 2016.
- [5] A. K. Geim and I. V. Grigorieva, "Van der Waals heterostructures," *Nature*, vol. 499, no. 7459, pp. 419-425, 2013.
- [6] A. Sebastian, R. Pendurthi, T. H. Choudhury, J. M. Redwing, and S. Das, "Benchmarking monolayer MoS₂ and WS₂ field-effect transistors," *Nature communications*, vol. 12, no. 1, pp. 1-12, 2021.
- [7] X. Cui et al., "Multi-terminal transport measurements of MoS₂ using a van der Waals heterostructure device platform," *Nature nanotechnology*, vol. 10, no. 6, pp. 534-540, 2015.
- [8] N. Papadopoulos, K. Watanabe, T. Taniguchi, H. S. Van Der Zant, and G. A. Steele, "Weak localization in boron nitride encapsulated bilayer MoS₂," *Physical Review B*, vol. 99, no. 11, p. 115414, 2019.
- [9] J. Lu et al., "Evidence for two-dimensional Ising superconductivity in gated MoS₂," *Science*, vol. 350, no. 6266, pp. 1353-1357, 2015.
- [10] X. Zhou, Q. Zhang, L. Gan, H. Li, and T. Zhai, "Large-size growth of ultrathin SnS₂

nanosheets and high performance for phototransistors," *Advanced Functional Materials*, vol. 26, no. 24, pp. 4405-4413, 2016.

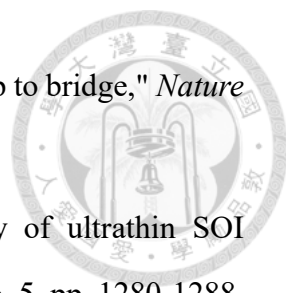


- [11] J. Wang et al., "Vertical WS₂/SnS₂ van der Waals heterostructure for tunneling transistors," *Scientific reports*, vol. 8, no. 1, pp. 1-9, 2018.
- [12] J. M. Gonzalez and I. I. Oleynik, "Layer-dependent properties of SnS₂ and SnSe₂ two-dimensional materials," *Physical Review B*, vol. 94, no. 12, p. 125443, 2016.
- [13] X. Zhou, Q. Zhang, L. Gan, H. Li, J. Xiong, and T. Zhai, "Booming development of group IV–VI semiconductors: fresh blood of 2D family," *Advanced science*, vol. 3, no. 12, p. 1600177, 2016.
- [14] C. Gong, H. Zhang, W. Wang, L. Colombo, R. M. Wallace, and K. Cho, "Band alignment of two-dimensional transition metal dichalcogenides: Application in tunnel field effect transistors," *Applied Physics Letters*, vol. 103, no. 5, p. 053513, 2013.
- [15] H. T. Yuan, M. Toh, K. Morimoto, W. Tan, F. Wei, H. Shimotani, Ch. Kloc, and Y. Iwasa, "Liquid-gated electric-double-layer transistor on layered metal dichalcogenide, SnS₂," *Applied Physics Letters*, vol. 98, no. 1, p. 012102, 2012.
- [16] D. De, J. Manongdo, S. See, V. Zhang, A. Guloy, and H. Peng, "High on/off ratio field effect transistors based on exfoliated crystalline SnS₂ nano-membranes," *Nanotechnology*, vol. 24, no. 2, p. 025202, 2012.
- [17] J.-H. Ahn et al., "Deterministic two-dimensional polymorphism growth of hexagonal n-type SnS₂ and orthorhombic p-type SnS crystals," *Nano letters*, vol. 15, no. 6, pp. 3703-3708, 2015.
- [18] Y. Huang et al., "Highly sensitive and fast phototransistor based on large size CVD-grown SnS₂ nanosheets," *Nanoscale*, vol. 7, no. 33, pp. 14093-14099, 2015.
- [19] U. Zschieschang, T. Holzmann, A. Kuhn, M. Aghamohammadi, B. V. Lotsch, and H. Klauk, "Threshold-voltage control and enhancement-mode characteristics in

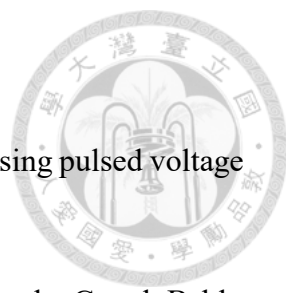
- 
- multilayer tin disulfide field-effect transistors by gate-oxide passivation with an alkylphosphonic acid self-assembled monolayer," *Journal of Applied Physics*, vol. 117, no. 10, p. 104509, 2015.
- [20] Y. Wang, L. Huang, and Z. Wei, "Photoresponsive field-effect transistors based on multilayer SnS₂ nanosheets," *Journal of Semiconductors*, vol. 38, no. 3, p. 034001, 2017.
- [21] D. Chu, S. W. Pak, and E. K. Kim, "Locally gated SnS₂/hBN thin film transistors with a broadband photoresponse," *Scientific reports*, vol. 8, no. 1, pp. 1-8, 2018.
- [22] X. Jia, C. Tang, R. Pan, Y. Long, C. Gu, and J. Li, "Thickness-dependently enhanced photodetection performance of vertically grown SnS₂ nanoflakes with large size and high production," *ACS applied materials & interfaces*, vol. 10, no. 21, pp. 18073-18081, 2018.
- [23] H. Zhang et al., "Formation mechanism of 2D SnS₂ and SnS by chemical vapor deposition using SnCl₄ and H₂S," *Journal of Materials Chemistry C*, vol. 6, no. 23, pp. 6172-6178, 2018.
- [24] S. Wei et al., "Performance improvement of multilayered SnS₂ field effect transistors through synergistic effect of vacancy repairing and electron doping introduced by EDTA," *ACS Applied Electronic Materials*, vol. 1, no. 11, pp. 2380-2388, 2019.
- [25] L. Xu et al., "Large-scale growth and field-effect transistors electrical engineering of atomic-layer SnS₂," *Small*, vol. 15, no. 46, p. 1904116, 2019.
- [26] H. Song et al., "High-performance top-gated monolayer SnS₂ field-effect transistors and their integrated logic circuits," *Nanoscale*, vol. 5, no. 20, pp. 9666-9670, 2013.
- [27] Y. Huang et al., "tin Disulfide - An Emerging Layered Metal Dichalcogenide Semiconductor: Materials Properties and Device Characteristics," *ACS nano*, vol.



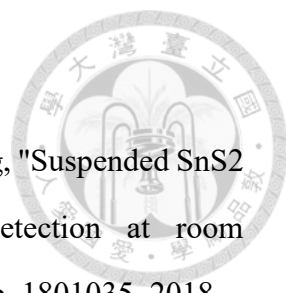
- 8, no. 10, pp. 10743-10755, 2014.
- [28] R. S. Mitchell, Y. Fujiki, and Y. Ishizawa, "Structural polytypism of SnS₂," *Nature*, vol. 247, no. 5442, pp. 537-538, 1974.
- [29] J. Li, J. Shen, Z. Ma, and K. Wu, "Thickness-controlled electronic structure and thermoelectric performance of ultrathin SnS₂ nanosheets," *Scientific reports*, vol. 7, no. 1, pp. 1-9, 2017.
- [30] J. Henrie, S. Kellis, S. M. Schultz, and A. Hawkins, "Electronic color charts for dielectric films on silicon," *Optics express*, vol. 12, no. 7, pp. 1464-1469, 2004.
- [31] P. Blake et al., "Making graphene visible," *Applied physics letters*, vol. 91, no. 6, p. 063124, 2007.
- [32] T. Sriv, K. Kim, and H. Cheong, "Low-frequency Raman spectroscopy of few-layer 2H-SnS₂," *Scientific reports*, vol. 8, no. 1, pp. 1-7, 2018.
- [33] M.-J. Lee et al., "Thermoelectric materials by using two-dimensional materials with negative correlation between electrical and thermal conductivity," *Nature Communications*, vol. 7, no. 1, pp. 1-7, 2016.
- [34] X. Zhang et al., "Vertical heterostructures of layered metal chalcogenides by van der Waals epitaxy," *Nano letters*, vol. 14, no. 6, pp. 3047-3054, 2014.
- [35] A. Castellanos-Gomez et al., "Deterministic transfer of two-dimensional materials by all-dry viscoelastic stamping," *2D Materials*, vol. 1, no. 1, p. 011002, 2014.
- [36] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, "Single-layer MoS₂ transistors," *Nature nanotechnology*, vol. 6, no. 3, pp. 147-150, 2011.
- [37] A. Allain, J. Kang, K. Banerjee, and A. Kis, "Electrical contacts to two-dimensional semiconductors," *Nature materials*, vol. 14, no. 12, pp. 1195-1205, 2015.
- [38] Y. Sata et al., "Modulation of Schottky barrier height in graphene/MoS₂/metal vertical heterostructure with large current on-off ratio," *Japanese Journal of Applied Physics*, vol. 54, no. 4S, p. 04DJ04, 2015.

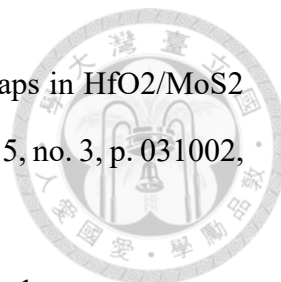
- 
- [39] Y. Y. Illarionov et al., "Insulators for 2D nanoelectronics: the gap to bridge," *Nature communications*, vol. 11, no. 1, pp. 1-15, 2020.
- [40] D. C. Mayer, "Modes of operation and radiation sensitivity of ultrathin SOI transistors," *IEEE Transactions on Electron Devices*, vol. 37, no. 5, pp. 1280-1288, 1990.
- [41] Y. Taur and T. H. Ning, *Fundamentals of modern VLSI devices*, Cambridge university press, 2021.
- [42] R. K. Ghosh and S. Mahapatra, "Monolayer transition metal dichalcogenide channel-based tunnel transistor," *IEEE Journal of the electron devices society*, vol. 1, no. 10, pp. 175-180, 2013.
- [43] Y. Kumagai, L. A. Burton, A. Walsh, and F. Oba, "Electronic structure and defect physics of tin sulfides: SnS, Sn₂S₃, and SnS₂," *Physical Review Applied*, vol. 6, no. 1, p. 014009, 2016.
- [44] H. Wang, Y. Gao, and G. Liu, "Anisotropic phonon transport and lattice thermal conductivities in tin dichalcogenides SnS₂ and SnSe₂," *RSC advances*, vol. 7, no. 14, pp. 8098-8105, 2017.
- [45] S. M. Sze, Y. Li, and K. K. Ng, *Physics of semiconductor devices*, John wiley & sons, 2021.
- [46] D. K. Schroder, *Semiconductor material and device characterization*, John Wiley & Sons, 2015.
- [47] G. He et al., "Thermally assisted nonvolatile memory in monolayer MoS₂ transistors," *Nano letters*, vol. 16, no. 10, pp. 6445-6451, 2016.
- [48] D. J. Late, B. Liu, H. R. Matte, V. P. Dravid, and C. Rao, "Hysteresis in single-layer MoS₂ field effect transistors," *ACS nano*, vol. 6, no. 6, pp. 5635-5641, 2012.
- [49] T. Li, G. Du, B. Zhang, and Z. Zeng, "Scaling behavior of hysteresis in multilayer MoS₂ field effect transistors," *Applied Physics Letters*, vol. 105, no. 9, p. 093107,

2014.

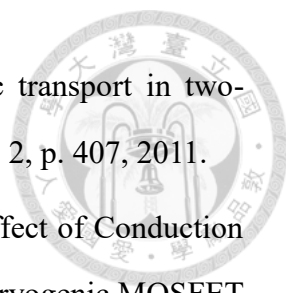
- 
- [50] I. M. Datye et al., "Reduction of hysteresis in MoS₂ transistors using pulsed voltage measurements," *2D Materials*, vol. 6, no. 1, p. 011004, 2018.
- [51] Naveen Kaushik, David M. A. Mackenzie, Kartikey Thakar, Natasha Goyal, Bablu Mukherjee, Peter Boggild, Dirch Hjorth Petersen, and Saurabh Lodha, "Reversible hysteresis inversion in MoS₂ field effect transistors," *npj 2D Materials and Applications*, vol. 1, no. 1, pp. 1-9, 2017.
- [52] Y. Guo et al., "Charge trapping at the MoS₂-SiO₂ interface and its effects on the characteristics of MoS₂ metal-oxide-semiconductor field effect transistors," *Applied Physics Letters*, vol. 106, no. 10, p. 103109, 2015.
- [53] Y. Y. Illarionov et al., "Energetic mapping of oxide traps in MoS₂ field-effect transistors," *2D Materials*, vol. 4, no. 2, p. 025108, 2017.
- [54] A. Di Bartolomeo, A. Pelella, A. Grillo, F. Urban, and F. Giubileo, "Air pressure, gas exposure and electron beam irradiation of 2D transition metal dichalcogenides," *Applied Sciences*, vol. 10, no. 17, p. 5840, 2020.
- [55] Y. Shimazu, M. Tashiro, S. Sonobe, and M. Takahashi, "Environmental effects on hysteresis of transfer characteristics in molybdenum disulfide field-effect transistors," *Scientific reports*, vol. 6, no. 1, pp. 1-6, 2016.
- [56] H. Yang, S. Cai, D. Wu, and X. Fang, "Humidity-Dependent Characteristics of Few-Layer MoS₂ Field Effect Transistors," *Advanced Electronic Materials*, vol. 6, no. 11, p. 200065, 2020.
- [57] Q. Yue, Z. Shao, S. Chang, and J. Li, "Adsorption of gas molecules on monolayer MoS₂ and effect of applied electric field," *Nanoscale research letters*, vol. 8, no. 1, pp. 1-7, 2013.
- [58] X. Jiao et al., "Partially oxidized SnS₂ atomic layers achieving efficient visible-light-driven CO₂ reduction," *Journal of the American Chemical Society*, vol. 139,

no. 49, pp. 18044-18051, 2017.

- 
- [59] H. Chen, Y. Chen, H. Zhang, D. W. Zhang, P. Zhou, and J. Huang, "Suspended SnS₂ layers by light assistance for ultrasensitive ammonia detection at room temperature," *Advanced Functional Materials*, vol. 28, no. 20, p. 1801035, 2018.
- [60] K. Hayashi, M. Kataoka, H. Jippo, M. Ohfuchi, T. Iwai, and S. Sato, "Two-dimensional SnS₂ for detecting gases causing "Sick Building Syndrome"," in *2017: IEEE*, in 2017 IEEE International Electron Devices Meeting (IEDM).
- [61] Y. Liu et al., "Approaching the Schottky–Mott limit in van der Waals metal–semiconductor junctions," *Nature*, vol. 557, no. 7707, pp. 696-700, 2018.
- [62] J. Liang et al., "Impact of Post-Lithography Polymer Residue on the Electrical Characteristics of MoS₂ and WSe₂ Field Effect Transistors," *Advanced Materials Interfaces*, vol. 6, no. 3, p. 1801321, 2019.
- [63] W. Zhu et al., "Electronic transport and device prospects of monolayer molybdenum disulphide grown by chemical vapour deposition," *Nature communications*, vol. 5, no. 1, pp. 1-8, 2014.
- [64] Pengkun Xia, Xuewei Feng, Rui Jie Ng, Shijie Wang, Dongzhi Chi, Cequn Li, Zhubing He, Xinke Liu, and Kah-Wee Ang, "Impact and Origin of Interface States in MOS Capacitor with Monolayer MoS₂ and HfO₂ High-k Dielectric," *Scientific reports*, vol. 7, no. 1, pp. 1-9, 2017.
- [65] E. H. Nicollian and J. R. Brews, MOS (metal oxide semiconductor) physics and technology, John Wiley & Sons, 2002.
- [66] P. Zhao et al., "Probing interface defects in top-gated MoS₂ transistors with impedance spectroscopy," *ACS applied materials & interfaces*, vol. 9, no. 28, pp. 24348-24356, 2017.
- [67] Peng Zhao, Ava Khosravi, Angelica Azcatl, Pavel Bolshakov, Gioele Mirabelli, Enrico Caruso, Christopher L Hinkle, Paul K Hurley, Robert M Wallace ,and



- Chadwin D Young, "Evaluation of border traps and interface traps in HfO₂/MoS₂ gate stacks by capacitance–voltage analysis," *2D Materials*, vol. 5, no. 3, p. 031002, 2018.
- [68] J. Singh, Electronic and optoelectronic properties of semiconductor structures, Cambridge University Press, 2007.
- [69] Z. Yu et al., "Analyzing the carrier mobility in transition-metal dichalcogenide MoS₂ field-effect transistors," *Advanced Functional Materials*, vol. 27, no. 19, p. 1604093, 2017.
- [70] D. Jariwala et al., "Band-like transport in high mobility unencapsulated single-layer MoS₂ transistors," *Applied Physics Letters*, vol. 102, no. 17, p. 173107, 2013.
- [71] D. Ovchinnikov, A. Allain, Y.-S. Huang, D. Dumcenco, and A. Kis, "Electrical transport properties of single-layer WS₂," *ACS nano*, vol. 8, no. 8, pp. 8174-8181, 2014.
- [72] B. Radisavljevic and A. Kis, "Mobility engineering and a metal–insulator transition in monolayer MoS₂," *Nature materials*, vol. 12, no. 9, pp. 815-820, 2013.
- [73] N. Huo, Y. Yang, Y.-N. Wu, X.-G. Zhang, S. T. Pantelides, and G. Konstantatos, "High carrier mobility in monolayer CVD-grown MoS₂ through phonon suppression," *Nanoscale*, vol. 10, no. 31, pp. 15071-15077, 2018.
- [74] J. H. Davies, The physics of low-dimensional semiconductors: an introduction, Cambridge university press, 1998.
- [75] N. Ma and D. Jena, "Charge scattering and mobility in atomically thin semiconductors," *Physical Review X*, vol. 4, no. 1, p. 011043, 2014.
- [76] L. Cheng and Y. Liu, "What limits the intrinsic mobility of electrons and holes in two dimensional metal dichalcogenides?," *Journal of the American Chemical Society*, vol. 140, no. 51, pp. 17895-17900, 2018.
- [77] G. D. Mahan, Many-particle physics, Springer Science & Business Media, 2000.

- 
- [78] S. D. Sarma, S. Adam, E. Hwang, and E. Rossi, "Electronic transport in two-dimensional graphene," *Reviews of modern physics*, vol. 83, no. 2, p. 407, 2011.
- [79] H. Oka, T. Inaba, S. Iizuka, H. Asai, K. Kato, and T. Mori, "Effect of Conduction Band Edge States on Coulomb-Limiting Electron Mobility in Cryogenic MOSFET Operation," in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Honolulu, HI, USA, 2022.
- [80] S. Ghatak, A. N. Pal, and A. Ghosh, "Nature of electronic states in atomically thin MoS₂ field-effect transistors," *ACS nano*, vol. 5, no. 10, pp. 7707-7712, 2011.
- [81] J. Xue, S. Huang, J.-Y. Wang, and H. Xu, "Mott variable-range hopping transport in a MoS₂ nanoflake," *RSC advances*, vol. 9, no. 31, pp. 17885-17890, 2019.
- [82] V. F. Gantmakher, *Electrons and disorder in solids*, OUP Oxford, 2005.
- [83] A. L. Éfros and B. I. Shklovskii, "Coulomb gap and low temperature conductivity of disordered systems," *Journal of Physics C: Solid State Physics*, vol. 8, no. 4, p. L49, 1975.
- [84] S.-T. Lo, O. Klochan, C. Liu, W. Wang, A. Hamilton, and C. Liang, "Transport in disordered monolayer MoS₂ nanoflakes—evidence for inhomogeneous charge transport," *Nanotechnology*, vol. 25, no. 37, p. 375201, 2014.