

國立臺灣大學電機資訊學院電機電信電子產業研發碩士專班

碩士論文

Industrial Technology R&D Master Program in Electrical, Communication
and Electronics Engineering

College of Electrical Engineering and Computer Science

National Taiwan University

Master Thesis

三角積分調變器與D類音頻放大器設計

Design of Delta Sigma Modulator and

Class D Audio Amplifier



楊文棟

Wen-Tung Yang

指導教授：陳怡然 博士

Advisor : Yi-Jan Emery Chen, PHD

中華民國 100 年 1 月

January, 2011

中文摘要

本論文討論了三角積分調變器的數位及類比兩種應用，前者可應用在數位類比轉換器以及非整數除頻器上；後者可應用在類比數位轉換器、直流-直流電壓轉換器及切換式功率放大器上。最後依據數位及類比的應用，設計了應用在非整數除頻器以及非線性切換式功率放大器之兩種三角積分調變器。

藉由應用非整數除頻器在非整數頻率合成器上，可以減少鎖定時間及縮短通道頻率間距。本論文設計一個採用預先進位加法器實現的數位 MASH 1-1-1 架構，可配合多除數除頻器達到非整數除頻的效果。

非線性放大器已經被大量應用在手持式行動裝置的音頻放大器上，最明顯的好處在於功率效能高，能提升電池使用時間，降低熱損耗。然而相較於線性放大器來說，總諧波失真較高，因此只能應用在對音質要求較低的音頻系統。本論文設計一個三階的類比三角積分調變器，完成音頻 D 類放大器整體系統模擬。

Abstracts

Applications of the delta-sigma modulator in digital and analog circuits are discussed in this thesis. Delta sigma modulator can be used in digital circuits such as digital-to-analog converters and fraction-N frequency synthesizers; or in analog circuits such as analog-to-digital converters, DC-DC converters and switched-mode power amplifiers. According to these applications, a digital modulator for fractional divider and an analog modulator for nonlinear switched-mode power amplifier are proposed in the thesis.

We can decrease locking time and reduce channel bandwidth by applying fractional divider in fractional-N frequency synthesizers. Therefore, a digital MASH 1-1-1 modulator based on the carry-look-ahead adder which can integrate with multi-modulus divider to realize the fractional division function is designed and presented in this thesis.

Class-D power amplifiers have been widely used as the audio amplifiers in portable devices. The greatest advantage is the high power efficiency of this kind of amplifier, which can improve the operating time and lower the heat dissipation. Nevertheless, the total harmonic distortion in nonlinear amplifiers is much higher than the linear ones. Therefore, the applications of the nonlinear amplifiers are limited to lower-quality audio systems. A class-D audio amplifier system based on a third-ordered analog delta-sigma

is proposed and designed in this thesis.



目錄

第一章	緒論.....	1
1-1	研究動機.....	1
1-2	論文架構.....	2
第二章	三角積分調變器(Delta Sigma Modulator)之原理	3
2-1	引言.....	3
2-1-1	三角積分調變器之原理及特性.....	3
2-1-2	三角積分調變器之應用.....	5
2-2	取樣及量化(Sampling and Quantization).....	9
2-2-1	奈奎斯特取樣原理(Nyquist Sampling Theory).....	9
2-2-2	量化雜訊及模型.....	11
2-2-3	超取樣原理(Over-Sampling Theory).....	14
2-3	雜訊整形(Noise-Shaping).....	15
2-3-1	雜訊整形之原理.....	16
2-3-2	低通一階三角積分調變.....	17
2-3-3	低通二階三角積分調變.....	19
2-3-4	低通高階三角積分調變.....	20
2-3-5	帶通三角積分調變.....	22
2-4	高階三角積分調變器之架構.....	23
2-4-1	單級迴路架構(Single-Stage).....	23
2-4-2	多級迴路架構(Multi-Stage).....	25
2-4-3	離散時間積分器架構(Discrete Time Integration).....	27
2-4-4	連續時間積分器架構(Continuous Time Integration).....	29
2-5	效能指標.....	31
2-5-1	訊號雜訊比.....	31
2-5-2	輸入動態範圍(Dynamic Range).....	31
第三章	使用於非整數頻率合成器(Fractional-N Synthesizer)之多級三角積分調變器設計.....	33
3-1	引言.....	33
3-1-1	非整數除頻器.....	33
3-1-2	電路架構.....	34
3-2	多級雜訊整形 1-1-1 調變器(MASH 1-1-1)之電路模擬.....	36
3-2-1	行為模擬.....	37
3-2-2	加法器.....	39

3-2-3 累加器	41
3-2-4 誤差消除電路之運算單元	41
3-3 多級雜訊整形調變器模擬結果	42
第四章 使用三角積分調變器之D類音訊放大器之設計	44
4-1 引言	44
4-1-1 D類功率放大器	45
4-1-2 功率放大器效能指標	46
4-2 三階三角積分調變器設計	47
4-2-1 設計考量與規格	47
4-2-2 調變器行為模擬與電路架構	49
4-2-3 全差動運算放大器	53
4-2-4 交換式電容積分器	56
4-2-5 量化器	59
4-2-6 被動加法單元	60
4-2-7 三角積分調變器模擬結果	61
4-3 D類功率放大器設計	66
4-3-1 功率電晶體及驅動控制電路(Gate Driver)	67
4-3-2 全橋式低通濾波器	69
4-3-3 D類功率放大器之開回路模擬結果	71
4-3-4 D類功率放大器閉迴路模擬結果	80
第五章 結論	84
參考文獻	85

圖目錄

圖 2-1 基本的三角積分調變器.....	3
圖 2-2 一位元輸出之三角積分調變器.....	4
圖 2-3 三角積分調變器之輸出頻譜.....	5
圖 2-4 三角積分調變之類比數位轉換器.....	6
圖 2-5 DC-DC Converter (a) 充電組態 (b) 放電組態.....	6
圖 2-6 D類放大器.....	8
圖 2-7 使用三角積分調變之數位類比轉換器.....	8
圖 2-8 非整數除頻器.....	9
圖 2-9 理想的取樣系統模型.....	10
圖 2-10 圖形失真.....	10
圖 2-11 高頻雜訊摺疊回訊號頻率的圖形失真.....	11
圖 2-12 量化與量化誤差 (a) Midtread (b) Midrise.....	12
圖 2-13 量化雜訊在頻譜上的白雜訊分布.....	13
圖 2-14 量化雜訊的數學模型.....	14
圖 2-15 超取樣後的量化雜訊分布.....	15
圖 2-16 頻譜上的雜訊整形效果.....	15
圖 2-17 雜訊整形的負回授系統.....	16
圖 2-18 一階三角積分調變器.....	17
圖 2-19 二階三角積分調變器.....	19
圖 2-20 三角積分調變器之不穩定狀態.....	22
圖 2-21 帶通三角積分調變器之輸出頻譜.....	22
圖 2-22 三階CIDF架構.....	24
圖 2-23 三階CIDIDF架構.....	24
圖 2-24 三階CIDIFF架構.....	25
圖 2-25 (a) MASH 1-1-1 (b) MASH 2-1 架構.....	26
圖 2-26 延遲組態離散時間積分器.....	27
圖 2-27 非延遲組態離散時間積分器.....	28
圖 2-28 連續訊號的離散等效.....	29
圖 2-29 輸入動態範圍示意圖.....	32
圖 3-1 非整數頻率合成器.....	34
圖 3-2 單級數位三角積分調變器.....	35
圖 3-3 MASH 1-1-1 之數學模型.....	35
圖 3-4 MASH 1-1-1 之電路方塊.....	36

圖 3-5 多級調變器Matlab模擬	38
圖 3-6 行為模擬結果 (a) Verilog (b) Matlab.....	39
圖 3-7 全加器電路圖	40
圖 3-8 預先進位加法器之傳輸延遲模擬結果.....	40
圖 3-9 傳輸閘形式之D Flip Flop	41
圖 3-10 誤差消除電路.....	41
圖 3-11 多級雜訊整形電路時域模擬結果.....	42
圖 3-12 MASH之輸出頻譜	43
圖 4-1 D類放大器輸出級 (a)半橋式 (b)全橋式.....	45
圖 4-2 運算放大器直流增益對系統之影響.....	48
圖 4-3 三階三角積分調變器行為模擬.....	50
圖 4-4 三角積分調變器之行為模擬結果 (a)輸出頻譜 (b)輸入動態範圍.....	51
圖 4-5 三階三角積分器系統架構.....	52
圖 4-6 全差動運算放大器	53
圖 4-7 前模擬運算放大器之頻率響應 (TT Corner)	54
圖 4-8 後模擬運算放大器之頻率響應 (TT Corner)	55
圖 4-9 交換式電容取樣.....	56
圖 4-10 時脈電荷注入對三角積分調變器之影響.....	57
圖 4-11 積分器開回路頻率響應.....	57
圖 4-12 時脈產生器	58
圖 4-13 一位元量化器	60
圖 4-14 被動切換電容式加法器	60
圖 4-15 三角積分調變器時域模擬結果.....	62
圖 4-16 調變器各製程角落之輸出頻譜圖.....	62
圖 4-17 調變器內部各級積分器輸出波型.....	63
圖 4-18 各製程角落之動態範圍的前模擬結果.....	64
圖 4-19 各製程角落之動態範圍的後模擬結果.....	65
圖 4-20 驅動控制電路及功率放大電路.....	68
圖 4-21 驅動電路模擬結果.....	69
圖 4-22 全橋式低通濾波器	70
圖 4-23 全橋低通濾波器之頻率響應.....	70
圖 4-24 放大器各製程角落的前模擬結果.....	71
圖 4-25 開迴路放大器各製程角落輸出頻譜圖.....	72
圖 4-26 前模擬之放大器輸出功率對THD+N之對應圖	74
圖 4-27 前模擬之放大器不同頻率輸出對THD+N之對應圖	75
圖 4-28 前模擬之放大器輸出功率對功率效能圖.....	75
圖 4-29 後模擬之放大器輸出功率對THD+N之對應圖	76

圖 4-30 後模擬之放大器不同頻率輸出對THD+N之對應圖	77
圖 4-31 後模擬之放大器輸出功率對功率效能圖	77
圖 4-32 D類放大器電路布局	80
圖 4-33 閉迴路D類放大器系統方塊圖	80
圖 4-34 閉迴路放大器各製程角落輸出頻譜圖	81
圖 4-35 閉迴路放大器輸出功率對THD+N之對應圖	82
圖 4-36 閉迴路放大器不同頻率輸出對THD+N之對應圖	83



表目錄

表 2-1 單級與多級架構之比較.....	26
表 2-2 離散時間積分器與連續時間積分器之比較.....	30
表 3-1 數位三角積分調變器規格表.....	37
表 3-2 MASH 1-1-1 模擬結果.....	43
表 4-1 三角積分調變與脈衝寬度調變之比較.....	44
表 4-2 半橋式與全橋式輸出級比較表.....	45
表 4-3 三角積分調變器之規格表.....	49
表 4-4 考慮製程變異之運算放大器的前模擬結果.....	54
表 4-5 考慮製程變異之運算放大器的後模擬結果.....	55
表 4-6 各製程角落之調變器的前模擬結果.....	64
表 4-7 各製程角落之調變器的後模擬結果.....	65
表 4-8 坊間D類音頻放大器規格.....	66
表 4-9 使用三角積分調變之D類放大器期刊論文規格比較.....	66
表 4-10 設計之D類放大器規格表.....	67
表 4-11 低通濾波器之各被動元件參數.....	70
表 4-12 開迴路放大器於 0.1 W輸出時總諧波失真之前模擬結果.....	73
表 4-13 開迴路放大器於 0.1 W輸出時總諧波失真之後模擬結果.....	73
表 4-14 前模擬之放大器結果表.....	76
表 4-15 前模擬之放大器結果表.....	78
表 4-16 放大器比較表.....	79
表 4-17 閉迴路放大器於 0.1 W輸出時總諧波失真之模擬結果.....	82
表 4-18 閉迴路放大器結果表.....	83

第一章 緒論

1-1 研究動機

在開迴路的取樣系統中，如要達到較好的取樣效果，一般我們會選擇較多取樣位準的取樣器(High-level Quantizer)以降低取樣誤差，但這同時也會提高電路設計的困難度。而三角積分調變(Delta-Sigma Modulation)技術，是利用負回授的閉迴路特性，來達到降低取樣誤差的效果，因此可以在較低取樣位準的狀況下達到不錯的效能。近年來在類比數位轉換、數位類比轉換、頻率合成器(Frequency Synthesizer)甚至是切換式功率放大器(Switching Mode Power Amplifier)的應用領域內都可以看到三角積分調變的蹤跡。

採用非整數除頻器之頻率合成器被大量應用在通信系統中，它可以將通道頻率間距切成參考頻率的小數倍，如此可以大幅提高參考頻率，同時可選取較高迴路頻寬，提升鎖定速度，因此利用三角積分調變器在時域上的特性設計了一個多級數位三角積分調變器，可用以切換多除數除頻器，達到等效除小數的效果。

隨著手持裝置的蓬勃發展，轉換效率以及裝置續航力的重要性日益增加，D類音頻功率放大器也大量的被應用在影音相關產品上，其最大的好處在於理想狀況下的功率轉換效率可達 100%，因此能在有限的電池容量下達到較高的使用時間。D類功率放大器是一種非線性的切換式放大器，主要是將輸入訊號經過適當的調變器轉換成高低電壓的調變訊號，再去切換功率電晶體，並透過適當的解調機制(Demodulation)還原訊號以達到功率放大的目的。D類放大器的調變器常用的分為脈衝寬度調變(Pulse-Width Modulation)以及三角積分調變兩種，其中脈衝寬度調變已經被廣泛的使用，然而其在脈衝寬度調變過程中會產生額外的諧波失真(Harmonic Distortion)以及過度集中的頻譜密度造成的電磁干擾(EMI)等缺點，使得

我們的系統設計必須要額外加入電磁干擾的考量，除了 EMI 濾波器之外，常用的方式還有展頻，但此舉會增加背景雜訊，導致較差的訊噪比[1]。因此，設計一個能避免過度集中的電磁干擾的並擁有較佳訊噪比之 D 類放大器，是本篇論文的研究動機與主要方向。

本論文主要貢獻在修正了 CIDIDF 的架構，藉由拿掉輸入訊號前饋至量化器的路徑，經過系統模擬可減少調變器發散的可能性，並且同時維持足夠的量化誤差整型特性，使得三階三角積分調變器容易穩定，並且不失其調變器特性。

1-2 論文架構

本論文第一章主要介紹 D 類放大器使用三角積分調變之原因及好處，第二章從量化器誤差開始，詳述三角積分調變器的理論基礎、系統架構以及效能指標。第三章將介紹三角積分調變器應用於頻率合成器的設計，包含非整數除頻器原理以及詳細電路架構及模擬結果。第四章主題為設計應用於 D 類音頻放大器的三階三角積分調變器，包含系統模擬、電路設計以及模擬結果等。第五章為結論。

第二章 三角積分調變器(Delta Sigma Modulator)之原理

2-1 引言

三角積分調變器是一個負回授閉迴路的系統，其特色在於利用超取樣原理(Over-Sampling Theory)以及雜訊整形(Noise-Shaping)的技術達成在較少的輸出位元的狀況下，仍舊保有一定的訊號雜訊比(SNR)，本章將針對調變器的原理以及實現方式做介紹。

在分析三角積分調變器的數學模型時，大多數都是表示成離散的 Z 函式(Z-Domain)來表示，這是因為調變器內通常都有一個取樣及量化的過程，一般很難表示成連續函數的型式。所以我們通常使用跟取樣系統常用的離散方程式來推導調變器之模型及轉移函數。

2-1-1 三角積分調變器之原理及特性

一個基本的三角積分調變器(Delta-Sigma Modulator)如圖 2-1 所示，包含了一個積分器、一個較粗糙的類比數位轉換器、類比數位轉換器以及一個從輸出端拉回輸入端的負回授組態。其名稱中的 Delta 代表前一個輸出的值與現在輸入的差異值；Sigma 代表後級積分器的累加動作。

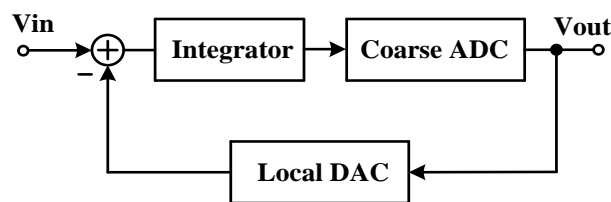


圖 2-1 基本的三角積分調變器

一般來說，在調變器的內部中所使用的類比數位轉換器通常都使用較低階的量化器來實現，大幅降低量化器的設計難度。倘若我們使用積分器以及一位元的量化器，那麼內部的數位類比轉換器將可簡化成一個連接兩個直流電壓的開關，如圖 2-2 所示。然而一位元的輸出必定伴隨著極大的誤差成分，所以我們必須要將量化的速度提高至超越奈奎斯特取樣頻率(Nyquist Rate)的數十倍甚至數百倍，以降低量化的誤差。並且利用適當的負回授參數將量化雜訊往訊號頻段外面推移，達成量化誤差的整形效果(Quantization Noise Shaping)。

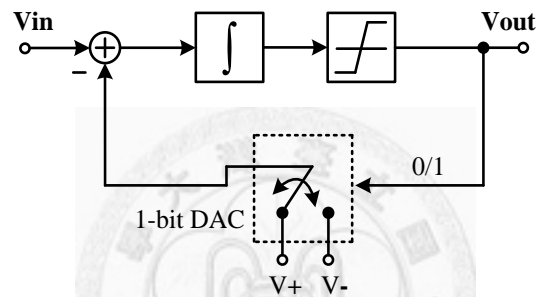


圖 2-2 一位元輸出之三角積分調變器

基本的一位元三角積分調變器，利用了超取樣以及雜訊整形的技術後，調變的結果將是比原本訊號頻率高出極多的串流位元(Bit-Stream)訊號，若是用時域的角度來看，這些段落可以視作為輸入訊號的平均。若用頻域的角度來分析，我們可以從頻譜中看到輸入訊號的成分以及一個高通的雜訊成分，此高通雜訊就是雜訊整形的效果，如圖 2-3 所示。

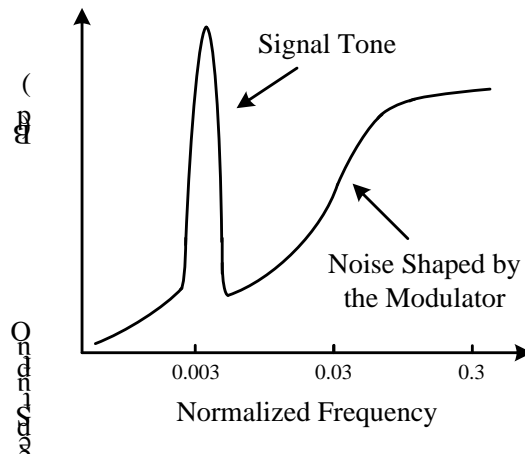


圖 2-3 三角積分調變器之輸出頻譜

2-1-2 三角積分調變器之應用

三角積分調變器依照電路的實現方式可分為類比以及數位兩種，其基本組態如同前一節圖 2-2 所繪。其中類比應用通常使用連續或者離散的積分器、量化器及回授的數位類比轉換器來實現；而數位應用通常使用累加器(Accumulator)、位元擷取器(Truncator)以及回授訊號位元擴充(Bit-Extension)來實現[2]。類比實現方式可應用在類比數位轉換器、切換式直流-直流轉換器(DC-DC Converter)、類比輸入切換式功率放大器等處；數位實現方式可應用在數位類比轉換器、非整數除頻器(Fractional-N Divider)、數位輸入切換式功率放大器等處。以下將對其應用作基本的介紹。

類比數位轉換器

使用三角積分調變之類比數位轉換器的基本組態[3]，如圖 2-4 所示，類比訊號輸入後經過調變器，轉換成串流位元，再經由數位濾波器，將此高速訊號加以平均，同時濾除多餘的高頻雜訊，提升解析度。

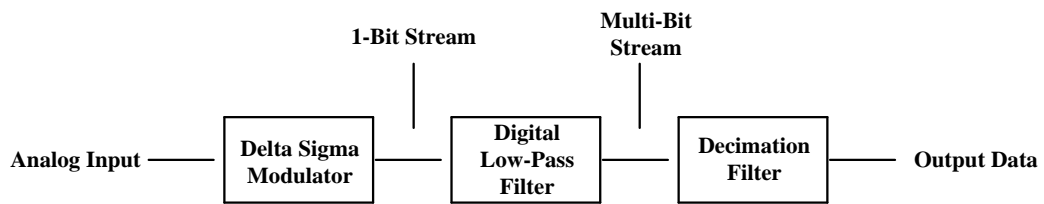


圖 2-4 三角積分調變之類比數位轉換器

切換式直流-直流轉換器

切換式直流-直流轉換器[4]相對於傳統的直流轉換器來說，是一種效率較高的電路，可以分為降壓(Buck)以及升壓(Boost)兩個組態。一個升壓組態可分為充電及放電兩個操作，如圖 2-5(a)(b)所示。

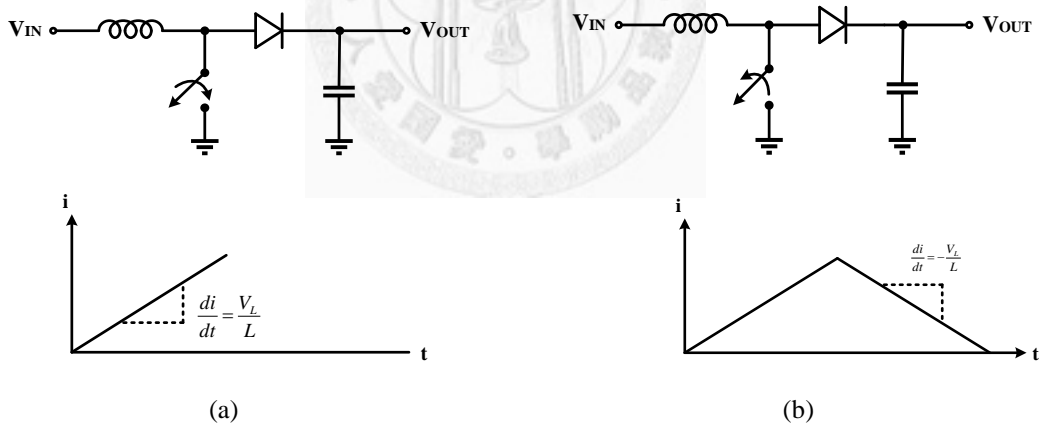


圖 2-5 DC-DC Converter (a) 充電組態 (b) 放電組態

充電時，一個接地的開關短路，使得電感跨壓開始增加；放電時，接地的開關開路，使電感跨壓開始減少。其跨壓 V_L 可表示成

$$V_L = L \times \frac{di}{dt} \quad (2.1)$$

若從穩態的狀況來考量，在一個充放電週期中電感的平均跨壓應該要為零，這代

表平均電流亦為零，若定義開關短路的時間為 t_{ON} ，開關開路的时间為 t_{OFF} ，那麼我們可以對這個電路寫出以下的方程式

$$V_{IN} \times t_{ON} = V_L \times t_{OFF} \quad (2.2)$$

$$V_{OUT} = V_{IN} + V_L \quad (2.3)$$

結合(2.2)式、(2.3)式可得

$$V_{OUT} = V_{IN} \times (1 + t_{ON} / t_{OFF}) \quad (2.4)$$

定義工作週期(Duty-Cycle) $D = t_{ON} / (t_{ON} + t_{OFF})$ ，則方程式可整理成

$$V_{OUT} = V_{IN} / (1 - D) \quad (2.5)$$

從方程式可得出，我們可以藉由控制工作週期，將平均的輸出電壓升壓到我們想要的值。其中，切換開關的控制訊號，就可以透過改變三角積分調變器的輸入，達到調變工作週期的效果。

D 類功率放大器

D 類切換式功率放大器[5][6][7][8]，基本構造如圖 2-6 所示，其優點就是功率轉換效率極高，輸入訊號在經過適當的調變器後，將輸入訊號轉換成寬度不同的脈衝，經由驅動電路驅動後級的功率電晶體將功率放大，再經由濾波器將原來的訊號還原。功率電晶體的放大是由一個完全切換的訊號來控制，故名為切換式的功率放大器，由於功率電晶體的切換訊號都是全幅(Full-Swing)，因此對於一個理想的電晶體來說，其轉換效率是可以達到百分之百的，然而實際應用上必須考量功率電晶體的內部阻抗所造成的壓降以及在切換時的漏電流等效應，但基本上轉換效率依然超過 80%，對於目前手持裝置的產品來說，仍然是個非常有價值的應用。

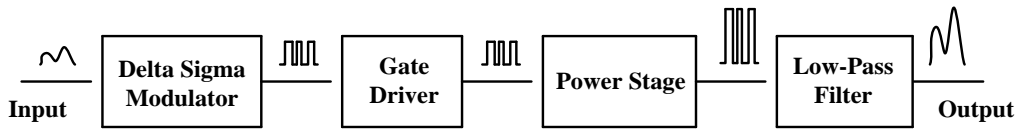


圖 2-6 D 類放大器

數位類比轉換器

使用三角積分調變之數位類比轉換器[9][10]如圖 2-7 所示，一個 M-bit 的數位訊號輸入至調變器中，經由一個低通的累加器以及位元擷取器，調變成更高速，但輸出為一個位元的訊號，再經由適當的低通濾波器轉換成類比訊號。

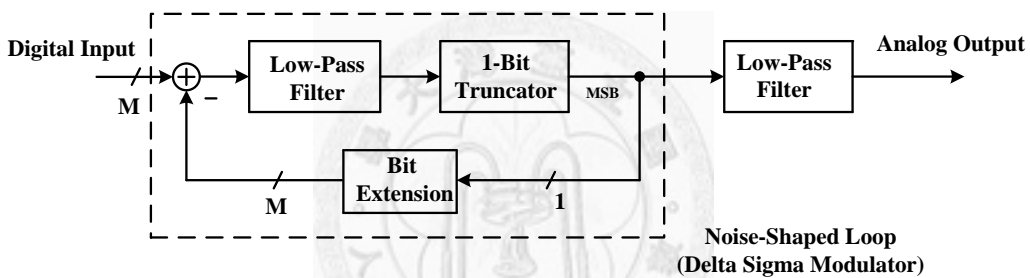


圖 2-7 使用三角積分調變之數位類比轉換器

非整數除頻器

除小數除頻器的主要構造是利用可切換除數的整數除頻器及其切換除數的控制電路，達到等效的除小數效果。舉例來說，一個多除數除頻器，其可切換除數為 4 及 5，除 4 後的波形週期將是原本輸入週期的 4 倍，同理除 5 後的波形週期為原輸入週期的 5 倍。倘若我們可以在一段時間交互切換除 4 及除 5 的次數，並讓除 4 除 5 的情況控制在各為 50% 的比例，那麼在輸出端我們可以觀察到，等效的兩個輸出週期將是輸入週期的九倍，也就是說等效除數為 4.5 的非整數值。其示意圖如圖 2-8 所示。我們依然可以利用三角積分調變器在時域的特性，使用在此除頻

器的控制訊號上，使得整體除頻器的平均除數落在我們要的範圍內。

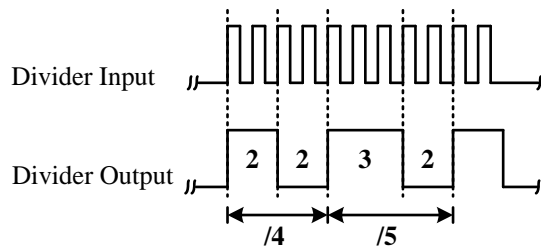


圖 2-8 非整數除頻器

2-2 取樣及量化(Sampling and Quantization)

由前幾個小節我們得知一個類比三角積分調變器中，必定存在一個類比數位轉換器，其類比取樣的程序是使用量化器來完成的，可見量化對於數位的調變來說是個不可缺少的步驟。所謂的量化便是依照需求將輸入的連續訊號轉換成最近的位準，並且維持這個位準直到下一個量化的觸發訊號來時，再次執行量化的動作。以下各小節將針對量化的準則以及量化產生的誤差做介紹。

2-2-1 奈奎斯特取樣原理(Nyquist Sampling Theory)

要將訊號數位化，必須經過取樣及量化兩個步驟，先將輸入訊號依照一定取樣頻率擷取出來，再量化為數位的位準。對於低頻的輸入訊號而言，為了不讓輸入訊號產生所謂的圖形失真(Aliasing)，取樣的頻率必須要大於輸入訊號頻寬的兩倍，此取樣頻率稱為奈奎斯特取樣率(Nyquist-Rate)，此即為廣為人知的奈奎斯特取樣原理。我們可以將一個理想取樣的步驟化成如圖 2-9 的數學模型[11]。在時域方面，將輸入訊號 $x(t)$ 與一個間隔 T_s 的單位脈衝 $p(t)$ 相乘，得出一個分段連續的取樣值。在頻域上，將輸入訊號與取樣訊號作摺積(Convolution)，可得出輸出頻譜

$X'(f)$ 。輸出頻譜除了我們的訊號外，還包含了許多連續的映像(Image)，若要還原訊號，我們必須要選擇適當的濾波器將多餘的映像濾除。

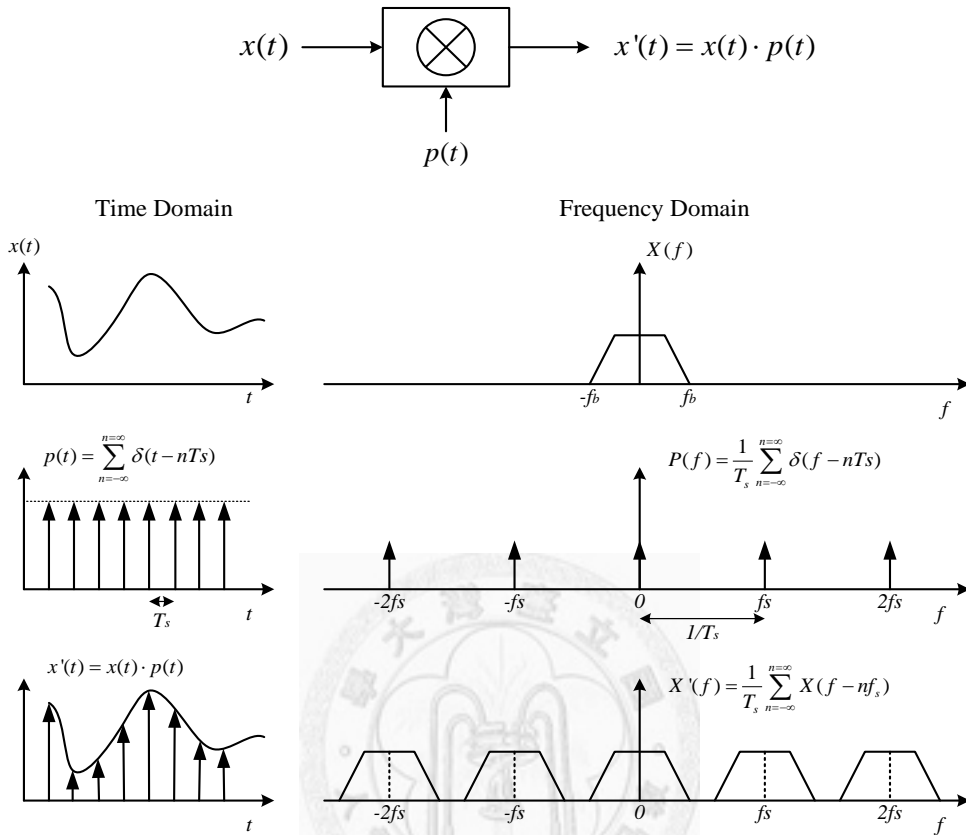


圖 2-9 理想的取樣系統模型

從上段論述可以發現，若我們的取樣頻率低於兩倍的輸入頻率，那麼我們在輸出頻譜上的訊號將會與其他映像重疊，此映像將會直接摺疊回訊號頻段，造成失真，導致我們無法透過濾波將原始訊號還原，此即所謂的圖形失真現象[12]，如圖 2-10 所示。

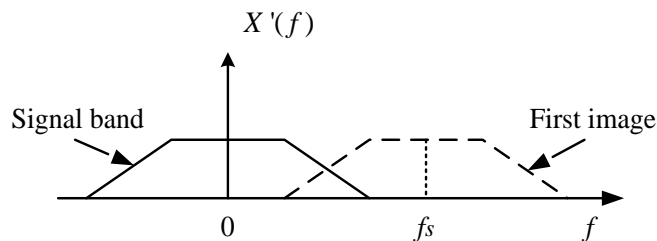


圖 2-10 圖形失真

儘管我們確定取樣頻率高於奈氏取樣率，倘若我們的輸入訊號包含了其他高頻訊號的雜訊，仍無法避免高頻訊號摺疊進入訊號頻率的失真現象，如圖 2-11。故我們在設計低頻三角積分調變器時，其輸入訊號必須加上一個反圖形失真的濾波器 (Anti-Aliasing Filter) 以避免過多高頻訊號摺積造成的失真。

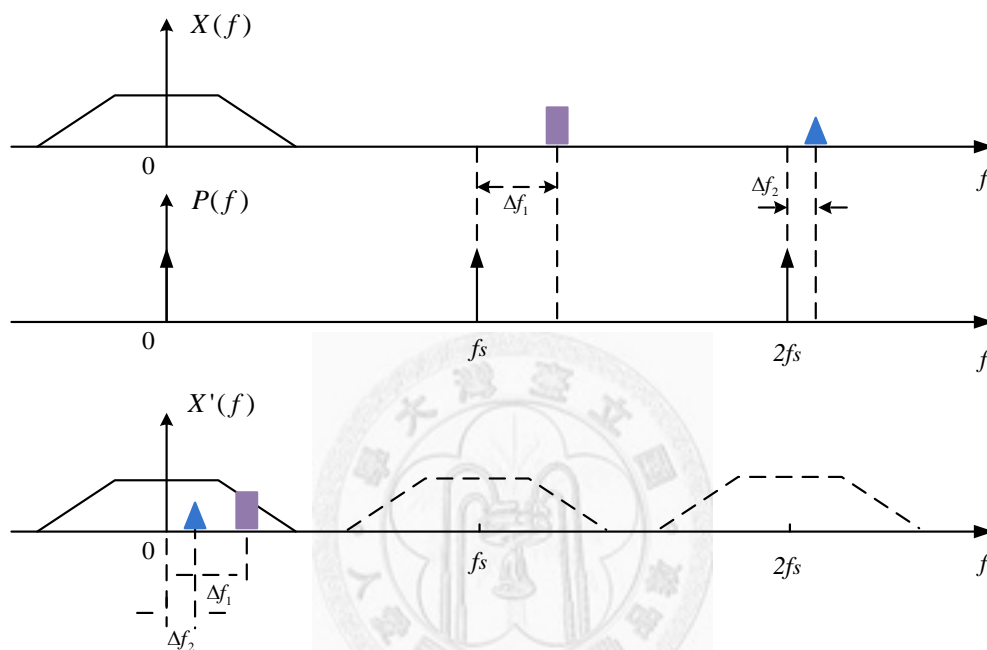


圖 2-11 高頻雜訊摺疊回訊號頻率的圖形失真

2-2-2 量化雜訊及模型

一個均勻的量化器 (Uniform Quantizer) 可分為一致平低 (Midtread) 與一致高起 (Midrise) 兩種組態。不論何種組態，皆存在量化誤差，定義其量化範圍的百分比為 2、最小量化間距為 Δ (Quantization Step Size)、量化的位準數為 2^B ，則 Δ 可表示為

$$\Delta = \frac{2}{2^B - 1} \quad (2.6)$$

舉例來說，若一個 3-bit 的量化器，其最大允許輸入範圍為 2，則最小量化間距為 $2/(2^3 - 1) = 2/8$ ，其量化器會將最接近輸入訊號的位準視作量化後的輸出，這代表

最大的量化誤差亦不會超過 0.5Δ 。若定義量化誤差為 $e = q_{out} - x_{in}$ ，量化結果與量化誤差可表示如圖 2-12。

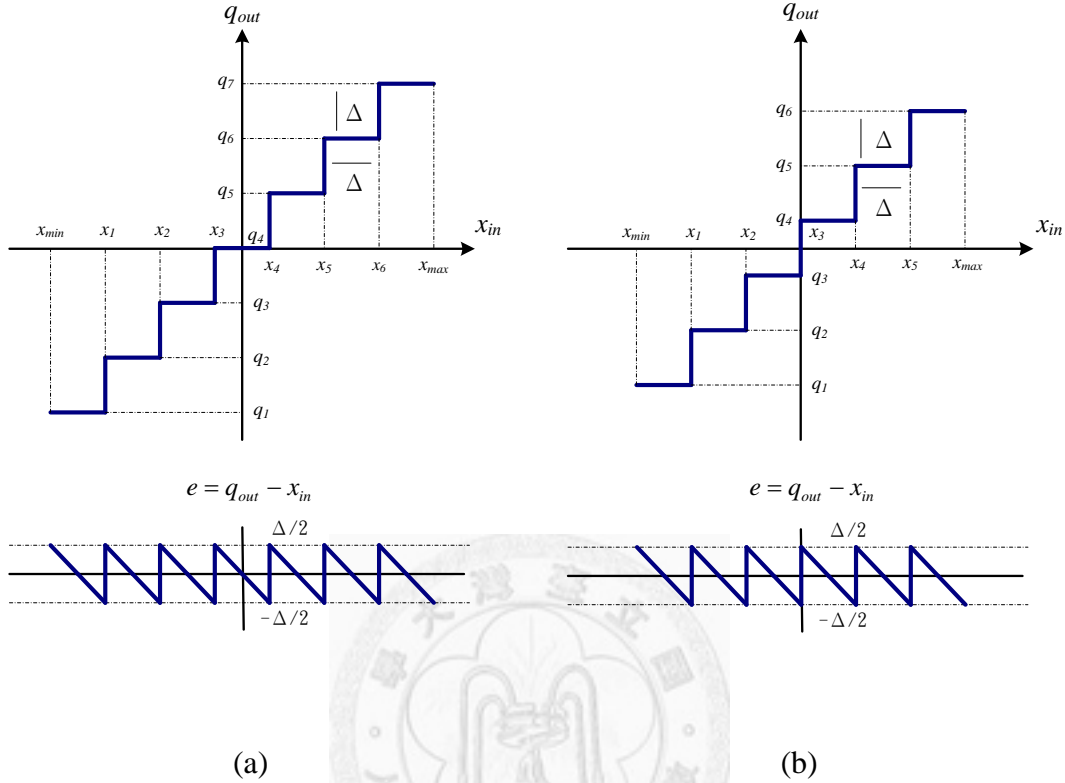


圖 2-12 量化與量化誤差 (a) Midtread (b) Midrise

對於量化器而言，輸入訊號必須在一個範圍內，才能正確比對出量化結果，這個範圍我們稱之為動態範圍(Dynamic Range)。對一個輸入訊號與最小量化間距的比值極大的量化器來說，其量化誤差 e 是一個可以在各個頻率中視作平均分布的狀態[13]，其平均值為零，那麼我們可以將量化誤差的能量 σ_e^2 表示為

$$\sigma_e^2 = E\{e^2\} = \int_{-\Delta/2}^{\Delta/2} e^2 f_e(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.7)$$

其中， $E\{\}$ 代表統計的預測值， $f_e(e)$ 代表量化誤差之pdf (Probability Density Function)，其基本假設量化誤差與輸入訊號無直接關聯，並且在整個量化頻率內 $[-fs/2, fs/2]$ 皆視為白雜訊(White Noise)，如圖 2-13 所示。

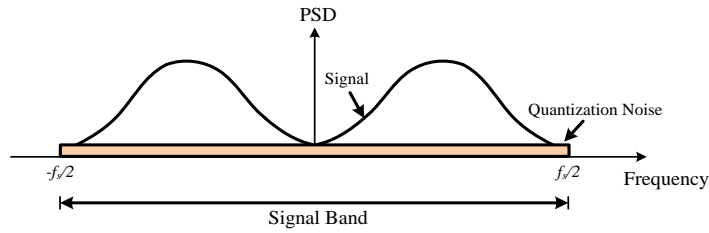


圖 2-13 量化雜訊在頻譜上的白雜訊分布

量化雜訊同時也影響了訊號的品質，一般定義 SQNR(Signal-to-Quantization Noise Ratio)為指標，其定義為

$$SQNR = \frac{\text{Signal Power}}{\text{Quantization Noise Power}} \quad (2.8)$$

SQNR越高代表訊號的品質越好，一般以分貝(dB)為單位來表示。我們可以把量化雜訊的能量頻譜密度(Power Spectral Density) $S_e(f)$ 表示成：

$$S_e(f) = \frac{\Delta^2}{12f_s} \quad (2.9)$$

，其中 f_s 為取樣頻率。對於一個輸入振幅為 A 的弦波訊號來說，其能量為 $A^2/2$ 。使用 B -bit 的量化器後，其振幅與最小量化間距 Δ 的關係可表示為

$$2A = (2^B - 1)\Delta \quad (2.10)$$

則依照式(2.8)的定義，此訊號量化後的 SQNR 可表示為

$$SQNR = 10 \log \left(\frac{A^2/2}{\Delta^2/12} \right) \quad (2.11)$$

將(2.10)式代入(2.11)式，可得

$$SQNR = 10 \log \left(\frac{3(2^B - 1)^2}{2} \right) \cong 10 \log \left(\frac{3 \cdot 2^{2B}}{2} \right) = 6.02B + 1.76 \text{ (dB)} \quad (2.12)$$

從以上的推導中可以得出，對一個弦波的輸入訊號來說，每增加一位元的量化器，可以增加大約 6dB 的 SQNR。

從以上推論可知，在有條件的前提下，量化器的量化雜訊可以假設成一個與輸入無關的外加線性訊號源，以利於推導系統的響應。也就是說，量化後的訊號，可以拆解成兩個部分，一個是量化器的輸出值，另一個則為量化誤差。其數學模型如圖 2-14 所示。以後章節提到的量化雜訊皆以此概念做為模型來敘述以及推導。此模型是基本適用的[14]。

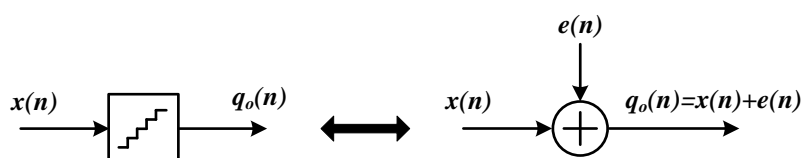


圖 2-14 量化雜訊的數學模型

2-2-3 超取樣原理(Over-Sampling Theory)

前一章節中推導了量化雜訊以及 SQNR 之間的關係，倘若我們要提升 SQNR，必須要儘量減少量化誤差的能量。從式(2.12)中我們可以得知，若想要提升量化的解析度，我們可以增加量化的位準數，使得最大量化誤差的絕對值減少。然而此舉將減少量化器的最小量化間距，同時大幅提升電路的設計困難度。若從另一個角度切入，如式(2.9)中所述，可以藉由提升取樣速度來達到壓抑量化雜訊的效果，此種概念稱之為超取樣原理。相對於提升量化位準數來說，只要電路的迴路頻寬足夠，那麼提升取樣頻率的動作將不用對電路作太大幅度的更動，僅需提高取樣頻率即可。一般定義超取樣率 OSR(Oversampling-Rate)為

$$OSR = \frac{f_s}{2f_B} = \frac{f_s}{\text{Nyquist Rate}} \quad (2.13)$$

其中， f_s 為取樣頻率， f_B 為輸入訊號的頻寬。超取樣的效果如圖 2-15 所示

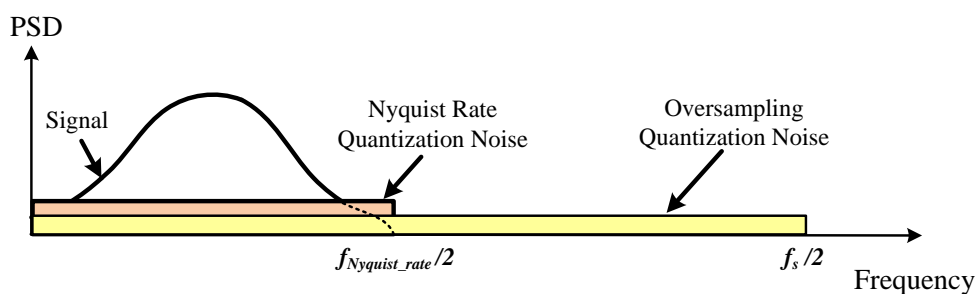


圖 2-15 超取樣後的量化雜訊分布

超取樣的好處除了降低量化雜訊之外，同時還讓主訊號的映像間距變大，讓濾除映像的濾波器更好設計[15]。對於振幅為 A 的弦波， B -Bit 的量化器而言，超取樣後的 SQNR 可表示為

$$SQNR_{oversampling} = 10 \log \frac{A^2}{(\Delta^2 / 12) / OSR} \cong 6.02B + 1.76 + 10 \log(OSR) \quad (2.14)$$

從上式可推導出每提升兩倍的超取樣率可以對 SQNR 帶來 3dB 的增加。

2-3 雜訊整形(Noise-Shaping)

儘管我們可以利用增加量化器的位準或者提高取樣頻率來達成降低量化雜訊的效果，但卻不能無限制的提高，倘若可以讓輸入訊號通過調變器是全通的函數，而量化雜訊通過調變器是高通的函數，那麼我們可以在訊號頻段內更有效的抑制雜訊成分，其示意如圖 2-16 所示。

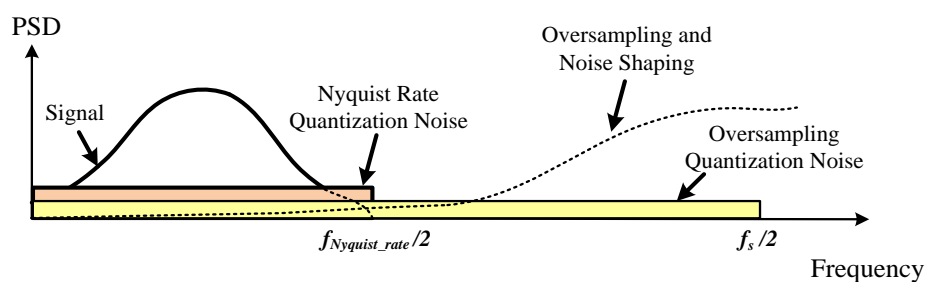


圖 2-16 頻譜上的雜訊整形效果

雜訊整形的觀念是可以被實現的，利用前述的量化雜訊的數學模型以及適當的負回授參數，可以達到將雜訊推移到高频的效果，同時又不影響訊號的完整性。三角積分調變便是結合超取樣與雜訊整形概念的調變器。

2-3-1 雜訊整形之原理

使用前小節的線性量化雜訊模型來表示一個包含負回授的取樣系統，如圖 2-17 所示。

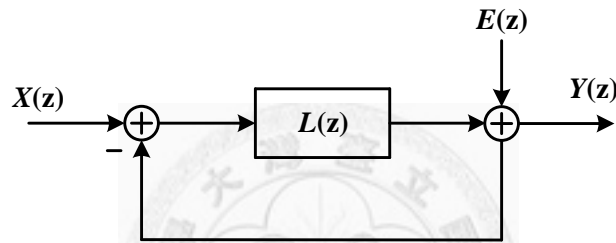


圖 2-17 雜訊整形的負回授系統

其中， $X(z)$ 、 $Y(z)$ 、 $E(z)$ 、 $L(z)$ 分別為輸入訊號、輸出訊號、量化白雜訊源及開迴路轉移函數。若定義輸入訊號轉移函數(Signal Transfer Function)為 STF 、雜訊轉移函數(Noise Transfer Function)為 NTF ，則可推導出

$$STF(z) \equiv \frac{Y(z)}{X(z)} = \frac{L(z)}{1+L(z)} \quad (2.15)$$

$$NTF(z) \equiv \frac{Y(z)}{E(z)} = \frac{1}{1+L(z)} \quad (2.16)$$

$$\begin{aligned} Y(z) &\equiv STF(z) \cdot X(z) + NTF(z) \cdot E(z) \\ &= \frac{L(z)}{1+L(z)} X(z) + \frac{1}{1+L(z)} E(z) \end{aligned} \quad (2.17)$$

若依照 2-3 節所敘述，我們希望訊號保持全通函式，則令

$$STF(z) = z^{-1} \quad (2.18)$$

將(2.18)式代入(2.15)式，可得 $L(z)$ 為

$$L(z) = \frac{z^{-1}}{1-z^{-1}} \quad (2.19)$$

此時，將(2.19)式代入(2.16)式，可得 $NTF(z)$ 為

$$NTF(z) = 1 - z^{-1} \quad (2.20)$$

由(2.20)式中可以觀察出，其 NTF 乃是一個高通的微分轉移函數，在低頻成分的白雜訊被壓抑，本來的白雜訊將被整形成高通的函數。對低頻的輸入訊號而言，減少了訊號頻段內的量化雜訊，意味著其 SQNR 也將提升，提高調變器的效能。

2-3-2 低通一階三角積分調變

從式(2.20)可得，三角積分調變器的雜訊轉移函數是一個簡單的微分函式。此轉移函數的階數就等於三角積分調變之階數，階數越高代表在低頻的量化雜訊被壓抑的越低，但高頻的量化雜訊也將大量增加。基本的一階三角積分調變器如圖 2-18 所示。

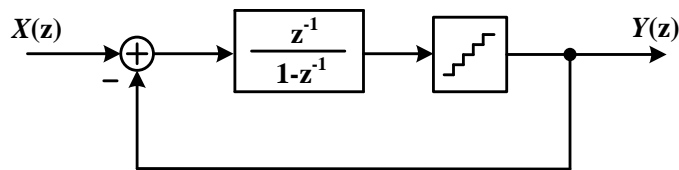


圖 2-18 一階三角積分調變器

其中，其 NTF 與(2.20)式相同，首先把離散轉移函數轉換成頻域，並對 NTF 取絕對值平方以便分析其訊號頻率中的雜訊能量。將 $z = e^{j2\pi f/f_s}$ 代入式(2.20)，可得

$$\begin{aligned}
|NTF(e^{j2\pi f / f_s})|^2 &= |1 - e^{-j2\pi f / f_s}|^2 \\
&= |1 - \cos(2\pi f / f_s) + j \sin(2\pi f / f_s)|^2 \\
&= [(1 - \cos(2\pi f / f_s))^2 + (\sin(2\pi f / f_s))^2] \\
&= 2[1 - \cos(2\pi f / f_s)] = 2[1 - \cos^2(\pi f / f_s) + \sin^2(\pi f / f_s)] \\
&= 2[1 - \cos(2\pi f / f_s)] = 2[1 - \cos^2(\pi f / f_s) + \sin^2(\pi f / f_s)] \\
&= [2 \sin(\pi f / f_s)]^2 \tag{2.21}
\end{aligned}$$

由式(2.21)中我們可以得出，量化雜訊在 $f_s / 2$ 處有最大值。量化雜訊在訊號頻段內的能量 σ_{e,in_band}^2 ，可表示為[16]

$$\sigma_{e,in_band}^2 = \int_{-f_B}^{f_B} S_e(f) \cdot |NTF(f)|^2 df = \int_0^{f_B} 2 \cdot S_e(f) \cdot |NTF(f)|^2 df \tag{2.22}$$

令 $f_s = 1$ ，則 $f_B = 1/(2 \cdot OSR)$ ；且 $f_s \gg f_B$ ，則 $|NTF(f)|^2$ 可近似為 $(2\pi f)^2$ ，並將式(2.9)代入，可將式(2.22)改寫為

$$\sigma_{e,in_band}^2 = \int_0^{1/2OSR} 2 \cdot \frac{\Delta^2}{12} \cdot (2\pi f)^2 df \tag{2.23}$$

若最大量化訊號為 A ，量化器為 1-bit，則 $\Delta=2A$ ，代入(2-23)可得

$$\sigma_{e,in_band}^2 = \frac{8A^2\pi^2}{3} \int_0^{1/2OSR} f^2 df = \frac{A^2\pi^2}{9(OSR)^3} \tag{2.24}$$

假設調變器輸入訊號為最大振幅 M 的正弦波，由於 STF 僅為一個延遲，經過調變器後其能量不改變，因此頻段內之輸入訊號能量 σ_{in}^2 為 $M^2/2$ ，則訊號頻段內的 $SQNR$ 可表示為

$$SQNR_{in_band} = \frac{\sigma_{in}^2}{\sigma_{e,in_band}^2} = \frac{M^2}{A^2} \frac{9 \cdot OSR^3}{2\pi^2} \tag{2.25}$$

因此，在相同的輸入訊號的狀況下，每增加一倍的超取樣率可以等效增加 9dB 的

SQNR，亦即增加了大約 1.5 個位元的等效位元數 ENOB(Effective Number of Bits)。

2-3-3 低通二階三角積分調變

一個標準的二階三角積分調變器，如圖 2-19 所示，其回授路徑有兩個，其負回授係數 C_0 、 C_1 用以抵銷轉移函數中不需要的係數，以達到輸入訊號轉移函數為全通的效果。

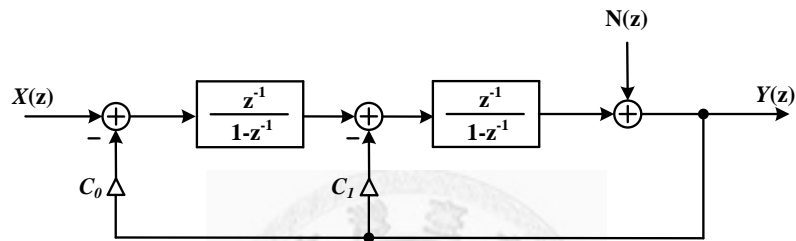


圖 2-19 二階三角積分調變器

推導圖 2-19 之 STF 、 NTF 分為別

$$STF(z) = \frac{z^{-2}}{1 + (c_1 - 2)z^{-1} + (1 - c_1 + c_0)z^{-2}} \quad (2.26)$$

$$NTF(z) = \frac{(1 - z^{-1})^2}{1 + (c_1 - 2)z^{-1} + (1 - c_1 + c_0)z^{-2}} \quad (2.27)$$

若要滿足訊號轉移函數為全通，令 $STF(z) = z^{-2}$ ，則可得出 $c_0=1$ ； $c_1=2$ ， $NTF(z)$ 為

$$NTF(z) = (1 - z^{-1})^2 \quad (2.28)$$

此時，其量化雜訊的平方值可表示為

$$\left| NTF(e^{j2\pi f / f_s}) \right|^2 = \left| 1 - e^{-j2\pi f / f_s} \right|^4 = (2 \sin(\pi f / f_s))^4 \quad (2.29)$$

由式(2.29)中我們亦可得出，量化雜訊在 $f_s / 2$ 處有最大值。依照式(2.22)並依 2-3-2

節的簡化計算量化雜訊在訊號頻段內的能量 σ_{e, in_band}^2 ，可得

$$\sigma_{e,in_band}^2 = \int_0^{f_B} 2 \cdot S_e(f) \cdot |NTF(f)|^2 df = \int_0^{1/2OSR} 2 \cdot \frac{\Delta^2}{12} \cdot (2\pi f)^4 df \quad (2.30)$$

若最大量化訊號為 A，量化器為 1-bit，則 $\Delta=2A$ ，代入(2.30)可得

$$\sigma_{e,in_band}^2 = \frac{2^5 A^2 \pi^4}{15} \int_0^{1/2OSR} f^4 df = \frac{A^2 \pi^4}{15(OSR)^3} \quad (2.31)$$

假設調變器輸入訊號為最大振幅 M 的正弦波，則訊號頻段內的 SQNR 可表示為

$$SQNR_{in_band} = \frac{\sigma_{in}^2}{\sigma_{e,in_band}^2} = \frac{M^2}{A^2} \frac{15 \cdot OSR^5}{2\pi^4} \quad (2.32)$$

從以上推導可以得知，在相同的輸入訊號的狀況下，每增加一倍的超取樣率可以等效增加 15dB 的 SQNR，亦即增加了大約 2.5 個位元的等效位元數。

2-3-4 低通高階三角積分調變

對於一個高於二階的 N 階三角積分調變來說，最簡單的訊號轉移函數可表示為延遲 N 個單位時間，即 $STF(z) = z^{-N}$ ；雜訊轉移函數可表示為基本高通函數的 N 次方，即 $NTF(z) = (1 - z^{-1})^N$ ，依照前兩小節的假設我們可推得其訊號頻段內的量化雜訊能量為

$$\sigma_{e,in_band}^2 = \int_0^{f_B} 2 \cdot S_e(f) \cdot |NTF(f)|^2 df = \int_0^{1/2OSR} 2 \cdot \frac{\Delta^2}{12} \cdot (2\pi f)^{2N} df \quad (2.33)$$

若最大量化訊號振幅為 A，量化器為 1-bit，則 $\Delta=2A$ ，代入(2-33)可得

$$\sigma_{e,in_band}^2 = \frac{4A^2 \cdot (2\pi)^{2N}}{6} \int_0^{1/2OSR} f^{2N} df \frac{A^2 \pi^{2N}}{3(2N+1) \cdot OSR^{2N+1}} \quad (2.34)$$

假設調變器輸入訊號為最大振幅 M 的正弦波，則訊號頻段內的 SQNR 可表示為

$$SQNR_{in_band} = \frac{\sigma_{in}^2}{\sigma_{e,in_band}^2} = \frac{M^2}{A^2} \frac{3(2N+1) \cdot OSR^{2N+1}}{2\pi^{2N}} \quad (2.35)$$

從以上推導可以得知，在相同的輸入訊號其訊號頻寬的狀況下，每增加一倍的超取樣率可以等效增加 $3(2N+1)$ dB 的 SQNR，亦即增加了大約 $(N+0.5)$ 個位元的等效位元數。

對於三角積分調變器來說，內部必定有積分函數，故系統是否能夠穩定，最先考量是輸入訊號不能過大，以免負回授後的第一個積分器永遠都在累加一個同號的值，終將使積分器輸出產生飽和的現象，再者後級的每個積分器輸出也不能飽和。另外，調變器採用負回授組態，因此對於二階以上的調變器，必須要考量穩定度的問題，雖然可以使用根軌跡的分析方式去確認初始的穩定狀態[17]。然而三角積分調變器並不是一個線性系統，其穩定狀態除了與輸入訊號有關之外，還與前一個狀態有關。因此目前對於高階的調變器還沒有保證在任何輸入狀態下皆可穩定的理論。然而，對於系統的穩定度有一個保守的準則可供參考，可盡量避免不穩定的發生。Lee's 準則[18]中提到，對於 1-bit 量化器的調變器而言，穩定的可能條件為

$$\left|NTF(e^{j\omega})\right|_{\max} < 2 \quad (2.36)$$

其中， $\left|NTF(e^{j\omega})\right|_{\max}$ 代表雜訊轉移函數在各種不同頻率的_{max}最大值，其上限值並非固定，在二階某些狀況下甚至可以達到 4，但隨著階數提高需要向下修正，在七階系統甚至需要下修到 1.4。然而在實務上，高階的調變器依舊需要透過大量不同狀況以及長時間的時域模擬，方能確保系統穩定不致於發散。發散的狀態可經由輸出串流位元觀察出來，正常的調變輸出應該是快速的 1 或 0 的切換跳動，若輸出訊號經過一段時間不改變，意味著最後一級積分器發生持續飽和的現象，導致輸出無法正確跳動，其示意如圖 2-20 所示。

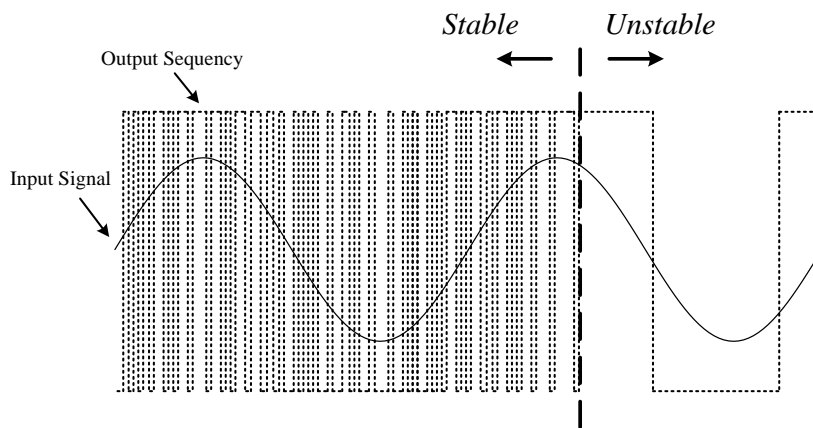


圖 2-20 三角積分調變器之不穩定狀態

2-3-5 帶通三角積分調變

帶通(Band Pass)三角積分調變的輸入訊號是一個有頻寬，且不限定在低頻的訊號，倘若我們能夠將訊號轉移函數設定為全通，同時將雜訊轉移函數的零點置於訊號頻段內，那麼雜訊在訊號頻段內的能量將因為被整型而大幅減少，等效提升了訊噪比，一般可應用在較高速的類比數位轉換器上。其示意如圖 2-21。

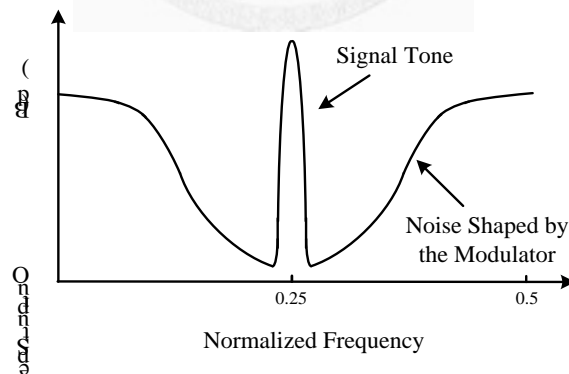


圖 2-21 帶通三角積分調變器之輸出頻譜

帶通三角積分調變主要是應用在射頻的通訊電路上，第一次的應用是在GSM通訊系統的收發器上[19]。基本上帶通調變與低通調變在雜訊以及穩定度的特性相同，其數學模型只要將雜訊轉移函數中的 z 取代為 $-z^2$ 即可，以二階系統的式(2.28)為例，

可得帶通雜訊轉移函數為

$$NTF_{BP}(z) = NTF_{LP}(z) \Big|_{z \rightarrow -z^{-2}} = (1 + z^{-2})^2 \quad (2.37)$$

其零點位於 $\pm j\pi/2$ ，則其零點可轉換為

$$z = e^{j\omega T} = e^{\pm j\frac{\pi}{2}} \quad (2.38)$$

因此

$$\omega T = 2\pi f / f_s = \pi / 2 \quad (2.39)$$

比對式(2.38)及式(2.39)可得

$$f = \pm f_s / 4 \quad (2.40)$$

從上式可以得出，依照前述方法去轉換出來的帶通雜訊轉移函數之零點落在 1/4 取樣頻率上。由於輸入訊號並不會調變，因此只要選擇取樣頻率為四倍的輸入訊號頻率，就可以讓雜訊轉移函數的零點落在訊號頻段內，將雜訊推移至頻段之外。

2-4 高階三角積分調變器之架構

高階三角積分調變器依照迴路架構可分為單級迴路及多級迴路兩種，在上述兩種迴路架構下，類比積分器的型式又可以細分為離散時間架構以及連續時間兩種架構，以下小節將針對分類做介紹與優缺點比較。

2-4-1 單級迴路架構(Single-Stage)

單級迴路架構型態為將每一級積分器的輸出串連起來，並透過適當回授達到雜訊整形目的，依照不同的輸入及回授路徑，可將單級迴路架構分為以下幾個架構[20]：

1. **CIDF**：Cascaded Integrators with Distributed Feedback

此架構基本組態如圖 2-22 所示，其輸入僅由第一級積分器端灌入，量化後訊號回授至每個積分器的輸入端。每個積分器皆為延遲積分器 $[(z^{-1}/1-z^{-1})]$ 。此為最基本的調變器架構，其 NTF 的零點固定在 1，即DC的位置， STF 的型態亦固定為 z^{-N} ，不能透過選擇積分器形式及調整回路參數來改變。

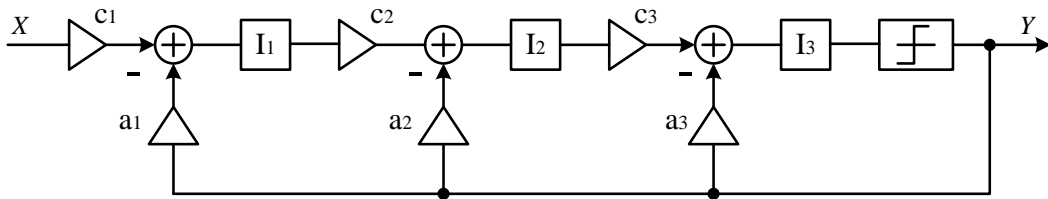


圖 2-22 三階 CDF 架構

2. CIDIDF : Cascaded Integrators with Distributed Input and Distributed Feedback

此架構基本組態如圖 2-23 所示，其輸入以不同比例灌入各級積分器，量化器輸出亦回授至各個積分器輸入端。這個架構擁有更多的轉移函數選擇性，若選擇偶數級的積分為非延遲積分器 $[(1/1-z^{-1})]$ ，那麼 g_1 參數可以用來調整 NTF 的零點位置，使訊號頻段內的零點分開。此外， STF 的型態可被調整，如設定 $STF=1$ ，代表訊號經過調變器的過程中並不會被延遲。

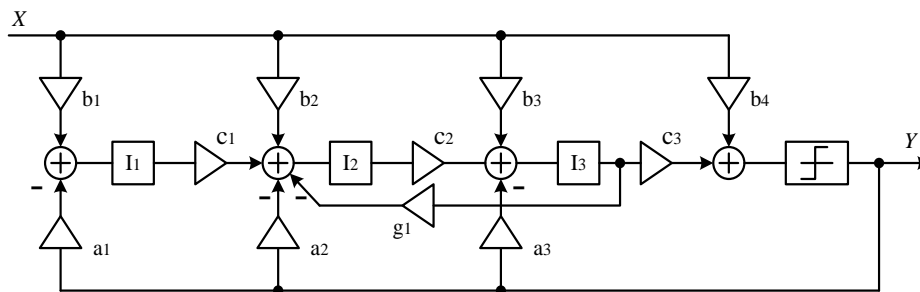


圖 2-23 三階 CIDIDF 架構

3. CIDIFF : Cascaded Integrators with Distributed Input and summing Feed-Forward

此架構基本組態如圖 2-24 所示，其輸入以不同比例灌入各級積分器，量化器輸出僅回授至第一級積分器的輸入端。其特性與CIDIDF相同，於偶數級選用非延遲積分器時可利用 g_1 參數調整 NTF ， STF 亦可調整成輸入訊號不會延遲的狀態。

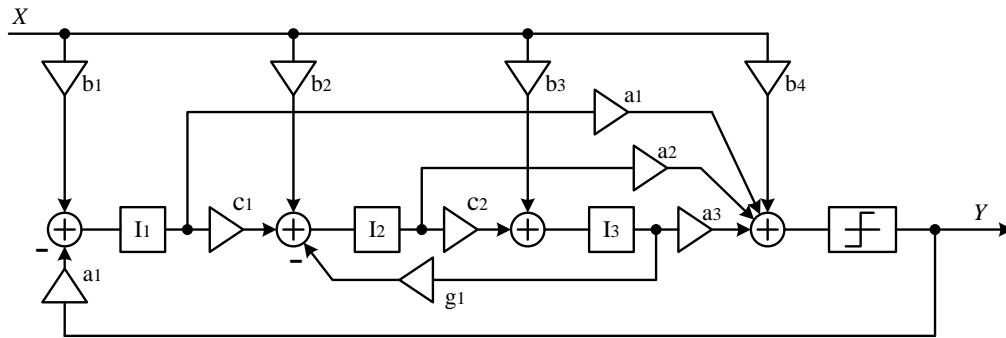


圖 2-24 三階 CIDIFF 架構

2-4-2 多級迴路架構(Multi-Stage)

多級迴路架構的輸入僅在第一級，第二級的輸入是第一級的量化誤差，在經過多級的量化誤差串接(Cascaded)後再將每一級輸出作誤差抵銷(Noise-Cancelling)的運算，最終我們依舊可以推導出一個 N 階的雜訊轉移函數。一般將之命名為 MASH(Multi-Stage-Noise-Shaping)架構，如 MASH 1-1-1 代表三個一階積分迴路串接，總階數為 3；MASH 2-1 代表第一級是二階積分迴路，第二級為一階積分迴路的串接組態，總階數為 3。它們的架構如圖 2-25 所示。此架構的最大好處是當每級積分迴路階數皆小於 2 時，不論後級串接多少級，系統仍能維持穩定。並且此架構能將量化雜訊更平均的分布在頻譜上[21]，使量化雜訊模型更為準確。然而此架構因為包含類比積分迴路及數位抵銷電路，故類比及數位輸出之間的時序需要完美的吻合，否則將會引起雜訊轉移函數的偏移，造成訊號頻寬內的雜訊來源。單級與多級迴路的優缺比較如表 2-1 所示。

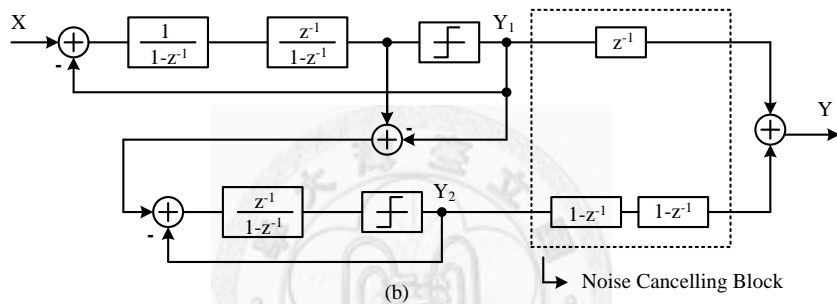
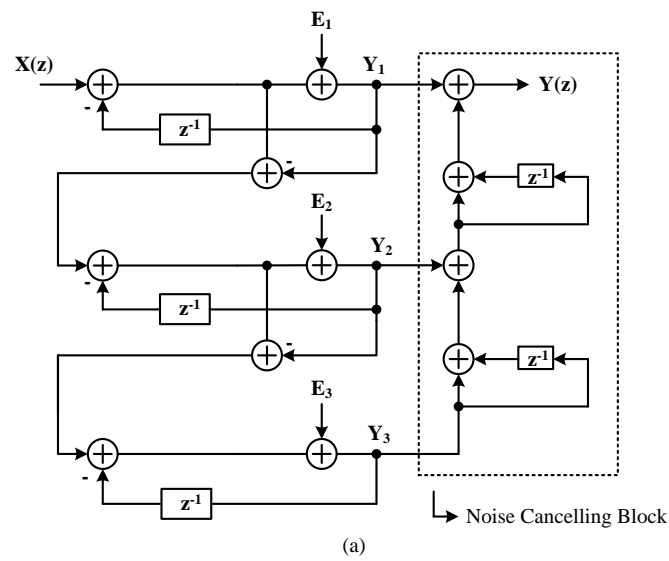


圖 2-25 (a) MASH 1-1-1 (b) MASH 2-1 架構

Type	Advantage	Disadvantage
Single Stage	<ul style="list-style-type: none"> ■ Simple circuit design. ■ More flexibility to select NTF. 	<ul style="list-style-type: none"> ■ Stability issues for high order modulators. ■ Input range must be restricted to ensure stability.
Multi Stage	<ul style="list-style-type: none"> ■ Inherently stable. ■ More random Quantization noise. 	<ul style="list-style-type: none"> ■ Required matching between analog and digital parts. ■ Imperfect matching result in in-band leakage tones.

表 2-1 單級與多級架構之比較

2-4-3 離散時間積分器架構(Discrete Time Integration)

依照類比三角積分調變器的內部積分元件的實現方式，可將積分器分為離散與連續積分器兩種架構，離散時間積分形式實踐上較為直覺容易，但因為訊號是從第一級積分器直接取樣，所以靠近取樣頻率的整數倍頻率處附近之雜訊將會直接折疊回訊號頻段，造成圖形失真。其組態可分為延遲與非延遲組態。一個標準的延遲組態積分器如圖 2-26 所示， ϕ_1 、 ϕ_2 為一組非重疊的反向時脈方波。

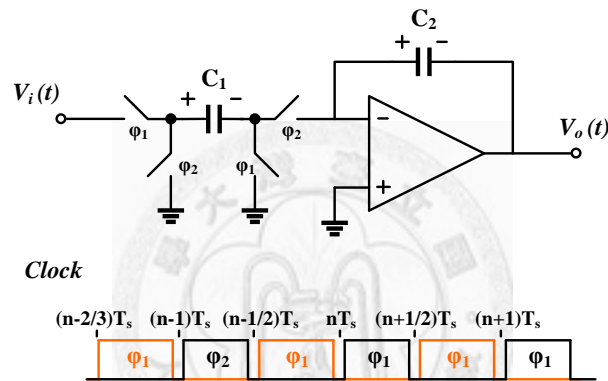


圖 2-26 延遲組態離散時間積分器

由圖 2-26 中我們可以推導出每個時脈終止前之瞬間 C1 及 C2 的電荷方程式為

For ϕ_1 :

$$Q_1[(n-1)T_s] = C_1 V_i[(n-1)T_s] \quad (2.41)$$

$$Q_2[(n-1)T_s] = Q_2[(n-\frac{2}{3})T_s] \quad (2.42)$$

For ϕ_2 :

$$Q_1[(n-\frac{1}{2})T_s] = C_1 \cdot 0 \quad (2.43)$$

$$Q_2[(n-\frac{1}{2})T_s] = Q_2[(n-1)T_s] + (-Q_1[(n-1)T_s]) \quad (2.44)$$

For ϕ_{1+} :

$$Q_1[nT_s] = C_1 V_i[nT_s] \quad (2.45)$$

$$Q_2[nT_s] = Q_2[(n-1)T_s] + (-Q_1[(n-1)T_s]) \quad (2.46)$$

且 $V_o = -Q_2/C_2$ 、 $V_i = Q_1/C_1$ ，代入式(2.46)，可得

$$-C_2 V_o[nT_s] = -C_2 V_i[(n-1)T_s] + (-C_1 V_i[(n-1)T_s]) \quad (2.47)$$

整理式(2.47)，取差分方程可將積分器轉移函數表示為

$$\frac{Vo(z)}{Vi(z)} = \frac{C_1}{C_2} \frac{z^{-1}}{1-z^{-1}} \quad (2.48)$$

由式(2.48)可以得出一個可適用於三角積分調變器的轉移函數，利用兩個電容的比值可以改變積分器的積分常數。

非延遲組態積分器如圖 2-27 所示。雖然結構與延遲組態相同，但開關切換訊號的相位不同。

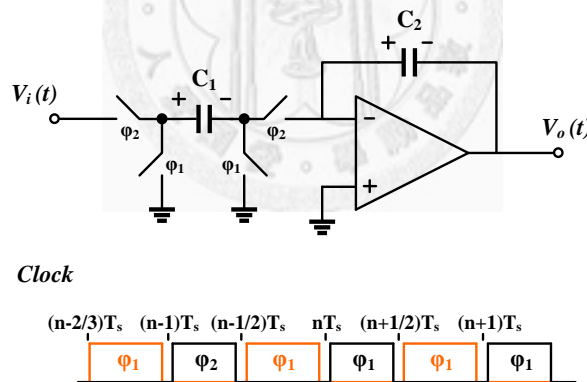


圖 2-27 非延遲組態離散時間積分器

我們同樣可以寫出如上述的電荷方程式，推導出此組態的轉移函數為

$$\frac{Vo(z)}{Vi(z)} = -\frac{C_1}{C_2} \frac{1}{1-z^{-1}} \quad (2.49)$$

由式(2.49)可以得出一個反向的非延遲積分轉移函數，同樣利用兩個電容的比值改變積分器的積分常數。

2-4-4 連續時間積分器架構(Continuous Time Integration)

使用連續時間的積分器的好處在於取樣僅發生在量化器前，圖形失真的狀況將會減輕。而且可以等效應用在離散的轉移函數上，首先我們可以將一個連續時間的輸入訊號 $x_I(t)$ 以及連續的積分器視作間隔為 T_s 的離散值乘上一個 RZ(Return to Zero)的轉移函數 $h(t)$ ，使用 RZ 的用意在於減少切換過程中，上升時間與下降時間的不匹配，整個輸入訊號的拆解示意圖如 2-28。

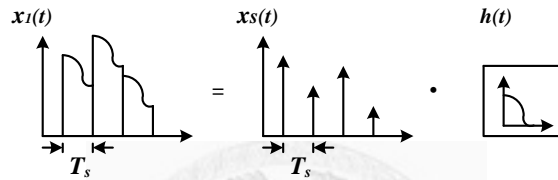


圖 2-28 連續訊號的離散等效

我們就可以把輸入訊號視為 $x_s(t)$ ，那麼整體的積分器轉移函數可表示為 $h(t) \cdot f(t)$ ，其中 $f(t)$ 為調變器的積分轉移函數，我們可以寫出以下反拉式等式

$$h(t) * f(t) = L^{-1}\{H(s) \cdot F(s)\} \quad (2.50)$$

利用 Impulse-Invariant Method，式(2.50)可表示為

$$H(z) \cdot F(z) = z^{-\tau/T_s} \cdot \sum_{n=0}^{\infty} hf(nT_s + \tau)z^{-n} \quad (2.51)$$

若定義 $h(t)$ 為

$$\begin{aligned} h(t) &= 1, \quad t \in \left(\frac{T_s}{4}, \frac{3T_s}{4}\right) \\ h(t) &= 0, \quad t \notin \left(\frac{T_s}{4}, \frac{3T_s}{4}\right) \end{aligned} \quad (2.52)$$

對式(2.52)取拉式轉換可得

$$H(s) = \frac{e^{-s\frac{T_s}{4}} - e^{-s\frac{3T_s}{4}}}{s} \quad (2.53)$$

基本的連續時間積分器可表示為

$$F(s) = \frac{1}{T \cdot s} \quad (2.54)$$

將(2.54)、(2.53)代入(2.51)，並令 $\tau = T_s$ ，可得

$$\begin{aligned} H(z) \cdot F(z) &= \sum_{n=0}^{\infty} \frac{(nT_s + \frac{3}{4}T_s) \cdot u(nT_s + \frac{3}{4}T_s) - (nT_s + \frac{1}{4}T_s) \cdot u(nT_s + \frac{1}{4}T_s)}{T} \cdot z^{-(n+1)} \\ &= \sum_{n=0}^{\infty} \frac{(nT_s + \frac{3}{4}T_s) - (nT_s + \frac{1}{4}T_s)}{T} \cdot z^{-(n+1)} \\ &= \frac{T_s}{2T} z^{-1} \cdot \sum_{n=0}^{\infty} z^{-n} = \frac{T_s}{2T} \cdot \frac{z^{-1}}{1 - z^{-1}} \end{aligned} \quad (2.55)$$

由式(2.55)可以得出一個延遲組態的積分轉移函數，利用取樣頻率以及積分器常數的比例來改變積分器比例常數。連續時間與離散時間積分器的比較[22][23]如表 2-2 所示。

Type	Advantage	Disadvantage
Discrete Filter	<ul style="list-style-type: none"> ■ Easy to design. ■ Insensitive to clock jitter. ■ The pole zero is set by the ratio of caps, which are highly accuracy. 	<ul style="list-style-type: none"> ■ Anti-aliasing filter is required. ■ Needs large caps size to lower the KT/C noise for high SNR applications. ■ The settling time constrains result in high quiescent current of op-amps.
Continuous Filter	<ul style="list-style-type: none"> ■ Aliasing filter can be discards. ■ The quiescent current is lower than discrete filter. ■ Easy to board-band. ■ SNR is not limited by cap size. 	<ul style="list-style-type: none"> ■ Requires low-noise op-amps, linear high-value resistors. ■ Sensitive to clock jitter. ■ Requires accurate RC time constant and linear op-amps.

表 2-2 離散時間積分器與連續時間積分器之比較

2-5 效能指標

對於三角積分調變器而言，最主要的效能指標有訊號雜訊比以及輸入動態範圍兩項，以下小節將對這兩個指標作定義的介紹。

2-5-1 訊號雜訊比

對於調變系統而言，最好的狀況是主要訊號越強，其餘雜訊越低越好，對於不同種類的雜訊，各有不同的訊號雜訊比之定義。除了先前曾經定義過的 SQNR 外，還有 SNR(Signal-to-Noise Ratio)、SNDR(Signal-to-Noise and Distortion Ratio) 兩種，其定義分別為

$$SNR = \frac{\text{Signal Power}}{\text{Total Noise Power (without signal distortion)}} \quad (2.56)$$

$$SNDR = \frac{\text{Signal Power}}{\text{Total Noise Power} + \text{Total Harmonic Power}} \quad (2.57)$$

2-5-2 輸入動態範圍(Dynamic Range)

當調變器輸入越大時，SNR 也會隨之變大，然而輸入訊號到達使內部訊號飽和的值之後，其 SNR 反而會大幅衰退。因此調變器可工作的輸入範圍(Dynamic Range)，是很重要的一項性能指標，它可以表示出調變器可工作的正常範圍。一般定義為讓 SNR 最大值的輸入與 SNR 為 0 dB 時的輸入的比值，通常以 dB 來表示其值，我們可以從輸入大小與輸出對應的 SNR 圖表中得出，如圖 2-29 所標示。

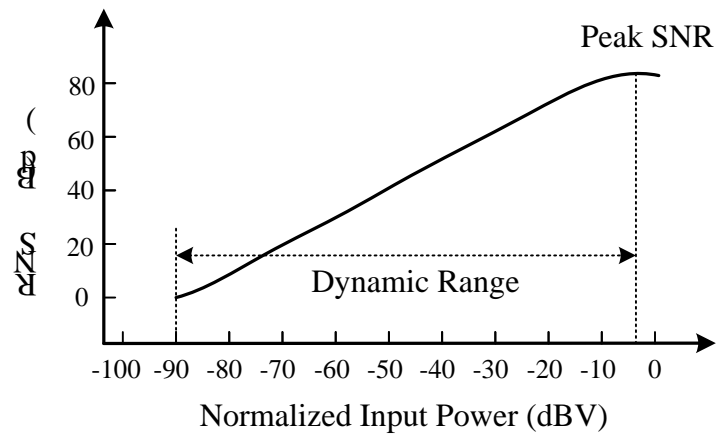


圖 2-29 輸入動態範圍示意圖



第三章 使用於非整數頻率合成器(Fractional-N Synthesizer)之多級三

角積分調變器設計

3-1 引言

如同前章所述，三角積分調變器可以應用在非整數的除頻器上，而非整數除頻器是除小數頻率合成器中(Fractional-N Frequency Synthesizer)的關鍵部分，使用非整數除頻器可以讓頻率合成器達到較小的通道頻率間距(Channel Bandwidth)和較大的參考頻率同時存在，兼顧相位雜訊及鎖定速度[24]。

3-1-1 非整數除頻器

有別於一般的整數頻率合成器，除小數的應用是更有吸引力的。就一個鎖相迴路(Phase Lock Loop)組態的頻率合成器來說，若使用整數除頻器，那麼可調整的通道頻率間距將會是參考頻率(Reference Frequency)的整數倍。也就是說一個通道頻率間距就等於輸入的頻率。然而對通道頻率間距較窄的應用規格來說，此限制將會導致我們的輸入頻率較慢，那麼鎖相迴路的迴路頻寬(Loop Bandwidth)也將相對受限，導致鎖定時間(Locking Time)無法加快。若選用非整數除頻器，那麼鎖相迴路輸出頻率差值為 $N \cdot 0.f$ ，其中 $0.f$ 代表除頻器最小等效除數值、 N 為一個自然數。從前面的論述可以發現在相同的通道頻率間距下，非整數除頻器可以選用的參考頻率相較於整數除頻器來說，可以提升 $(1/0.f)$ 倍，自然也可以選用較大的迴路頻寬以增快鎖定時間。

第二章說明過可利用三角積分調變器來切換多除數除頻器來達成除小數的效果，其最小通道間距可以透過數位型式調變器的位元數來改變，例如輸入級使用

16-bit的累加器，那麼我們的輸入有 2^{16} 種。若輸出位元為 1-bit，應用在除四除五的除頻器上，就可以讓等效除數落在四與五的中間，每個通道間距將為可除頻率間距的 $1/2^{16}$ 倍。此外，利用改變三角積分器的輸入，甚至可以製作出具有展頻(Spread Spectrum)效果的頻率合成器[25]。

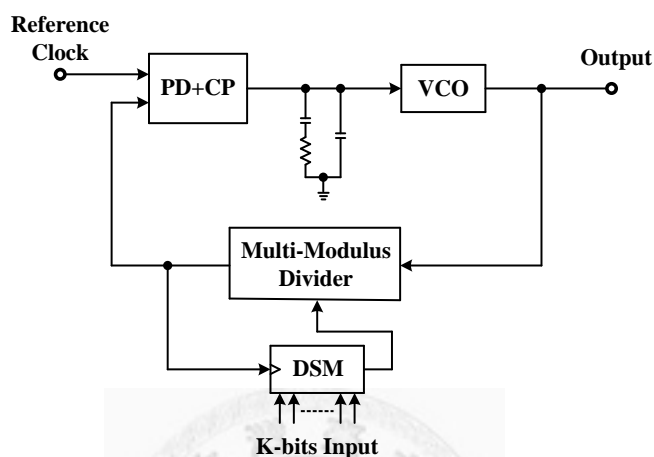


圖 3-1 非整數頻率合成器

3-1-2 電路架構

應用在非整數除頻器上的三角積分調變器是全數位的實現方式，依照架構上的分類也可以將之分為單級[26]與多級迴路，單級 4-bit 輸入(最大位元為符號位元)之電路模型如圖 3-2[27]；多級 1-1-1 如第二章圖 2-25 所示。其中數位的量化器稱之為位元擷取器(Truncator)，用以擷取所需要的最高或最高數個位元，視同將累加器的輸出結果加以量化。

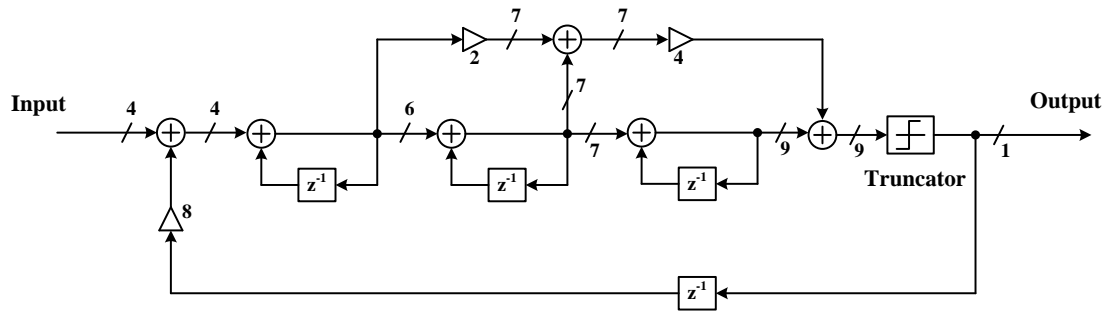


圖 3-2 單級數位三角積分調變器

回想表 2-1 中對於單級迴路及多級迴路的比較，多級迴路保證穩定的特性及量化雜訊的平均分布的好處，加上其電路實現方式為全數位，沒有類比數位混和電路需要時間上完美匹配的限制，因此多級迴路被大量的應用在非整數頻率合成器上 [28]。MASH 1-1-1 調變器之數學模型如圖 3-3 所示。

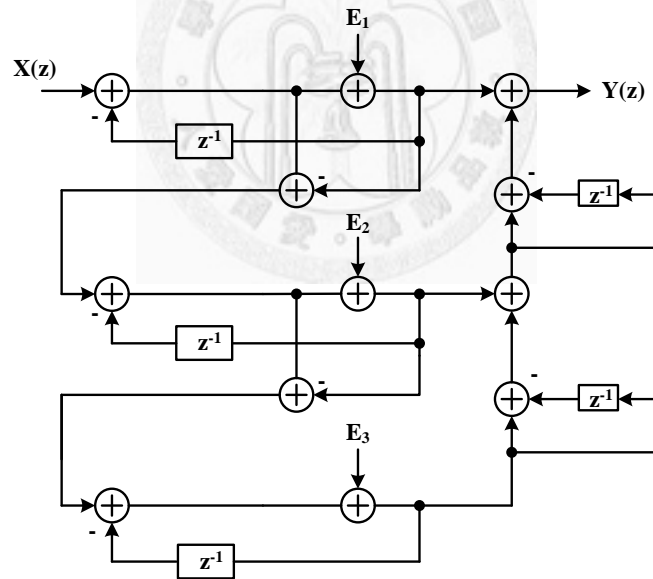


圖 3-3 MASH 1-1-1 之數學模型

其中， E_1 、 E_2 、 E_3 依序為每一級的量化誤差，推導圖中的轉移函式，可得

$$\begin{aligned}
Y(z) &= X(z) + (1-z^{-1})E_1 \\
&\quad + (-E_1 + E_2)(1-z^{-1})(1-z^{-1}) \\
&\quad + (-E_2 + E_3)(1-z^{-1})(1-z^{-1})^2 \\
&= X(z) + E_3(1-z^{-1})^3
\end{aligned}
\tag{3.1}$$

由式(3.1)可以得到三階雜訊整形效果，以下章節將以此架構實作三角積分調變器。

3-2 多級雜訊整形 1-1-1 調變器(MASH 1-1-1)之電路模擬

由圖 3-3 可以知道第一級我們需要累加器，其溢位值(Over-flow)視作量化器輸出到誤差消除電路，未進位值(即量化雜訊)直接灌入第二級作為輸入，依此方法可比對出電路方塊如圖 3-4。

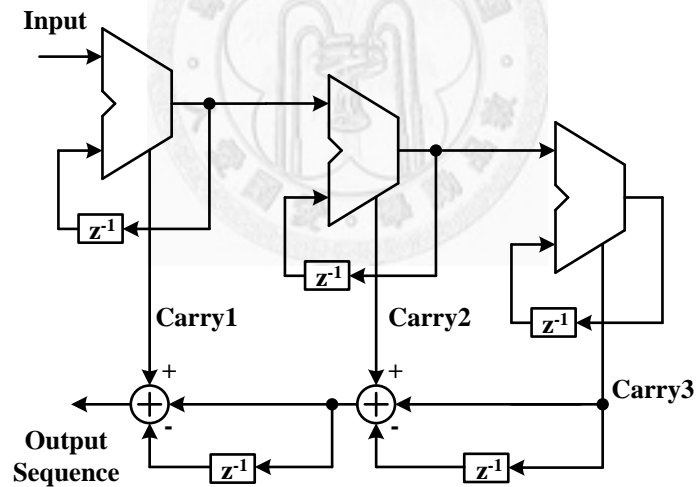


圖 3-4 MASH 1-1-1 之電路方塊

由圖 3-4 可以知道我們需要加法器以及 D Flip-Flop 來完成累加器，並經由適當的運算單元處理每個累加器的進位輸出以完成電路。調變器時脈與頻率合成器的參考頻率大致相同，為達到適用較高迴路頻寬的設計。我們設定電路最大操作時脈為 80MHz，並使用 TSMC rf-0.18 製程模擬，電路規格如表 3-1。

Tech.	TSMC rf-018
Input Bits	16
Output Bits	4 (With 1 sign bit)
Resolution	16
Operation Freq.	80 MHz
Supply Voltage	1.2V
Architecture	MASH 1-1-1
Order	3

表 3-1 數位三角積分調變器規格表

3-2-1 行為模擬

製作三角積分調變器需要行為模擬來幫助我們確認選取的參數與架構是否正確，並初步判定最大容許輸入值與系統是否收斂。我們以Matlab的Simulink以及Verilog來模擬並驗證電路的運算是否正確。在此選用 16-bit的加法器來設計，使得此調變器擁有 16-bit的解析度，值得注意的是，三階的調變器輸出的所有可能將是 2^3 個位準，一般是從-3 到 4 的八個值。倘若我們輸入 42000 的值，則調變器的輸出將不斷跳動，但平均將穩定在 $42000/2^{16}=0.6408$ 附近。其Matlab行為模擬的設定如圖 3-5 所示。

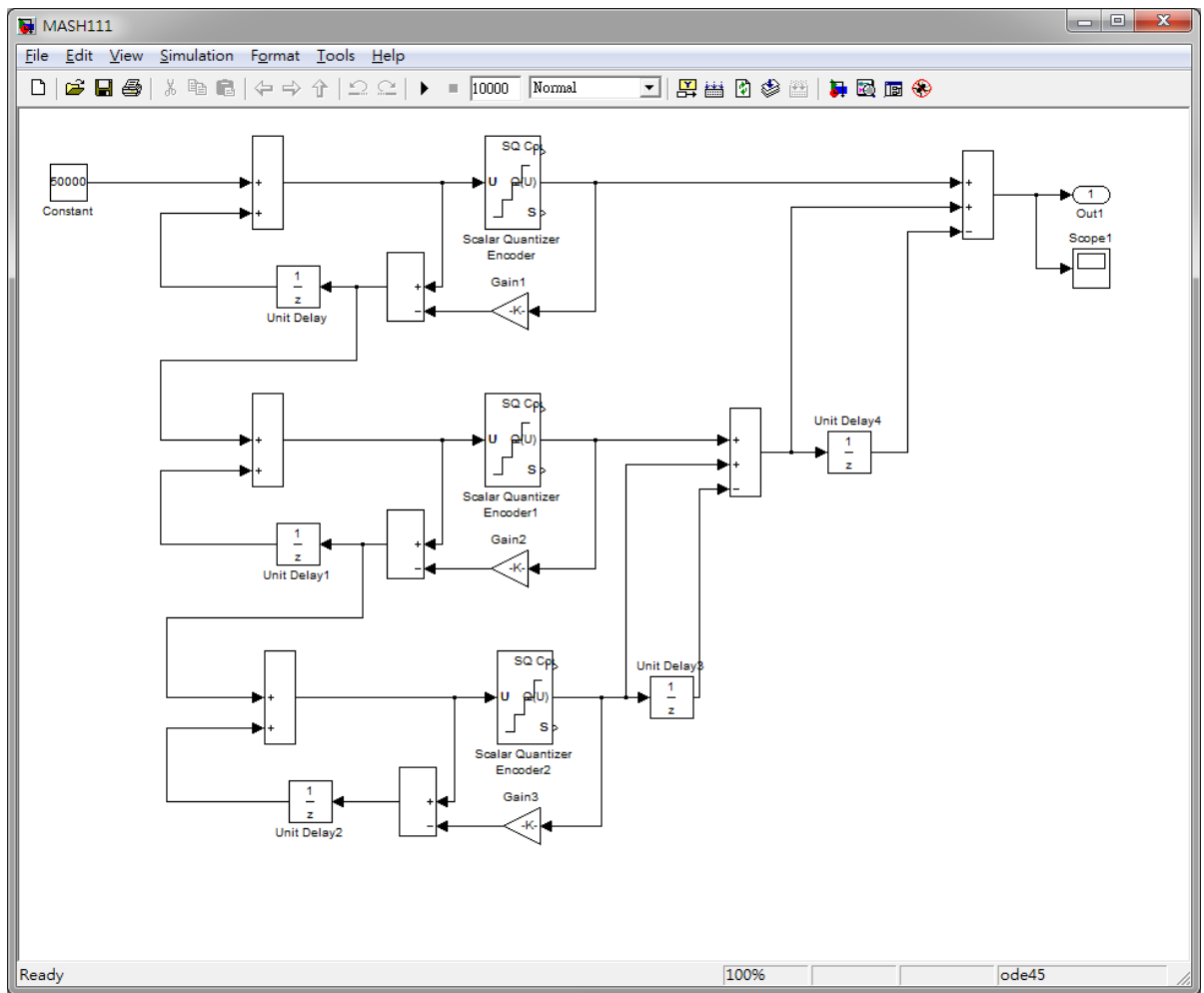


圖 3-5 多級調變器 Matlab 模擬

分別以前 N 個輸出結果與前 N 項平均值為橫座標及縱座標可繪出輸入為 42000 時 verilog 及 Matlab 的行為模擬結果如圖 3-6，兩者的平均數皆落在 0.6408 附近，符合預期。

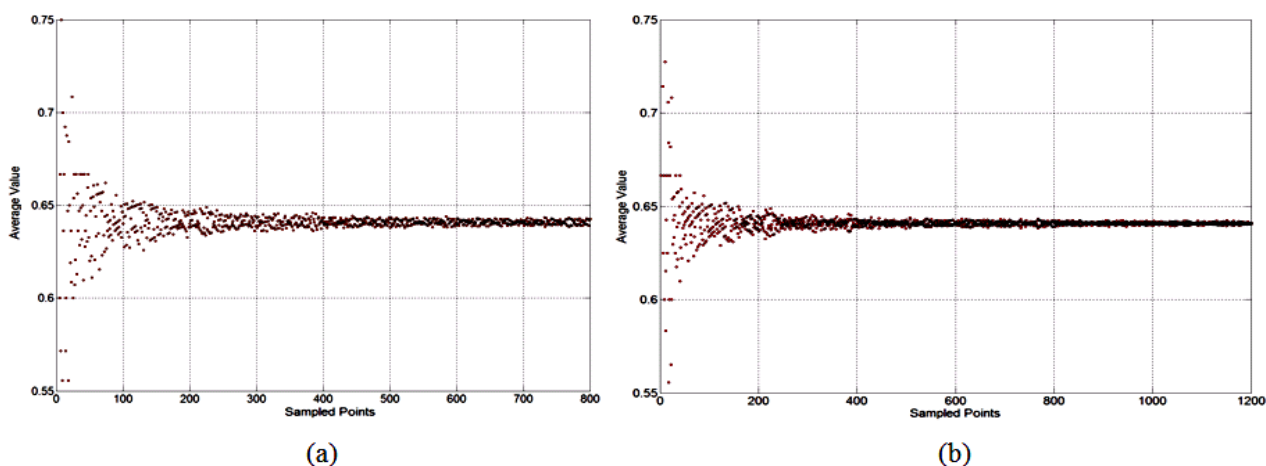


圖 3-6 行為模擬結果 (a) Verilog (b) Matlab

3-2-2 加法器

本論文中的加法器採用全加器，電路架構圖如圖 3-7，經過單個全加器之模擬得出傳遞延遲(Propagation Delay)約為 0.4ns，若採用一般的漣波式加法器(Ripple-Carry Adder)，那麼可約略推出三級 16 位元累加器的最壞情況的延遲為 19.2ns，倘若再加上誤差消除運算的兩個四位元全加器，則最壞延遲情況約略為 22.4ns，在考量最壞情況下的延遲情況，電路的時脈間隔必須大於傳遞延遲方能正確操作，因此保守估算出電路可操作最高頻率為 44.6MHz，與先前期望操作速度 80MHz 相差甚遠，故採用預先進位加法器(Carry-Look-Ahead Adder)，以預先求得進位值的方式減少後級加法器等待進位的時間，將可大幅降低傳遞延遲，最壞情況的 16 位元預先進位加法器模擬結果如圖 3-8，總延遲約為 2ns。三級累加器以及誤差運算的總延遲為 11ns，最保守狀況下電路可操作最高頻率可達 90.9MHz，符合設計規格。

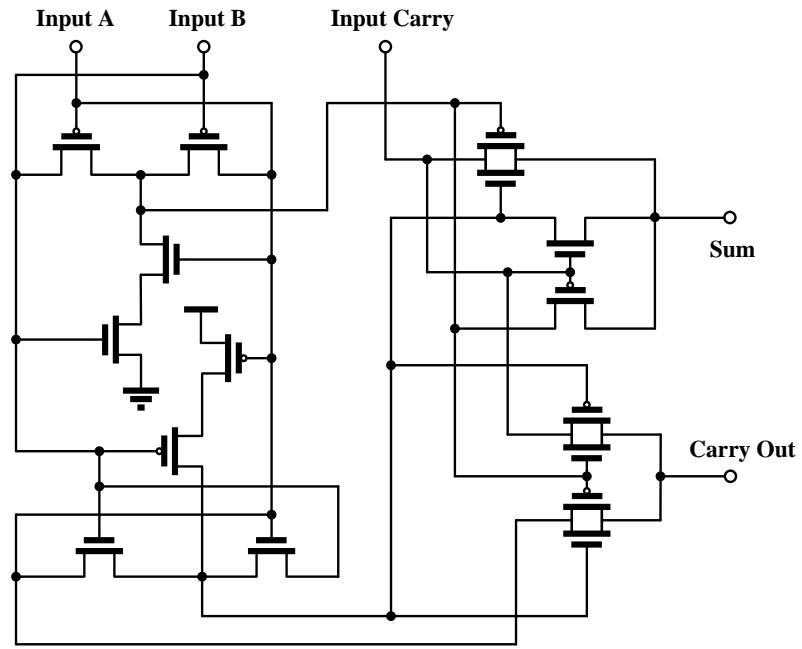


圖 3-7 全加器電路圖

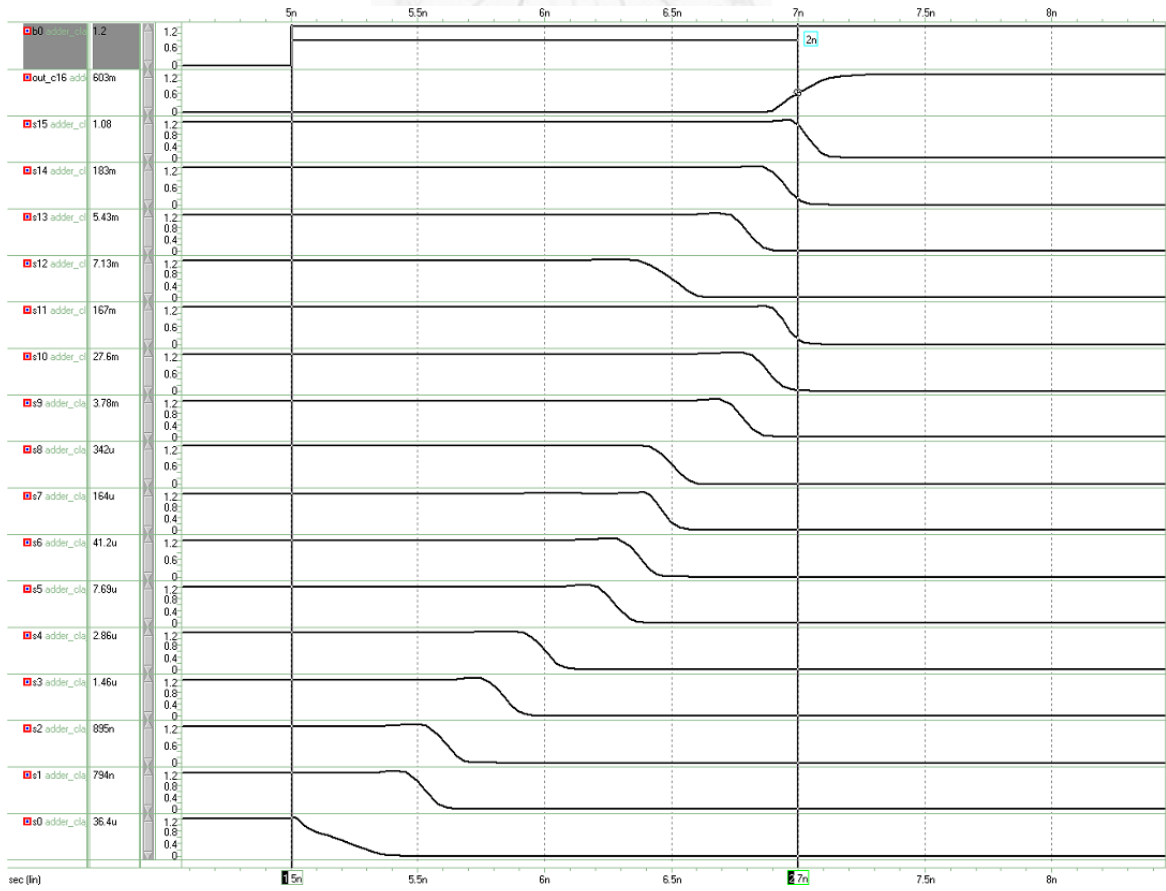


圖 3-8 預先進位加法器之傳輸延遲模擬結果

3-2-3 累加器

累加器是由前述預先進位加法器及 D Flip Flop 實現。採用傳輸閘形式盡量減少延遲及電晶體數量，D Flip Flop 電路如圖 3-9 所示，模擬結果之傳遞延遲約為 0.1ns。

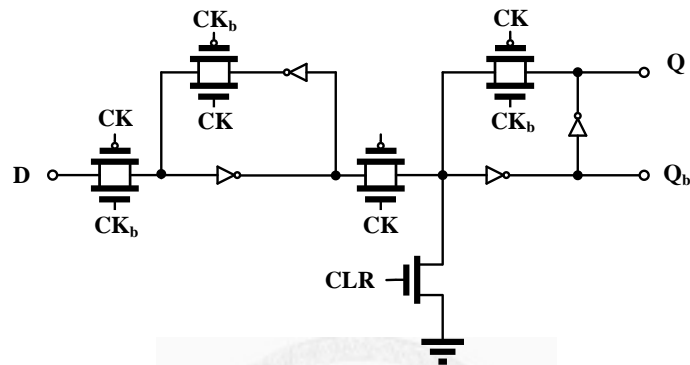


圖 3-9 傳輸閘形式之 D Flip Flop

3-2-4 誤差消除電路之運算單元

最後一級誤差消除電路主要是由延遲器及加減法器組成，減法組態是將減數做二補數運算後再相加，其電路實現如圖 3-10，由於使用減法計算，有機會產生負值，因此必須增加一個標誌位元表示為負，故選擇四位元加法器以因應所需位元數不致產生溢位。

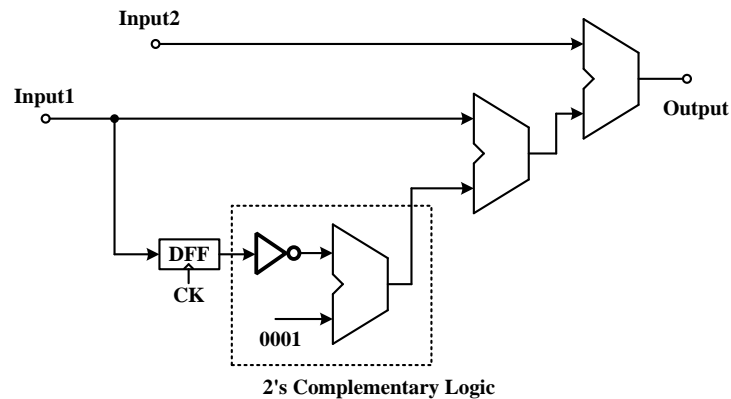


圖 3-10 誤差消除電路

3-3 多級雜訊整形調變器模擬結果

依照 20MHz、40MHz、80MHz 三種時脈，以 H-Spice 時域分析模擬，輸入 16-bit 的固定值，再將輸出串流擷取至 Matlab 中幫助運算，以驗證輸出平均是否正確。以 80MHz 為例，模擬的輸入為 25000、30000、42000、50000 的結果如圖 3-11，圖中的虛線為預期輸出平均誤差正負 0.5% 的值，穩定在此範圍內所需第一次鎖定時間約在 12us 內。輸出頻譜如圖 3-12，可以得出一個三階的誤差整形效果。

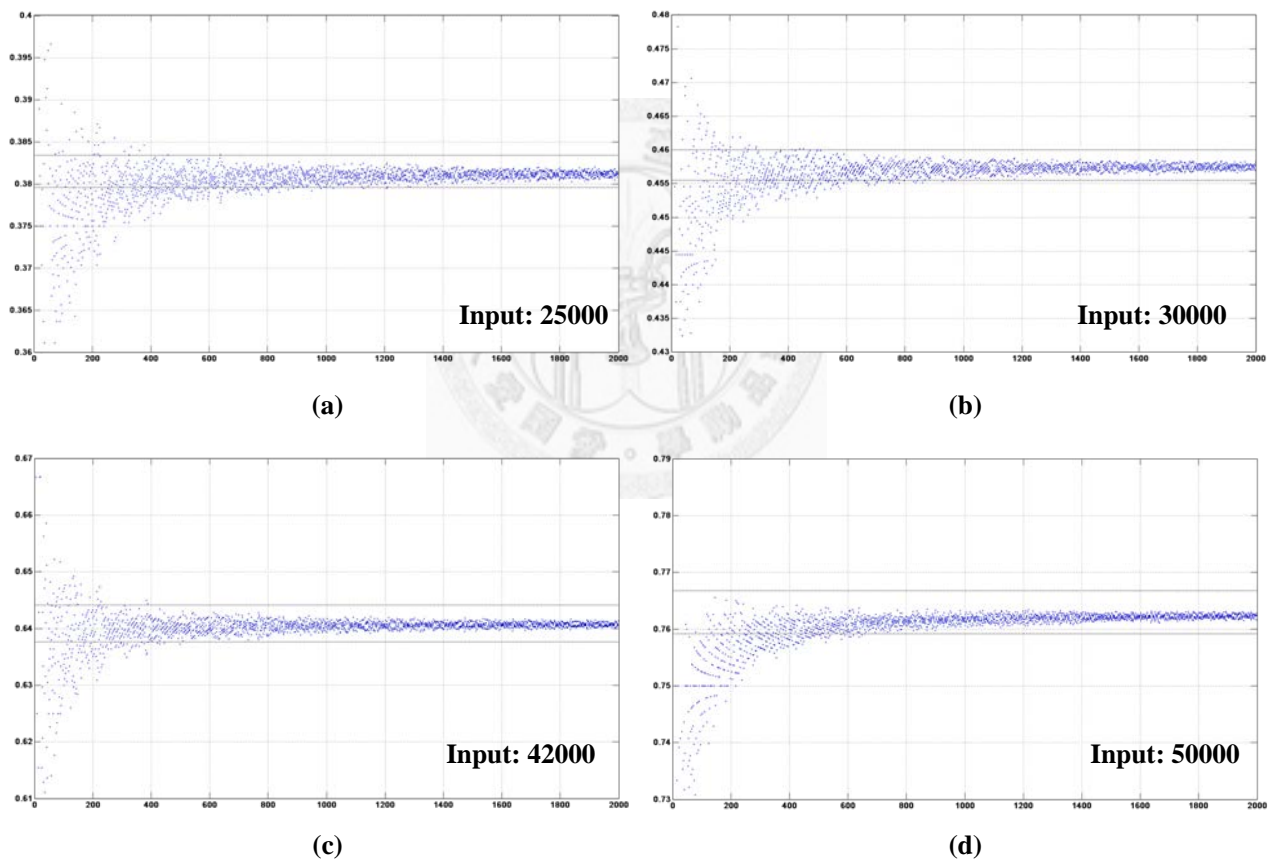


圖 3-11 多級雜訊整形電路時域模擬結果

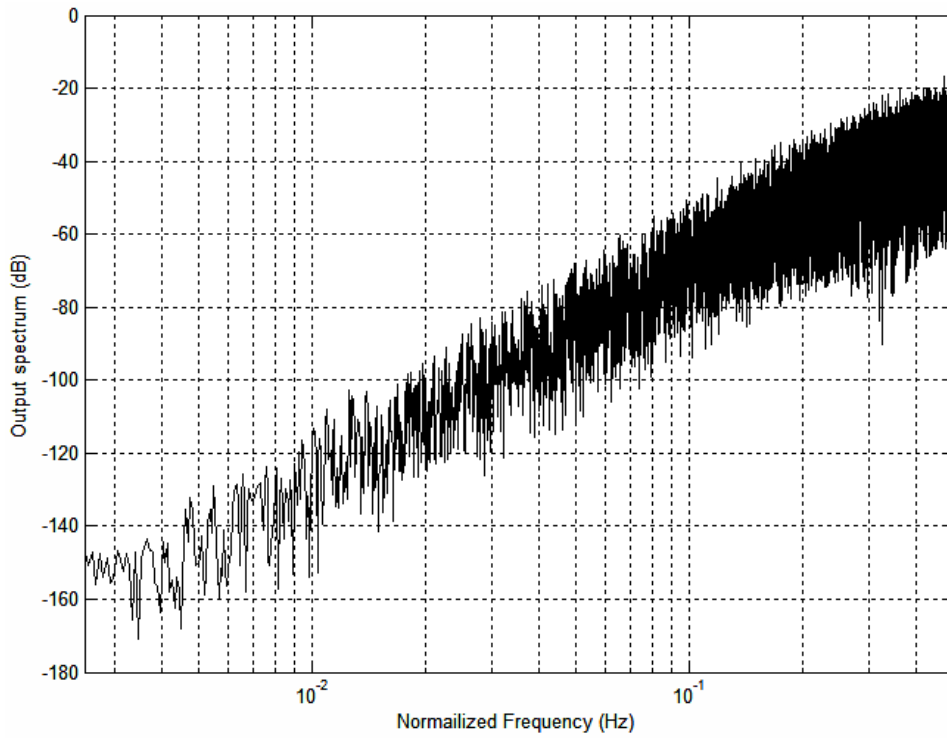


圖 3-12 MASH 之輸出頻譜

各種輸入時脈的模擬結果整理如表 3-2，其中功率消耗是 RMS 功率，輸入值皆為 25000。

Tech.	TSMC rf-018		
Resolution	16-bit		
Supply Voltage	1.2V		
Power Consumption	520uW@ 20MHz	710uW@ 40MHz	970uW@ 80MHz
0.5% Settling Time	50us@ 20MHz	24us@ 40MHz	12us@ 80MHz

表 3-2 MASH 1-1-1 模擬結果

第四章 使用三角積分調變器之 D 類音訊放大器之設計

4-1 引言

音頻訊號(20Hz 至 20KHz)必須經過放大器來推動後級負載，如喇叭等裝置以發聲。傳統放大器如 A 類、B 類、AB 類等放大器乃採用線性放大的操作方式，最大好處在於失真較小，音質清晰，但功率效率不彰，能量往往以熱的形式發散。因此必須把散熱問題加入系統設計考量。近年來非線性放大機制大量的出現在攜帶裝置上，應用在音質要求不高的裝置上功率效能極高，且散熱問題較小。非線性的操作方式是將訊號先行調變成數位形式，再經由操作在線性區的功率放大電晶體放大電流，並經過適當的濾波器還原波形，產生功率放大的效果。應用於 D 類放大器的調變方式大致可分為脈衝寬度調變及三角積分調變兩種，傳統的脈衝寬度調變可以輕易的達到超過 100dB 的 SNR[29]，並且平均切換速度大約在數百 KHz，切換損耗極小，但缺點在調變過程中容易產生失真並且頻譜過度集中在切換頻率上，容易造成電磁干擾。兩種調變方式的比較整理如表 4-1。

	Delta Sigma Modulation	Pulse Width Modulation
SNR	Depends on OSR and the order of the modulation.	Easily over 100dB at 400KHz.
Input Range	One-bit modulator only stable at 50% Modulation.	Almost stable at 100% Modulation.
Distortion	No distortion generated by modulation schemes.	Adds distortion in many modulation schemes.
EMI Issue	Low peak value provide EMI advantage.	Produce EMI with AM radio band.

表 4-1 三角積分調變與脈衝寬度調變之比較

4-1-1 D 類功率放大器

本論文調變方式採用三角積分調變減少傳統脈衝調變產生之電磁干擾現象，整體電路方塊如第二章圖 2-6 所示，D 類放大器的輸出級電路實現可以分成半橋 (Half-Bridge) 與全橋式 (Full-Bridge) 的應用，如圖 4-1 所示。對應的調變器為單端及全差動組態，儘管全差動最大好處在於可消除偶次項的諧波及直流偏差，然而必須付出兩倍的電路面積與功耗，兩者的比較如表 4-2 所示[30]。本論文選用全橋式以提升線性度及 PSRR。

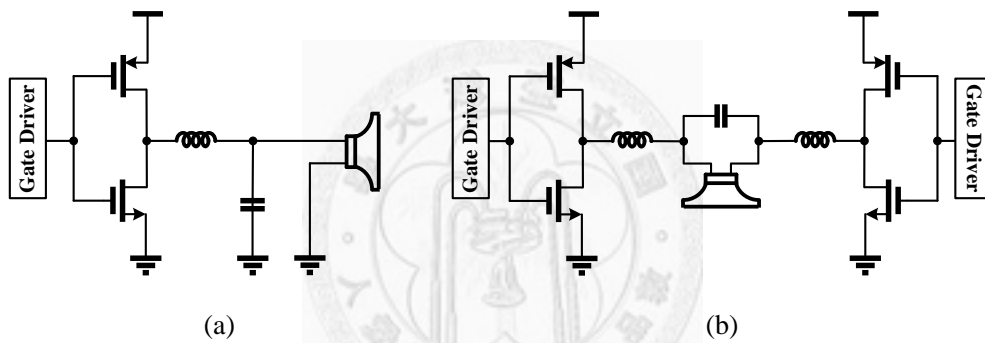


圖 4-1 D 類放大器輸出級 (a)半橋式 (b)全橋式

	Half Bridge	Full Bridge
Current and Area	1	~2
Harmonic Distortion	Includes all Harmonics.	No even order harmonics.
DC Offset	Adjustment is needed.	Can be cancelled out.
PSRR	Worst	Better

表 4-2 半橋式與全橋式輸出級比較表

輸入訊號調變成數位訊號後，須經由驅動電路去推動功率電晶體以放大功率，然而根據圖 4-1 來說，切換功率電晶體的控制訊號必須注意不能讓同一路的功率電晶體同時打開，此時將會有極大電流從電壓源直接流至接地端，造成極大的切換損耗，電路亦會產生一小段的不動作時間，為了避免這個問題，一般會在驅動電路內增加控制電路(Dead Time Control Circuit)，將兩顆功率電晶體的導通時間錯開，錯開的時間越長，切換時的損耗電流越小。但整體放大器會因為此短暫時間的不連續造成額外的失真，不連續發生的時間越長，失真將越嚴重，因此設計時，此間隔必須慎選，以在功率效能及失真度上取得較折衷的方案。

4-1-2 功率放大器效能指標

功率放大器最主要的效能指標為功率效能與線性度，前者表示放大器轉換效率的能力；後者表示訊號經過功率放大後失真的程度大小。一般而言，功率轉換效能 η 可表示為

$$\eta = \frac{P_L}{P_S} \quad (4.1)$$

其中， P_L 為輸出負載功率； P_S 為電源供應功率。在不考慮靜態功率消耗的情況下功率放大器電源功率可表示為功率電晶體線性區電阻($P_{on_resistor}$)、切換功率損耗(P_{sw})、寄生電容損耗功率($P_{par.}$)及負載功率(P_L)的總合[31]，我們可將式 (4.1) 改寫為

$$\eta_{power_stage} = \frac{P_L}{P_S} = \frac{P_L}{P_{on_resistor} + P_{sw} + P_{par.} + P_L} \quad (4.2)$$

其中切換功率損耗、寄生電容損耗兩項所佔比例甚少，因此可將式(4.2)改寫為

$$\eta_{power_stage} = \frac{P_L}{P_S} \cong \frac{P_L}{P_{on_resistor} + P_L} = \frac{i_L^2 \cdot R_L}{i_L^2 (R_{dsp,on} + R_{dsn,on} + R_L)} \quad (4.3)$$

將式(4.3)移項後，可得

$$P_{on_resistor} = \frac{P_L(R_{dsp,on} + R_{dsn,on})}{R_L} \quad (4.4)$$

倘若考慮真實情況，考量靜態電流損耗，再將式(4.4)帶入式(4.3)可得總功率效率為

$$\eta_{total} = \frac{P_L}{P_S} \cong \frac{P_L}{P_{on_resistor} + P_L + P_Q} = \frac{P_L}{\frac{P_L}{R_L}(R_{dsp,on} + R_{dsn,on}) + P_L + P_Q} \quad (4.5)$$

本論文即以此公式計算整體功率放大器之轉換效率。

線性度主要以總諧波失真(THD：Total Harmonic Distortion)作為指標，訊號在經過功率放大後，產生的延遲會產生非線性諧波項，而總諧波失真則為所有諧波項的方均根值與主訊號的方均根值(RMS)的比例，以輸入為弦波的系統而言，THD可表示為

$$THD = \frac{RMS\ of\ Harmonics}{RMS\ of\ Fundamental} = \frac{\left[\sum_{i=2}^n \left(\frac{V_n^2}{2} \right) \right]^{\frac{1}{2}}}{\frac{V_1}{\sqrt{2}}} \quad (4.6)$$

其中 V_1 為主頻率之能量， V_2 、 V_3 ... V_n 依序為二次、三次至n次諧波項之能量，當總諧波項能量越小，代表線性度越高，放大器失真狀況越不明顯。

4-2 三階三角積分調變器設計

4-2-1 設計考量與規格

本部分電路採用 TSMC-0.35um 製程設計 D 類放大器，考量一般應用音頻訊號訊噪比要求約為 14-bit，轉換成等效 SNR 值約為 85dB，因此在選擇調變器階數與超取樣比時，若採用二階調變器，要達到此標準必須使用 10MHz 以上的取樣頻率

來實現。但對於離散積分器的運算放大器而言，考量系統速度的需求，我們至少必須設計使單位增益頻寬(Unity Gain Bandwidth)為取樣頻率的五倍以上，亦即至少需要 50MHz 的單位增益頻寬，若再考量製程變異因素，設計難度將提升。因此我們選擇使用三階調變器，如此達到需要的訊噪比之取樣頻率約 5MHz，單位增益頻寬需求約 25MHz。架構上我們不選擇 MASH 架構是為了避免類比及數位方塊時序的不匹配造成額外的失真，並且三階 MASH 輸出會有八個位準，對於 D 類放大器的基本組態來說，需要另外將輸出轉換成一個位元才能使用。本論文選取第二章的 CIDIDF 組態，主要優點在此架構相較於基本 CIDF 架構來說，輸入訊號是依照一定比例分布在每一級積分器的輸入，對輸入訊號來說積分器誤差成分造成的影響較小。另外，調變器內的運算放大器的增益只須超過 60dB，整體的 SNR 特性將近似於理想狀態[32]，針對此架構下不同運算放大器直流增益對調變器的影響如圖 4-2 所示。調變器之設計規格如表 4-3 所示。

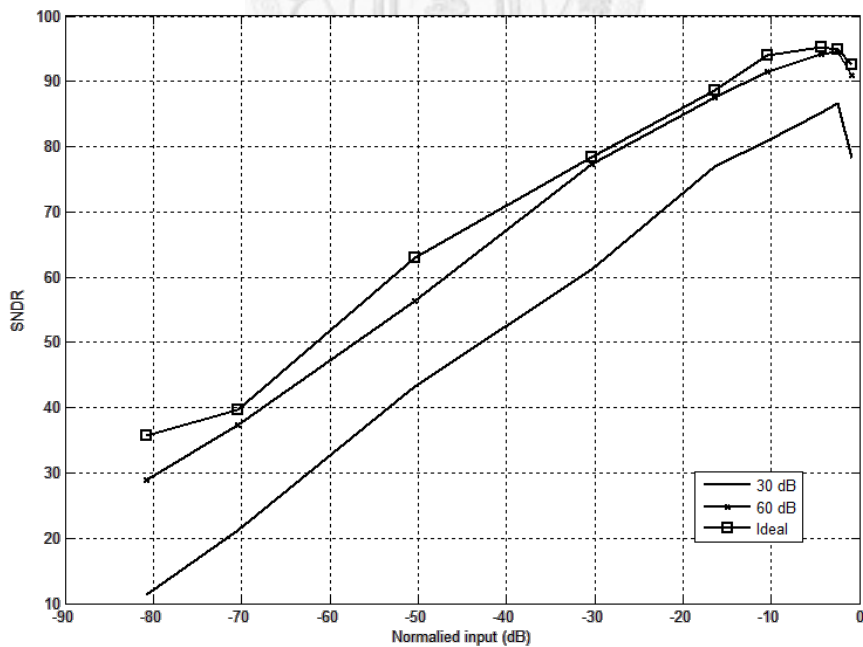


圖 4-2 運算放大器直流增益對系統之影響

Tech.	TSMC 0.35um
Supply Voltage	3.3 V
Modulator Order	3
Architecture	CIDIFF
Max. Input Voltage	3.3 V
C.M. Voltage	1.65 V
Signal Bandwidth	20Hz ~ 20kHz
Sampling Rate	5.12 MHz
OSR	128
SNDR	85 dB
ENOB	14 Bit
OTA Gain	60 dB
OTA UGB	50 MHz
OTA P.M.	60°

表 4-3 三角積分調變器之規格表

4-2-2 調變器行為模擬與電路架構

我們選擇改良後的 CIDIFF 架構，此架構的特色在於每級積分器的輸入端都是由輸入訊號以及前級積分器輸出的組合，因此受到電路誤差的成分因素較小，內部訊號較接近理想狀態，同時能使調變器更易穩定。行為模擬之所有參數使用 MATLAB 之工具箱計算[33]，依照電路規格設定的單端電路組態之行為模擬方塊如圖 4-3 所示。其中輸入為音頻訊號頻段的弦波，以數學模式模擬電路運算的結果。

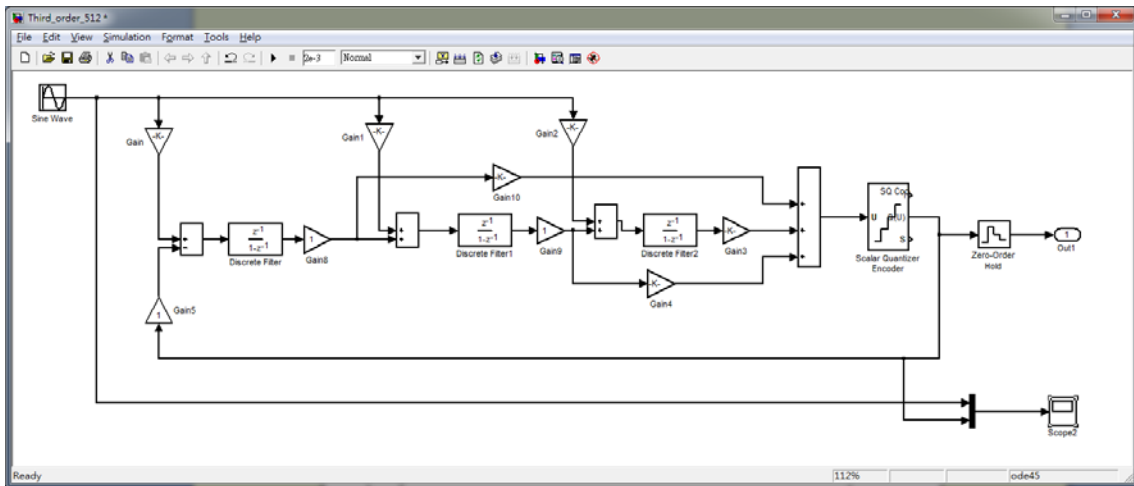
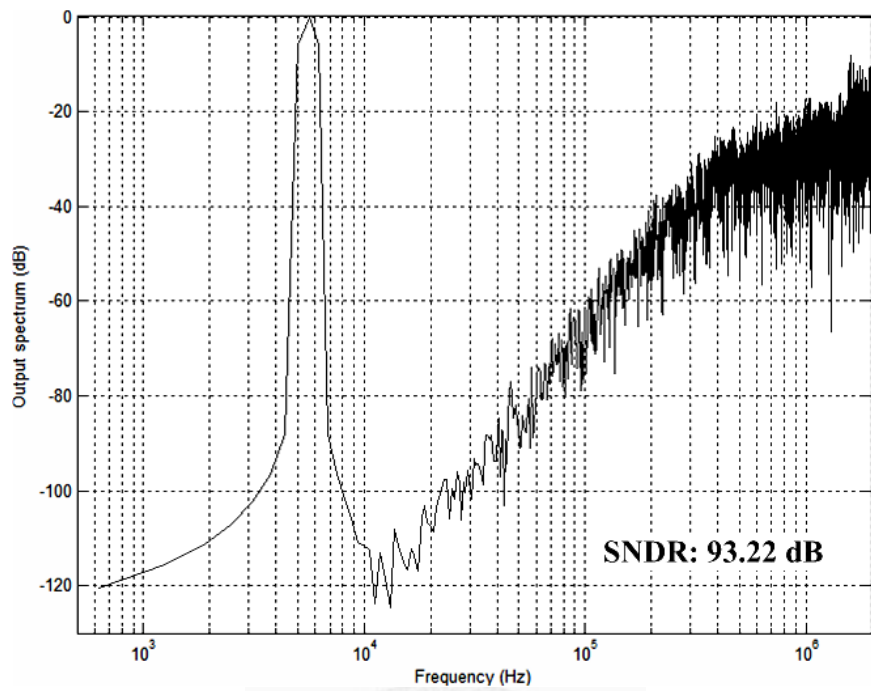
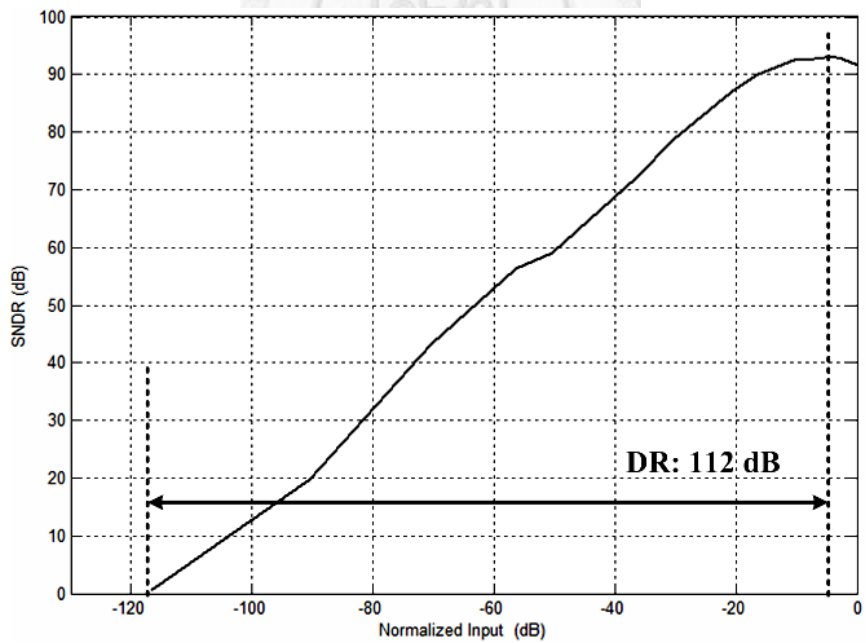


圖 4-3 三階三角積分調變器行為模擬

模擬結果的輸出將存至 MATLAB 的矩陣內，再將輸出串流位元取快速傅立葉轉換 (FFT)，可得出調變器之輸出頻譜以及計算對應輸入的 SNDR 值，我們可以從系統模擬中確定所計算之參數是否可以達到雜訊整形的效果，並確認系統的最大輸入範圍及系統是否穩定。以 5.625k 輸入弦波之最大 SNDR 為 93.27dB，動態範圍約為 112dB。其輸出頻譜及輸入動態範圍之模擬結果分別如圖 4-4(a)、(b)所示。



(a)



(b)

圖 4-4 三角積分調變器之行為模擬結果 (a)輸出頻譜 (b)輸入動態範圍

調變器之行為模擬為單端組態，實際實現為全差動組態，採用離散積分器完成積分函數時對應的系統架構如圖 4-5 所示。

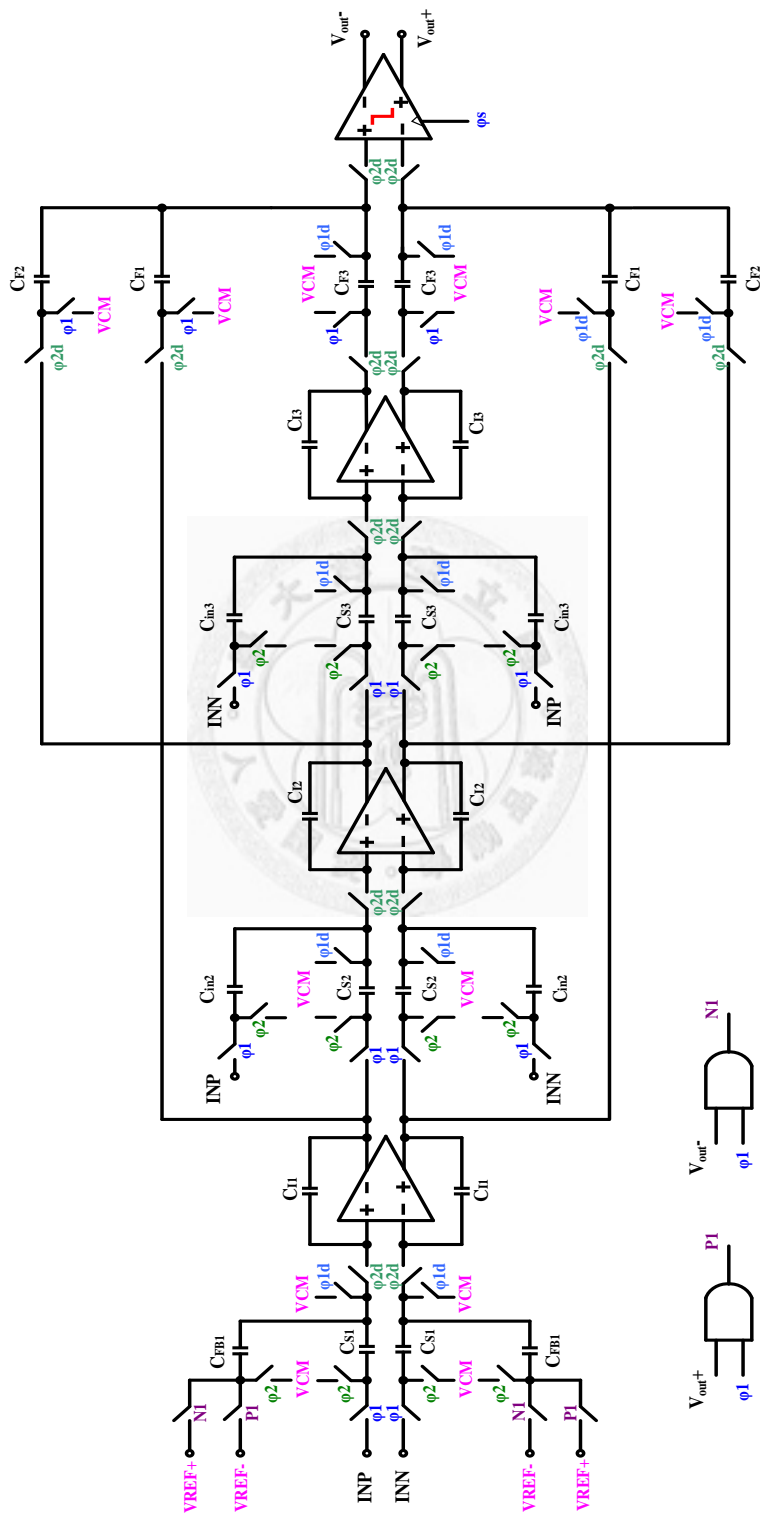


圖 4-5 三階三角積分器系統架構

4-2-3 全差動運算放大器

D 類放大器應用頻率對應到的三角積分調變器可採用離散的電容積分器來實現，最主要的主動電路就是運算放大器，本論文使用全差動 OTA 消除偶次諧波項及提升 PSRR。然而一般差動操作皆選用電晶體電流源當作輸出負載，以增加差動電壓增益，此時輸出共模位準不會被準確定義[34]，當兩路輸出級電流產生不匹配時，甚至會影響電路整體操作。因此必須使用共模回授電路以穩定共模位準，全差動運算放大器電路如圖 4-6 所示。

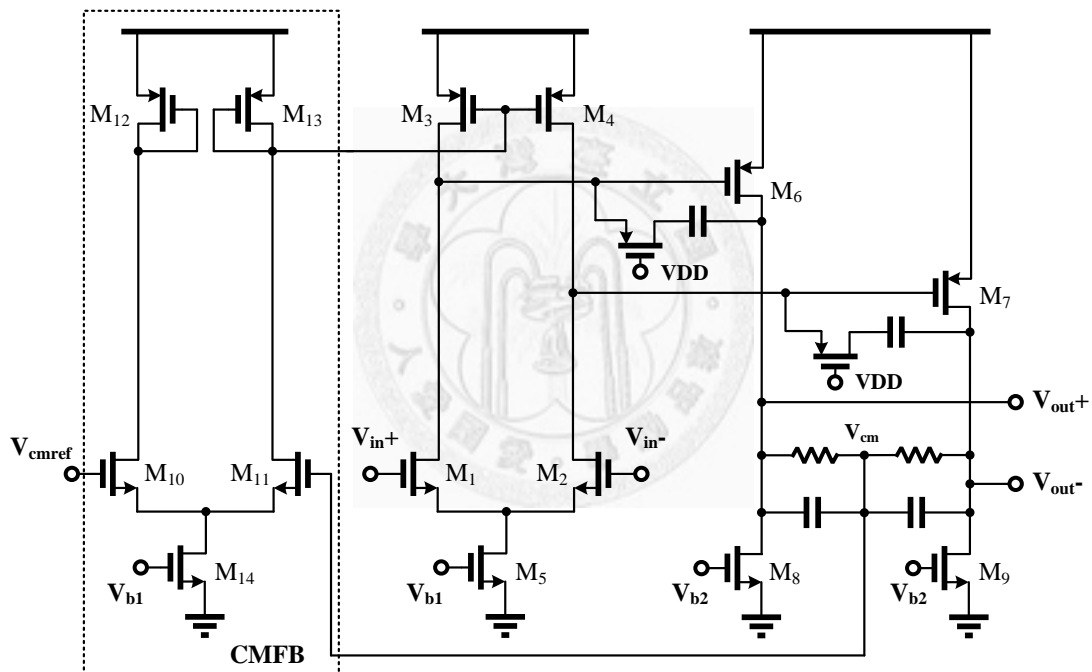


圖 4-6 全差動運算放大器

當共模電壓 V_{cm} 高於所需要的共模電壓 V_{cmref} 時， M_{13} 、 M_{11} 電流將增加，導致 M_{13} 之汲極電壓將下降，對應到 M_3 、 M_4 的閘極電壓亦下降，使得 M_3 、 M_4 汲極電壓上升，連動使得 M_6 、 M_7 汲極電壓下降，迫使共模電壓下降。若共模電壓低於設定電壓，共模回授電路將會反向操作，迫使共模電壓上升到所需電壓。整體動作將穩定共模電壓在我們需求的電壓位準。

以 TT-Corner 條件的前模擬(Pre-Sim)運算放大器的頻率響應結果如圖 4-7，可以得出直流增益為 72.8 dB，相位邊界為 75°，靜態電流為 1.25mA，靜態功率損耗約為 4.12mW。各個製程角落模擬結果整理如表 4-4。

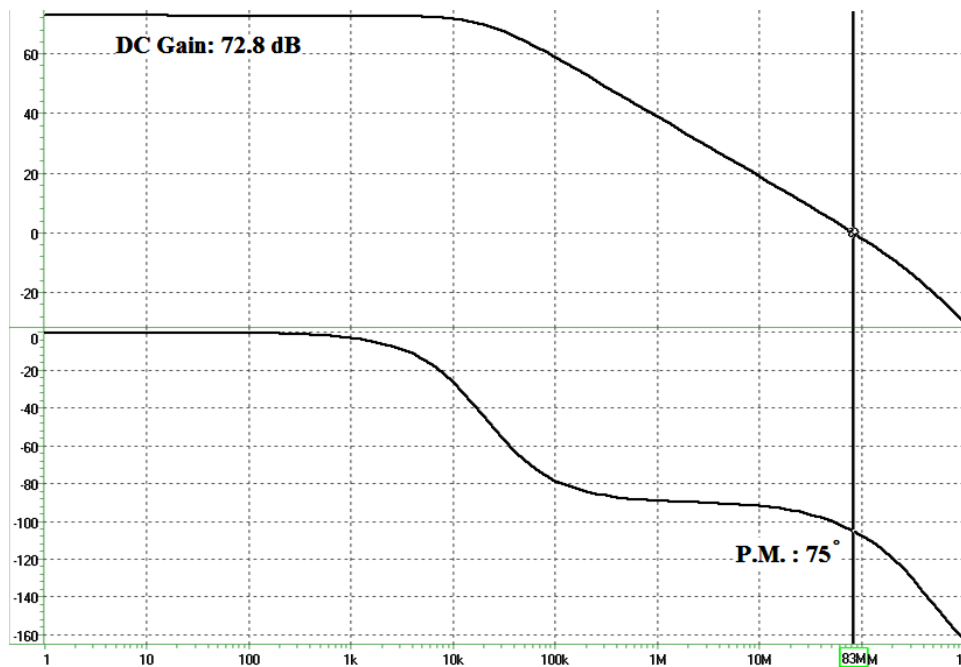


圖 4-7 前模擬運算放大器之頻率響應 (TT Corner)

Corner	DC Gain	P.M.	U.G.B.	I _Q	P _Q
TT	72.8 dB	75°	83 MHz	1.25 mA	4.12 mW
FF	65 dB	68°	114 MHz	1.93 mA	6.38 mW
SS	75.8 dB	85°	50.3 MHz	768.4 uA	2.54 mW
FS	68.6 dB	64°	94.6 MHz	1.72 mA	5.69 mW
SF	75.6 dB	65°	131 MHz	857.1 uA	2.83 mW

表 4-4 考慮製程變異之運算放大器的前模擬結果

以 TT-Corner 條件的後模擬(Post-Sim)運算放大器的頻率響應結果如圖 4-8，可以得出直流增益為 73.3 dB，相位邊界為 73°，靜態電流為 1.22mA，靜態功率損耗約為 4.03mW。各個製程角落的前模擬結果整理如表 4-5。各製程角落的後模擬結果皆符合預期規格。

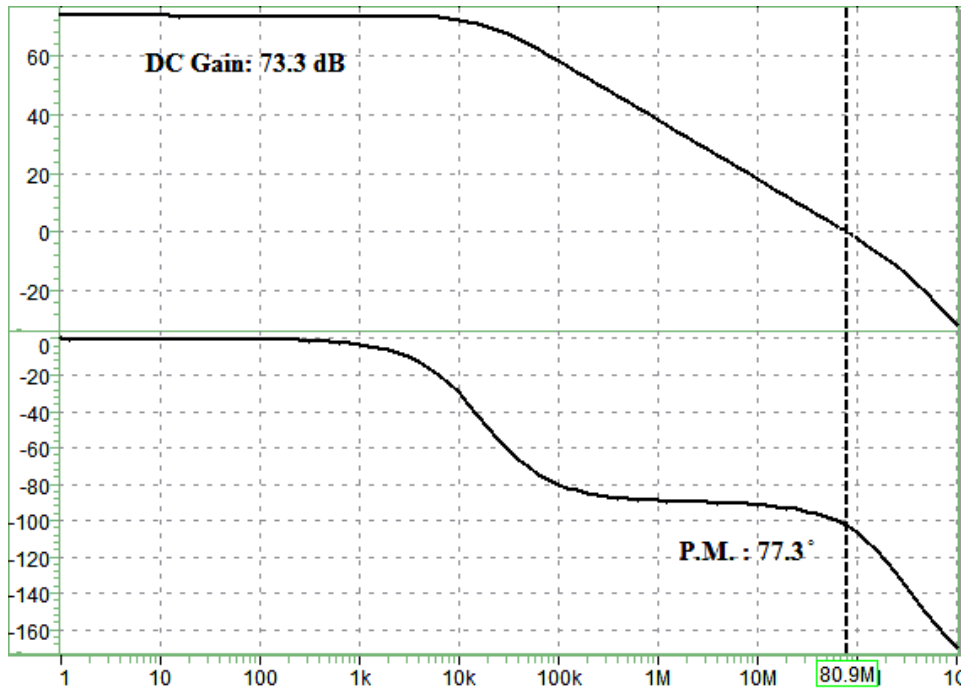


圖 4-8 後模擬運算放大器之頻率響應 (TT Corner)

Corner	DC Gain	P.M.	U.G.B.	I _Q	P _Q
TT	73.3 dB	77°	80.7 MHz	1.22 mA	4.03 mW
FF	65.4 dB	72°	110 MHz	1.89 mA	6.22 mW
SS	76.5 dB	85.7°	50 MHz	756.4 uA	2.50 mW
FS	69.1 dB	68°	90.2 MHz	1.69 mA	5.56 mW
SF	76.2 dB	60°	121 MHz	842.2 uA	2.78 mW

表 4-5 考慮製程變異之運算放大器的後模擬結果

4-2-4 交換式電容積分器

應用前小節的OTA電路以及適當的切換開關即可實現想要的交換式電容積分器，首先我們必須特別注意在切換時取樣端電容之時脈電荷注入(Clock Feedthrough)問題，倘若電荷經由開關電晶體的時脈影響，透過寄生小電容 C_{gs} 注入。那麼注入的電荷將直接積分到輸出端，產生誤差。此狀況可依靠正確的切換訊號來避免，考量產生電荷注入的開關切換狀況如圖 4-9(a)，倘若電晶體 M_1 較先關閉，則該電晶體寄生電容內的電荷將有機會進入取樣電容 C 內，造成取樣電容的取樣誤差。倘若電晶體 M_2 較先關閉，如圖 4-9(b)，後關閉的 M_1 電晶體寄生電荷將無法進入電容，減少誤差產生的機會。兩種不同切換時序對三角積分器的影響如圖 4-10 所示，由圖中可發現切換時候的時脈電荷注入對會系統產生較大的三階及五階諧波項，明顯影響訊噪比。

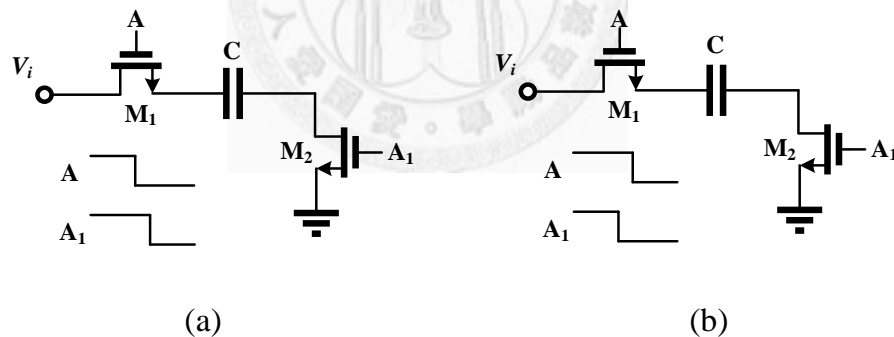


圖 4-9 交換式電容取樣

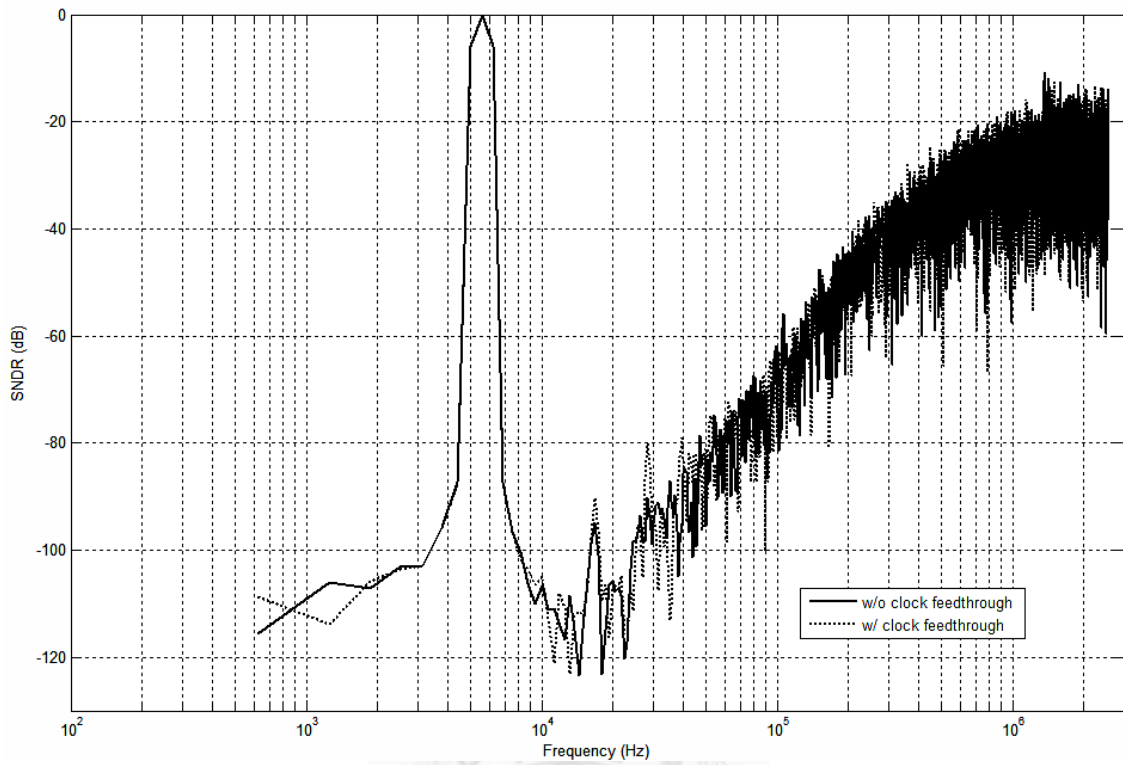


圖 4-10 時脈電荷注入對三角積分調變器之影響

積分器的開回路的頻率響應如圖 4-11 所示，由圖中可確定積分器閉迴路的穩定狀況。

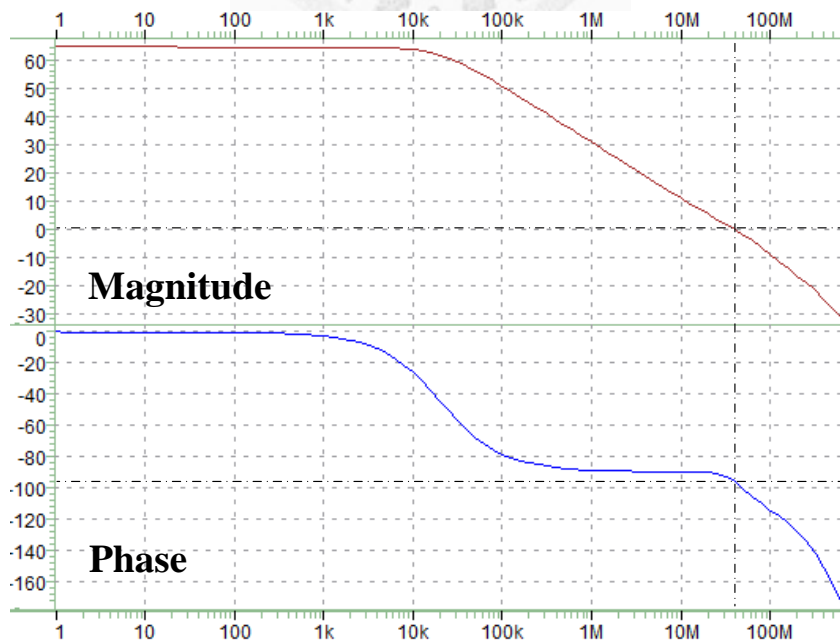


圖 4-11 積分器開回路頻率響應

總和以上需求，三角積分調變器需要兩組非重疊的反向訊號 ϕ_1 、 ϕ_2 ，在這兩組反向訊號中再加上防止電荷注入的對應訊號 ϕ_{1d} 、 ϕ_{2d} ，以及量化器取樣的時脈訊號 ϕ_s ，時脈產生器的電路方塊如圖 4-12。

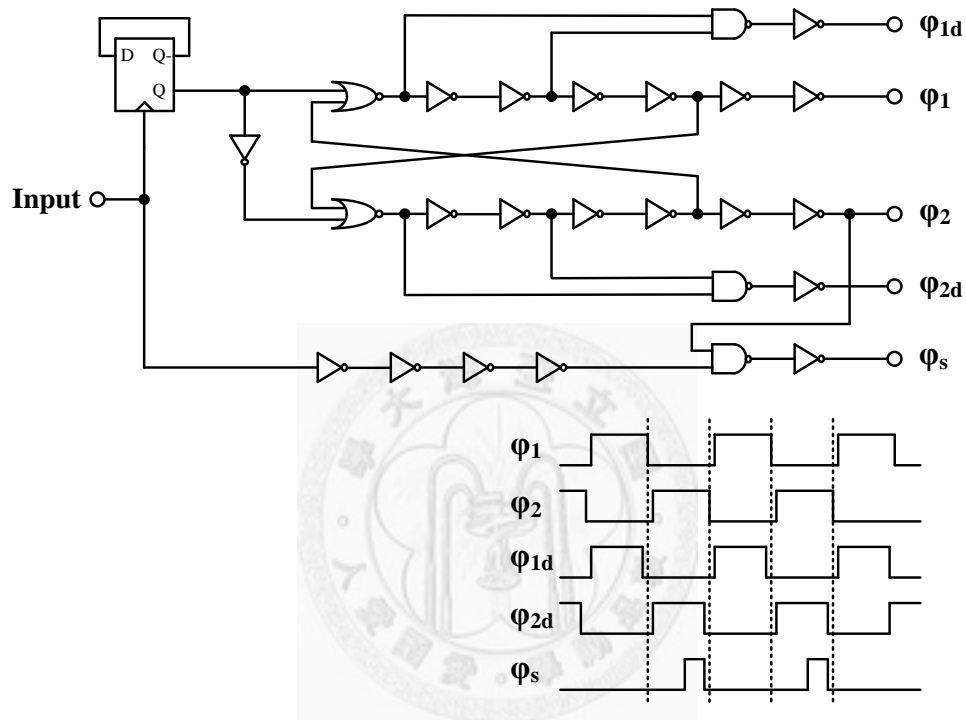


圖 4-12 時脈產生器

另外，在每級積分器的取樣電容值的選取上，必須要考慮到熱雜訊的限制，以差動組態積分器之輸入相關雜訊能量 V_n^2 (Input-referred Noise Power) 可表示為 [35]：

$$V_n^2 = 4KT / C_s \quad (4.7)$$

其中 K 為波茲曼常數 (Boltzmann constant)， T 為絕對溫度。再來考慮以產生最高 SNR 的最大輸入弦波振幅約為 1.2V 情況下的訊號能量 V_s^2 為

$$V_s^2 = V_{pp}^2 / 2 = 0.72V^2 \quad (4.8)$$

假設我們設定SNR大約 100 dB估算，我們容許訊號頻段內之總熱雜訊能量 $V_{n,inband}^2$ 為

$$V_{n,inband}^2 = V_s / 10^{10} = 7.2 \times 10^{-11} V^2 \quad (4.9)$$

訊號頻段內雜訊能量與輸入相關雜訊能量之關係可表示為

$$V_{n,inband}^2 = V_n^2 / OSR \quad (4.10)$$

將式(4.10)、式(4.9)帶入式(4.7)整理後我們可以估算出所需要的取樣電容值為

$$C_s = \frac{4KT}{V_{n,inband} \times OSR} = \frac{1.656 \times 10^{-20}}{7.2 \times 10^{-11} \times 128} \cong 1.8 p \quad (4.11)$$

由式(4.11)可大略估算所需之取樣電容，以減少熱雜訊對整體系統的干擾。

4-2-5 量化器

三角積分調變器內部類比數位轉換器可以簡化成比較器，如此輸出將為一個位元，差動比較器電路如圖 4-13。當 CLK 為低電壓時，SET 及 RST 節點將充電至最高電壓，使得後端 S-R 門鎖將輸出鎖定在前一個狀態；當 CLK 為高電壓時，SET 及 RST 將感應微小的雙端輸入後，再由上端正回授的電晶體將 SET 及 RST 分別拉到最高或者最低電壓，使得後端 S-R 門鎖輸出為正確的比較值。儘管此量化器較為粗糙，但就三角積分調變器的系統來說，錯誤的量化結果雖然誤差極大，但仍然可視作量化誤差源，可以被調變器誤差整形的效果而降低對整體效能的影響。

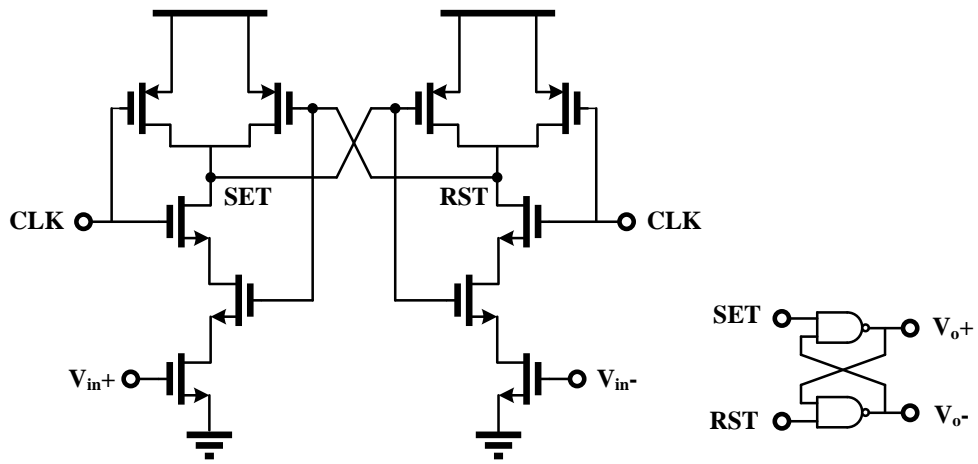


圖 4-13 一位元量化器

4-2-6 被動加法單元

本論文採用的 CIDIFF 架構需要將每一級積分器的輸出結果經過適當的比例相加，因此需要加法器來達成目標，然而主動型態的加法器需要消耗靜態功率，因此我們選用被動的切換式電容來相加電荷，其組態如圖 4-14 所示。

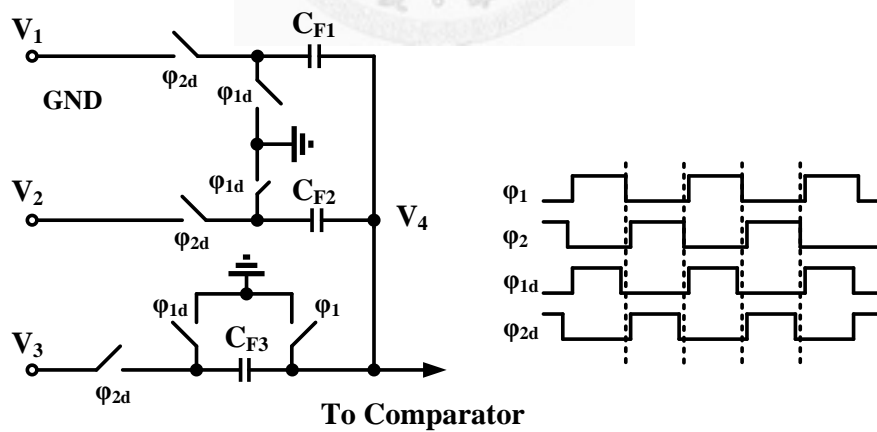


圖 4-14 被動切換電容式加法器

其開關切換訊號如同圖中右側所示。當 ϕ_1 及 ϕ_{1d} 為高電位時，三個電容的雙端電位都將被重置到參考接地電壓；當 ϕ_{2d} 為高電位時，開始執行加法，將電容左側之

V_1 、 V_2 、 V_3 電位依照 C_{F1} 、 C_{F2} 、 C_{F3} 的比例反映在 V_4 節點，爾後再連結至比較器比較相加結果，我們可將 V_4 表示為

$$V_4 = \frac{V_1 C_{F1} + V_2 C_{F2} + V_3 C_{F3}}{C_{F1} + C_{F2} + C_{F3}} \quad (4.24)$$

由式(4.24)可得出比例加法的輸出結果，應用在積體電路中，由於電容比例精確度高，所以輸出結果就可以非常精準。

4-2-7 三角積分調變器模擬結果

三階三角積分調變器使用 H-Spice 軟體模擬，我們主要以固定頻率 5.625KHz，各種不同振幅之弦波做為輸入訊號，此頻率訊號的三階項依然會落在訊號頻段內，方便我們觀察調變器輸入是否過大產生了三階諧波項。並且為了確保調變器穩定，進行模擬時盡量將時間拉長以觀察各種輸入下調變器是否正常工作。以 TT 製程角落之時域輸出結果如圖 4-15，其中弦波為輸入訊號，方波為單端輸出的結果。我們可以從此圖中發現當輸入弦波值較大時，輸出方波裡高電位狀態所佔的比例較高；反之輸入弦波值較小時，輸出方波低電位狀態比例亦較低。接著再對輸出方波取 Hanning-Window 之快速傅立葉轉換(Fast Fourier Transform)，以濾除高頻項重複進入低頻訊號頻段的成分，轉換成輸出頻譜後，可依轉換結果計算出調變器之 SNDR 等特性，考量製程變異的各種製程角落的前模擬結果如圖 4-16，其中輸入為各角落產生最大 SNDR 之情形。

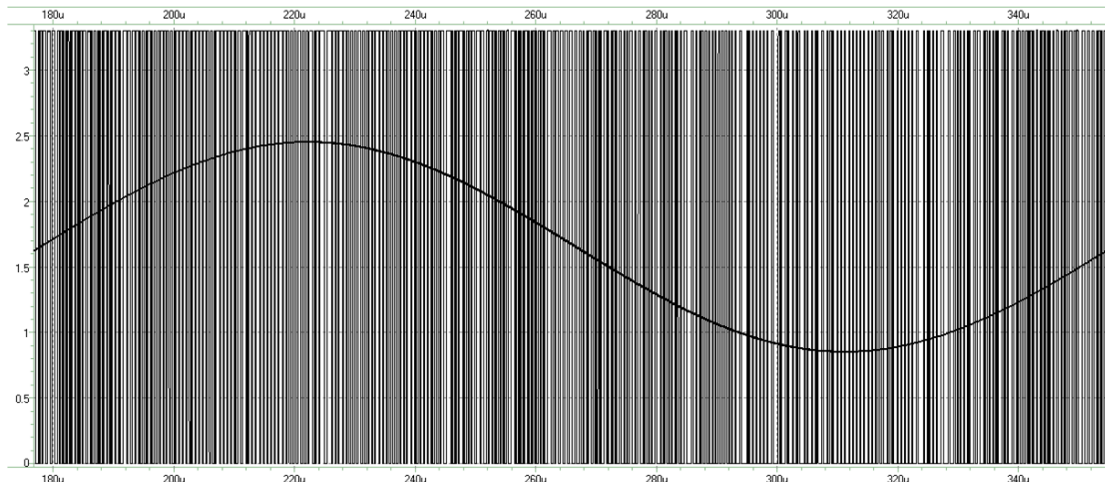


圖 4-15 三角積分調變器時域模擬結果

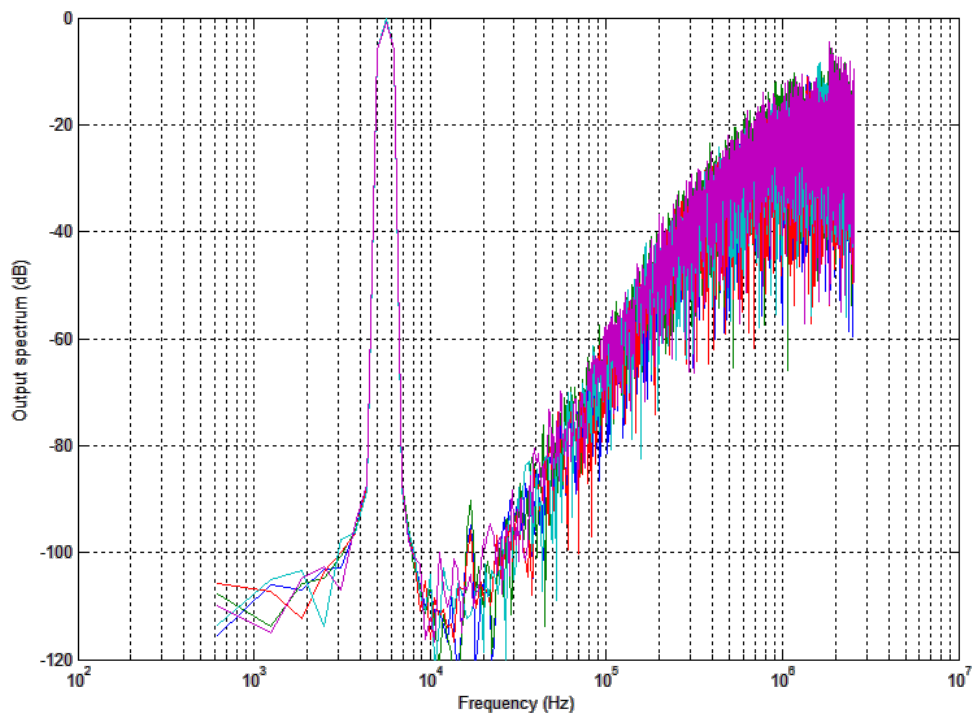


圖 4-16 調變器各製程角落之輸出頻譜圖

我們可以從各級積分器輸出結果觀察輸入是否會造成調變器內部飽和，其結果如圖 4-17。

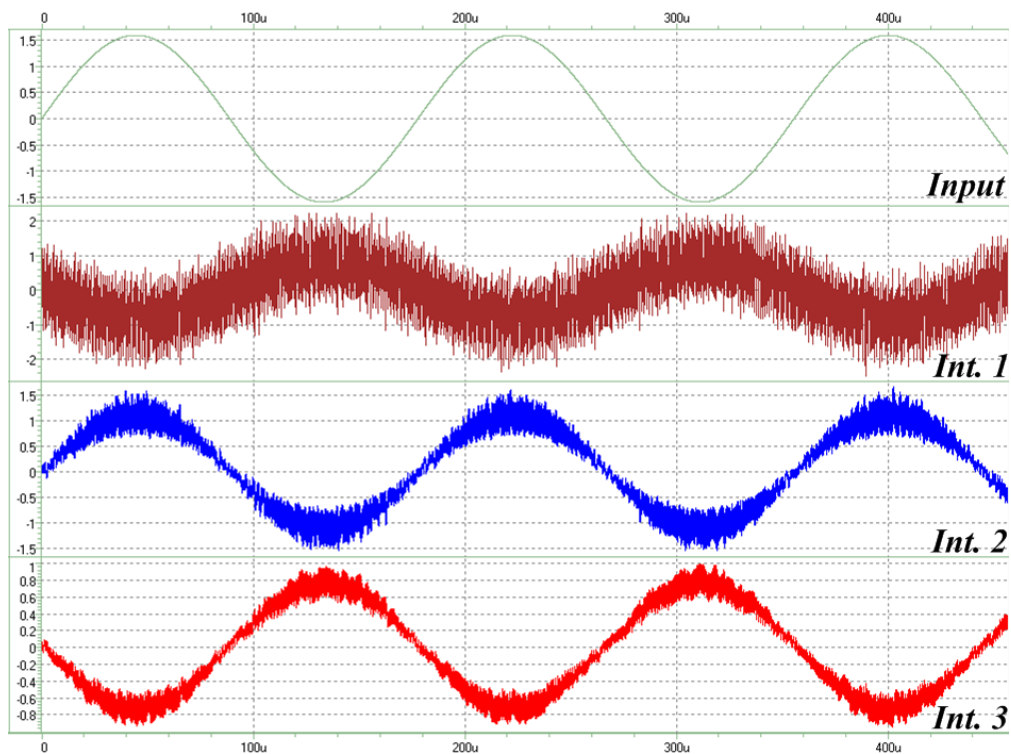


圖 4-17 調變器內部各級積分器輸出波型

以不同輸入振幅所得出之 SNDR 結果可看出調變器的可接受輸入範圍，以各製程角落之輸入動態範圍前模擬結果如圖 4-18 所示，可觀察出各角落最大之 SNDR 皆超過 89 dB，輸入動態範圍約在 94 dB 至 105 dB 附近。整體三階三角積分調變器之模擬結果如表 4-6，最差情況的 SNDR 約為 90 dB，最差之輸入動態範圍約為 94 dB，但模擬結果不論在何種製程角落皆符合設計規格。

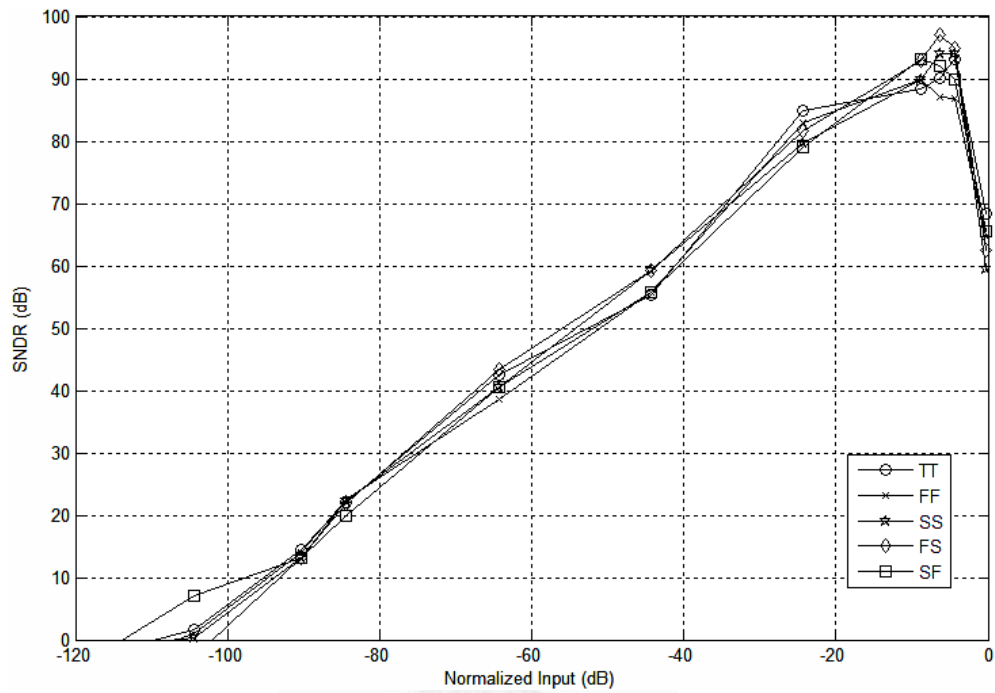


圖 4-18 各製程角落之動態範圍的前模擬結果

	TT	FF	SS	FS	SF
Peak SNDR	93.22 dB	89.83 dB	94.04 dB	97.11 dB	93.19 dB
ENOB	15.19	14.63	15.33	15.84	15.19
D.R.	100.2 dB	95.8 dB	100.2 dB	93.9 dB	105.2
P_Q	12.36 mW	19.13 mW	9.5 mW	17.06 mW	11.19 mW

表 4-6 各製程角落之調變器的前模擬結果

各製程角落之輸入動態範圍的後模擬結果如圖 4-19 所示，可觀察出各角落最大之 SNDR 皆超過 87 dB，輸入動態範圍約略在 98 dB 至 102 dB 附近。整體三階三角積分調變器之模擬結果如表 4-7，最差情況的 SNDR 約為 88 dB，最差之輸入動態範圍約為 98 dB，但後模擬結果不論在何種製程角落皆符合設計規格。

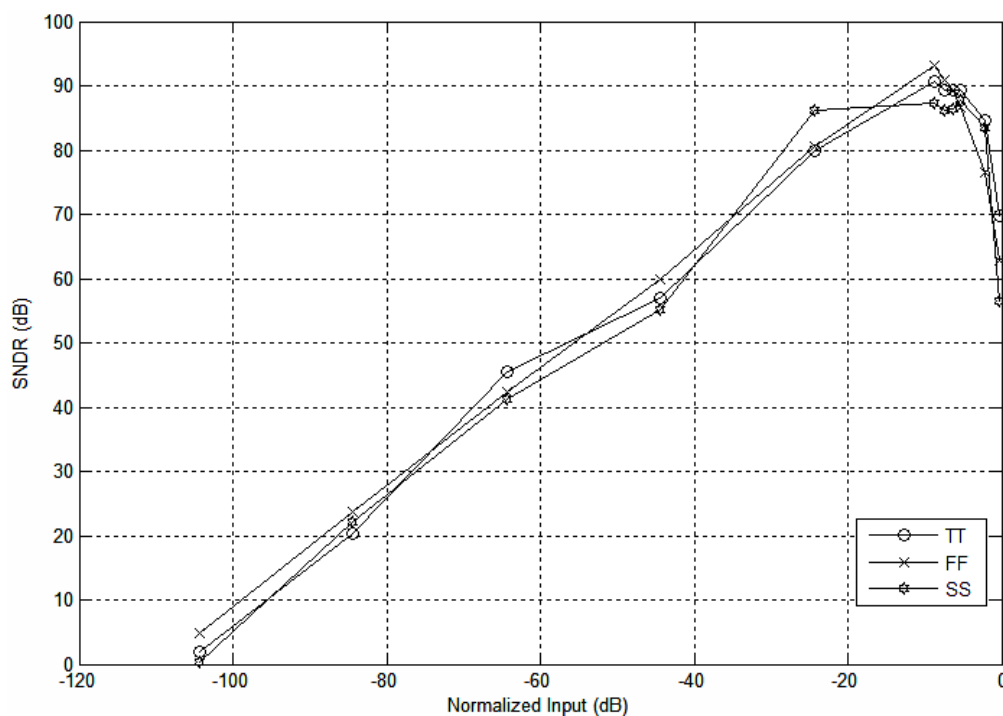


圖 4-19 各製程角落之動態範圍的後模擬結果

	TT	FF	SS
Peak SNDR	90.61 dB	93.07 dB	87.84 dB
ENOB	14.76	15.17	14.30
D.R.	98.2 dB	100.2 dB	99.0 dB
P _Q	13.91 mW	20.31 mW	10.64 mW

表 4-7 各製程角落之調變器的後模擬結果

4-3 D 類功率放大器設計

D 類放大器操作主要是將調變後訊號經由驅動電路推動功率放大器，再將原始訊號經過濾波器還原成原始的類比訊號。坊間類比輸入且採用三角積分調變之 D 類音頻放大器規格如表 4-8[36][37][38][39]，其中 THD+N 條件為輸入訊號 1 KHz，且輸出功率為 100 mW 的狀況下。

	SNR	THD+N	Loading	I _q	Efficiency
[36]	N/A	0.4 %	8 Ω	3 mA	75 % @ 3V, 100mW 80% @ 3V, 400mW
[37]	83 dB	0.65 %	8 Ω	7 mA	79 % @ 3V, 100mW 84% @ 3V, 450mW
[38]	83 dB	0.35 %	8 Ω	3.5 mA	74 % @ 3V, 100mW 84% @ 3V, 450mW
[39]	93 dB @ 5V	0.3 %	8 Ω	4.8 mA	77 % @ 3.6V, 100mW 88% @ 3.6V, 600mW

表 4-8 坊間 D 類音頻放大器規格

以類比三角積分調變的 D 類放大器相關期刊論文[5][6][7][8][40][41]整理之規格如表 4-9。

	SNDR	THD+N	Loading	P _o	Power Consumption	Efficiency
[5]	N/A	0.2 %	8 Ω	1.25 W	140 mW	90 %
[6]	77 dB	0.07 %	8.2 Ω	200 mW	50 mW	66 %
[7]	N/A	0.015 %	6 Ω	2x5 W	N/A	88 %
[8]	80 dB	0.022 %	8 Ω	N/A	7.7 mW	77 %
[40]	N/A	0.02 %	4 Ω	1.8 W	42.9 mW	87 %
[41]	N/A	0.013%	8 Ω	1W	16 mW	93 %

表 4-9 使用三角積分調變之 D 類放大器期刊論文規格比較

綜合以上兩類整理表格，我們定出 D 類放大器規格如表 4-10。

Tech.	TSMC 0.35um
Supply Voltage	3.3 V
Max. Input Voltage	3.3 V
C.M. Voltage	1.65 V
Signal Bandwidth	20Hz ~ 20kHz
Loading	8Ω
SNR	85 dB
THD+N @ 100 mW	0.1 %
Efficiency	85 %

表 4-10 設計之 D 類放大器規格表

應用前節設計完成之三角積分調變器，配合適當的驅動電路以及功率電晶體，即可外接濾波器與耳機喇叭完成放大器操作，其中耳機一般都等效成 8Ω 之阻抗，我們亦以此等效阻抗做為模擬的設定。

4-3-1 功率電晶體及驅動控制電路(Gate Driver)

D 類放大器內部的三角積分調變器將輸入之類比訊號調變後，真正執行放大功率的部分在於最後的功率放大電晶體，放大電流以推動電阻負載。差動之調變器輸出將各接上一組相同的功率電晶體，再加上控制電路以避免切換時功率電晶體同時開啟造成極大電流之產生，整體驅動及放大電路如圖 4-20 所示。

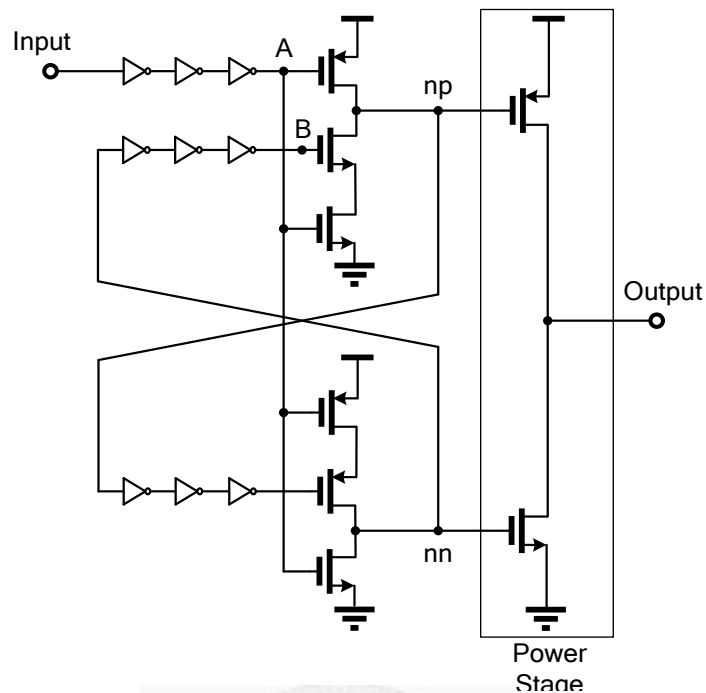


圖 4-20 驅動控制電路及功率放大電路

注意圖 4-20 中的節點 A 為輸入訊號的反向，當輸入由高電位降到低電位時，此時 A 由低電位拉至高電位，nn 節點將首先被拉到低電位，待 nn 電位足夠低時，B 節點才會在小段延遲後拉高，使得 np 節點於稍後時間才被拉至低電位。此操作將迫使 N 型的功率電晶體首先關閉，待 np 節點拉至低電位後再打開 P 型功率電晶體，使得輸出節點被拉至高電位；反之若輸入由低電位拉至高電位時，電路操作也將先關閉 P 型功率電晶體爾後才開啟 N 型功率電晶體。此電路將確保 P 型及 N 型功率電晶體在任何情況下都不會同時開啟，造成電源供應器輸出電流直接流道地的極大電流損耗。驅動控制電路模擬結果如圖 4-21 所示。兩者控制訊號錯開設定在約 2ns 左右以避免過大的失真產生。

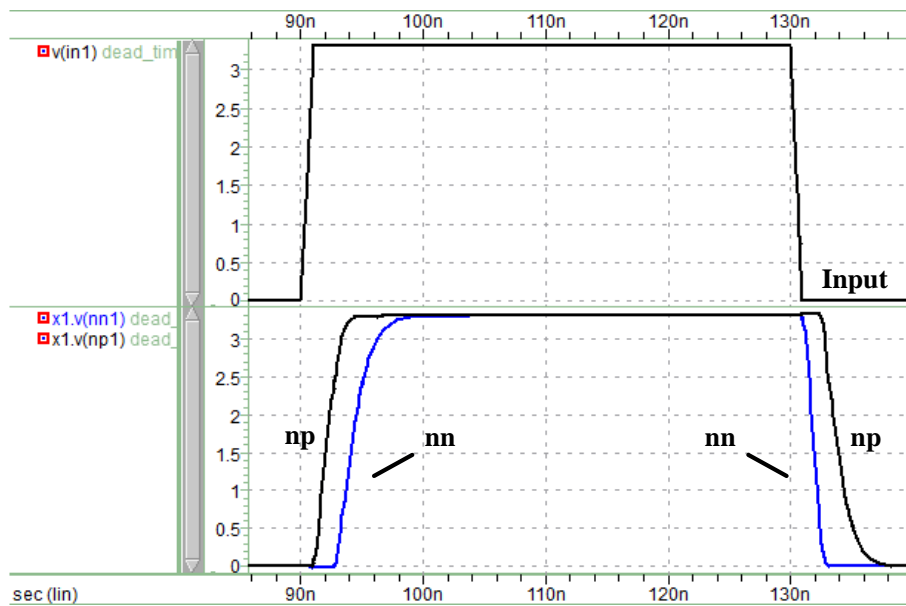


圖 4-21 驅動電路模擬結果

另外，式(4-5)計算功率效率的等式中，功率電晶體的線性區導通電阻對整體功率放大器來說會造成主要的功率損耗，一般會把導通電阻設計在 1Ω 以下。再考量各種製程角落的電晶體特性，選擇最壞情形的最大電阻。選用的 P 型功率電晶體導通電阻約為 0.326Ω ；N 型功率電晶體導通電阻約為 0.279Ω 。

4-3-2 全橋式低通濾波器

採用全橋式濾波器電路架構雖然需要兩倍體積，但可以自然消除偶次諧波項，提升放大器整體性能。模擬時採用電感電容被動低通濾波器，其組態如圖 4-22 所示，其中各被動元件值依據[42]的建議，以 8Ω 負載的情況而言各參數可整理如表 4-11。

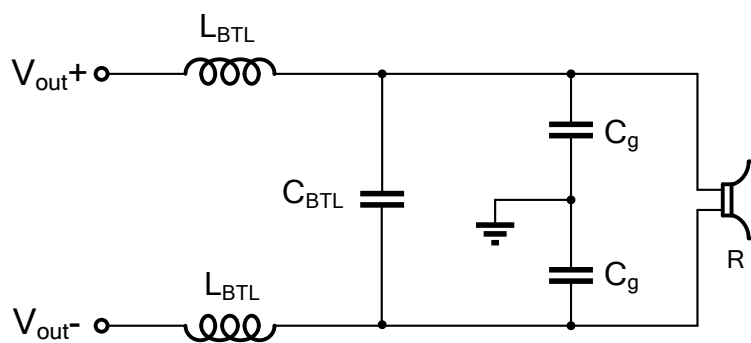


圖 4-22 全橋式低通濾波器

Q	f_0	Peaking @ 20kHz	L_{BTL}	C_{BTL}	C_g
0.7	28 KHz	-1.2 dB	33 μ H	0.47 μ F	0.1 μ F
0.7	41 KHz	-0.28 dB	22 μ H	0.33 μ F	0.068 μ F
1.26	34 KHz	2 dB	15 μ H	0.68 μ F	0.1 μ F

表 4-11 低通濾波器之各被動元件參數

我們選取Q值為 0.7， f_0 為 28 KHz的建議值，對濾波器而言會有最平坦的響應，依據參數可模擬出如圖 4-23 的頻率響應，-3dB頻率大約在 27 KHz，在 20 KHz處的增益約為-1.1dB。

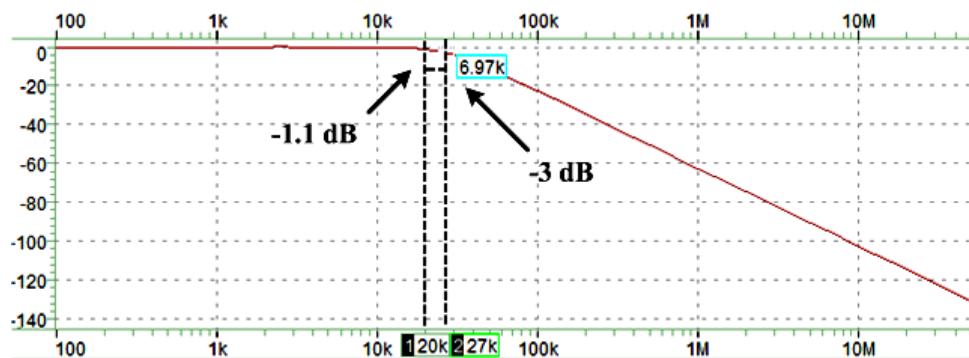


圖 4-23 全橋低通濾波器之頻率響應

4-3-3 D 類功率放大器之開回路模擬結果

由於聲音訊號有不同頻率、不同大小值的幅度變化，因此我們在模擬開回路放大器時，必須採用各種不同頻率、不同振幅的弦波輸入，並在時域模擬結果的輸出弦波中取快速傅立葉轉換，換算出總諧波失真，以求得最後之性能是否符合原設計規格。以頻率 937.5 Hz、振幅 1.76 V 為輸入時，此時輸出功率大約為 100 mW，各製程角落時域的前模擬結果如圖 4-24。

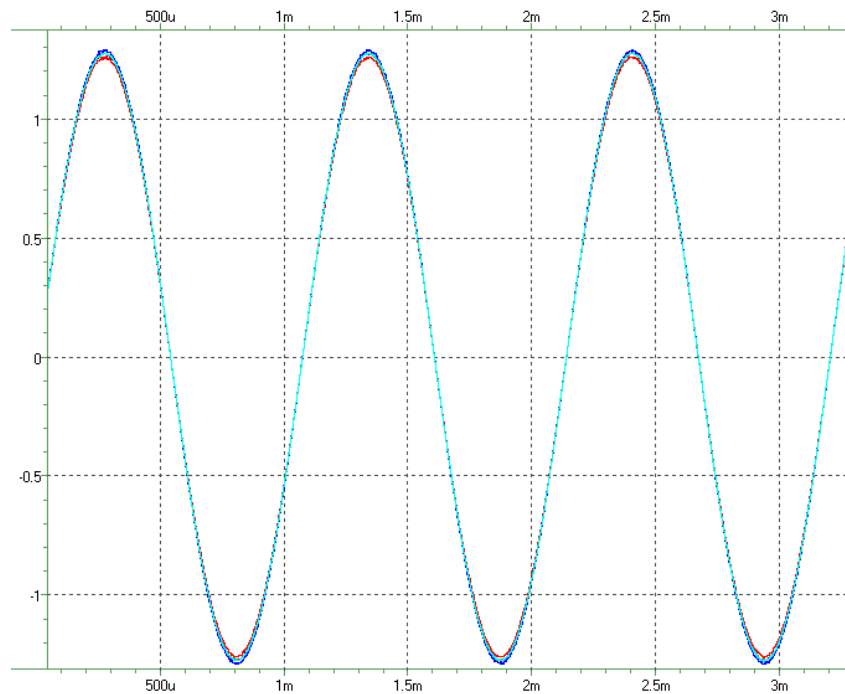
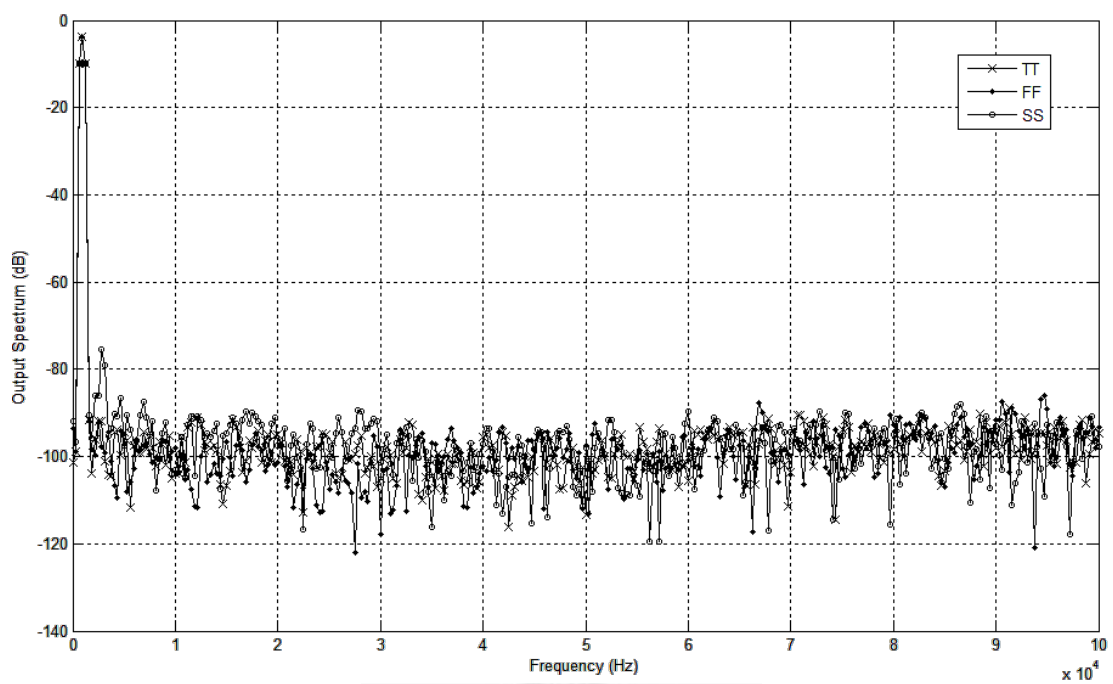
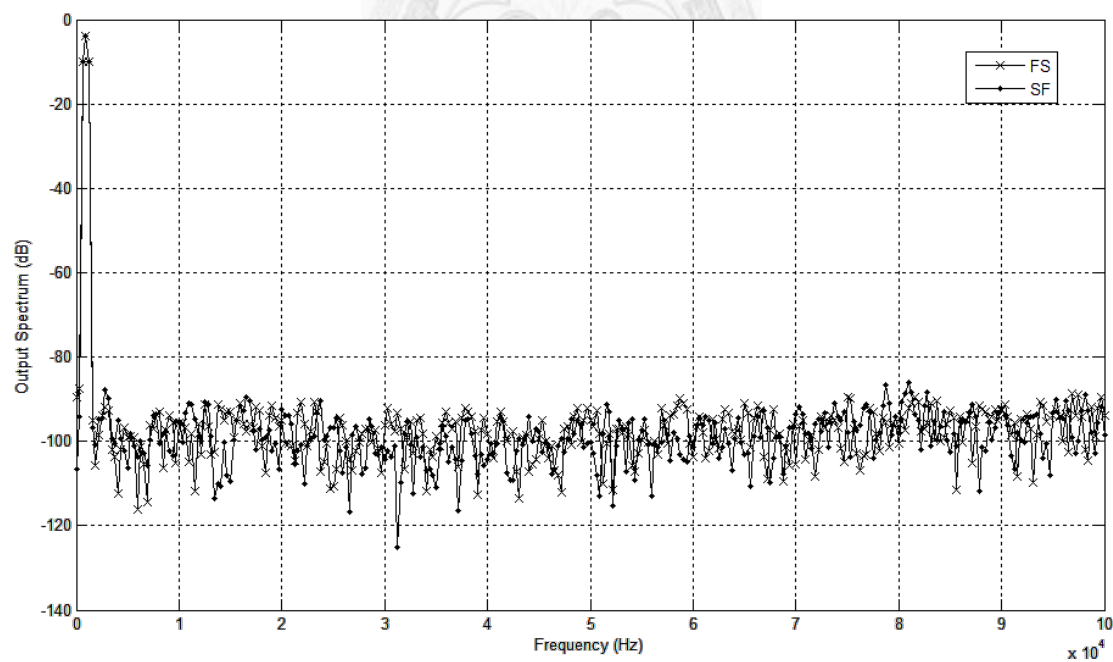


圖 4-24 放大器各製程角落的前模擬結果

對輸出弦波取 Hanning-Window 的快速傅立葉轉換，可得到前模擬之各製程角落的頻譜，可據此計算 THD+N 的系統特性，輸出頻譜結果如圖 4-25(a)(b)。此狀態下模擬結果整理成表 4-12，最差狀況之總諧波失真約為 0.035 %，最差功率效能為 79.1 %，符合預期規格。



(a)



(b)

圖 4-25 開迴路放大器各製程角落輸出頻譜圖

	Output Power	THD+N	Efficiency
TT	102 mW	0.015 %	83.6 %
FF	101.44 mW	0.011 %	79.1 %
SS	99.96 mW	0.035 %	85.4 %
FS	99.72 mW	0.016 %	80.2 %
SF	102.1 mW	0.017 %	84.4 %

表 4-12 開迴路放大器於 0.1 W 輸出時總諧波失真之前模擬結果

於 100 mW 輸出功率狀態下各製程角落的後模擬結果整理成表 4-13，最差狀況之總諧波失真約為 0.053 %，最差功率效能為 78.9 %，符合預期規格。

	Output Power	THD+N	Efficiency
TT	100.08 mW	0.020 %	82.3 %
FF	101.73 mW	0.012 %	78.4 %
SS	97.95 mW	0.053 %	84.4 %
FS	99.95 mW	0.022 %	78.9 %
SF	100.19 mW	0.021 %	85.6 %

表 4-13 開迴路放大器於 0.1 W 輸出時總諧波失真之後模擬結果

在固定輸入頻率為 937.5 Hz 的情況下，各種不同輸入振幅所造成的輸出功率情況下的 THD+N 特性可以模擬出不同聲音大小對系統線性度的特性。前模擬結果可繪製如圖 4-26，其中橫軸為輸出功率，縱軸為相對應之 THD+N。從圖中可看出當輸出功率極小時，由於調變器本身訊噪比較差，故訊號能量所佔比值較小，使得整體 THD+N 較高；當輸出功率越大時，由於三角積分調變器輸入過大時，產生的三階諧波項使得諧波失真越嚴重。但整體仍可維持在 0.1% 以內，符合設計規格。

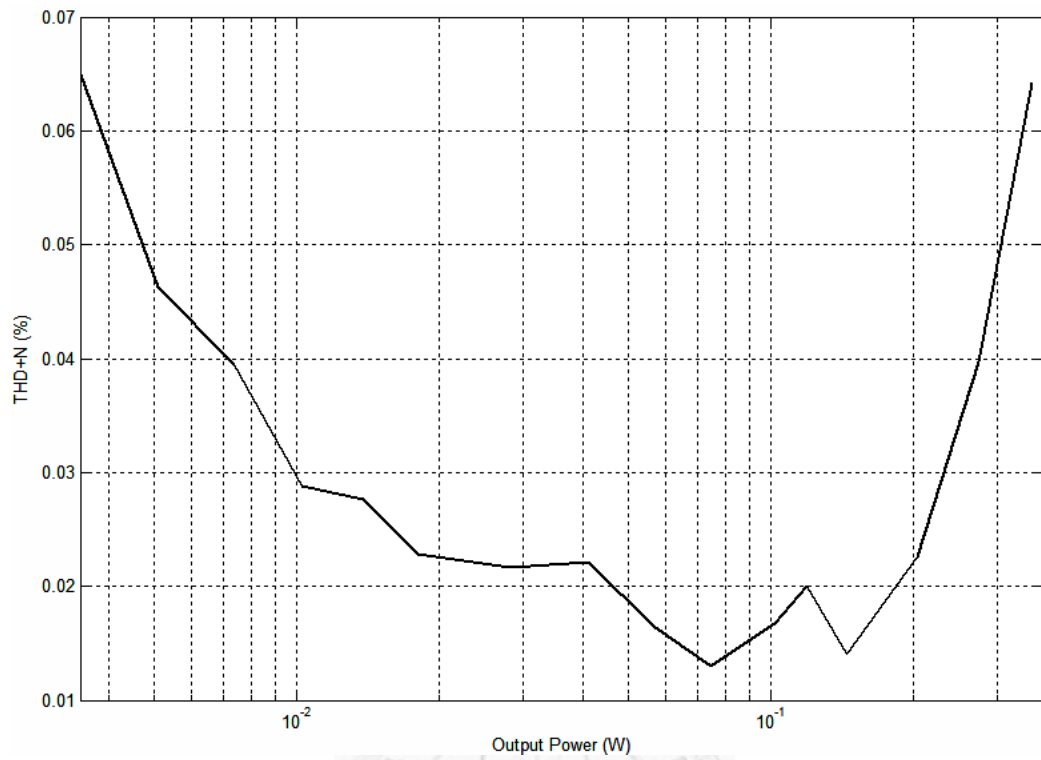


圖 4-26 前模擬之放大器輸出功率對 THD+N 之對應圖

以固定輸入振幅 1.76V，對應各種不同頻率情形，經過前模擬後計算得出的 THD+N 結果可繪製如圖 4-27。

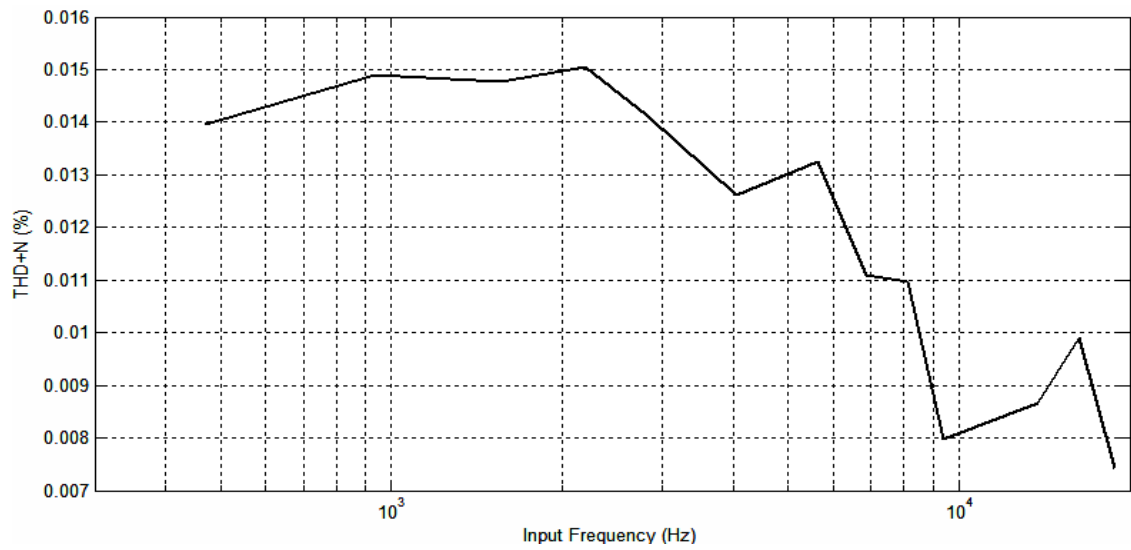


圖 4-27 前模擬之放大器不同頻率輸出對 THD+N 之對應圖

利用式(4.5)，我們可以計算出在 937.5Hz 輸入頻率，不同輸入振幅大小的狀況下整體 D 類放大器的功率效能，最大功率效能約為 90%，輸出功率對功率效能的模擬結果可表示如圖 4-28。整理的前模擬規格如表 4-14。

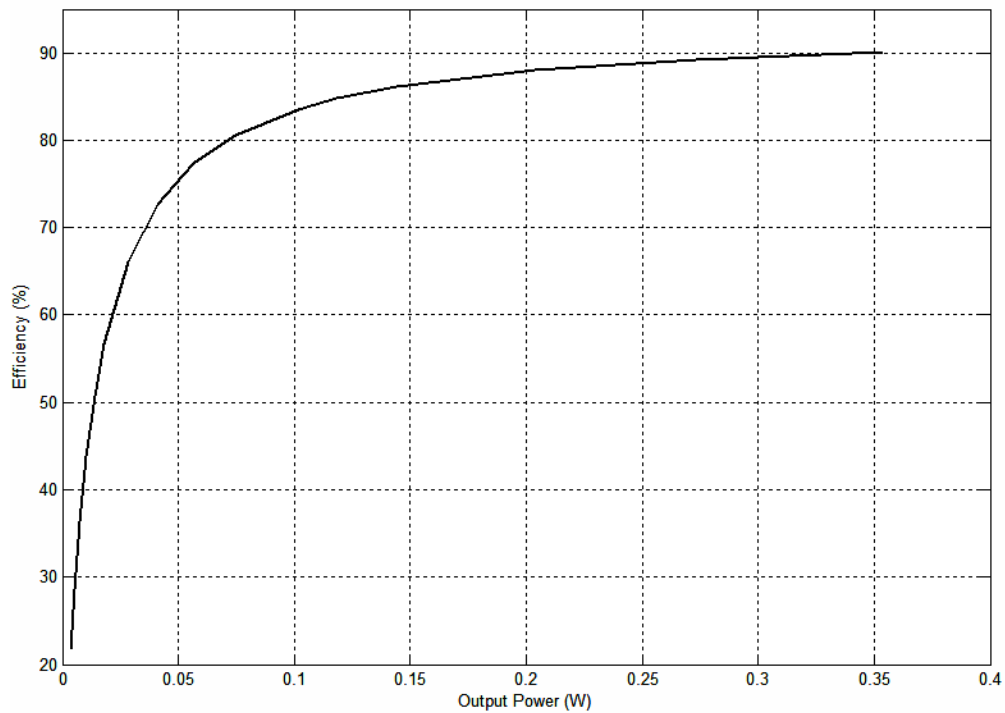


圖 4-28 前模擬之放大器輸出功率對功率效能圖

	Condition	Simulation Result
Max. Input Voltage		3.3 V
Max. Output Power	Output Power @ 1kHz	360 mW
Quiescent Current	Worst Case	5.79 mA
SNR	Max. Value	95.78 dB
SNDR	Max. Value	77.44 dB
THD+N	Max. Output Power	0.065 %
Efficiency	Max. Output Power	90 %

表 4-14 前模擬之放大器結果表

在固定輸入頻率為 937.5 Hz 的情況下，各種不同輸入振幅所造成的輸出功率情況下的後模擬結果可繪製如圖 4-29，其中橫軸為輸出功率，縱軸為相對應之 THD+N，整體仍可維持在 0.1% 以內，符合設計規格。

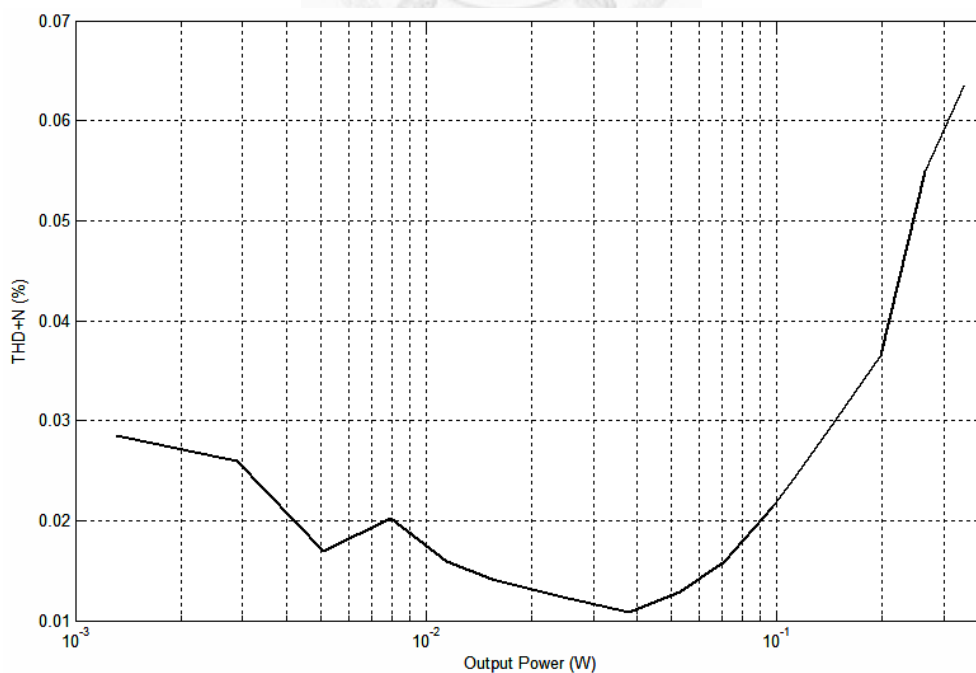


圖 4-29 後模擬之放大器輸出功率對 THD+N 之對應圖

以固定輸入振幅 1.76V，對應各種不同頻率情形，經過後模擬後計算得出的 THD+N 結果可繪製如圖 4-30。

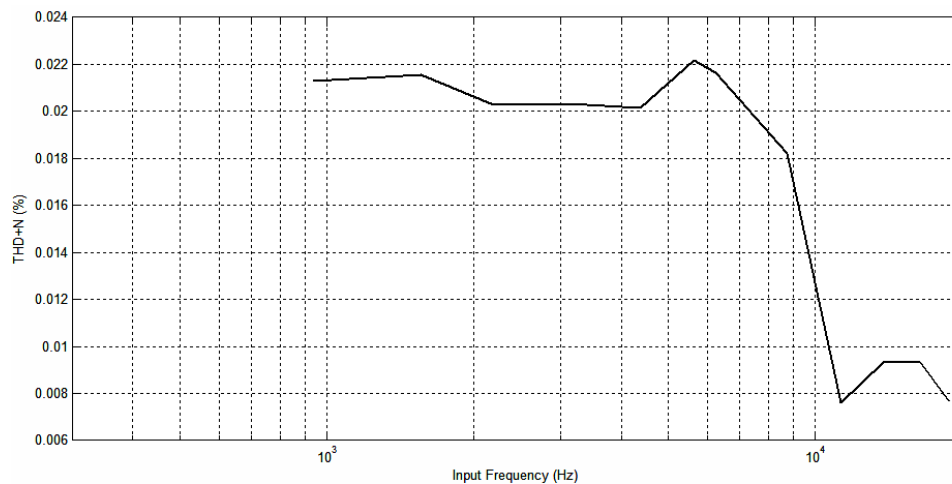


圖 4-30 後模擬之放大器不同頻率輸出對 THD+N 之對應圖

輸出功率對功率效能的後模擬結果可表示如圖 4-31。

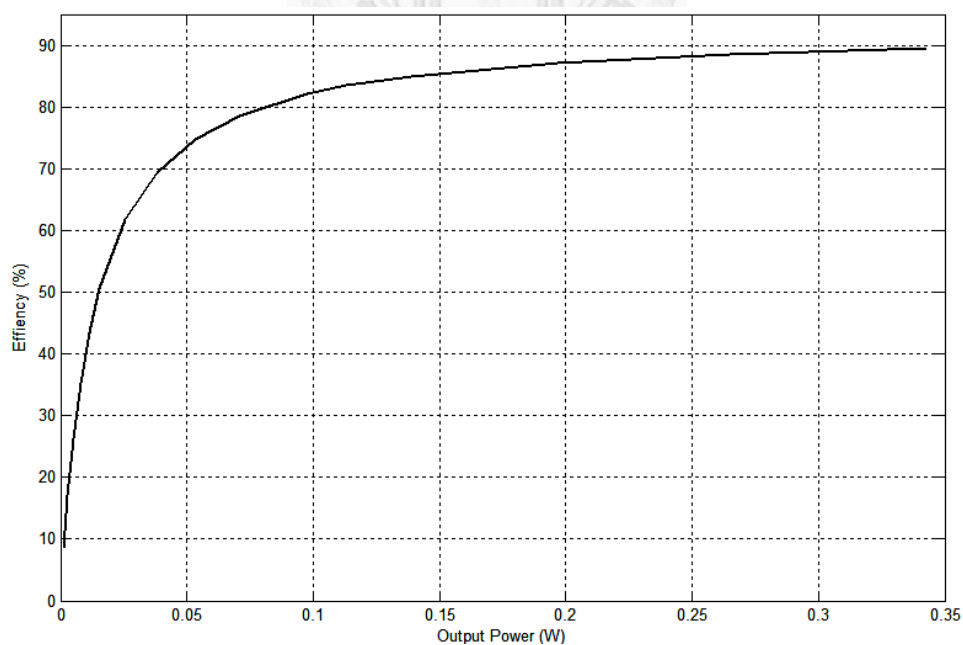


圖 4-31 後模擬之放大器輸出功率對功率效能圖

整理的後模擬規格如表 4-15。

	Condition	Simulation Result
Max. Input Voltage		3.3 V
Max. Output Power	Output Power @ 1kHz	343 mW
Quiescent Current	Worst Case	6.23 mA
SNR	Max. Value	96.40 dB
SNDR	Max. Value	73.89 dB
THD+N	Max. Output Power	0.064 %
Efficiency	Max. Output Power	89.6 %

表 4-15 後模擬之放大器結果表

藉由輸入不同振幅、不同頻率的大量模擬，並觀察其線性度以及功率效能等特性，我們才可以確定放大器設計是否符合原設計規格。放大器整理的後模擬結果比較如表 4-16 所示。

	SNR	SNDR	THD+N	Load	Output Power	Power Consumption	Efficiency
This Work	96 dB	74 dB	0.064%*	8Ω	343 mW	20.6 mW	90 %
[36]	N/A	N/A	0.4 %	8Ω	400 mW	9 mW	80 %
[37]	83 dB	N/A	0.65 %	8Ω	450 mW	21 mW	84 %
[38]	83 dB	N/A	0.35 %	8Ω	450 mW	10.5 mW	84 %
[39]	93 dB	N/A	0.3 %	8Ω	600 mW	17.3 mW	88 %
[5]	N/A	N/A	0.2 %	8Ω	1.25 W	140 mW	90 %
[6]	N/A	77 dB	0.07 %	8.2Ω	200 mW	50 mW	66 %
[7]	N/A	N/A	0.015 %	6Ω	2x5 W	N/A	88 %
[8]	N/A	80 dB	0.022 %	8Ω	N/A	7.7 mW	77 %
[40]	N/A	N/A	0.02 %	4Ω	1.8 W	42.9 mW	87 %
[41]	N/A	N/A	0.013 %	8Ω	1 W	16 mW	93 %

(*) 後模擬之最壞情況

表 4-16 放大器比較表

D類放大器之電路布局包含三階三角積分調變器、功率電晶體驅動電路以及功率電晶體，整體布局如圖 4-32 所示，晶片布局面積長寬分別為 2122um、1064um。

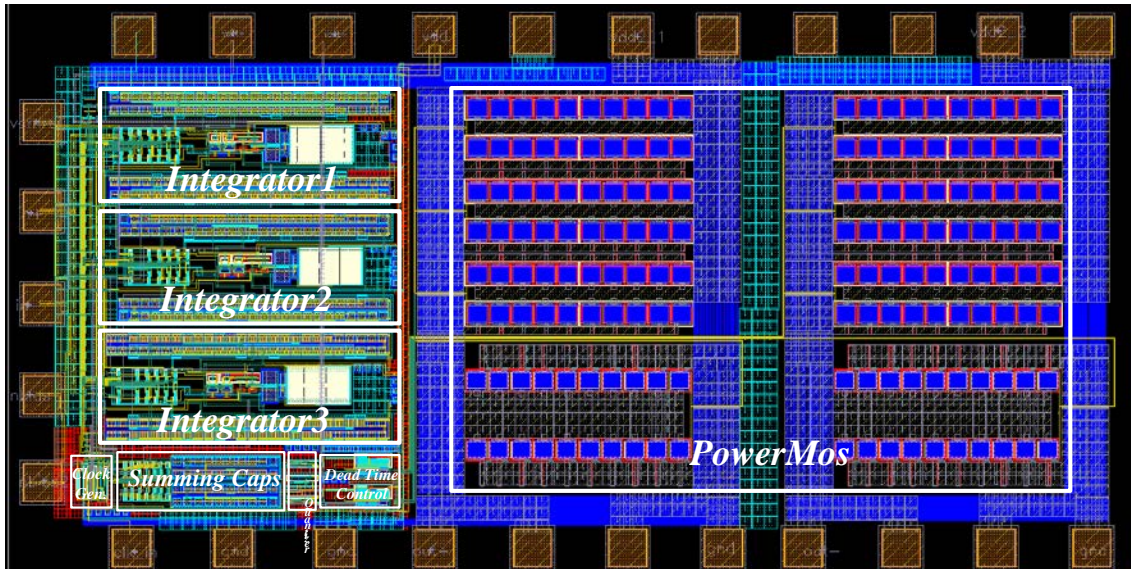


圖 4-32 D 類放大器電路布局

4-3-4 D 類功率放大器閉迴路模擬結果

D 類放大器可以採用負回授的技術再將總諧波失真再次壓抑[43]，一般從調變後並經由功率電晶體放大的節點拉回與輸入端相減，達到負回授的目的，整體系統方塊如圖 4-33 所示，其中 β 為負回授的係數。

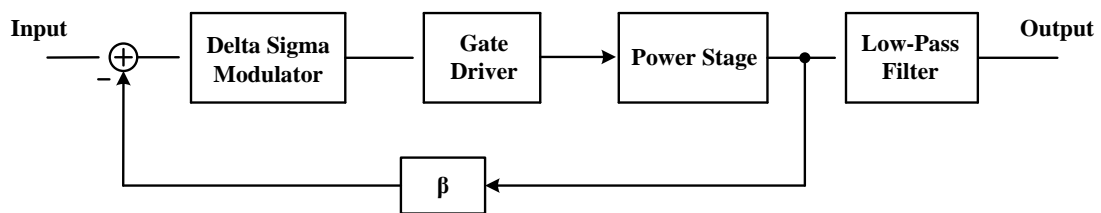
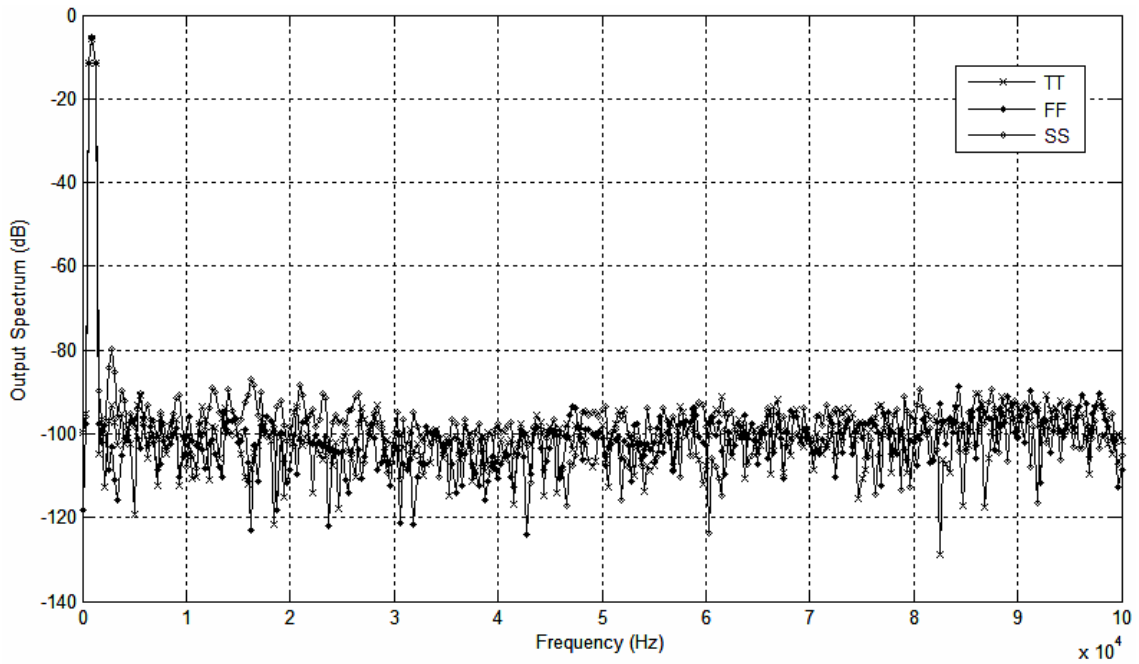
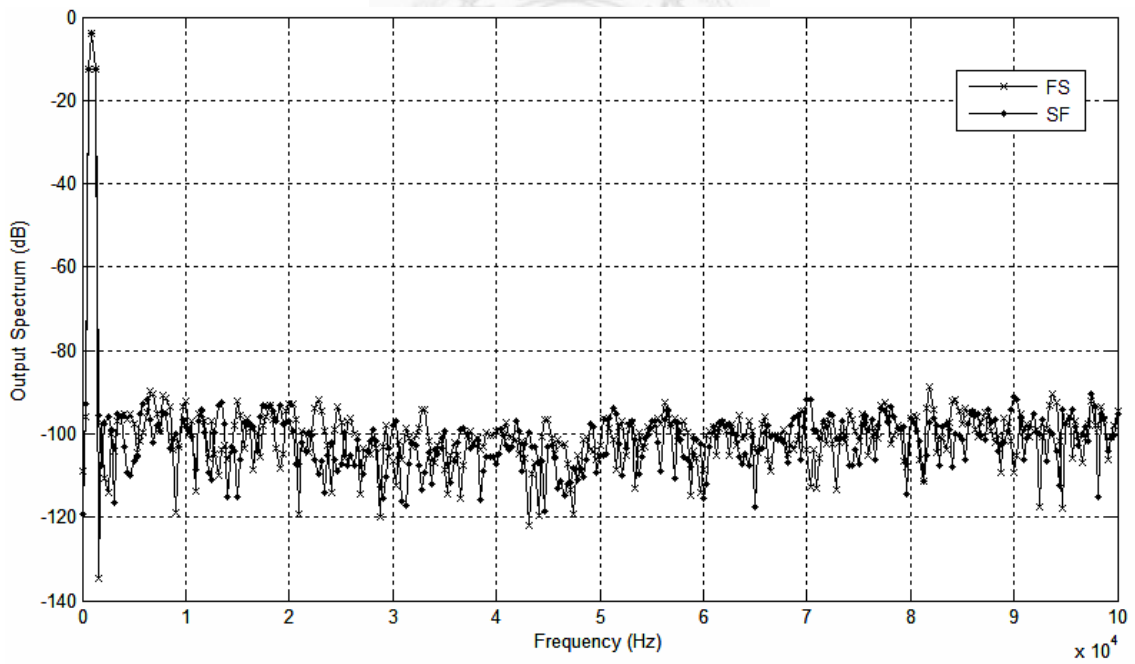


圖 4-33 閉迴路 D 類放大器系統方塊圖

於 100mW 輸出功率下各製程角落閉迴路 D 類放大器輸出頻譜結果如圖 4-34(a)(b)。模擬結果整理成表 4-17，最差之總諧波失真約為 0.031%，最差功率效能為 74.7%，閉迴路之總諧波失真較開迴路架構低了約 12%。



(a)



(b)

圖 4-34 閉迴路放大器各製程角落輸出頻譜圖

	Output Power	THD+N	Efficiency
TT	97.36 mW	0.014 %	80.3 %
FF	96.80 mW	0.010 %	74.7 %
SS	102.42 mW	0.031 %	83.3 %
FS	98.48 mW	0.015 %	76.5 %
SF	96.75 mW	0.014 %	81.3 %

表 4-17 閉迴路放大器於 0.1 W 輸出時總諧波失真之模擬結果

在固定輸入頻率為 937.5 Hz 的情況下，各種不同輸入振幅所造成的輸出功率情況下的模擬結果可繪製如圖 4-35，其中橫軸為輸出功率，縱軸為相對應之 THD+N，整體仍可維持在 0.1% 以內。

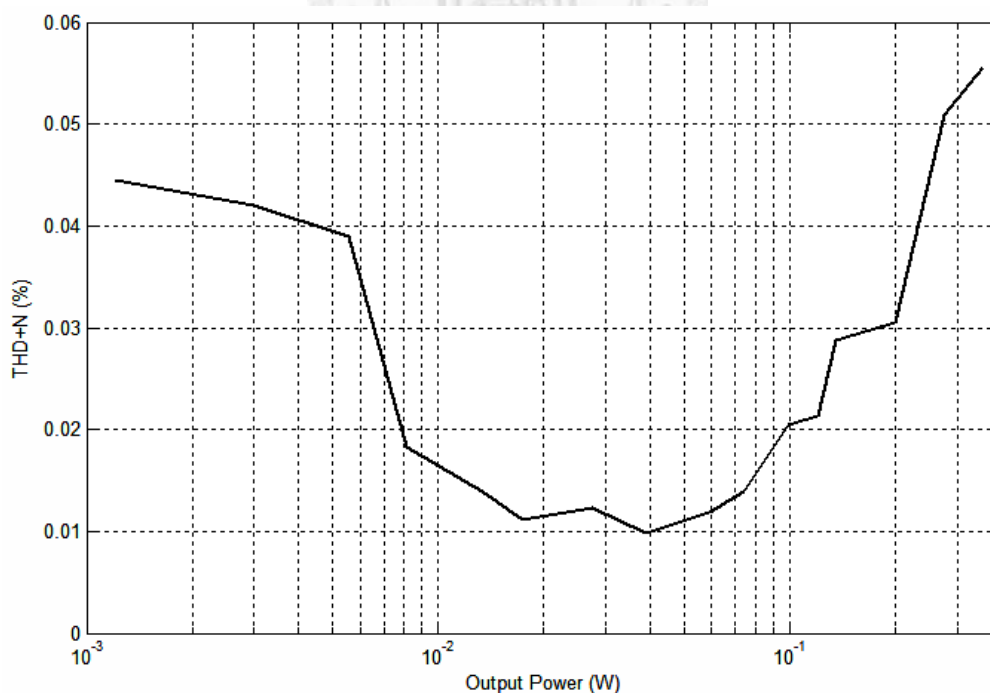


圖 4-35 閉迴路放大器輸出功率對 THD+N 之對應圖

以固定輸入振幅 1.76V，對應各種不同頻率情形，經過模擬後計算得出的 THD+N 結果可繪製如圖 4-36。

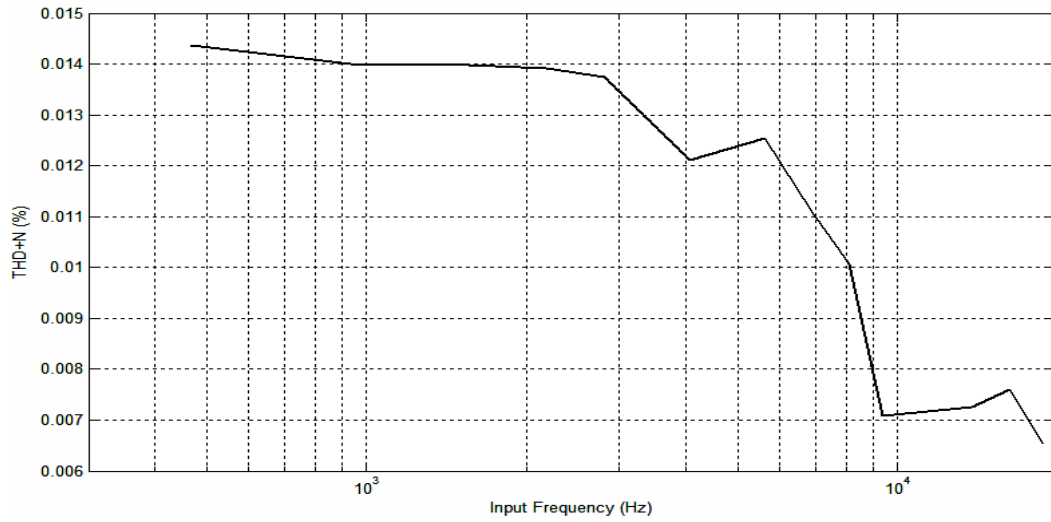


圖 4-36 閉迴路放大器不同頻率輸出對 THD+N 之對應圖

整理的模擬規格如表 4-18。

	Condition	Simulation Result
Max. Input Voltage		3.3 V
Max. Output Power	Output Power @ 1kHz	357 mW
Quiescent Current	Worst Case	7.89 mA
SNR	Max. Value	94.12 dB
SNDR	Max. Value	78.5 dB
THD+N	Max. Output Power	0.056 %
Efficiency	Max. Output Power	83.3 %

表 4-18 閉迴路放大器結果表

第五章 結論

本論文第一部分使用 TSMC rf-0.18 μm 製程設計了一個應用在非整數除頻器之多級 1-1-1 三角積分調變器，擁有 16-bit 的解析度，最大操作速度可達 80 MHz，功耗 970 μW 。

第二部分使用 TSMC 0.35 μm 製程設計了一個 D 類音頻放大器，D 類放大器被大量應用在手持式電子裝置，主要好處在功率效率高，在對於音質沒有特別高要求的情況下可以大幅提升電池續航力，並且相對於線性放大器而言面積可以縮小，並減少過大功率損耗造成的散熱問題。我們採用三階三角積分調變應用在 D 類切換放大器上面，相對於 D 類放大器常見的脈衝寬度調變而言，可以改善在脈衝寬度調變之切換頻率附近以及倍頻處的電磁干擾問題。採用三角積分調變的同時亦可以減少調變中產生的非線性項，以達到較佳的總諧波失真效能。最終模擬出開回路功率效能 89.6 %、最大輸出功率 343 mW、總諧波及雜訊失真 0.064 %、訊噪比(SNR) 96.4 dB、訊號對雜訊及失真項比(SNDR)為 73.89 dB；閉迴路功率效能 83.3%、最大輸出功率 357 mW、總諧波及雜訊失真 0.056 %、訊噪比(SNR) 94.12 dB、訊號對雜訊及失真項比(SNDR)為 78.5 dB 之 D 類功率放大器。

参考文献

- [1] D. A. Stone, and B. Chambers, "Effect of spread-spectrum modulation of switched mode power converter PWM carrier frequencies on conducted EMI, " *Electronic Letters*, vol. 31, issue 10, pp.769-770, May, 1995.
- [2] Steven R. Norsworthy, Richard Schreier and Gabor C. Theme, *Delta-Sigma Data Converters, Theory, Design, and Simulation*, Piscataway, NJ: IEEE Express, 1997.
- [3] Rudolf Koch, Franz Eckbauer, Eduard Engelhardt, John A. Fisher, and Dranz Parzefall "A 12-bit sigma-delta analog-to-digital converter with a 15-MHz clock rate," *IEEE J. of Solid-State Circuits*, vol. 21, no. 6, pp.1003-1010, Dec. 1986.
- [4] ApplicationNote2031, "DC-DC converter tutorial," <http://www.maxim-ic.com/app-notes/index.mvp/id/2031>
- [5] Jun-woo Lee, Jae-shin Lee, Gun-sang Lee, and Sulu Kim, "A 2W BTL single chip class d power amplifier with very high efficiency for audio applications," in Proc. *IEEE ISCAS*, vol. 5, May, 2000, pp. 493-496.
- [6] Jorge Varona, Anas A. Hamoui, and Ken Martin, "A low-voltage fully-monolithic Delta Sigma based class-D audio amplifier," in Proc. *IEEE ESSCIRC*, 2003, pp. 545-578.
- [7] Eric Gaalaas, Bill Yang Liu, Naoaki Nishimura, "Integrated stereo delta-sigma class d amplifier," in *ISSCC Dig. Tech. Papers*, pp. 120-121, Dec. 2005.
- [8] Kyoungsik Kang, Jeongjin Roh, Youngkil Choi, Hyungdong Roh, Hyunsuk Nam, and Songjun Lee, "Class-d audio amplifier using 1-bit fourth-order delta-sigma modulation," *IEEE Tran. on Circuits Syst. II, Exp. Briefs*, vol. 50, no. 11, pp. 728-732, Aug. 2008.

- [9] Lukas Dorrer, Franz Kuttner, Patrizia Greco, Patrick Torta, and Thomas Hartig, "A 3-mW 74-dB SNR 2-MHz Continuous-Time Delta-Sigma ADC With a Tracking ADC Quantizer in 0.13- μ m CMOS," *IEEE J. of Solid-State Circuits*, vol. 40, no. 12, pp. 2416-2427, Dec. 2005.
- [10] Yasuyuki Matusuya, Kuniharu Uchimura, Atsushi Iwata, and Tsutomu Kobayashi, "A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping," *IEEE J. of Solid-State Circuits*, vol. 22, no. 6, pp. 921-929, Dec. 1987.
- [11] David A. Johns, and Ken Martin, *Analog Integrated Circuit Design*. Wiley, Chapter 9, 1997.
- [12] Alan V. Oppenheim, Alan S. Willsky, and S. Hamid Nawab, *Signals & Systems, Second Edition*. Prentice Hall Signal Processing Series.
- [13] Bernard Widrow, "A study of rough amplitude quantization by means of nyquist sampling theory," *IEEE Trans. Circuit Theory*, vol. 3, pp. 266–276, no.4, Dec. 1956.
- [14] JAMES C. Candy and Oconnell J. Benjamin, "The structure of quantization noise from sigma-delta modulation," *IEEE Trans. Communications*, vol. 29, no. 9, pp. 1316-1323, Sept. 1981.
- [15] R.W. Stewart, and E. Pfann, "Oversampling and sigma-delta strategies for data conversion," *IET J. Electronic and Communication Engineering*, vol. 10, issue1, pp.37-47, 1998.
- [16] Ian Galton, and Henrik T. Hensen, "Oversampling parallel delta-sigma modulator a/d conversion," *IEEE Tran. on Circuits Syst. II, Analog Digit. Signal Process.*, vol. 43, no. 12, Dec. 1996.

- [17] C. Budsabathon and A. Nishihara, "Design of high order stable delta sigma modulator with state space approach," in *IEEE Tecon*, vol. A, Nov. 2004. pp.523-526
- [18] W.L. Lee, "A novel interpolative modulator topology for high resolution oversampling a/d converters," Master's Thesis, Massachusetts Institute of Technology, Cambridge, MA, June 1987.
- [19] G. Troster, P. Ferguson, K. Schoppe, A. Wedel, E. Zocher, J. Arndt, H-J. Dressler, H-J Golberg and W. Schardein, "An interpolative bandpass converter on a 1.2mm bi-cmos analog/digital array," *IEEE J. of Solid-State Circuits*, vol. 28, no.4, pp.471-477, Apr. 1993.
- [20] G. I Bourdopoulos, A. Pnevmatikakis, V. Anastassopoulos and T. L Deliyannis, *Delta-Sigma Modulators: Modeling, Design and Application*. Imperial College Press, 2006.
- [21] W. Chou, P. Wong, R. Gray, "Multi-stage sigma-delta modulation," *IEEE Trans. Information Theory*, vol. 35, pp. 784-796, July 1989.
- [22] Eric J. Van der Zwan and E. Carel Dijkmans, "A 0.2mW cmos delta sigma modulator for speech coding with 80dB dynamic range," *IEEE J. of Solid-State Circuits*, Vol.31, No. 12, pp.1873-1880, Dec. 1996.
- [23] Richard Scherier, and Gabor C. Temes, *Understanding Delta Sigma Data Converters*. , Wiley, IEEE Press, 2004.
- [24] 劉深淵, 楊清淵, 鎖相迴路 , in Chapter 3, 滄海書局, Nov. 2006.
- [25] N. Christoffers, R. Kokozinski, S. Kolnsberg, and B.J. Hosticka, "High loop-filter-order $\Sigma\Delta$ -fractional-n frequency synthesizers for use in frequency-hopping spread-spectrum communication-systems," in *Proc. IEEE ISCAS*, May, 2003, pp.216-219.

- [26] Tom A. D. Riley, Miles A. Copeland, "Delta-sigma modulation in fractional-n frequency synthesis," *IEEE J. of Solid-State Circuits*, vol. 28, No. 5, pp.553-559, May 1993.
- [27] Terrence p. Kenny, Thomas A.D. Riley, Norman M. Filiol, and Miles A. Copeland. "Design and realization of a digital $\Delta\Sigma$ modulator for fractional-n frequency synthesis," *IEEE Trans. Vehicular Technology*, vol. 48, No. 2, pp. 510-521, March 2009.
- [28] Chun-Pang Wu, Hen-Wai Tsao, and Jingshown Wu, "A novel sigma-delta fractional-n synthesizer architecture with fractional spur and quantization noise cancellation," in *Proc. IEEE ISCAS*, May 2010, pp. 1117-1120.
- [29] Eric Gaalaas, Bill Yang Liu, Naoaki Nishimura, Robert Adams, and Karl Sweetland, "Integrated stereo $\Delta\Sigma$ class d amplifier," *IEEE J. of Solid-State Circuits*, vol. 40, No. 12, pp.2388-2396, Dec. 2005.
- [30] Jun Honda, and Jonathan Adams, "Class d audio amplifier basics," Application Note AN-1071, International Rectifier.
- [31] Joseph S. Chang, Meng-Tong Tan, Zhihong Cheng, and Yit-Chow Tong, "Analysis and design of power efficient class d amplifier output stages," *IEEE Trans. Circuits Syst.*, vol. 47, no. 6, pp.897-902, June 2000.
- [32] Kirk C. H. Chao, Shujaat Nadeem, Wai L. Lee, and Charles G. Sodini, "A higher order topology for interpolative modulators for oversampling a/d converters," *IEEE Trans. Circuits Syst*, vol. 37, no. 3, pp.196-205, March 1990.
- [33] <http://www.mathworks.com/matlabcentral/fileexchange/19>
- [34] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2002.

- [35] Richard Schreier, and Trevor Caldwell, *Advanced Analog Circuits Notes*.
- [36] <http://www.national.com/mpf/LM/LM4665.html#Overview>
- [37] <http://www.national.com/mpf/LM/LM4666.html#Overview>
- [38] <http://www.national.com/mpf/LM/LM4667.html#Overview>
- [39] <http://www.national.com/mpf/LM/LM4670.html#Overview>
- [40] C. W. Lin, Y. P. Lee, and W. T. Chen, "A 1.5 bit 5th order ct/dt delta sigma class d amplifier with power efficiency improvement," in *Proc. IEEE ISCAS*, May 2008, pp. 280-283.
- [41] A. Matamura, N. Nishimura, and B. Y. Liu, "Filterless multi-level delta-sigma class-d amplifier for portable applications," in *Proc. IEEE ISCAS*, May 2009, pp. 1177-1180.
- [42] Yang Boon Quek, "Application report, SLOA119A- April," <http://focus.tij.co.jp/jp/lit/an/sloa119a/sloa119a.pdf>, T.I. INC. 2006.
- [43] J. S. Chang, B. H. Gwee, Y. S. Lon, and M. T. Tan, "A novel low-power low-voltage class d amplifier with feedback for improving thd power efficiency and gain linearity," in *Proc. IEEE ISCAS*, May 2001, pp. 635-638.