

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

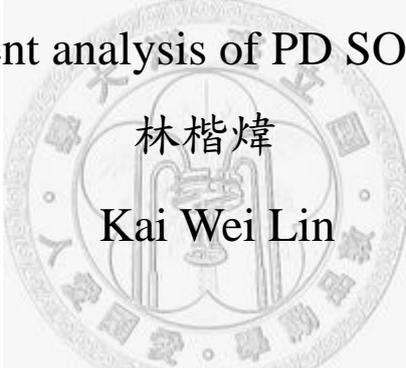
Graduate Institute of Electronics Engineering  
College of Electrical Engineering & Computer Science

National Taiwan University

Master Thesis

奈米部分解離絕緣體上矽金氧半元件之關閉暫態分析

Turn-off transient analysis of PD SOI NMOS device



林楷煒

Kai Wei Lin

指導教授：郭正邦 博士

Advisor: James.B Kuo, Ph.D.

中華民國 97 年 6 月

June, 2008

國立臺灣大學  
電子工程學研究所

碩士論文

奈米級部分解離絕緣體上矽金氧半元件之關閉暫態分析

林楷煒 撰

97  
6



# 國立臺灣大學碩士學位論文 口試委員會審定書

## 奈米部分解離絕緣體上矽金氧半之關閉暫態分析 Turn-off Transient Analysis of PD SOI NMOS Device

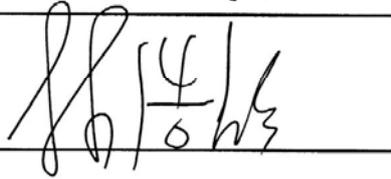
本論文係林楷煒 (R95943045) 在國立臺灣大學電子工程研究所、所完成之碩士學位論文，於民國 97 年 6 月 21 日承下列考試委員審查通過及口試及格，特此證明

口試委員：



蔡成宗 (指導教授)







系主任、所長



# Turn-Off Transient Analysis of PD SOI NMOS Device

By  
KAI-WEI LIN

## THESIS

SUBMITTED IN PARTIAL FULFILLMENT OF THE  
REQUIREMENTS FOR THE DEGREE OF  
MASTER OF SCIENCE IN ELECTRONICS ENGINEERING

NATIONAL TAIWAN UNIVERSITY  
TAIPEI, TAIWAN, REPUBLIC OF CHINA  
June 2008

Approved by: Cheng-Tzung Tsai Cheng-Hsiung Chiu Yong-Lin Hao-Lip L.

Advised by: James B. Knowlton

Approved by Chairman: James B. Knowlton

Date: June 2008

## 致 謝

學生在此非常感謝郭正邦教授這兩年教導，不僅是在學問上不盡餘力的督促勉勵我們，而且不時的告訴我們做人做事的道理，讓我們在兩年來獲益良多成長不少。在做研究的過程，感謝老師給予我們研究的方向，並且在研究遇到困難時，給予我細心的指導和建議，才使得研究順利完成。在此學生致上最誠懇的感謝。

其次要感謝實驗室全部同學在這段期間的同窗之誼，平常在課業是互相砥礪，做研究一起討論互相幫忙，才使得研究能有一些小小的成果，在此深表感激之意。

最後還要感謝我的父母親，這段時間一路走來，對我的包容和照顧，沒有你們的栽培，也絕對不會有今天的我，謝謝你們。



## 中文摘要

本篇論文研究奈米級部分解離絕緣體上矽金氧半元件之暫態分析,元件關閉產生的效應。

第一章中先對絕緣體上矽金氧半元件(SOI)做一個簡介,包含他的結構及其優點,並且比較部分解離絕緣體上矽(partially-depleted SOI — PDSOI)和完全解離絕緣體上矽(fully-depleted SOI — FD SOI)之間的差異。

第二章主要在討論 PD SOI 元件暫態分析關閉時產生的效應,當  $V_d$  較大時會發生 Latch 現象 造成寄生雙載子電晶體不會關掉,所以汲極電流(drain current)不為 0,而源極/集極長度(S/D L)較短者引起能隙縮小使得寄生雙載子電晶體性能變差,電流增益(current gain)較小,再來我們考慮不同 lifetime 產生的影響,最後分析撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否對元件關閉的影響。

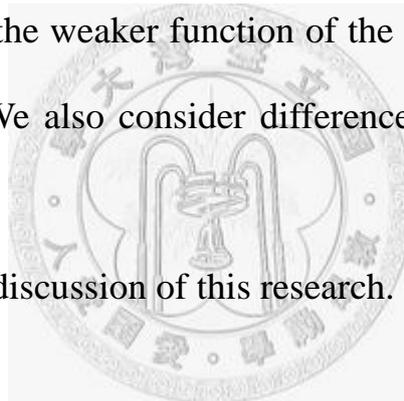
第三章最後為總結與討論。

# ABSTRACT

This thesis discusses the mechanism of the nanometer PD-SOI NMOS device while turning off. Chapter 1 gives a brief introduction about SOI technology and the scaling trends. We can see the advantage of using SOI devices comparing to Bulk device.

Chapter 2, as verified by Medici, the 2D simulation software. It shows the difference between drain current voltage, base-emitter voltage, and  $Q_n$  while turning off. With a smaller S/D length due to the weaker function of the parasitic bipolar device, drain current voltage is smaller. We also consider difference in lifetime and ii model for advance discussion.

Chapter 3 is conclusion and discussion of this research.



# 目錄

<b>Chapter 1</b>	<b>SOI PD CMOS- cross section, scaling trends, and kink effects .....</b>	<b>1</b>
1.1	SOI technology and scaling trends.....	1
1.2	PD cross section vs. FD cross section.....	3
1.3	結論.....	8
<b>Chapter 2</b>	<b>Turn off.....</b>	<b>11</b>
2.1	固定 Vd Turn off 電流對時間的變化.....	13
2.2	討論淺溝槽隔離(STI)對元件所造成的機械張力對元件關閉的影響	16
2.2.1	討論元件關閉對汲極電流(Drain current), 基底-射極電壓 Vbe(base-emmitter voltage), 和薄膜內電子濃度( $Q_n$ )的影響.....	21
2.2.2	不同 Lifetime 對元件關閉所照成的影響.....	28
2.2.3	閘極電壓(gate voltage)對元件關閉所照成的影響.....	31
2.3	元件關閉(Turn off)機械張力模型及相對應之撞擊游離模型中考慮及不考慮能帶縮減模型比較.....	34
2.4	元件關閉(Turn off)總結論.....	41
<b>Chapter 3</b>	<b>Conclusion and Suggestion.....</b>	<b>44</b>

# 圖目錄

圖 1.1 絕緣體上矽 (Silicon on Insulator — SOI)結構圖.....	2
圖 1.2 傳統金氧半電晶體元件(bulk) 結構圖.....	2
圖 1.3 完全解離絕緣體上矽(FD SOI)結構圖.....	5
圖 1.4 部分解離絕緣體上矽元件(PD SOI)結構圖.....	5
圖 1.5 部分解離絕緣體上矽元件(PD SOI)等效電路模型.....	7
圖 2.1：40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)模擬元件剖面圖	12
圖 2.2：加在閘極的輸入電壓變化由 1v 下降至 0v,元件的汲極偏壓分別為 2V 和 0.5V	14
圖 2.3：ramp-time=1ns Vd=2V 和 Vd=0.5V 之暫態分析 .....	15
圖 2.4：ramp-time=10ns Vd=2V 和 Vd=0.5V 之暫態分析 .....	15
圖 2.5：淺溝槽隔離(STI)對元件所造成的機械壓力 (mechanical stress) 應為壓縮量 (compress)，這是由於淺溝槽隔離(STI)氧化層的熱膨脹係數比矽來的小，以及閘 極熱氧化時在淺溝槽隔離(STI)邊緣產生的體積擴張。 .....	17
圖 2.6: 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的機械壓力(mechanical stress)以及相關的能係縮小(bandgap narrowing)分佈圖，於測試元件橫截面方向繪 出，其源極/汲極長度(S/D L)分為 $0.17\mu\text{m}$ 與 $1.7\mu\text{m}$ ，根據二維製程模擬軟體所 繪出。 .....	18
圖 2.7: 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電流傳導機制 (current conduction mechanism)的截面示意圖。 .....	20
圖 2.8:ramp-time=1ns 電流暫態分析 .....	22
圖 2.9:ramp-time=1ns Vbe(base-emmitter voltage).....	23

圖 2.10:ramp-time=1ns $Q_n$ .....	24
圖 2.11:ramp-time=10ns 電流暫態分析 .....	25
圖 2.12:ramp-time=10ns $V_{be}$ (base-emmitter voltage) .....	26
圖 2.13:ramp-time=1ns $Q_n$ .....	27
圖 2.14 ramptine=1ns $V_g=0.5v$ to 0v .....	29
圖 2.15 ramptine=1ns $V_g=1v$ to 0v .....	29
圖 2.16: ramptine=10ns $V_g=0.5v$ to 0v .....	30
圖 2.17: ramptine=10ns $V_g=0.5v$ to 0v .....	30
圖 2.18:不同閘極電壓(gate voltage),對元件關閉電流暫態分析 .....	32
圖 2.19: 不同閘極電壓(gate voltage),對元件關閉 $V_{be}$ 分析.....	33
圖 2.20: 不同閘極電壓(gate voltage),對元件 $Q_n$ 分析 .....	33
圖 2.21:ramp-time=1ns 電流暫態分析,撞擊游離(impact ionization)模型考慮能係縮小 (bandgap narrowing)與否.....	36
圖 2.22 ramp-time=10ns 電流暫態分析,撞擊游離(impact ionization)模型考慮能係縮小 (bandgap narrowing)與否.....	36
圖 2.23: ramp-time=1ns 基體-源極電壓(body-source voltage),撞擊游離(impact ionization)模 型考慮能係縮小(bandgap narrowing)與否 .....	37
圖 2.24:ramp-time=10ns 基體-源極電壓 (body-source voltage), 撞擊游離 (impact ionization)模型考慮能係縮小(bandgap narrowing)與否.....	37
圖 2.25: 不同閘極電壓(gate voltage),對元件關閉電流暫態分析,撞擊游離(impact ionization) 模型考慮能係縮小(bandgap narrowing)與否.....	39
圖 2.26: 不同閘極電壓(gate voltage),對元件關閉 $V_{be}$ 分析,撞擊游離(impact ionization)模	

型考慮能係縮小(bandgap narrowing)與否.....	40
圖 2.27: 不同閘極電壓(gate voltage),對元件關閉 Qn 分析,撞擊游離(impact ionization)模型	
考慮能係縮小(bandgap narrowing)與否.....	40
圖 2.28:ramp-time=1ns 電流暫態分析.....	42
圖 2.29:ramp-time=10ns 電流暫態分析.....	42
圖 2.30:ramp-time=1ns 基體-源極電壓(body-source voltage).....	43
圖 2.31:ramp-time=10ns 基體-源極電壓(body-source voltage).....	43





# Chapter 1 SOI PD CMOS- cross section, scaling trends, and kink effects

## 1.1 SOI technology and scaling trends

由於半導體產業的驚人發展，積體電路的操作頻率以及運算能力的快速上升，記憶裝置如SRAM、DRAM 以及硬碟容量急遽擴大，使得半導體元件的速度和密度更加的受到重視。提升半導體元件的速度和密度最有效的方法就是縮小 (scaling) 元件尺寸，而傳統金氧半電晶體元件(bulk)在結構持續地縮小同時，雖然可使元件的雜散效應減小速度變快，但由於元件的橫向和縱向電場也隨著通道長度和閘極氧化層厚度的縮小而相對的大幅增加，使得元件的特性和電路的效能下降並增加其不穩定性。如圖1.1，絕緣體上矽 (Silicon on Insulator — SOI) 金氧半元件是以絕緣體和其上的一層薄單晶矽(single-crystalline silicon)作為基材經製程加工所做出來的電晶體元件。它與傳統金氧半元件的最大差別在於絕緣體上矽金氧半元件與基體(substrate)間以氧化層隔絕，所以元件彼此之間不再共用同一基體而各自獨立。

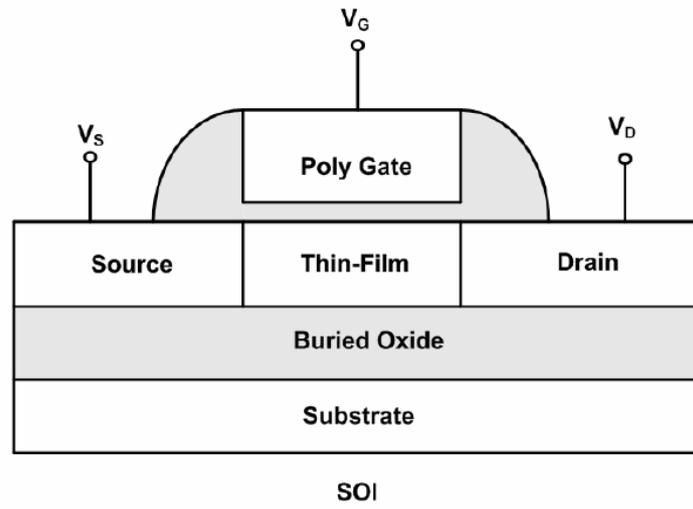


圖 1.1 絕緣體上矽 (Silicon on Insulator — SOI)結構圖

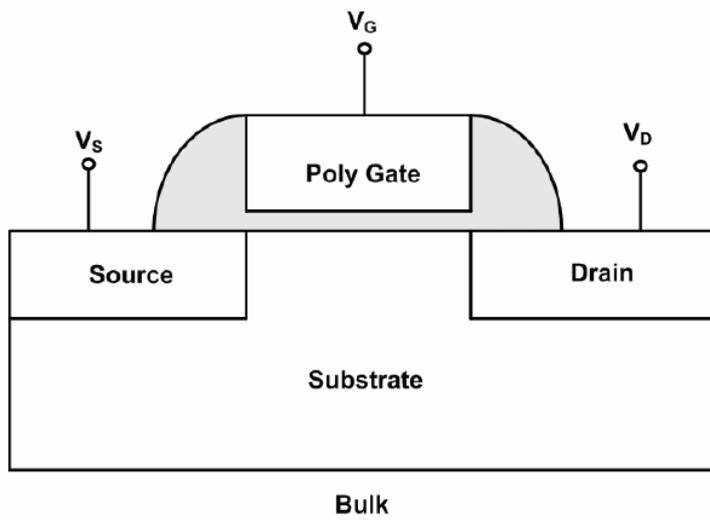


圖 1.2 傳統金氧半電晶體元件(bulk) 結構圖

而絕緣體上矽金氧半元件因為潛埋氧化層(buried oxide)的結構可提供良好的絕緣能力，因此，使得絕緣體上矽金氧半元件的漏電流變得相當小，也不會有閉鎖問題(latch-up)，寄生電容(parasitic capacitance)較為小，抗輻射能力強，轉導(transconductance)優於傳統金氧半元件，次臨界斜率(subthreshold slop)較為陡，二次效應(second-order effects)小，短通道效應(short channel effect)較為小，元件密度高，臨界電壓(threshold voltage)較為小，等等優點[1]，並可和現有的超大型積體電路(VLSI)的製程技術相容。所以，在未來往奈米元件的發展中，將會取代現有的部分電路設計，成為下一世代的主流技術。

## 1.2 PD cross section vs. FD cross section

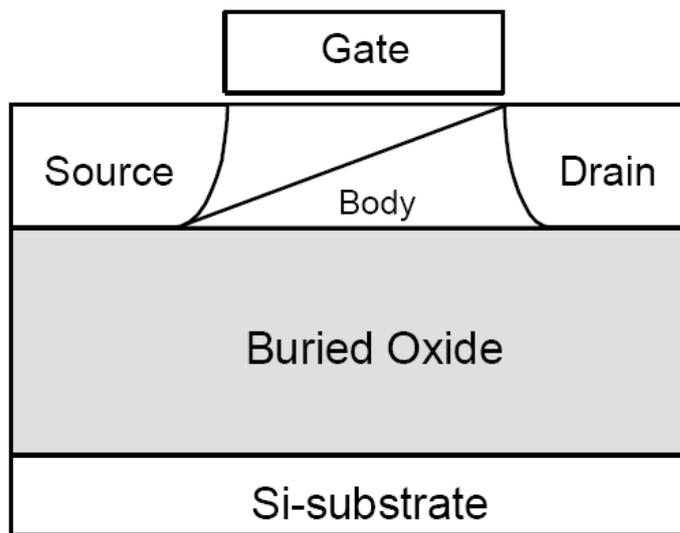
隨著絕緣體上矽金氧半元件的矽薄膜層厚度(thin film thickness)的不同，絕緣體上矽金氧半元件可分為二種：厚薄膜層(thick thin-film)、薄薄膜層(thin thin-film)。厚膜元件的特性為在電晶體作用時，其矽薄膜層上半部分產生空乏，而矽薄層下半部分保持中性，此元件稱為部分解離絕緣體上矽(partially-depleted SOI — PD SOI)。如果是薄膜元件，在電晶體作用時，其矽薄膜層會完全的空乏，我們稱之為完全解離絕緣體上矽(fully-depleted SOI — FD SOI) [1]。

完全解離絕緣體上矽(FD SOI)如圖1.3所示，由於在導通時，矽薄膜層完全空乏，沒有中性區存在，所以不會有浮動基體(floating body)所產生的電流突增效應(kink effect)、磁滯效應(hysteresis behavior)，且其二次效應、次臨界斜率、元件的互導、對薄膜的控制能力都較佳，這些特性都比部分解離絕緣體上矽(PD SOI)元件的性能要好。雖然種種的特性顯示完全解離絕緣體上矽元件的性能比部分解

離絕緣體上矽要好很多，但由於完全解離絕緣體上矽元件的矽薄膜層較薄，元件的臨界電壓對薄膜的厚度極為敏感，所以對製程的一致性(uniformity)要求很高。從製程來看，要做出薄膜厚度均勻的完全解離絕緣體上矽元件，是比製作部分解離絕緣體上矽元件要來的困難許多。

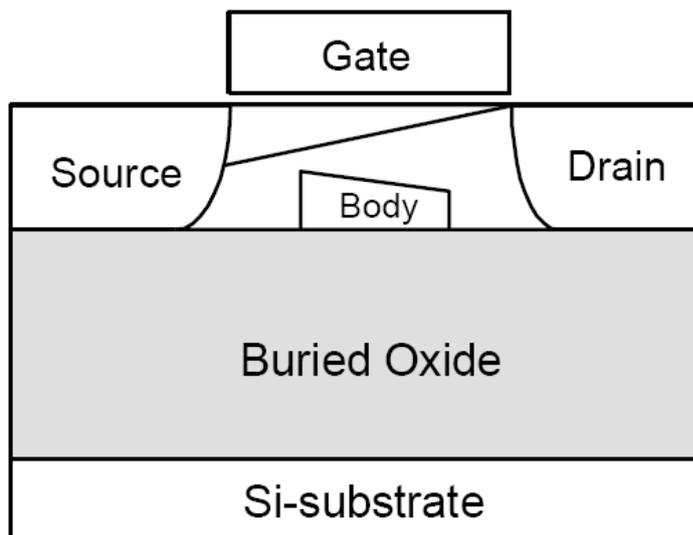
部分解離絕緣體上矽元件(PD SOI)如圖1.4所示在導通時，由於其矽薄層較厚，導致矽薄層不完全解離，在通道下方將會存在中性區，而臨界電壓受到矽薄膜層厚度的影響也將比較小，臨界電壓的變化較為穩定。相較於完全解離絕緣體上矽元件對製程的要求，部分解離絕緣體上矽元件對矽薄膜層厚度的要求較不精確，製作較為容易。但由於矽薄膜層不完全解離，通道下方會有嚴重的浮動基體效應(floating body effect)及寄生雙載子元件(parasitic bipolar device)等問題，將會對部分解離絕緣體上矽元件的特性造成非常重大的影響。

部分解離絕緣體上矽金氧半元件的矽薄膜層存在著中性區，因此提供了源極-基體(source - body)之間較大的位能障(potential barrier)，當加上偏壓於汲極時，電子將以很高的速度碰撞汲極(drain)，而將產生碰撞解離(impact ionization)，碰撞解離產生的電洞將積聚在基體中，進而提高浮動基體的電位，造成部分解離絕緣體上矽金氧半元件的臨界電壓下降，而源極-基體間的位能障也因此逐漸的降低，當汲極的電壓愈高，電子漂移的速度愈快，而所碰撞解離的電洞將積聚的愈多，當數量到達一定的程度時，將使得汲極和基體的寄生雙載子電晶體導通，觸發元件汲極電流的突增，造成元件在強反轉時會有電流突增效應(kink effect)在閘極電壓愈大時，電流突增發生的汲極電壓也越大。



FD

圖 1.3 完全解離絕緣體上矽(FD SOI)結構圖



PD

圖 1.4 部分解離絕緣體上矽元件(PD SOI)結構圖

圖1.5為部分解離絕緣體上矽元件(PD SOI)等效電路模型, 部分解離絕緣體上矽N 型金氧半元件(PD SOI)可以把它視為金氧半電容元件(MOS)及雙載子電晶體(BJT)等效電路組合的元件。對寄生雙載子電晶體(parasitic BJT)而言, 其射極(emitter)和表面傳統金氧半元件的源極(source)連接, 而其集極(collector)則和表面傳統金氧半元件的汲極(drain)共享。寄生雙載子電晶體(parasitic BJT)的基極(base)則和表面傳統金氧半元件的基板(substrate) 相接形成浮動基體(floating body)。因此 PD SOI 元件可視為MOS 及BJT 的等效電路組合。另外加上一個Cburied 的電容來表示部分解離絕緣體上矽的潛埋氧化層(buried oxide)的效應。

對操作在飽和區的部分解離絕緣體上矽N 型金氧半元件, 在此區間中, 由於  $V_{DS} > V_{DS,SAT}$ , 在元件表面汲極端存在高電場造成碰撞解離產生大量洞注入浮動基體中, 造成電洞累積。進而使基極/射極接面的電壓( $V_{BE}$ )變大, 觸發寄生雙載子電晶體導通。而基體也因為電洞的累積使電位增高, 造成臨界電壓(threshold voltage)減小, 進而使得在同樣的閘極電壓下的電流會往上提昇, 也就形成了電流突增效應(kink effect)。

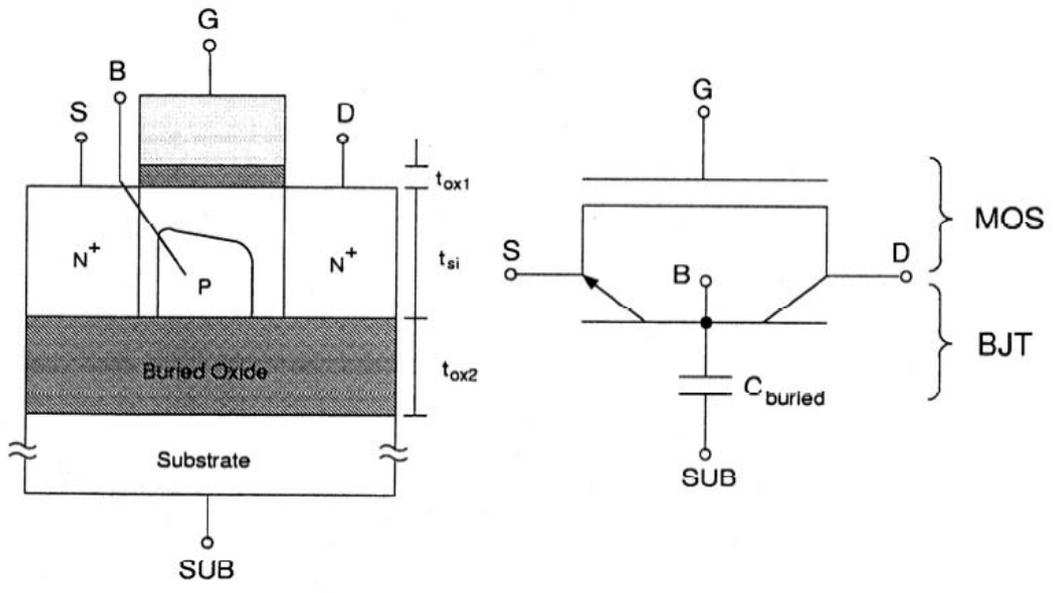


圖 1.5 部分解離絕緣體上矽元件(PD SOI)等效電路模型



### 1.3 結論

絕緣體上矽 SOI 技術已成為現今半導體技術的主流，主因在於 SOI 元件有著諸多的優點。第一點，SOI 元件由於有 STI 與底層氧化物的隔離，故沒有 N+ 至 P+ 隔離的限制，也絕對沒有電晶體 latch up 的問題，使元件可盡量靠近，增加元件的密度，其次就是能增強宇宙射線  $\alpha$  粒子影響所導致問題的免疫力。第二點，SOI 元件的電場效應會變得更小，因為 SOI 的薄膜侷限在 oxide 中、水平和垂直方向電場受到良好的控制，而且通道也被限制在較淺的區域，故短通道效應可大幅降低，通道摻雜也可減少，然而，bulk MOS 元件卻會受到水平及直電場不規則的影響。第三點，SOI 元件的次臨界區的斜率會更陡，轉導會更好，並且閘極之控制能力比在純矽基材更強，使元件的速度大幅提升，也允許元件操作於更低電壓。第四點，SOI 元件的源/汲極接面與氧化層相接，僅側向接面產生接面電容，使得接面電容大幅降低，電路速度也因而變快。第五點，在 bulk MOS 元件中，溫度上升時，因反向偏壓之 PN 接面漏電流隨溫度成指數函數增加，因此使 MOS 元件之漏電流很受溫度之影響，然而 SOI MOS 元件由於有埋藏氧化層之阻隔作用，元件之接面漏電流可比 bulk MOS 元件小。第六點，SOI MOS 元件由於埋藏氧化層的緣故，其元件溫度係數也遠比 bulk 元件好，即 SOI 元件臨電壓之溫度係數在室溫以上攝氏 200 度以內均比 bulk 元件好，這是因為在 bulk MOS 元件中，由於通道下方之空乏區厚度易受溫度影響，而完全空乏 SOI MOS 元件之空乏區厚度，即 thin film 厚度不會改變，所以 SOI 的臨界電壓較不受溫度影響[1]。

SOI 元件的隔離工程使用了淺溝槽隔離(STI)的製程，可改善傳統習用的 LOCOS 隔離法產生的鳥嘴(birds beak)效應造成有效元件寬度減少及場氧化層表

面不平坦的限制，但是 STI 的製程問題須注意的是，當閘極跨過隔離邊緣時，如果元件區的角落太尖銳，則會因局部電場增強的緣故，使得元件邊際區的電荷反轉提早引發，造成元件的臨界電壓值下降。主要改善方法為圓化角落，可以降低隔離邊緣的通道內的電場強度。STI 另一特色是其可避免因 LOCOS 高溫使摻雜物向氧化層聚集而造成臨界電壓太高的現象，反而因 STI 凹陷在窄寬度端的電場集中而造成臨界電壓下降，但此現象可以用 SiN 來加以改善。綜合以上所述可知 SOI 有著諸多的優點，在同一世代提供較佳元件性能，但在 CMOS 微縮的過程中，元件微縮性能的改善，遠超過 SOI 製程開發所產生的效應，致使 SOI 製程不斷遞延，但在 CMOS 製程接近物理極限時，SOI 元件仍將佔有一席之地。

CMOS 在近年來不斷地進行製程的改善及元件的微縮，其目的在於成本的降低及性能的提升，但是由於元件尺寸不斷縮小，一些物理極限，提高了製程的難度，例如在 90 耐米製程以下，閘極氧化層厚度減少，由於電子直接穿隧，使得閘極漏電情形嚴重。在加上電荷共享造成短通道(short channel) 現象更為嚴重，在通道長度微縮下，DIBL 效應使得  $I_d$ - $V_g$  次臨界區(subthreshold swing) 的斜率變小，元件關閉狀態的漏電流也大幅增加，另一方面，也因為臨界電壓的下降，使得元件的開關能力變差。故為了改善 DIBL 效應造成的短通道現象，將源/汲極端的接面作淺，又因此會造成串聯電阻的增加，如何將 dopant 淺植入及活化，將愈加困難。此外由於淺接面在高電場下的漏電(band to band direct tunneling)，載子移動率下降及引發的可靠度問題，亦須與以解決。

SOI 元件縮小之後也會有高電場效應，高電場效應之下有表面散射、載子

速度飽和、電子溫度效應、閘極穿隧電流效應、熱載子效應、晶格溫度等問題產生。此外，在相同的汲極偏壓(VD)下，短通道的水平電場會比長通道大，因此短通道元件必須考慮速度飽和效應。當元件汲極偏壓(VD)增加時，會導致水平電場增高至載子速度飽和，汲極電流便不再繼續增加而呈現飽和，因此，對於深次微米(DeepSubmicron)的元件而言，速度飽和效應所造成的影響會更加明顯。



## Chapter 2 Turn off

本章主要在討論 SOI 元件暫態分析元件關閉時產生的效應,以下分三個章節來討論.第一個小節討論給固定的輸入訊號關閉元件,但是在不同的汲極電壓下(Drain voltage), 汲極電流(Drain current)的變化.第二個小節討論在固定的汲極電壓(Drain voltage)下, 討論淺溝槽隔離(STI)對元件所造成的機械張力對元件關閉電流的影響.第三個小節討論二維元件模擬時便採用分別考慮能係縮小(bandgap narrowing)對元件關閉時電流產生的影響.

圖 2.1 所示為工業上 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)模擬元件剖面圖。此元件薄膜層厚度(thin film thickness)為 70nm，並參雜 P 型雜質，參雜濃度為  $3 \times 10^{18}$ ，潛埋氧化層(buried oxide)為 145nm，前閘極氧化層(gate oxide)為 1.5nm，通道寬度(channel length)為  $1 \mu\text{m}$ 。邊牆下輕參雜汲極(LDD)結構以及淺槽隔離(STI)結構都被採用在此模擬結構中。而邊牆(sidewall spacer)下方為 65nm 長的 N 型輕參雜區域，參雜濃度為  $10^{19}$ 。使用二維元件模擬器 Medici，模擬時考慮兩種載子及能量平衡公式，元件格點有 8871 個。在下來的諸子節中，將以模擬驗證去討論此元件關閉的現象[2] [3] [4]。

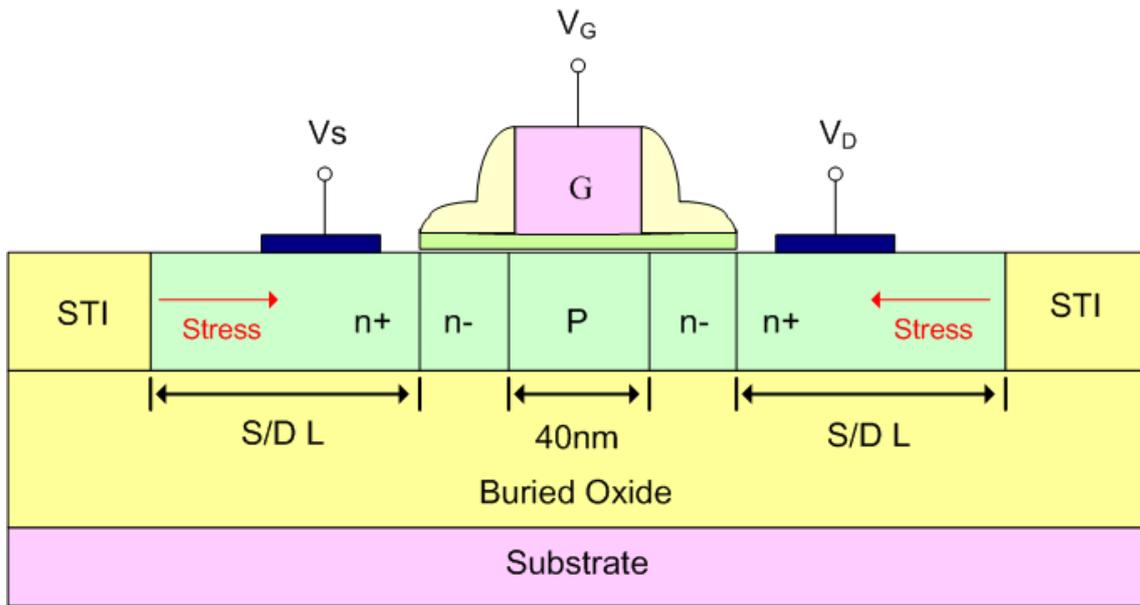
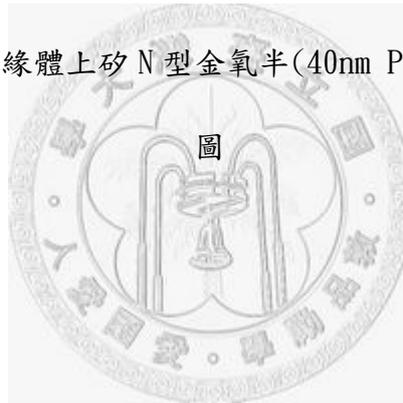


圖 2.1：40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)模擬元件剖面



## 2.1 固定 Vd Turn off 電流對時間的變化

以下的分析是用二維元件模擬器 MEDICI [5] [6] 模擬部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件, 如圖 2.2 在閘極(gate voltage)端給予一輸入訊號由 1v 下降至 0v. 輸入訊號下拉將元件關閉,關閉的時間(ramp time)分別為 10ns 和 1ns.而汲極端(Drain voltage)分別給予 2V 和 0.5V 來討論.

如圖 2.3,2.4 分別在不同的關閉時間所示, 對 Vd=2v 而言,隨著 gate 輸入訊號由 1v 下降至 0v, 汲極電流(drain current) 變化的趨勢與輸入訊號變化的趨勢相同, 但在閘極(gate)訊號關閉至 0v 後, 汲極電流(drain current)維持在 0.13mA 而不會為零.主因是寄生雙載子電晶體並未完全關閉,維持在導通的狀態. 相反的對 Vd=0.5v 情形而言,在輸入訊號由 1v 下降至 0v 後. 寄生雙載子電晶體完全關閉,drain current 則降至幾乎為零,這是因為當 Vd=2v 時發生 Latch 現象 造成寄生雙載子電晶體不會關掉,所以 drain current 維持在 0.13mA, 對於輸入訊號下拉(ramp down)的操作情形不同,部分解離絕緣體上主要取決於寄生雙載子電晶體是否關掉. Turn off 時 bjt 由 on 到 off .

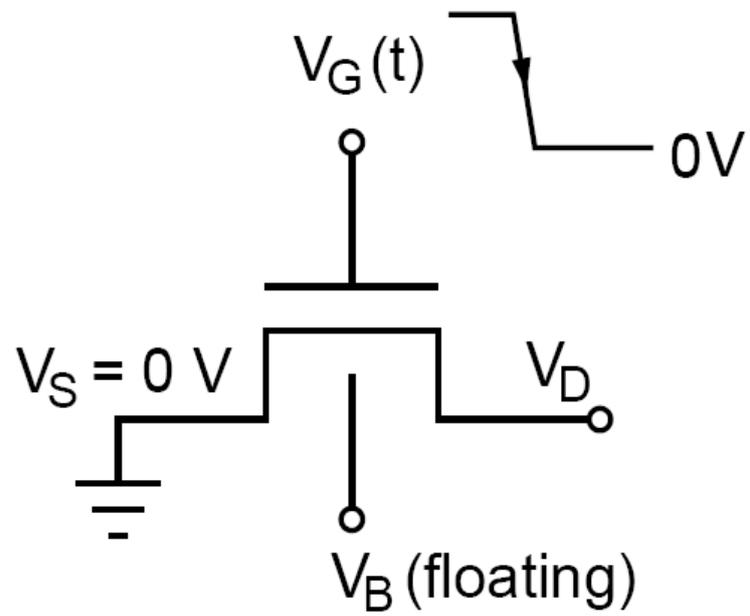


圖 2.2：加在閘極的輸入電壓變化由 1v 下降至 0v,元件的汲極偏壓分別為 2V 和 0.5V



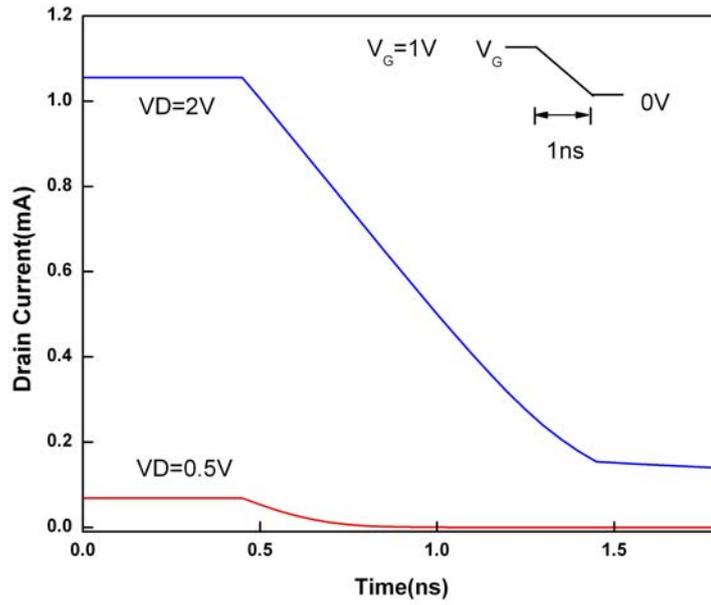


圖 2.3 : ramp-time=1ns  $V_D=2V$  和  $V_D=0.5V$  之暫態分析

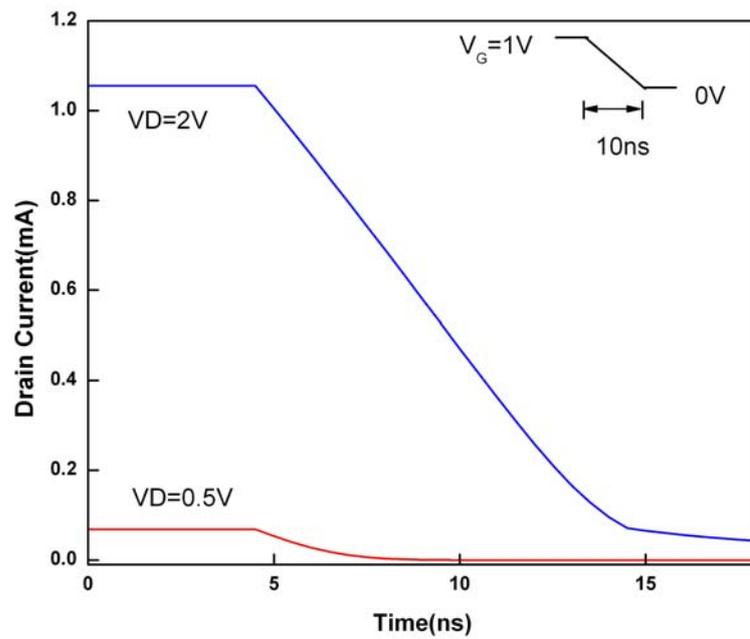
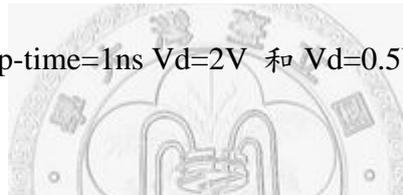


圖 2.4 : ramp-time=10ns  $V_D=2V$  和  $V_D=0.5V$  之暫態分析

## 2.2 討論淺溝槽隔離(STI)對元件所造成的機械張力對元件關閉的影響

淺槽隔離(STI)引起機械壓力(mechanical stress)可能會影響互補式金氧半(CMOS)元件的效能,如圖 2.5 所示。機械壓力(mechanical stress)可能影響功函數(work function)、有效質量(effective mass)、載子遷移率(carrier mobility)、以及載子生存時間(carrier lifetime)。在奈米級世代中,絕緣體上矽金氧半(SOI)元件已經變為互補式金氧半(CMOS)超大型積體電路(VLSI)的主流。由於奈米級部分解離絕緣體上矽互補式金氧半(PD SOI CMOS)元件,其源極/汲極長度(S/D L)可能會非常小,所以淺槽隔離(STI)引起機械壓力(mechanical stress)所造成的影響不可以再被忽視。在本節中,將利用二維元件模擬器[5][6]來分析淺槽隔離(STI)引起機械壓力(mechanical stress)對 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件關閉(Turn off)的影響。

圖 2.6 所示為 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件的機械壓力(mechanical stress)以及相關的能係縮小(bandgap narrowing)分佈圖,於測試元件橫截面方向繪出,其源極/汲極長度(S/D L)分為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$ ,根據二維製程模擬軟體所繪出。因存在淺槽隔離(STI)結構,其源極/汲極長度(S/D L)為  $0.17\mu\text{m}$  者,機械壓力(mechanical stress)在淺槽隔離(STI)附近源極/汲極處最大,再慢慢的向通道中心遞減。在靠近淺槽溝隔離(STI)邊緣的射級/汲級區間,其能係縮小(bandgap narrowing)量達到  $0.047\text{eV}$ ,然而在靠近通道水平中心時,能係縮小(bandgap narrowing)達到  $0.035\text{eV}$ 。此機械壓力(mechanical stress)造成非均一的能係縮小(bandgap narrowing)分佈,對於奈米級部分解離絕緣體上矽互補

式金氧半(PD SOI CMOS)元件會造成相當的影響[2] [3] [4]。

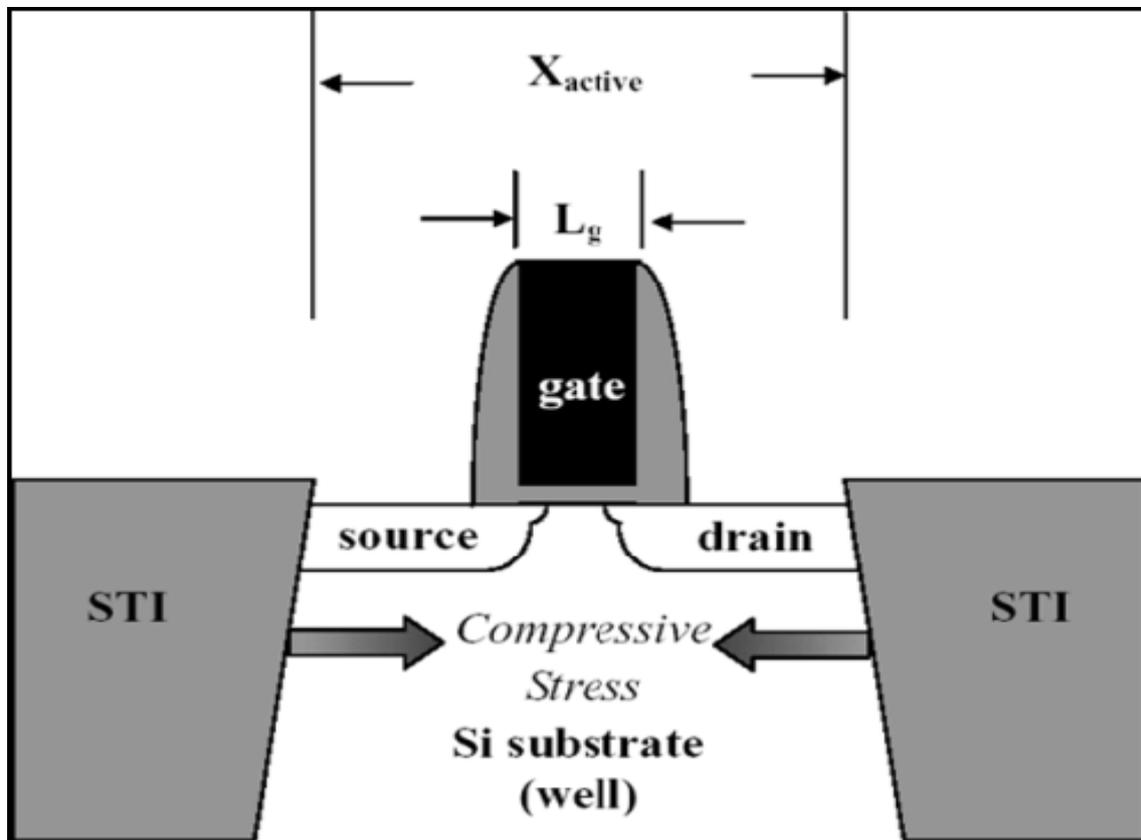


圖 2.5：淺溝槽隔離(STI)對元件所造成的機械壓力 (mechanical stress) 應為壓縮量(compress)，這是由於淺溝槽隔離(STI)氧化層的热膨脹係數比矽來的小，以及開極熱氧化時在淺溝槽隔離(STI)邊緣產生的體積擴張。

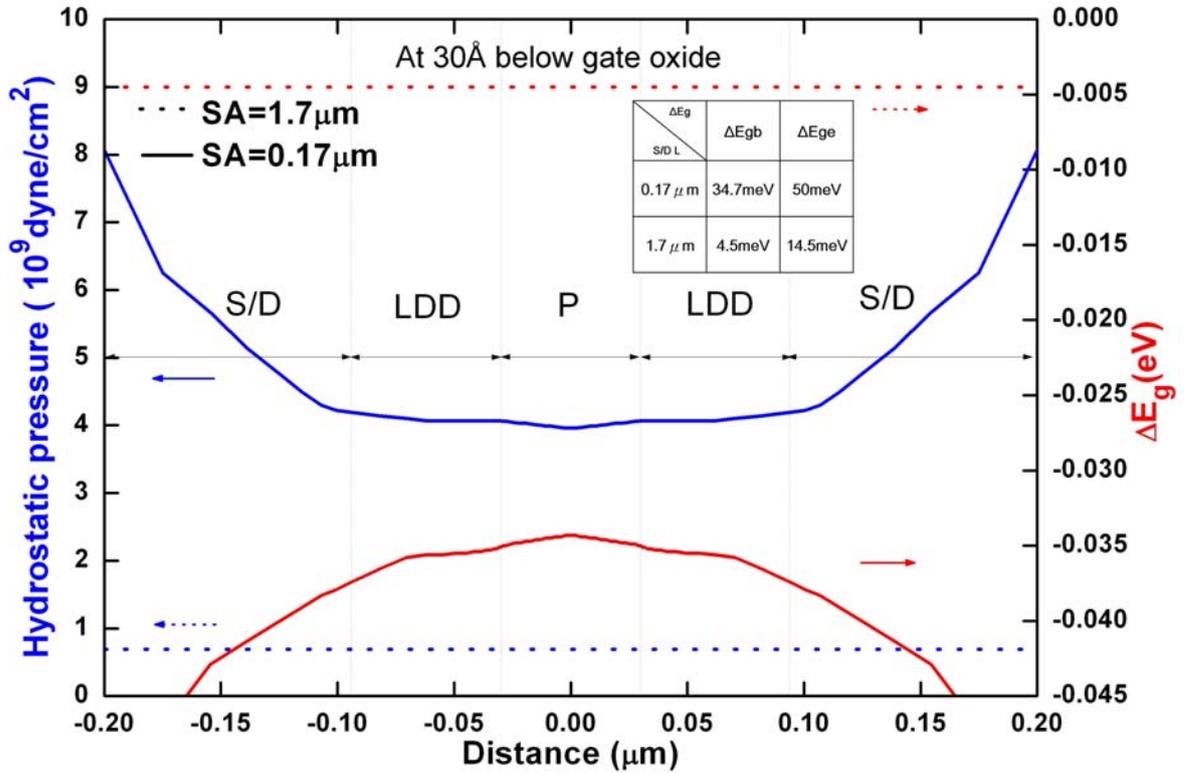


圖 2.6: 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的機械壓力 (mechanical stress)以及相關的能係縮小(bandgap narrowing)分佈圖，於測試元件橫截面方向繪出，其源極/汲極長度(S/D L)分為 0.17  $\mu\text{m}$  與 1.7  $\mu\text{m}$ ，根據二維製程模擬軟體所繪出。

源極/汲極長度(S/D L)分為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$  的 SOI 模擬元件，閘極輸入訊號分別由 1v 下降至 0v 和 0.5v 下降至 0v，下降時間(ramp time)分別為 1ns 和 10ns, 汲極電壓(Drain voltage)則固定在 2V, 撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)，依據二維元件模擬器 MEDICI 分析。對  $0.17\mu\text{m}$  元件而言，為何寄生雙載子電晶體(parasitic bipolar transistor)會有較弱的強導通，導致汲極電流(Drain current)較  $1.7\mu\text{m}$  小。可以藉由此電流增益(current gain)  $\beta$  公式來進行了解；此公式為基極(base)與射極(emitter)能係縮小(bandgap narrowing)差值的函數：

$$\beta \propto \exp(\Delta E_{gb} - \Delta E_{be} / kT)$$

其中  $\Delta E_{gb} / \Delta E_{ge}$  是在基極(base)/射極(emitter)的能係縮小值(bandgap narrowing)，k 是波茲曼常數(Boltzmann constant)，T 是絕對溫度(kelvin temperature)。由於淺槽隔離(STI)引起的機械壓力(mechanical stress)，在射極(源極)的能係縮小量(bandgap narrowing)  $\Delta E_{ge}$  比在基極(通道)的能係縮小量(bandgap narrowing)  $\Delta E_{gb}$  更大。由於淺槽溝隔離 (STI) 在射極端將造成比較高的機械張力  $\Delta E_{ge}$ ，大於在基極端所造成的  $\Delta E_{gb}$ ，所以  $\Delta E_{gb} - \Delta E_{ge}$  會成為小於零的負值。當元件為射級/汲級長度(S/D length)為  $0.17\mu\text{m}$  之元件時，其  $\Delta E_{gb} - \Delta E_{ge}$  (-15.3mv) 和射級/汲級長度(S/D length)為  $1.7\mu\text{m}$  之元件之  $\Delta E_{gb} - \Delta E_{ge}$  (-10mv) 相比之下更負。因此，較短的源極/汲極長度( $0.17\mu\text{m}$ )，有較小的電流增益(current gain)，薄膜(thin film)內寄生雙載子電晶體(parasitic bipolar transistor)的能力較弱造成較小的汲極電流(Drain current) [2] [3] [4]。

由圖 2.7 可知，部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)操作在飽和區間(saturation region)時，其汲極電流(drain current)分別是由表面通道電流(surface channel current)、撞擊游離電流(impact ionization current)、以及寄生雙載子電晶體(parasitic bipolar transistor)之集極電流(collector current)所共同組成的。空乏區 post pinch off 處會發生撞擊游離電流(impact ionization current)產生電子電洞對，電洞會累積在基極(base)處驅動(trigger)寄生雙載子電晶體(parasitic BJT)。

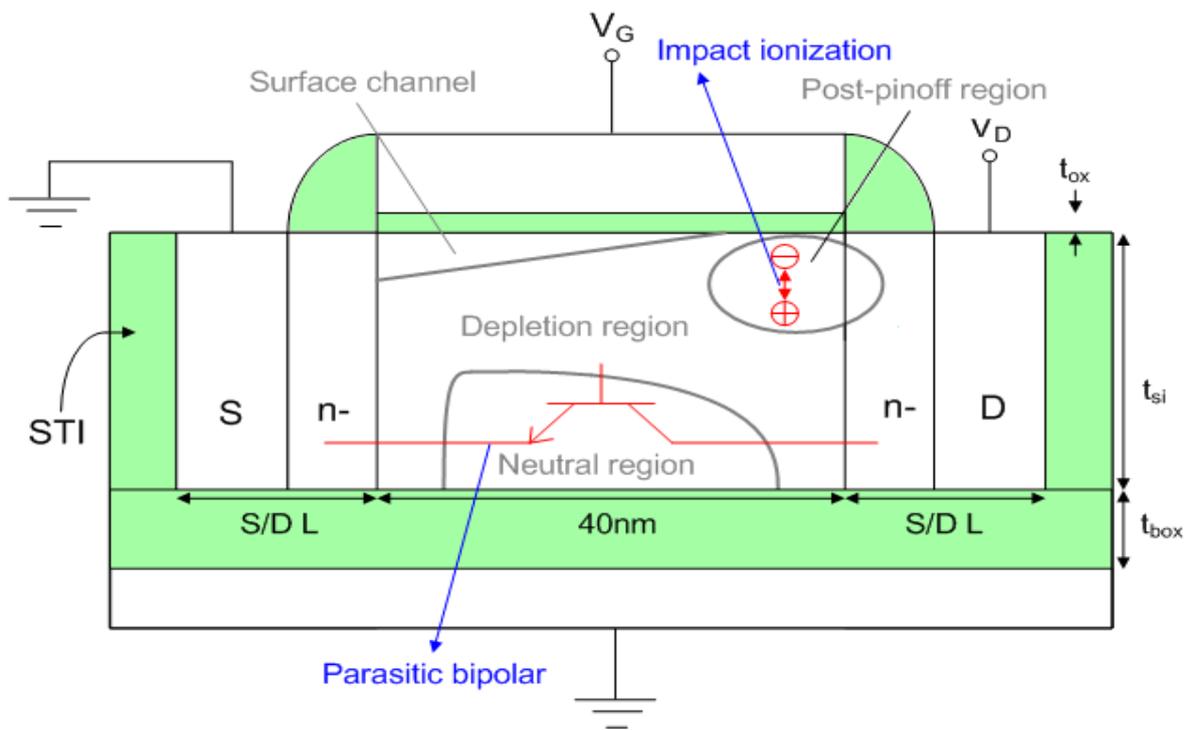


圖 2.7: 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電流傳導機制(current conduction mechanism)的截面示意圖。

## 2.2.1 討論元件關閉對汲極電流(Drain current), 基底-射極電壓 $V_{be}$ (base-emitter voltage), 和薄膜內電子濃度( $Q_n$ )的影響

40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件給定閘極輸入訊號(Gate voltage)分別由 1v 下降至 0v 和 0.5v 下降至 0v, 下降時間(ramp time)為 1ns. 閘極電壓(Gate voltage)大, 寄生雙載子電晶體(parasitic bipolar transistor)的效應較強, 因此閘極電壓(Gate voltage)1V 的初始汲極電流(Drain current)都會比閘極電壓(Gate voltage)0.5V 的絕緣體上矽 N 型金氧半(PD SOI NMOS)元件來的大, 如圖 2.8 所示。



圖 2.8 為元件關閉汲極電流(Drain current)的暫態分析, 如之前所討論, 由於淺槽隔離(STI)的機械壓力(mechanical stress), 引起能隙縮小量(bandgap narrowing), 使較短的源極/汲極長度( $0.17 \mu\text{m}$ ), 有較小的電流增益(current gain), 薄膜(thin film)內寄生雙載子電晶體(parasitic bipolar transistor)的能力較弱, 造成汲極電流(Drain current)比源極/汲極長度( $1.7 \mu\text{m}$ )的元件小。

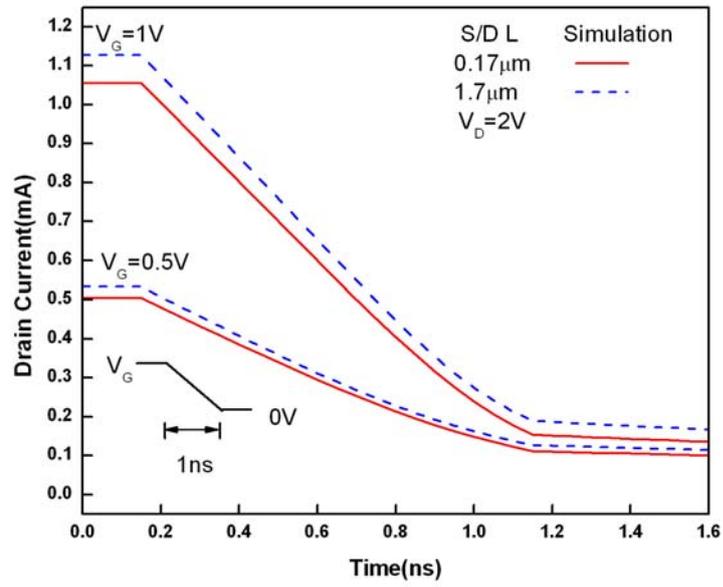


圖 2.8:ramp-time=1ns 電流暫態分析



圖 2.9 為 元件關閉分析寄生雙載子電晶體(parasitic bipolar transistor) 的 基底-射極電壓  $V_{be}$ (base-emmitter voltage), bjt 由 on 到 off , 其中 impact ionization 把 minority carrier 中和掉, 因此  $V_{be}$  跟著下降. 因為較長的源極/ 汲極長度( $1.76 \mu\text{m}$ ), 有較強的電流增益(current gain), 造成較大的基底-射極電 壓  $V_{be}$ (base-emmitter voltage) 比較不容易關掉.

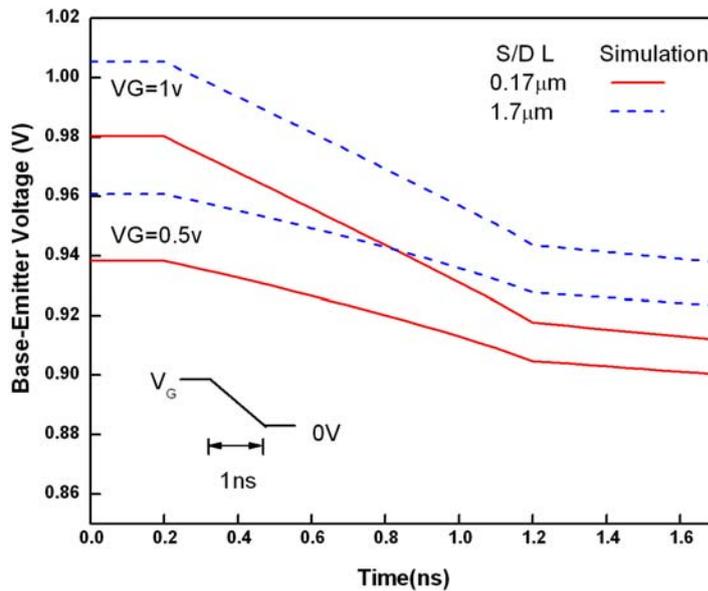


圖 2.9:ramp-time=1ns  $V_{be}$ (base-emmitter voltage)

圖 2.10 為元件關閉時在 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件薄膜(thin film)內電子濃度( $Q_n$ ), 由於寄生雙載子電晶體(parasitic bipolar transistor)是一個 n-p-n 的結構, 因此  $Q_n$  為薄膜(thin film)內的少數載子(minority carrier).  $Q_n$  會隨著元件關閉而減少, 有較短的源極/汲極長度( $0.17 \mu\text{m}$ )元件其 impact ionization 比較強, 產生的電子-電洞對(electron-hole pair)較多, 電洞會與電子複合(recombination), 使的電子濃度減少較多, 因此源極/汲極長度( $1.76 \mu\text{m}$ )元件在薄膜電子濃度( $Q_n$ )較源極/汲極長度( $0.17 \mu\text{m}$ )元件多.

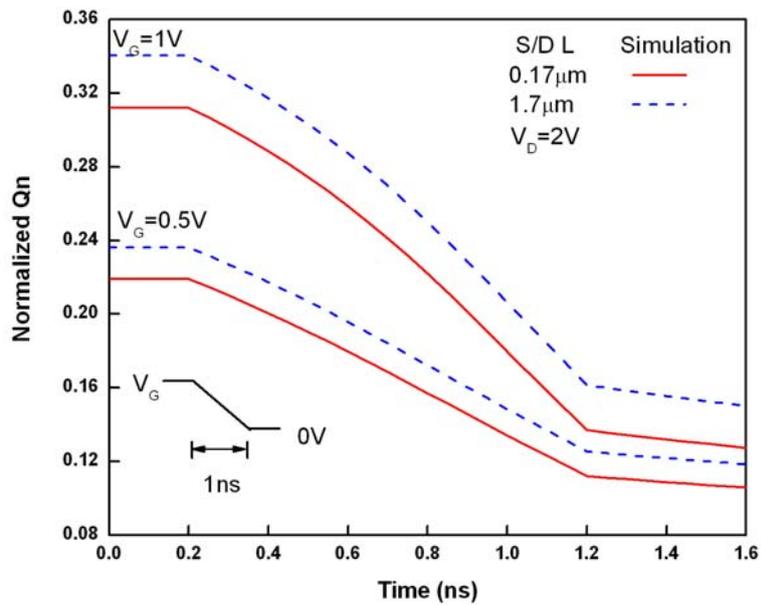


圖 2.10:ramp-time=1ns  $Q_n$

下面我們討論 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件給定閘極輸入訊號(Gate voltage)分別由 1v 下降至 0v 和 0.5v 下降至 0v, 下降時間(ramp time)為 10ns 的情況, 閘極電壓(Gate voltage)大, 寄生雙載子電晶體(parasitic bipolar transistor)的效應較強, 因此閘極電壓(Gate voltage)1V 的初始汲極電流(Drain current)都會比閘極電壓(Gate voltage)0.5V 的絕緣體上矽 N 型金氧半(PD SOI NMOS)元件來的大, 如圖 2.11 所示. 如之前下降時間(ramp time)為 10ns 的情況, 由於淺槽隔離(STI)的機械壓力(mechanical stress), 引起能係縮小量(bandgap narrowing), 使較短的源極/汲極長度( $0.17 \mu\text{m}$ ), 有較小的電流增益(current gain), 薄膜(thin film)內寄生雙載子電晶體(parasitic bipolar transistor)的能力較弱, 造成汲極電流(Drain current)比源極/汲極長度( $1.7 \mu\text{m}$ )的元件小.

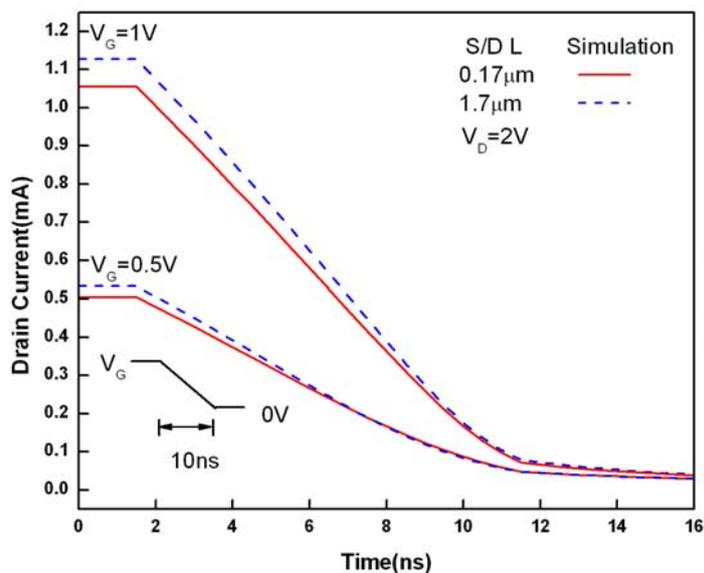


圖 2.11:ramp-time=10ns 電流暫態分析

圖 2.12 為 元件關閉分析寄生雙載子電晶體(parasitic bipolar transistor) 的 基底-射極電壓  $V_{be}$ (base-emmitter voltage) ,下降時間(ramp time)10ns,bjt 由 開到關 ,其中 impact ionization 把 minority carrier 中和掉,因此  $V_{be}$  跟著下 降.較長的源極/汲極長度( $1.76\mu\text{m}$ ) ,有較強的電流增益(current gain),造成較 大的基底-射極電壓  $V_{be}$ (base-emmitter voltage)比較不容易關掉, 下降時間(ramp time)10ns 其基底-射極電壓  $V_{be}$ (base-emmitter voltage)下降幅度大,是因為有較 多的時間與 thin film 電子複合(recombine)。

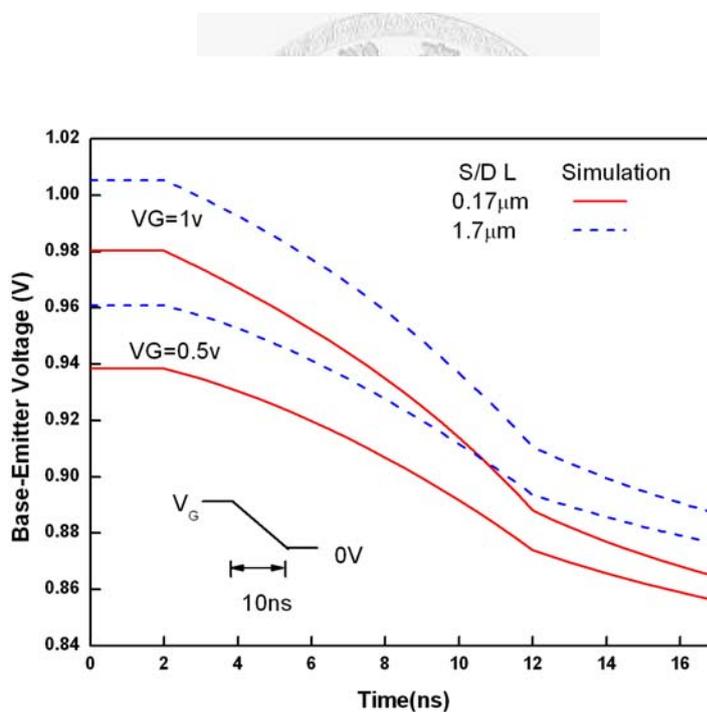


圖 2.12:ramp-time=10ns  $V_{be}$ (base-emmitter voltage)

圖 2.13 為元件關閉下降時間(ramp time)10ns, bjt 由 開到關時在 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件薄膜(thin film)內電子濃度( $Q_n$ ), 由於寄生雙載子電晶體(parasitic bipolar transistor)是一個 n-p-n 的結構, 因此  $Q_n$  為薄膜(thin film)內的少數載子(minority carrier).  $Q_n$  會隨著元件關閉而減少, 有較短的源極/汲極長度( $0.17\mu\text{m}$ )元件其 impact ionization 比較強, 產生的電子-電洞對(electron-hole pair)較多, 電洞會與電子複合(recombination), 使的電子濃度減少較多, 因此源極/汲極長度( $1.76\mu\text{m}$ )元件在薄膜電子濃度( $Q_n$ )較源極/汲極長度( $0.17\mu\text{m}$ )元件多.

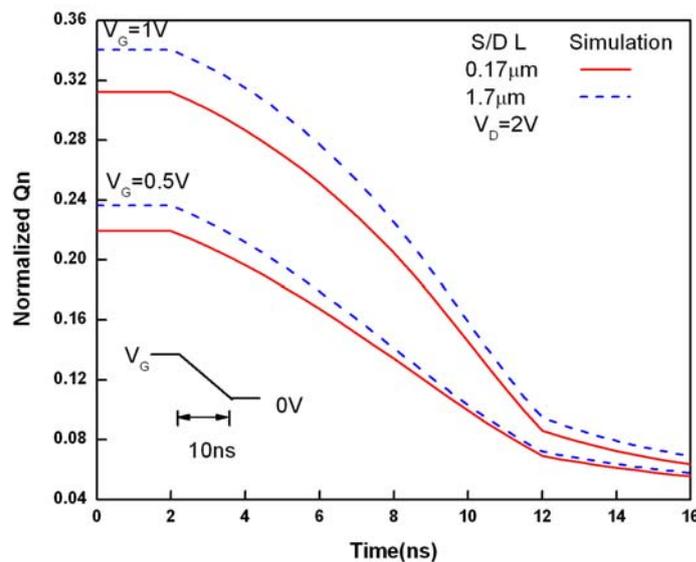


圖 2.13:ramp-time=1ns  $Q_n$

## 2.2.2 不同 Lifetime 對元件關閉所照成的影響

下圖為討論元件中電子電洞的 lifetime 對元件所照成的影響，改變二維元件模擬器 MEDICI[5] [6]中電性檔(pis) 中參數 taun(電子的 lifetime)和 taup(電洞的 lifetime)即可,40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件給定閘極輸入訊號(Gate voltage)分別由 1v 下降至 0v 和 0.5v 下降至 0v, 下降時間(ramp time)分別為 1ns 與 10ns. 改變 taun(電子的 lifetime)和 taup(電洞的 lifetime)分別為 1E-5 和 1E-6, 閘極電壓(Gate voltage)大者, 如之前所討論寄生雙載子電晶體(parasitic bipolar transistor)的效應較強, 因此汲極電流(Drain current)會比較大, 當電子的 lifetime 調整較小時, 電子比較容易在薄膜(thin film)中與電洞複合(recombination), 因此較少的電子會通到汲極(Drain)端, 造成較少的汲極電流(Drain current).



圖 2.14 和 2.15 分別為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS) 元件給定閘極輸入訊號(Gate voltage)分別由 1v 下降至 0v 和 0.5v 下降至 0v 下降時間(ramp time)為 1ns 改變 taun(電子的 lifetime)對元件關閉產生的影響.

圖 2.16 和 2.17 分別為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS) 元件給定閘極輸入訊號(Gate voltage)分別由 1v 下降至 0v 和 0.5v 下降至 0v 下降時間(ramp time)為 10ns 改變 taun(電子的 lifetime)對元件關閉產生的影響.

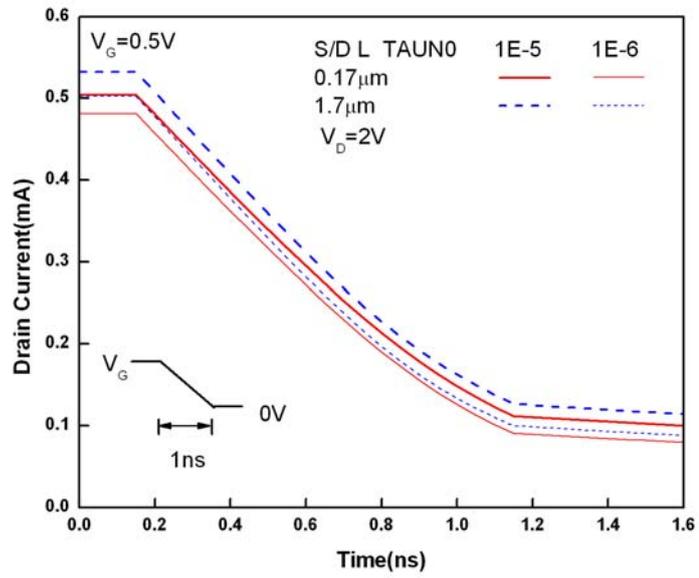


圖 2.14 ramptine=1ns  $V_g=0.5v$  to 0v

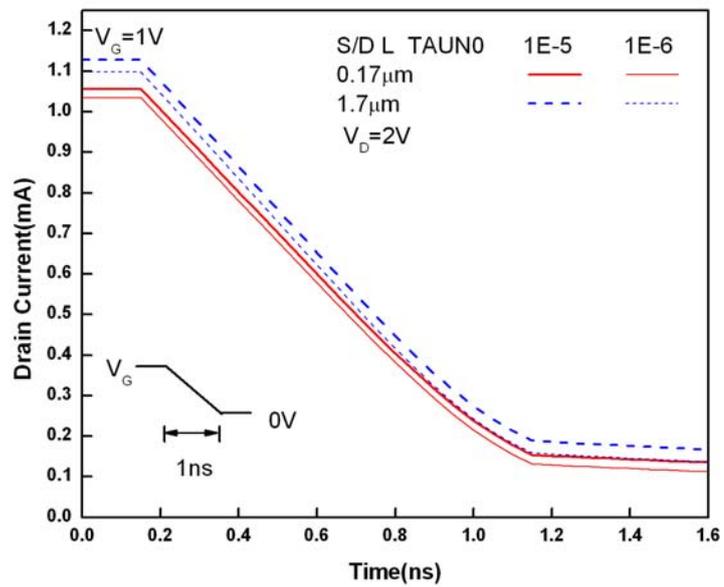


圖 2.15 ramptine=1ns  $V_g=1v$  to 0v

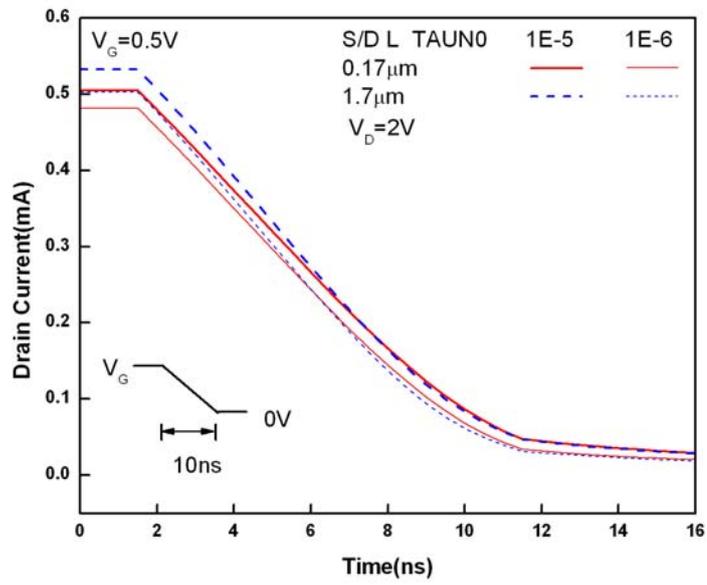


圖 2.16: ramptine=10ns  $V_g=0.5v$  to 0v

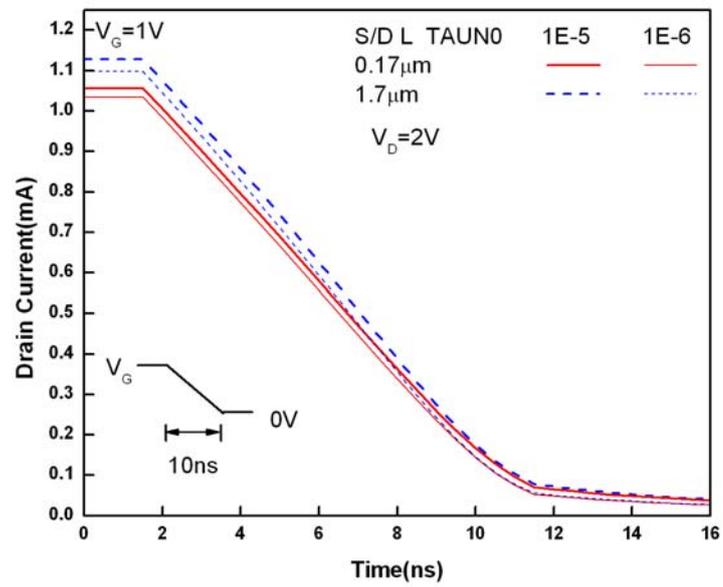


圖 2.17: ramptine=10ns  $V_g=0.5v$  to 0v

### 2.2.3 閘極電壓(gate voltage)對元件關閉所照成的影響

接下來我們討論在閘極電壓(gate voltage),對元件關閉所照成的影響,以下的分析是用二維元件模擬器 MEDICI[5] [6]模擬部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件,如圖 2.18 在閘極(gate voltage)端給予一輸入訊號閘極輸入訊號,分別有四種,0.5v 下降至 0v, 0.4v 下降至 0v, 0.3v 下降至 0v, 和 0.2v 下降至 0v, 輸入訊號下拉將元件關閉,而汲極端(Drain voltage)給予固定 1.5V 來討論.

源極/汲極長度(S/DL)分為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$  的 SOI 模擬元件,閘極輸入訊號分別有四種,0.5v 下降至 0v,0.4v 下降至 0v,0.3v 下降至 0v, 和 0.2v 下降至 0v,, 汲極電壓(Drain voltage)則固定在 1.5V, 撞擊游離(impact ionization)模型考慮能隙縮小(bandgap narrowing),依據二維元件模擬器 MEDICI 分析。如圖 2.18 所示.Gate voltage 越小,Drain current 下降變化幅度越大,Gate voltage 越小,impact ionization 越嚴重,post-saturation 產生的電動去和 thin film 中的 minority carrier 去複合(recombine)比較快速達到飽和狀態,因此 Drain current 比較快速達到飽和狀態.

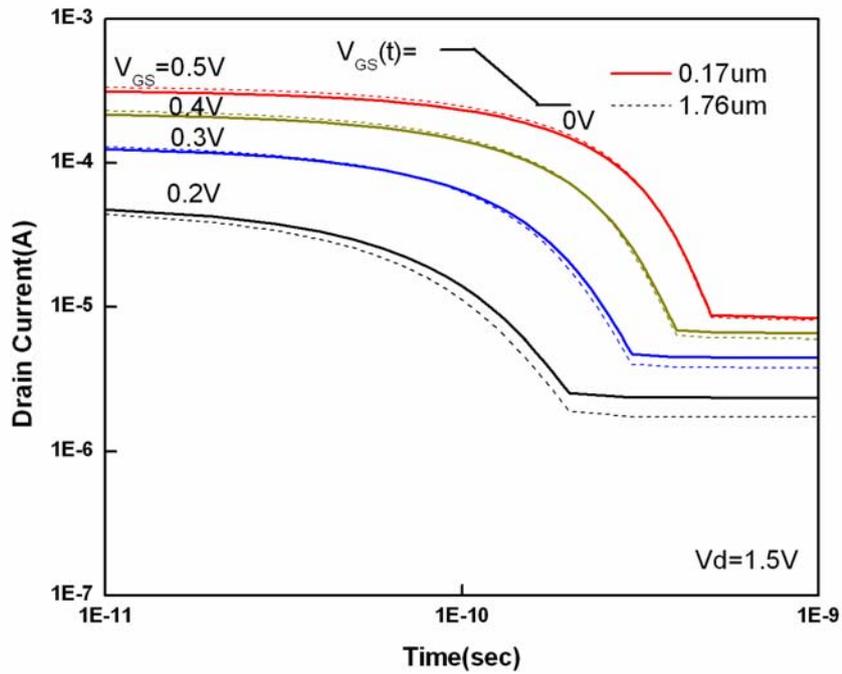


圖 2.18:不同開極電壓(gate voltage),對元件關閉電流暫態分析

V<sub>be</sub> 如圖 2.19 所示,V<sub>g</sub> 越小 impact ionization 越嚴重,mechanical stress 影響 parasitic bjt 較不明顯.Qn 如圖 2.20 所示, V<sub>g</sub> 越小 impact ionization,產生的電洞去和 thin film 中的 minority carrier recombine,比較快速達到飽和狀態.

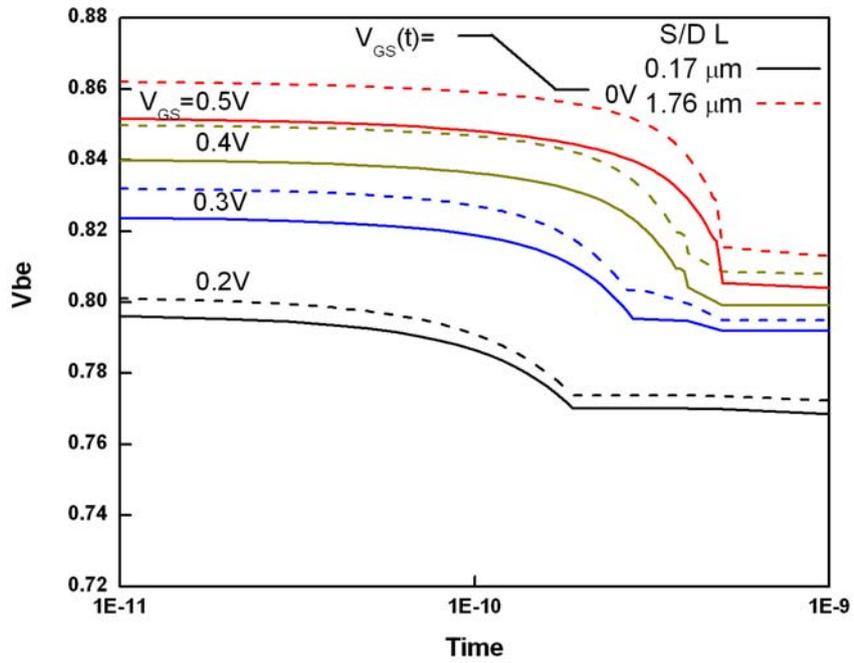


圖 2.19: 不同閘極電壓(gate voltage),對元件關閉  $V_{be}$  分析

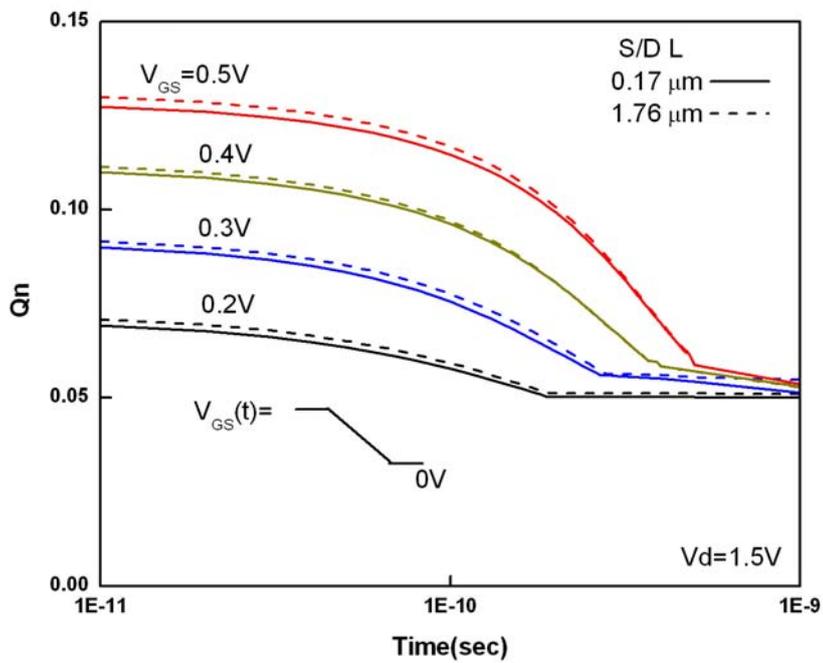


圖 2.20: 不同閘極電壓(gate voltage),對元件  $Q_n$  分析

## 2.3 元件關閉(Turn off)機械張力模型及相對應之撞擊游離模型中考慮及不考慮能帶縮減模型比較

當元件操做在飽和區間(saturation region)且存在大的橫向電場時，在氧化層/矽( $\text{SiO}_2/\text{Si}$ )表面的反轉層內，會有由電子群漂移所形成的通道電流。在接近汲極端的高電場區域，會有漂移的電子群撞擊晶格，造成電子電洞對的產生。這些生成的電子電洞群會因電場而反方向移動-生成的電子群向汲極接點移動；生成的電洞群向源極移動。因此造成生成的電子和電洞電流；大小相同方向相反，此即是撞擊游離電流(impact ionization current)。對於短通道部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件，潛埋氧化層(buried oxide)上的寄生雙載子電晶體(parasitic bipolar transistor)；其射極(emitter)在源極(source)、集極(collector)在汲極(drain)，不可再被忽略。一部分的撞擊游離電流(impact ionization current)會因垂直電場，而直接垂直向潛埋氧化層(buried oxide)流動。結果，在潛埋氧化層(buried oxide)上矽薄膜(thin film)內會形成電洞的累積，會去引導觸發潛埋氧化層(buried oxide)上寄生雙載子電晶體(parasitic bipolar transistor)。當寄生雙載子電晶體(parasitic bipolar transistor)被觸發，這些累積的電洞群會與電子群在基體(body)內進行復合。在寄生雙載子電晶體(parasitic bipolar transistor)內，一部分由電子群所組成的集極電流(collector current)，會因垂直電場而向高電場處流動。此電子群也會撞擊晶格，因此亦會與通道電流機制相同，進而有電子電洞對的產生。

40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件其源極/汲極長度(S/D L)分別為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$ ，偏壓在基體浮動(floating body)下，撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否，根據二維元件模擬結果以及實驗數據所繪出。為了分辨在撞擊游離(impact ionization)區域內能係縮小(bandgap narrowing)對寄生雙載子電晶體(parasitic bipolar transistor)所造成的影響，二維元件模擬時便採用分別考慮能係縮小(bandgap narrowing)與否的撞擊游離(impact ionization)模型。在本節中，將利用二維元件模擬器 MEDICI[5] [6]來分析機械張力模型及相對應之撞擊游離(impact ionization)模型中考慮及不考慮能帶縮減(bandgap narrowing)模型對 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件關閉(Turn off)的影響。

源極/汲極長度(S/D L)分為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$  的 SOI 模擬元件，閘極輸入訊號由 1v 下降至 0v，下降時間(ramp time)分別為 1ns 和 10ns，汲極電壓(Drain voltage)則固定在 2V。當源極/汲極長度(S/D L)為  $0.17\mu\text{m}$  若二維元件模擬時採用考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型，驅動(trigger) bipolar 較強，汲極電流(drain current) 會較大，如圖 2.21 和 2.22 所示，基體-源極電壓(body-source voltage)也較大，如圖 2.23 和 2.24 所示，而不考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型，bipolar 較弱，所以汲極電流(drain current) 較小，基體-源極電壓(body-source voltage)也較小，因此曲線會往左移動[2] [3] [4]。

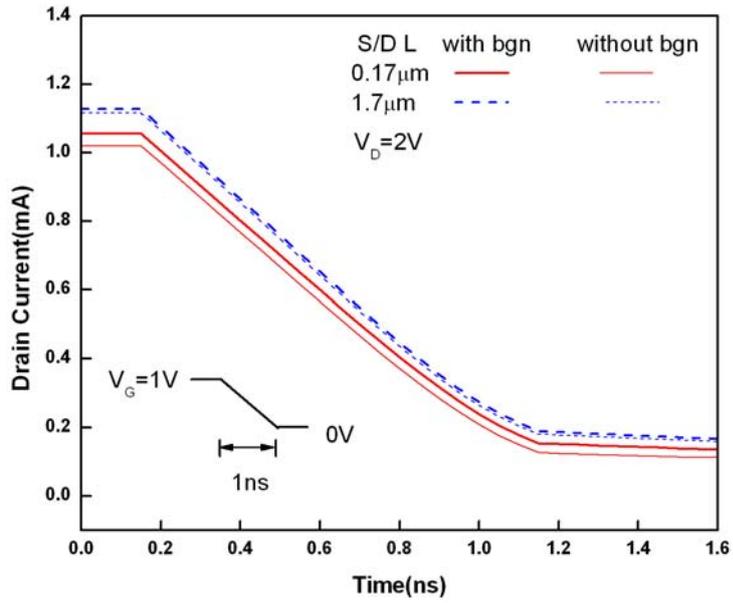


圖 2.21:ramp-time=1ns 電流暫態分析, 撞擊游離(impact ionization)模型

考慮能係縮小(bandgap narrowing)與否

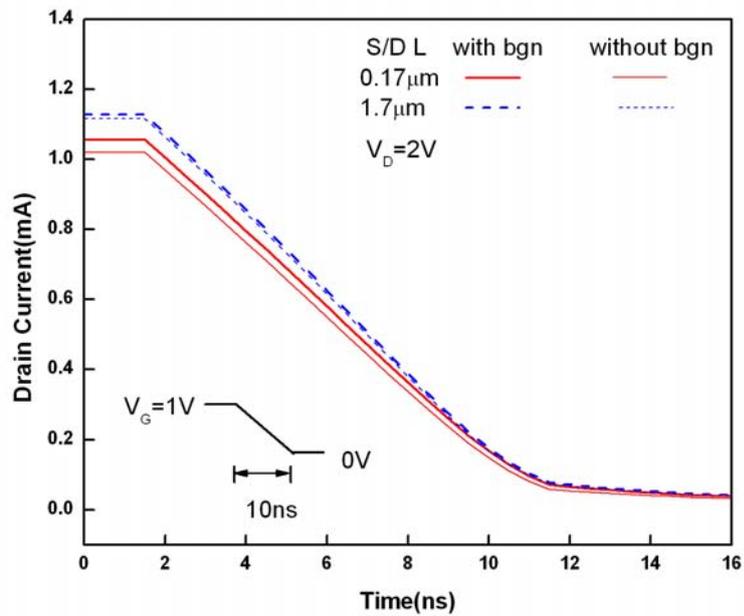


圖 2.22 ramp-time=10ns 電流暫態分析, 撞擊游離(impact ionization)模

型考慮能係縮小(bandgap narrowing)與否

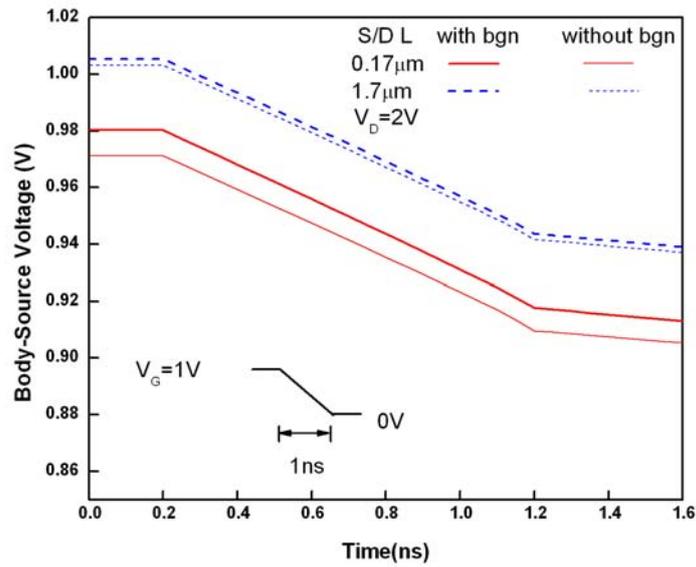


圖 2.23: ramp-time=1ns 基體-源極電壓(body-source voltage), 撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否

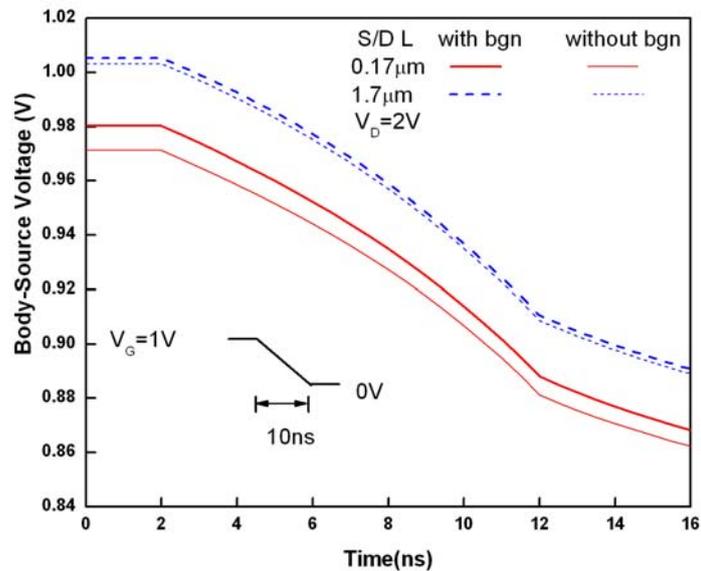


圖 2.24:ramp-time=10ns 基體-源極電壓(body-source voltage), 撞擊游離 (impact ionization)模型考慮能係縮小(bandgap narrowing)與否

下來我們討論在閘極電壓(gate voltage),對元件關閉所照成的影響, 以下的二維元件模擬時便採用分別考慮能係縮小(bandgap narrowing)與否的撞擊游離(impact ionization)模型。[5] [6]模擬部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件, 如圖 2.25 在閘極(gate voltage)端給予一輸入訊號閘極輸入訊號, 分別有四種, 0.5v 下降至 0v, 0.4v 下降至 0v, 0.3v 下降至 0v, 和 0.2v 下降至 0v, 輸入訊號下拉將元件關閉, 而汲極端(Drain voltage)給予固定 1.5V 來討論。

源極/汲極長度(S/DL)分為  $0.17\mu\text{m}$  與  $1.7\mu\text{m}$  的 SOI 模擬元件, 閘極輸入訊號分別有四種, 0.5v 下降至 0v, 0.4v 下降至 0v, 0.3v 下降至 0v, 和 0.2v 下降至 0v, , 汲極電壓(Drain voltage)則固定在 1.5V, 撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing), 依據二維元件模擬器 MEDICI 分析。如圖 2.25 所示. Gate voltage 越小, Drain current 下降變化幅度越大, Gate voltage 越小, impact ionization 越嚴重, post-saturation 產生的電動去和 thin film 中的 minority carrier 去複合(recombine)比較快速達到飽和狀態, 因此 Drain current 比較快速達到飽和狀態. 不考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型。bipolar 較弱, 所以汲極電流(drain current) 較小, 基體-源極電壓(body-source voltage)也會較小。

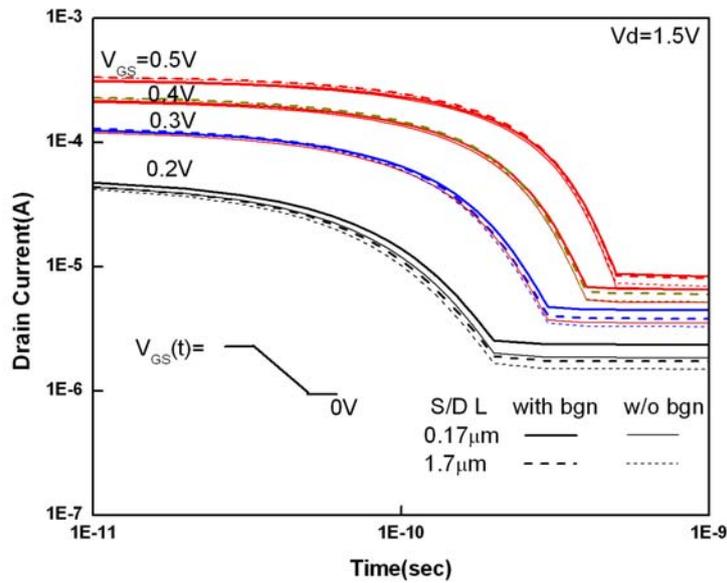


圖 2.25: 不同閘極電壓(gate voltage),對元件關閉電流暫態分析,撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否

Vbe 如圖 2.26 所示, Vg 越小 impact ionization 越嚴重, mechanical stress 影響 parasitic bjt 較不明顯. Qn 如圖 2.27 所示, Vg 越小 impact ionization, 產生的電洞去和 thin film 中的 minority carrier recombine, 比較快速達到飽和狀態. 當不考慮能係縮小(bandgap narrowing) 的撞擊游離(impact ionization)模型, 其 Vbe 和 Qn 都變小。

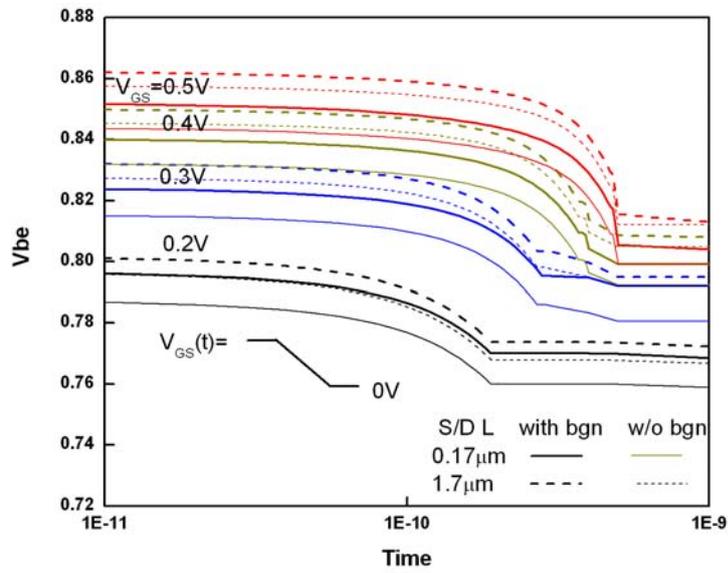


圖 2.26: 不同閘極電壓(gate voltage),對元件關閉  $V_{be}$  分析,撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否

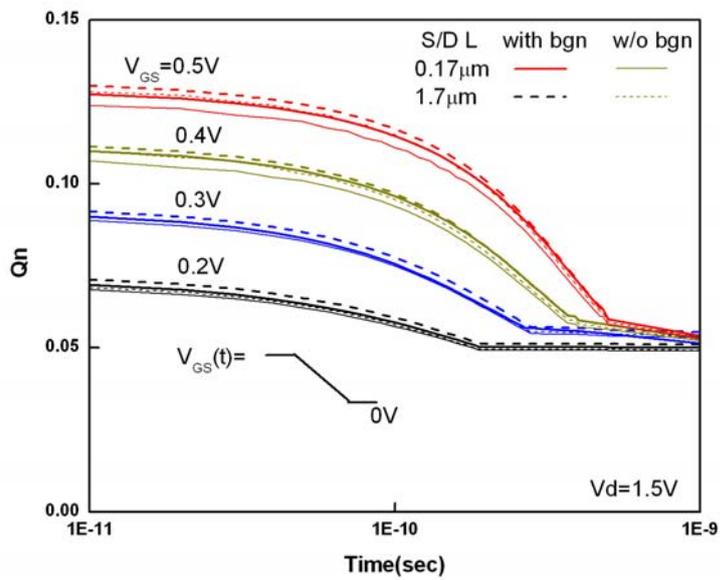


圖 2.27: 不同閘極電壓(gate voltage),對元件關閉  $Q_n$  分析,撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否

## 2.4 元件關閉(Turn off)總結論

最後我們把所有的效應都考慮進去，包含淺槽隔離(STI)引起機械壓力(mechanical stress)對元件關閉所造成的影響，源極/汲極長度(S/D L)分為  $0.17\ \mu\text{m}$  與  $1.7\ \mu\text{m}$ ，並且考慮撞擊游離(impact ionization)模型考慮能係縮小(bandgap narrowing)與否對元件關閉造成的影響。40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件其源極/汲極長度(S/D L)分為  $0.17\ \mu\text{m}$  與  $1.7\ \mu\text{m}$ ，偏壓在基體浮動(floating body)下，閘極輸入訊號分別由 1v 下降至 0v 和 0.5v 下降至 0v，下降時間(ramp time)分別為 1ns 和 10ns，汲極電壓(Drain voltage)則固定在 2V。

圖 2.28~圖 2.31 我們把所有對元件關閉有關的效應都考慮進去，較短的源極/汲極長度( $0.17\ \mu\text{m}$ )，因為由於淺槽隔離(STI)引起的機械壓力(mechanical stress)， $\Delta E_{gb}-\Delta E_{ge}$  較小，造成電流增益(current gain)  $\beta$  較弱，薄膜(thin film)內寄生雙載子電晶體(parasitic bipolar transistor)的能力差使得汲極電流(Drain current)相對  $1.7\ \mu\text{m}$  弱。若二維元件模擬時採用考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型，驅動(trigger) bipolar 較強，汲極電流(drain current) 會較大，而不考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型，bipolar 較弱，所以汲極電流(drain current) 較小，基體-源極電壓(body-source voltage)也較小，因此曲線會往左移動。Gate voltage 越小，寄生 BJT 的 minority carrier 比較少，因此比較快排放掉，Drain current 比較快速達到飽和狀態[2] [3] [4]。

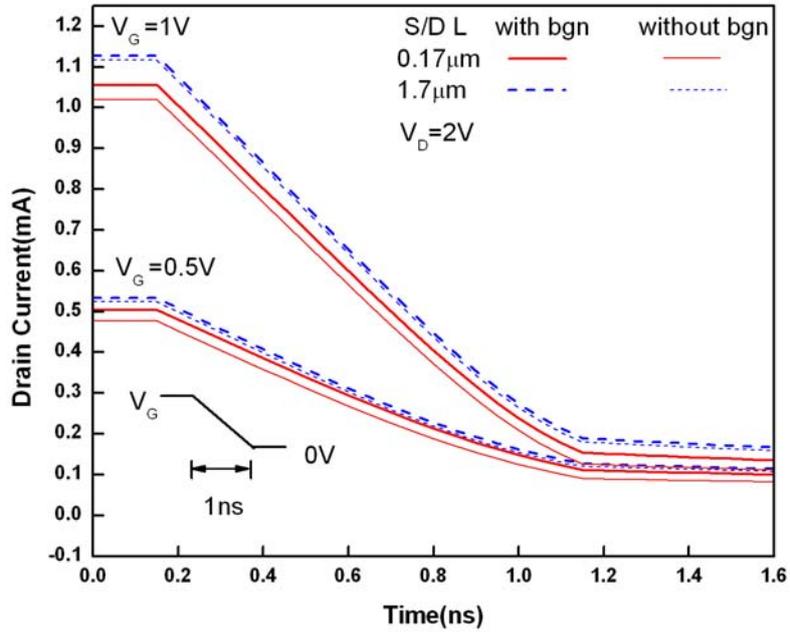


圖 2.28:ramp-time=1ns 電流暫態分析

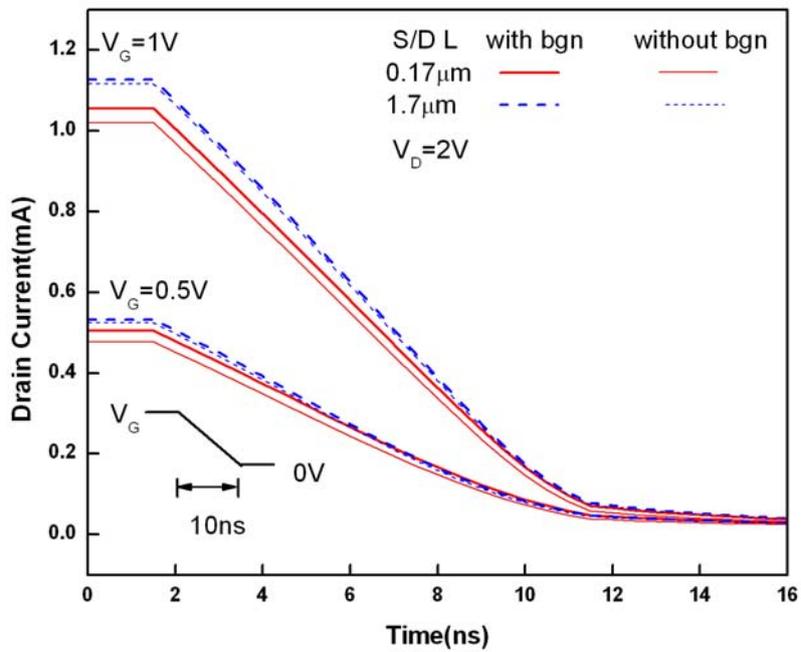


圖 2.29:ramp-time=10ns 電流暫態分析

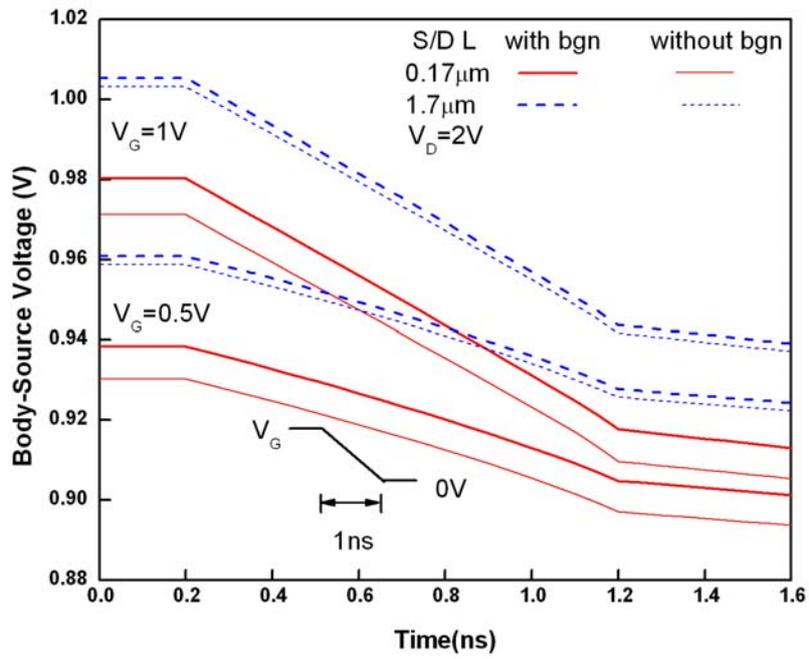


圖 2.30:ramp-time=1ns 基體-源極電壓(body-source voltage)

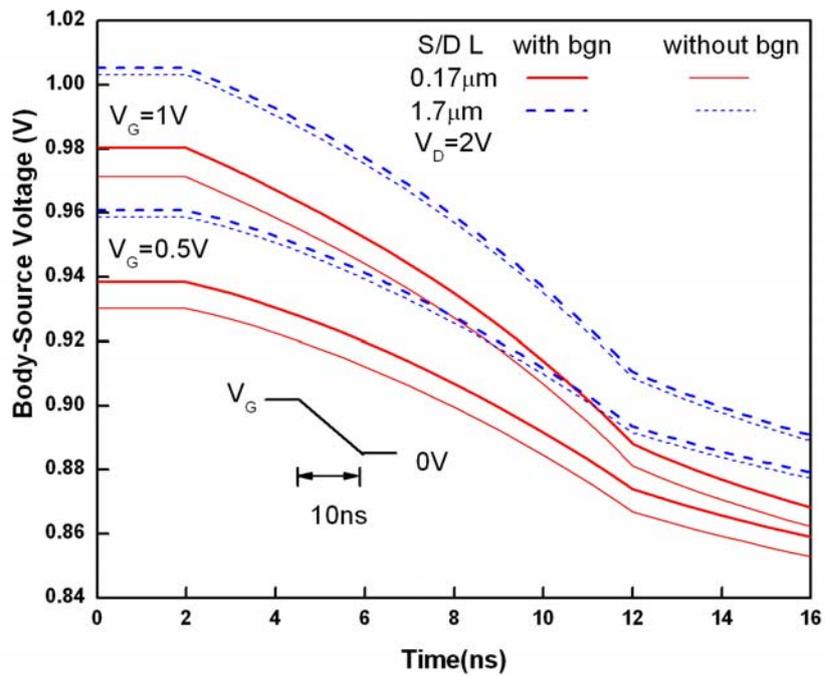


圖 2.31:ramp-time=10ns 基體-源極電壓(body-source voltage)

## Chapter 3 Conclusion and Suggestion

本章在分析 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件在關閉(Turn off)時產生的物理現象，在 2.1 節中，對  $V_d=2v$  而言，當閘極(gate)訊號關閉至 0v 後，因發生 Latch 現象寄生雙載子電晶體並未完全關閉，維持在導通的狀態，汲極電流(drain current)維持在 1.3mA 而不會為零。對  $V_d=0.5v$  情形而言，由於汲極電壓(Drain voltage)較小，在輸入訊號降至 0v 後，寄生雙載子電晶體完全關閉，汲極電流(drain current)降至幾乎零，部分解離絕緣體上主要取決於寄生雙載子電晶體是否關掉。

本論文 2.2 節討論因淺槽隔離(STI)引起機械壓力(mechanical stress)對元件關閉所產生的影響。根據二維元件模擬器 MEDICI[5] [6]模擬結果，較短的源極/汲極長度( $0.17\mu m$ )，有較小的電流增益(current gain)，薄膜(thin film)內寄生雙載子電晶體(parasitic bipolar transistor)的能力較弱造成較小的汲極電流(Drain current)。主要的原因在於淺槽隔離(STI)引起機械壓力(mechanical stress)造成能隙縮小(bandgap narrowing)使得寄生雙載子電晶體(parasitic bipolar transistor)性能變差。淺槽隔離(STI)引起機械壓力(mechanical stress)不僅僅是對汲極電流(Drain current)產生影響，由二維元件模擬器 MEDICI 經過計算還可以觀察出其對基底-射極電壓  $V_{be}$ (base-emmitter voltage)還有元件薄膜(thin film)內電子濃度( $Q_n$ )的影響。

本論文 2.3 節則是討論二維元件模擬器 MEDICI 分析機械張力模型及相對應之撞擊游離(impact ionization)模型中考慮及不考慮能帶縮減(bandgap narrowing)模型對 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件關閉(Turn off)的影響。若二維元件模擬時採用考慮能係縮小(bandgap narrowing)的撞擊游離

(impact ionization)模型，驅動(trigger) bipolar 較強，汲極電流(drain current) 會較大,基體-源極電壓(body-source voltage)也較大,若不考慮能係縮小(bandgap narrowing)的撞擊游離(impact ionization)模型， bipolar 較弱,汲極電流(drain current) 較小，基體-源極電壓(body-source voltage)也較小，因此曲線會往左移動。



## 參考文獻

- [1] Kuo JB, Low-voltage SOI CMOS VLSI devices and circuits. New York:Wiley; 2001.
- [2] Lin IS, Su VC, Kuo JB, Chen D, Yeh CS, Tsai CZ, Ma M, STI-induced mechanical stress-related kink effect of 40nm PD SOI NMOS devices. EUROS0I 2008; 81-82.
- [3] Kuo JB, Lin I, Su V, Ma M, Tsai C, Yeh CS, Chen D, STI Mechanical-stress induced subthreshold kink effect of 40nm PD SOI NMOS device. ISDRS 2007;1-2.
- [4] Lin I, Su V, Kuo J, Lee R, Lin G, Chen D, Yeh C, Tsai C, Ma M, Influence of STI-Induced mechanical stress in kink effect of 65nm PD SOI CMOS devices. EDSSC 2007; 107-108.
- [5] Taurus TSUPREM-4 user guide. Synopsys: 2005.
- [6] Taurus Medici user guide. Synopsys; 2005. 1999;46:1, 254-258.