

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering  
College of Electrical Engineering & Computer Science  
National Taiwan University  
Master Thesis

利用 SPICE 雙載子電晶體/金氧半元件模型方法建立 40  
奈米部分解離絕緣體上 N 型矽金氧半元件浮動基體效  
應產生的崩潰與突增行為

Modeling the Floating-Body-Effect-Related Breakdown  
and the Kink Behavior of 40nm PD SOI NMOS Device  
Via SPICE BJT/MOS Model Approach

蘇稚翔

Jhieh-Siang Su

指導教授：郭正邦 博士

Advisor: James B. Kuo, Ph.D.

中華民國 98 年 6 月

June 2009



國立臺灣大學碩士學位論文  
口試委員會審定書

利用 SPICE BJT/MOS 模型方法建立 40nm PDSOI  
NMOS 浮動機體效應產生的崩潰和突增行為

Modeling the Floating-Body-Effect-Related  
Breakdown and Kink Behavior of 40nm PD SOI  
NMOS Device Via SPICE BJT/MOS Model  
Approach

本論文係蘇稚翔君 (R96943096) 在國立臺灣大學電子工程研究所完成之碩士學位論文，於民國 98 年 06 月 20 日承下列考試委員審查通過及口試及格，特此證明

口試委員：

郭正邦

(指導教授)

郭正邦

陳子明

陳正雄

蔡成宗

系主任、所長

蘇稚翔

# Modeling the Floating-Body-Effect-Related Breakdown and Kink Behavior of 40nm PD SOI NMOS Device Via SPICE BJT/MOS Model Approach

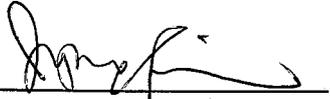
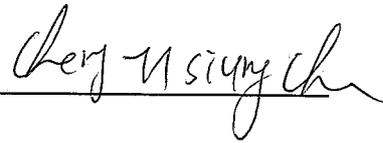
By  
Jhih-Siang SU

**THESIS**

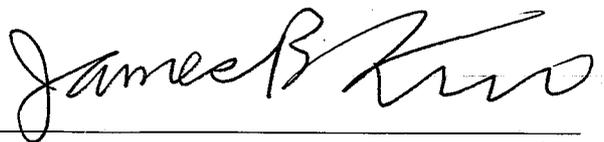
Submitted in partial fulfillment of the requirement  
for the degree of Master of Science in Electronics  
Engineering  
at National Taiwan University  
Taipei, Taiwan, R.O.C.

June. 2009

Approved by :

 Cheng-Tzung Tsai  Cheng-Hsiung Chen  
 James B. Kuo

Advised by :

 James B. Kuo

Approved by Director :

 Shyng-Shyan

# 致 謝

首先要感謝指導教授郭正邦教授這兩年以來對學生的教導和照顧，使我不僅在學問上有所啟發，而且在待人處世上也獲益良多。在學生處於低潮期時,老師的照顧及關心讓學生十分感恩。論文撰寫的期間裡，由於老師的多方指導和不厭其煩的耐心指正，才使得這篇論文得以順利的完成。在此學生致上最誠摯的感謝。

其次是實驗室的同學、學弟們在這段期間的幫助、扶持和勉勵，由於有他們的協助及幫忙與平日的討論等多方面幫忙，使得研究能順利進行，在此深表謝忱。

最後我要感謝我的家人，在我求學的這段期間的支持和照顧。感謝父親，母親對我的栽培，謝謝你們。

# 中文摘要

本篇論文討論一個有浮動基體效應 (Floating-Body-Effect) 的部份解離絕緣體上矽N型金氧半元件 (PD-SOI)，透過雙載子電晶體 (BJT) / 金氧半元件 (MOS) 方式去建立SPICE的模型。先在第一章簡介絕緣體上矽金氧半元件 (SOI MOS Device) 及其元件特性。然後在第二章描述電流傳導機制和部份解離絕緣體上矽N型金氧半元件 (PD-SOI MOS Device)，且使用雙載子電晶體(BJT) / 金氧半元件 (MOS)的方式去建立SPICE的電流模型。第三章藉由量測的資料與模擬的結果，可以驗證使用雙載子電晶體(BJT) / 金氧半元件(MOS)的架構，對有無改良寄生雙載子電晶體電流回饋( $K'$ )到絕緣體上矽金氧半元件 (SOI) 中高電場區域、和高電場區域有多少電流回饋( $K$ )到下面的寄生雙載子電晶體的準確性。而模擬出來的結果可以得出有寄生雙載子電晶體電流回饋( $K'=0.99$ )，在Gate Voltage小時，有足夠的固撞擊游離 (impact ionization) 電流來影響崩潰電壓。第四章為總結和未來工作。

# ABSTRACT

This thesis reports modeling the floating-body-effect-related breakdown and the kink behavior of 40nm PD SOI NMOS device via the SPICE BJT/MOS model approach. First, in Chapter 1 introduction of PD SOI NMOS device is introduced. Then in Chapter 2 the current conduction mechanism of the PD-SOI NMOS device is described, followed by the SPICE BJT/MOS models. In Chapter 3, effectiveness of the BJT/MOS models approach is evaluated for nanometer PD-SOI NMOS devices via SPICE simulation result. As verified by the experimentally measured data and the 2D simulation results, this compact SOI model provides an accurate prediction. Chapter 4 is conclusion and future work.

# 目 錄

口試委員會審定書 .....	i
致謝 .....	iii
中文摘要 .....	iv
ABSTRACT .....	v
目錄 .....	vi
圖目錄 .....	viii
Chapter1 導論 .....	1
1.1 科技進步和模型發展之間的競賽 .....	1
1.2 SOI 簡介 .....	3
1.3 部分解離絕緣體上矽元件( PD-SOI ) 浮動基體( FLOATING BODY )效應 .....	4
1.4 論文架構 .....	<a href="#">7</a>
Chapter 2 .....	8
透過 SPICE 的雙載子電晶體/金氧半元件架構建立部分解離絕緣體上矽金氧半元件模型 .....	8
2.1 當前絕緣體上矽的 SPICE 模型(CURRENT SOI SPICE MODEL).....	8
2.2 模型發展 (MODEL DEVELOPMENT).....	9
2.2.1 飽和區電流傳導機制 (Current Conduction Mechanism at Saturation ) .....	9
2.2.2 簡介雙載子電晶體/金氧半元件架構 (Introduction BJT/MOS Devices Structure )	

.....	11
2.2.3 雙載子電晶體 / 金氧半元件電流模型( <i>Introduction BJT / MOS Devices Current Model</i> )	
.....	14
2.3 利用 SPICE 雙載子電晶體/金氧半元件模型方法模擬(VIA SPICE BJT / MOS MODEL APPROACH TO SIMULATION)	21
2.3.1 模擬驗證( <i>Simulation Verification</i> )	21
2.3.2 結論	23
2.4 參考文獻	24
Chapter 3 利用 SPICE 模擬雙載子電晶體/金氧半元件模型對奈米級部分解離絕緣體上矽 N 型金氧半元件之分析	25
3.1 簡介模型內部參數 $K$ 與 $K'$	25
3.2 模擬不同 $K'$ 之分析	26
3.3 模擬不同 $K$ 之分析	33
3.4 結論	39
3.5 參考文獻	40
Chapter 4	41
總結	41

## 圖目錄

### Chapter1

圖1.1.1：SOI元件縮小趨勢。

圖1.1.2：科技和模型發展的比較圖 (Technology vs Compact Model)。

圖1.2.1：(a) 傳統金氧半元件( bulk )的剖面圖。

圖1.2.1：(b) 絕緣體上矽金氧半元件( SOI )的剖面圖。

圖1.3：浮動基體效應 (Floating Body Effect) 示意圖。

圖1.4：電流有突然增加的效應為突增效應 (Kink Effect)。

### Chapter2

圖 2.2.1：40nm 部分解離絕緣體上矽 N 型金氧半 (40nm PD SOI NMOS) 元件內部之電流傳導機制 (current conduction mechanism) 的截面示意圖。

圖 2.2.2：雙載子電晶體( BJT ) / 金氧半元件( MOS )架構。

圖 2.2.3：BSIM4.5.0 的通道電流與輸出電阻對源極電壓的圖。

圖 2.2.4：Philips Bipolar Transistor Level 504 的等效電路圖。

圖 2.2.5：40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)測試元件的 (a)穿透式電子顯微鏡圖(TEM)、(b)模擬元件剖面圖。

圖 2.2.6：使用 SPICE 和二維模擬器 MEDICI 對 40nm 部分解離絕緣體上矽 N 型金  
氧半(40nm PD SOI NMOS)測試元件的模擬比較圖。

### Chapter3

圖 3.2.1：汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為  
模擬  $K'$  的不同結果對測試元件量測的比較圖。

圖 3.2.2：崩潰電壓(Breakdown Voltage)與閘極電壓(Gate Voltage)比較圖。此  
圖為模擬  $K'$  的不同結果對測試元件量測的比較圖。

圖 3.2.3：基極-源極電壓(Body-Source Voltage)與汲極電壓(Drain Voltage)比  
較圖。此圖為在不同  $K'$  的模擬結果。

圖 3.2.4：撞擊游離電流(impact ionization current) 與汲極電壓(Drain  
Voltage) 比較圖。此圖為在不同  $K'$  的模擬結果。外加使用另一套二維  
模擬軟體 MEDICI 去模擬比較 SPICE 模擬不同  $K'$  的正確性。

圖 3.2.5：撞擊游離電流(impact ionization current) 與汲極電壓  
(Drain Voltage)比較圖。外加使用另一套二維模擬軟體 MEDICI 模擬  
寄生雙載子電晶體(parasitic bipolar transistor)強弱( $\tau$  大小)去  
比較 SPICE 模擬不同  $K'$  值的正確性。

圖 3.2.6：集極電流(Collect Current)與汲極電壓(Drain Voltage)比較圖

、和集極電流(Collect Current)/汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K'$  的模擬結果、且在不同開極電壓(Gate Voltage)下對不同  $K'$  的影響圖。

圖 3.3.1：汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。

圖 3.3.2：崩潰電壓(Breakdown Voltage)與開極電壓(Gate Voltage)比較圖。此

圖為模擬  $K$  的不同結果對測試元件量測的比較圖。

圖 3.3.3：基極-源極電壓(Body-Source Voltage)與汲極電壓(Drain Voltage)比

較圖。此圖為在不同  $K$  的模擬結果、且在不同開極電壓(Gate Voltage)下對不同  $K$  的影響圖。

圖 3.3.4：撞擊游離電流(impact ionization current) 與汲極電壓

(Drain Voltage)比較圖。此圖為在不同  $K$  的模擬結果、且在不同開極電壓(Gate Voltage)下對不同  $K$  的影響圖。

圖 3.3.5：集極電流(Collect Current)與汲極電壓(Drain Voltage)比較圖、和集

極電流(Collect Current)/汲極電流(Drain Current)與汲極電壓

(Drain Voltage)比較圖。此圖為在不同  $K$  的模擬結果、且在不同開極電壓(Gate Voltage)下對不同  $K$  的影響圖。

# Chapter1

## 導論

### Introduction

#### 1.1 科技進步和模型發展之間的競賽 (Race between Technology & Compact Model)

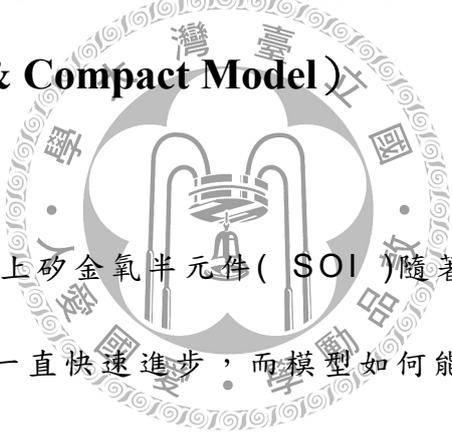
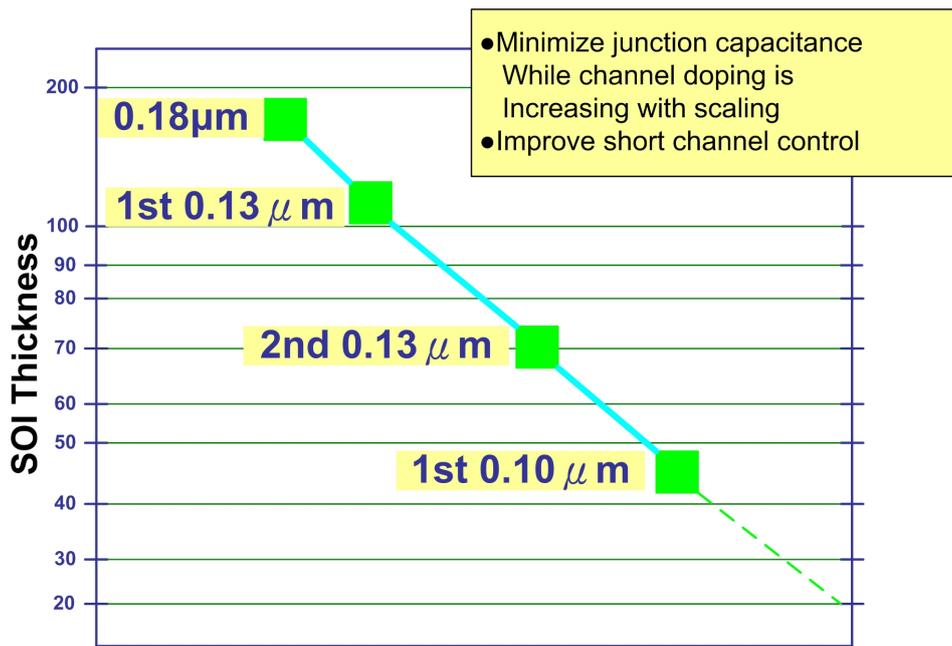


圖1.1.1為絕緣體上矽金氧半元件(SOI)隨著科技進步，尺寸也隨之快速縮小。但科技一直快速進步，而模型如何能快速的跟上科技快速進步的腳步，這將是一個非常重要的課題。圖1.1.2為科技和模型發展的比較圖(Technology vs Compact Model)。由此圖可發現，不論傳統的金氧半(MOS)或是絕緣體上矽金氧半(SOI)元件尺寸越來越小，模型裡考慮的新物理現象越來越多，而要跟隨科技進步且證實新的物理現象真是一件不容易的工程。



### IBM Historic Trend

圖 1.1.1 : SOI 元件縮小趨勢。

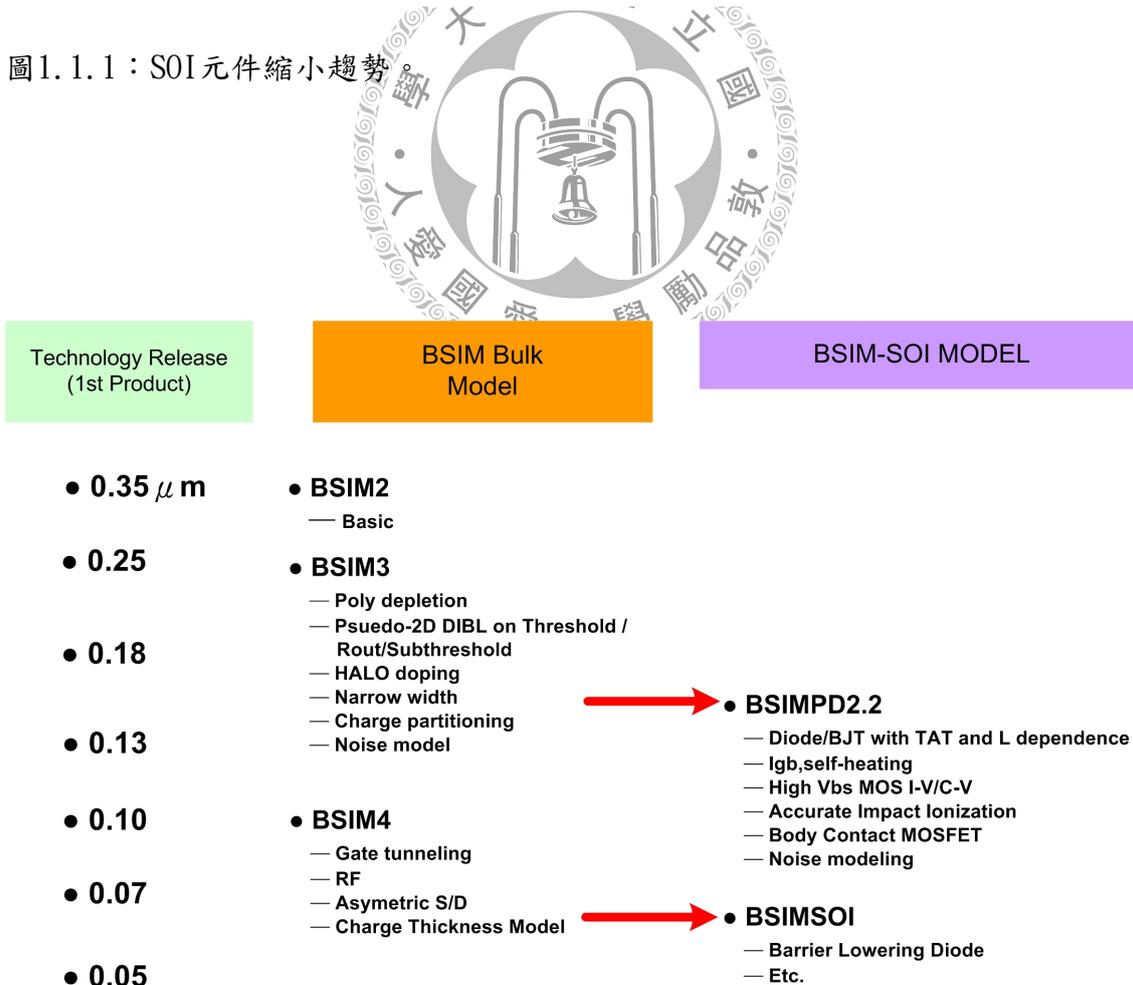


圖 1.1.2 : 科技和模型發展的比較圖 (Technology vs Compact Model)。

## 1.2 SOI 簡介

絕緣體上矽 (Silicon on Insulator — SOI) 金氧半元件是以絕緣體和其上的一層薄單晶矽 (single-crystalline silicon) 作為基材經製程加工所做出來的電晶體元件。它與傳統金氧半元件的最大差別在於絕緣體上矽金氧半元件與基體 (substrate) 間以氧化層隔絕如圖 1.2.1 所示，所以元件彼此之間不再共用同一基體而各自獨立。而絕緣體上矽金氧半元件 (SOI) 因為潛埋氧化層 (buried oxide) 的結構可提供良好的絕緣能力，因此，使得絕緣體上矽金氧半元件的漏電流變得相當小，也不會有閉鎖問題 (latch-up) 寄生電容 (parasitic capacitance) 較為小，抗輻射能力強，轉導 (transconductance) 優於傳統金氧半元件 (MOS)，次臨界斜率 (subthreshold slope) 較為陡，二次效應 (second-order effects) 小，短通道效應 (short channel effect) 較為小，元件密度高，臨界電壓 (threshold voltage) 較為小，等等優點，並可和現有的超大型積體電路 (VLSI) 的製程技術相容。所以，在未來往奈米元件的發展中，將會取代現有的部分電路設計，成為下一代的主流技術。

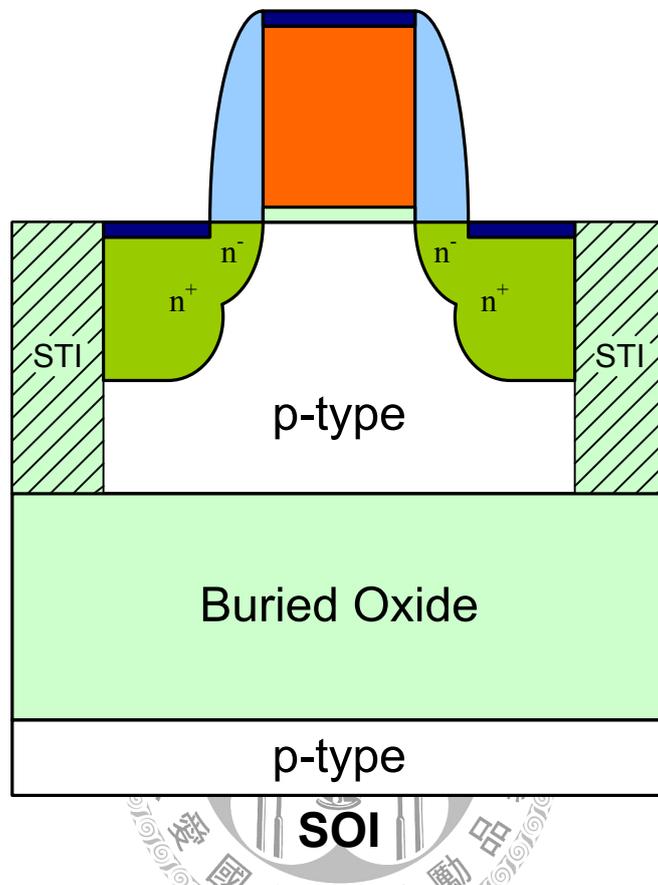


圖1.2.1：絕緣體上矽金氧半元件(SOI)的剖面圖。

### 1.3 部分解離絕緣體上矽元件浮動基體效應 (PD SOI Floating Body Effect)

部分解離絕緣體上矽元件 (PD SOI) 有浮動基體效應 (Floating Body Effect) 缺點，所以在模型建立上較為複雜。圖1.3.1可以發現浮動基體效應 (Floating Body Effect) 會使電洞聚集在基板 (Substrate) 下方，使源極 (Source) 和基板 (Substrate) 電壓差可能會高過障壁電壓，當高過障壁電壓會使電流有突然增加的現象如

圖1.3.2，此現象為突增現象（Kink Effect）。

當元件操作在飽和區間（saturation region）時，在氧化層/矽（ $\text{SiO}_2/\text{Si}$ ）表面的反轉層內，會有由電子群漂移所形成的通道電流。而在接近汲極端（Drain）的高電場區域，即後夾止區域（post pinch-off region），因存在大的橫向電場（lateral electric field），所以會有漂移的電子群撞擊晶格（lattice），造成電子電洞對的產生。對於短通道部分解離絕緣體上矽N型金氧半（PD SOI NMOS）元件，潛埋氧化層（buried oxide）上的寄生雙載子電晶體（parasitic bipolar transistor）；其射極（emitter）在源極（source）、集極（collector）在汲極（drain），不可再被忽略。所以部分解離絕緣體上矽金氧半元件（PD SOI）因存在浮動基體（Floating Body Effect），因撞擊游離（impact ionization）與寄生雙載子電晶體（parasitic bipolar transistor）互相影響牽制，此特性與一般矽金氧半元件（MOS）特性完全不同。由此可見，因浮動基體（Floating Body Effect）所間接產生的寄生雙載子電晶體（parasitic bipolar transistor）以及撞擊游離（impact ionization），將會主宰元件電流機制。寄生雙載子電晶體（parasitic bipolar transistor）在建立部分解離絕緣體上矽元件（PD SOI）模型上是很重要的部份，所以如何將寄生雙載子電晶體（parasitic bipolar transistor）的行為寫入部分解離絕緣體上矽元件（PD SOI）模型將是一個重要的課題。

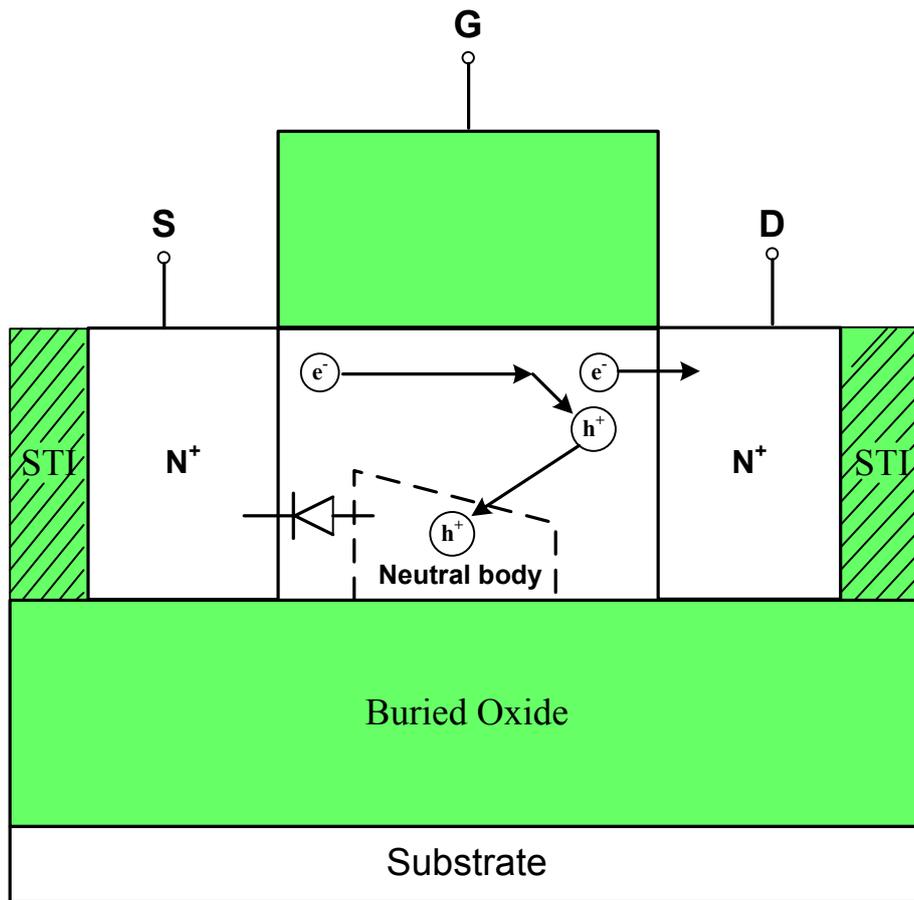


圖1.3.1：浮動基體效應（Floating Body Effect）示意圖。

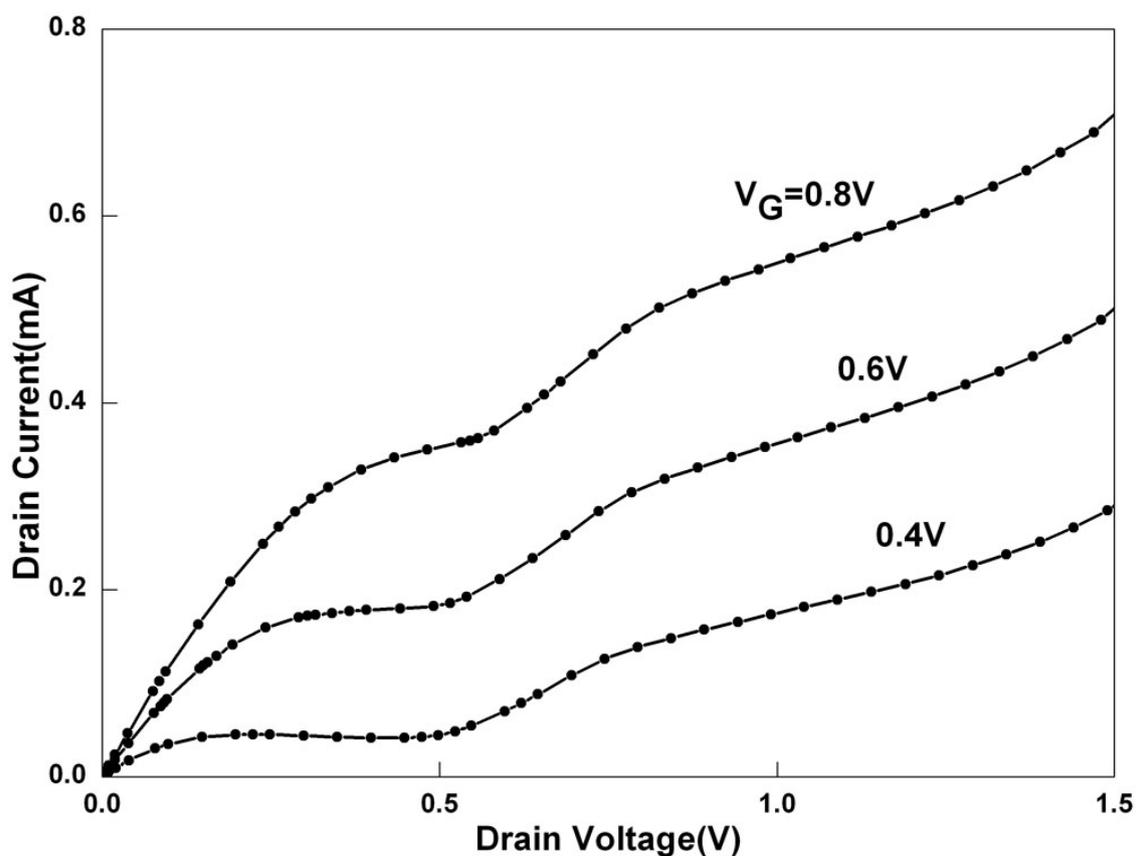


圖1.3.2：電流有突然增加的效應為突增效應（Kink Effect）。

## 1.4 論文架構（Thesis structure）

本論文之第二章將對浮動基體（Floating Body Effect）效應去做元件內部之電流傳導機制（current conduction mechanism）的分析，且將他轉換成數字型態的電流公式，再撰寫入部分解離絕緣體上矽元件（PD SOI）。第三章為實際對新建立出的部分解離絕緣體上矽元件（PD SOI）模型去做新加入參數的模擬和比較其在元件內部的影響，第四章為結論以及未來方向。

## Chapter 2

# 透過 SPICE 的雙載子電晶體 / 金氧半 元件架構建立部分解離絕緣體上矽金氧 半元件模型

## Modeling PD-SOI NMOS Device Via SPICE BJT/MOS Models

### 2.1 當前絕緣體上矽SPICE模型(Current SOI SPICE Model)

現今絕緣體上矽( SOI )的SPICE模型可分為二種，一種為部份解離薄膜 ( Partially Depleted thin film ) 另一種為全部解離薄膜( Fully Depleted thin film ), 二者的主要差別在於元件下方是否有寄生雙載子電晶體( parasitic bipolar transistor ) 的影響，而有此影響將會使元件現象與一般矽金氧半元件( bulk MOS )特性完全不同。目前的討論，主要是建立部分解離絕緣體上矽金氧半( PD SOI MOS )元件模型。當今的部分解離絕緣體上矽金氧半( PD SOI MOS )元件模型已被發展出來— BSIMSOI MOSFET MODEL。

## 2.2 模型發展 (Model Development)

### 2.2.1 飽和區電流傳導機制 (Current Conduction Mechanism at Saturation)

考慮一奈米級部份解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件，圖 2.2.1 可以用來顯示此元件內部之電流傳導機制 (current conduction mechanism) 的截面示意圖。當元件操做在飽和區間 (saturation region) 且存在大的橫向電場時，在氧化層/矽 ( $\text{SiO}_2/\text{Si}$ ) 表面的反轉層內，會有由電子群漂移所形成的通道電流。在接近汲極端的高電場區域，會有漂移的電子群撞擊晶格，造成電子電洞對的產生。這些生成的電子群電洞群會因電場而反方向移動-生成的電子群向汲極接點移動；生成的電洞群向源極移動。因此造成生成的電子和電洞電流( $I_h$ )；大小相同方向相反，此即是撞擊游離電流 (impact ionization current)。對於短通道部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件，潛埋氧化層 (Buried Oxide) 上的寄生雙載子電晶體 (parasitic bipolar transistor)；其射極 (emitter) 在源極 (source)、集極 (collector) 在汲極 (drain)，不可再被忽略。一部分的撞擊游離電流 (impact ionization current) 會因垂直電場，而直接垂直向潛埋氧化層 (buried oxide) 流動。結果，在潛埋氧化層 (buried oxide) 上矽薄膜 (thin film) 內會形成

電洞的累積，會去引導觸發潛埋氧化層 (buried oxide) 上寄生雙載子電晶體 (parasitic bipolar transistor)。當寄生雙載子電晶體 (parasitic bipolar transistor) 被觸發，這些累積的電洞群會與電子群在基體 (Body) 內進行復合。假如忽略此復合效應，到達穩定狀態 (steady state) 時，經由撞擊游離 (impact ionization) 所產生的電洞群會與進入源極端的電洞群相同。在寄生雙載子電晶體 (parasitic bipolar transistor) 內，一部分由電子群所組成的集極電流 (collector current)，會因垂直電場而向高電場處流動。此電子群也會撞擊晶格，因此亦會與通道電流機制相同，進而有電子電洞對的產生。



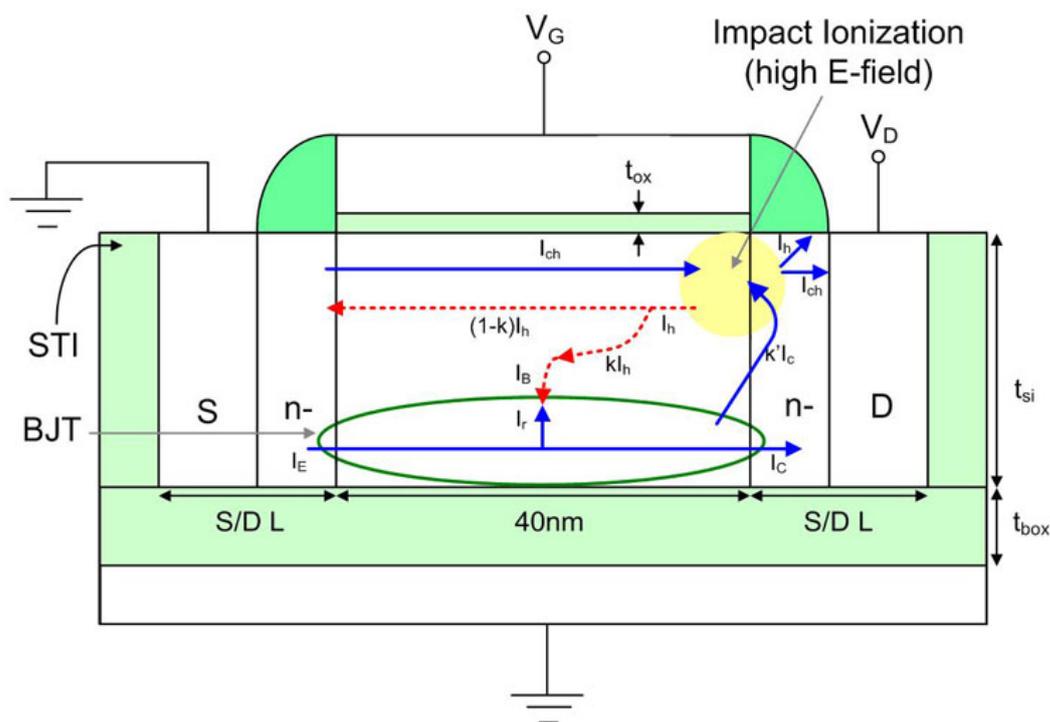


圖 2.2.1：40nm 部分解離絕緣體上矽 N 型金氧半（40nm PD SOI NMOS）元件內部之電流傳導機制（current conduction mechanism）的截面示意圖。

## 2.2.2 雙載子電晶體 / 金氧半元件架構（BJT / MOS Devices Structure）

圖 2.2.2 為雙載子電晶體（BJT） / 金氧半元件（MOS）架構，就是俗稱的 BICMOS，會使用此架構為基礎的原因可由圖 2.2.1 元件內部之電流傳導機制（current conduction mechanism）的截面示意圖清楚看出。但單獨只有雙載子電晶體（BJT） / 金氧半元件（MOS）還是不能完全表示部分解離絕緣體上矽 N 型金氧半元件（PD SOI NMOS）元件的電流傳導機制（current conduction mechanism），所以必須再加

入集極電流 (Collector Current)  $K'$  的倍數到高電場的區域 (impact ionization region) 才能更準確的顯現元件的電流傳導機制 (current conduction mechanism)。

由圖 2.2.1 可知，部分解離絕緣體上矽 N 型金氧半元件 (PD SOI NMOS) 操作在飽和區間 (saturation region) 時，其汲極電流 (drain current) 分別是由表面通道電流 (surface channel current) ( $I_{ch}$ )、撞擊游離電流 (impact ionization current) ( $I_h$ )、以及寄生雙載子電晶體 (parasitic bipolar transistor) 之集極電流 (collector current) ( $I_c$ ) 所共同組成的：



如同圖 2.2.1 所示，元件內的源極電流 (source current) ( $I_S$ ) 可表示為表面通道電流 (surface channel current) ( $I_{ch}$ )、一部分的碰撞游離電流 (impact ionization current) ( $I_h$ )、以及寄生雙載子電晶體 (parasitic bipolar transistor) 的射極電流 (emitter current) ( $I_E$ ) 所加起來的結果：

$$I_S = I_{ch} + (1-K)I_h + I_E$$

又碰撞解離電流 (impact ionization current) ( $I_h$ ) 是表面通道電流 (surface channel current) ( $I_{ch}$ )、以及一部份通過高電場區的集極電流 (collector current) ( $K'I_c$ ) 之共同的函數，所以可表示為：

$$I_h = (M - 1)(I_{ch} + K' I_C)$$

其中，M 是指元件內的乘增因素（multiplication factor） [2.1]：

$$M - 1 = \alpha(V_D - V_{DSAT}) \exp\left(-\frac{\beta}{V_D - V_{DSAT}}\right)$$

而  $\alpha$  與  $\beta$  為製程有相關的調整參數（fitting parameter），對溫度並不敏感 [2.2], [2.3]， $V_{DSAT}$  為剛進去飽和區（saturation region）的汲極電壓（drain voltage）。

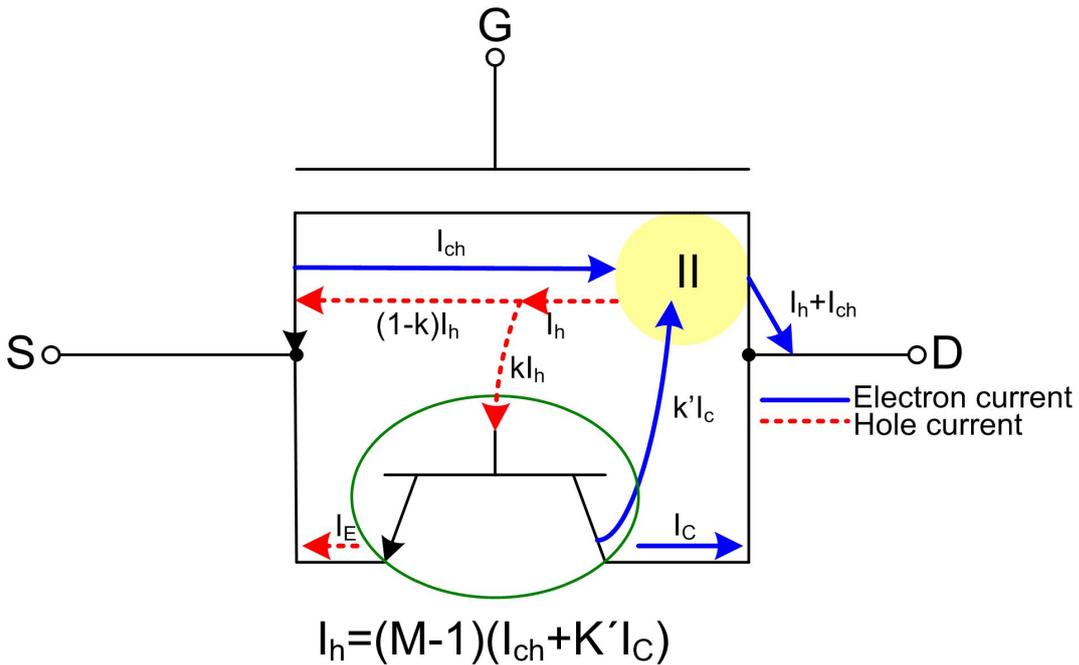


圖 2.2.2：雙載子電晶體（BJT）/ 金氧半元件（MOS）架構。實線為電子電流的方向、虛線為電洞電流的方向，II 是指高電場的区域。

### 2.2.3 雙載子電晶體 / 金氧半元件電流模型(BJT / MOS Devices Current Model)

圖 2.2.2 為一個金氧半 (MOS) 元件在上，並聯一雙載子電晶體(BJT)在下。

金氧半(MOS)元件是使用 BSIM4.5.0、雙載子電晶體(BJT)是使用 Philips Bipolar Transistor Level 504。

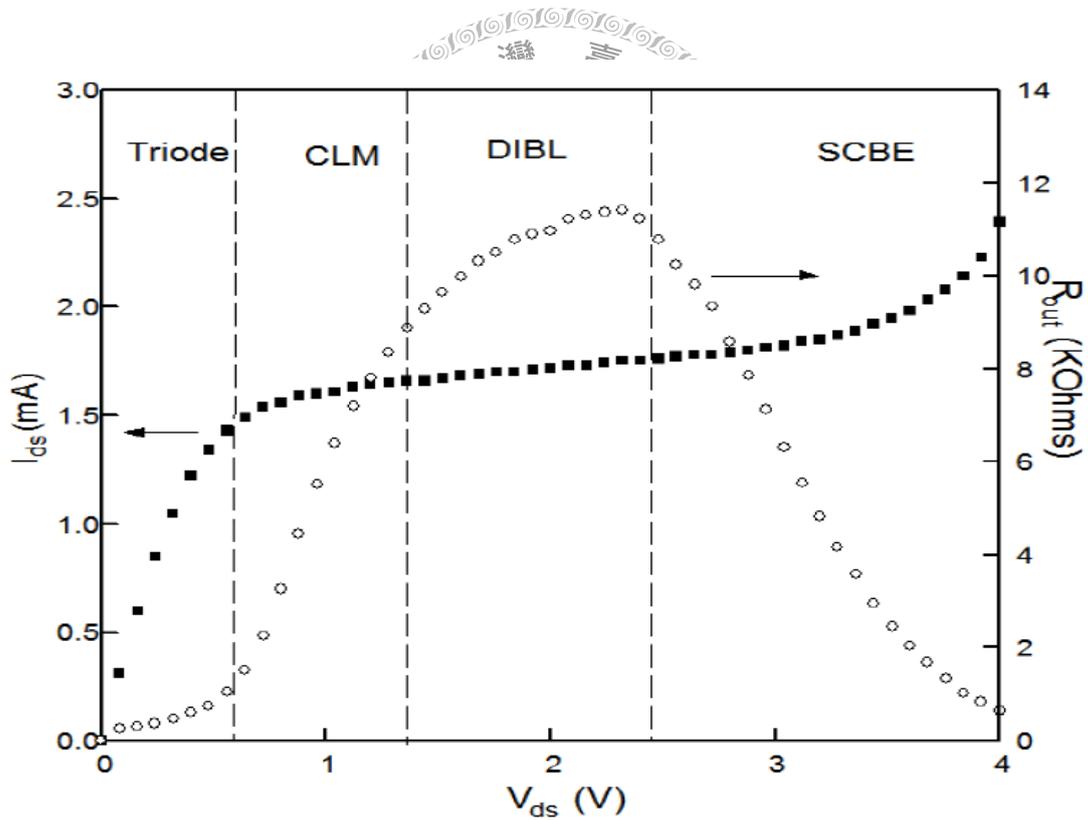
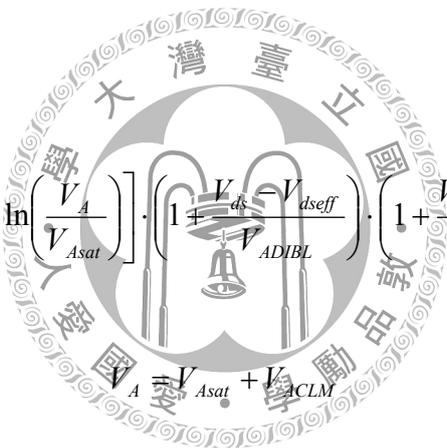


圖 2.2.3 : BSIM4.5.0 的通道電流 ( $I_{ds}$ ) 與輸出電阻對源極電壓 (Drain Voltage)

的圖，且由圖中可以看出通道電流與輸出電阻可分成四個區域，第一區域就是通稱的線性區、後面三個為通稱的飽和區。

首先介紹 BSIM4.5.0 的源極電流模型 (Drain Current Model) [2.7]。傳統的電流-電壓和輸出電阻曲線可以由上圖 2.2.3 表示，而圖中可以清楚地分出四個區域：第一為三極體(線性)區、其他三個區域都屬於飽和區，而此三區分別為 Channel Length Modulation (CLM)， Drain-Induced Barrier Lowering (DIBL)，和 Substrate Current Induced Body Effect (SCBE)。最後通道電流模型( Channel Current Model )可由上述的四個區段描述出來：

如下面的公式：



$$I_{ds} = \frac{I_{dso} \cdot NF}{1 + \frac{R_{ds} I_{dso}}{V_{dseff}}} \left[ 1 + \frac{1}{C_{CLM}} \ln \left( \frac{V_A}{V_{Asat}} \right) \right] \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADIBL}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADITS}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ASCBE}} \right)$$

$V_A = V_{Asat} + V_{ACLM}$

$$V_{Asat} = \frac{E_{sat} L_{eff} + V_{dsat} + 2R_{ds} v_{sat} C_{oxe} W_{eff} V_{gsteff} \cdot \left[ 1 - \frac{A_{bulk} V_{dsat}}{2(V_{gsteff} + 2v_t)} \right]}{R_{ds} v_{sat} C_{oxe} W_{eff} A_{bulk} - 1 + \frac{2}{\lambda}}$$

有效的  $V_{ds}$  稱為  $V_{dseff}$ ，而  $V_{dseff}$  必須是一個平滑的函數且從三極體區和飽和區都接近  $V_{dsat}$ ，如下面公式：

$$V_{dseff} = V_{dsat} - \frac{1}{2} \left[ (V_{dsat} - V_{ds} - \delta) + \sqrt{(V_{dsat} - V_{ds} - \delta)^2 + 4\delta \cdot V_{dsat}} \right]$$

(1) Triode Region

$$I_{dso} = \frac{W\mu_{eff}Q_{cho}V_{ds}\left(1 - \frac{V_{ds}}{2V_b}\right)}{L\left(1 + \frac{V_{ds}}{E_{sat}L}\right)}$$

$$R_{ds}(V) > 0 \quad \text{and} \quad r_{dsMod} = 0$$

$$I_{ds} = \frac{I_{dso}}{1 + \frac{R_{ds}I_{dso}}{V_{ds}}}$$

(2) Channel Length Modulation (CLM)



$$V_{ACL} = C_{CLM} \cdot (V_{ds} - V_{dsat})$$

$$C_{CLM} = \frac{1}{PCLM} \cdot F \cdot \left(1 + PVAG \frac{V_{gsteff}}{E_{satLeff}}\right) \left(1 + \frac{R_{ds} \cdot I_{dso}}{V_{dseff}}\right) \left(L_{eff} + \frac{V_{dsat}}{E_{sat}}\right) \cdot \frac{1}{litl}$$

$$F = \frac{1}{1 + FPROUT \cdot \frac{\sqrt{L_{eff}}}{V_{gsteff} + 2v_t}}$$

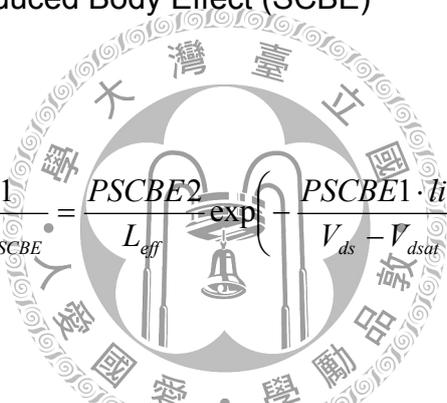
$$litl = \sqrt{\frac{\epsilon_{si} TOXE \cdot XJ}{EPSROX}}$$

### (3) Drain-Induced Barrier Lowering (DIBL)

$$V_{ADIBL} = \frac{V_{gsteff} + 2v_t}{\theta_{rout} (1 + PDIBLCB \cdot V_{bseff})} \cdot \left( 1 - \frac{A_{bulk} V_{dsat}}{A_{bulk} V_{dsat} + V_{gsteff} + 2v_t} \right) \cdot \left( 1 + PVAG \frac{V_{gsteff}}{E_{sat} L_{eff}} \right)$$

$$\theta_{rout} = \frac{PDIBLC1}{2 \cosh\left(\frac{DROUT \cdot L_{eff}}{l_{t0}}\right) - 2} + PDIBLC$$

### (4) Substrate Current Induced Body Effect (SCBE)



$$\frac{1}{V_{ASCBE}} = \frac{PSCBE2}{L_{eff}} \exp\left(\frac{PSCBE1 \cdot l_{itl}}{V_{ds} - V_{dsat}}\right)$$

### (5) Drain-Induced Threshold Shift (DITS) by Pocket Implant

$$V_{ADITS} = \frac{1}{PDITS} \cdot F \cdot \left[ 1 + (1 + PDITSL \cdot L_{eff}) \exp(PDITSD \cdot V_{ds}) \right]$$

以上為討論源極電流( Drain Current )模型。下面繼續討論撞擊游離電流

( impact ionization current )模型：

由撞擊游離電流( impact ionization current )(  $I_{ii}$  )可知：

$$I_{ii} = (M - 1)I_{ch}$$

而在 BSIM4.5.0 中的撞擊游離電流模型（impact ionization current model）可得

下面公式：

$$I_{ii} = \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{-BETA0}{V_{ds} - V_{dseff}}\right) \cdot I_{dsNoSCBE}$$

$$I_{dsNoSCBE} = \frac{I_{dso} \cdot NF}{1 + \frac{R_{ds} I_{dso}}{V_{dseff}}} \left[ 1 + \frac{1}{C_{clm}} \ln\left(\frac{V_A}{V_{Asat}}\right) \right] \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADIBL}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADITS}} \right)$$

所以對照可知 (M-1)：

$$(M-1) = \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{-BETA0}{V_{ds} - V_{dseff}}\right)$$

與上一節比較可得(M-1)的表示型式是相同的。

下面將介紹 Philips Bipolar Transistor Level 504 模型：

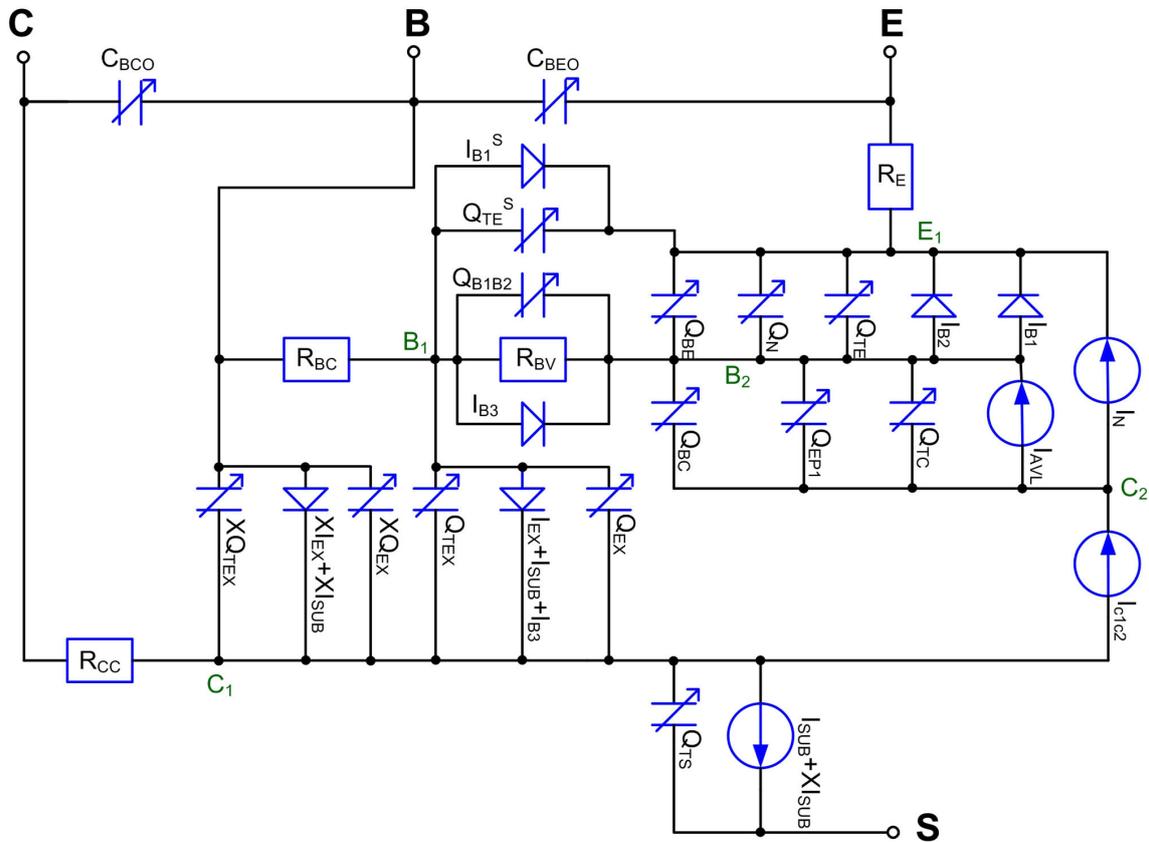


圖 2.2.4：Philips Bipolar Transistor Level 504 的等效電路圖。

圖 2.2.4 為 Philips Bipolar Transistor Level 504 模型的內部等效電路圖形，此圖中也可以清楚分辨每一顆等效電路元件在實際元件中代表的物理特性和物理意義，所以可以讓設計的人使用上更方便且容易。而我主要只看元件的端點電流，以下將討論集極電流(Collector Current)，基體電流(Base Current)，射極電流(Emitter Current)[2.8]：

$$I_c = \frac{V_{cc1}}{RCC}$$

$$I_b = \frac{V_{bb1}}{RBC}$$

$$I_e = \frac{V_{ee1}}{RE}$$

由圖 2.2.1 可知，雙載子電晶體/金氧半元件無法準確描述部份解離絕緣體上 N 矽金氧半元件(PD SOI NMOS)的電流傳導機制 (current conduction mechanism)。主要是差了一條 K' 倍的集極電流 (Collector Current) 回饋到高電場的區域、和 K 倍的 (impact ionization current) ( $I_h$ ) 流入寄生雙載子電晶體 (parasitic bipolar transistor) 如下公式：

$$I_h = \left( \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{-BETA0}{V_{ds} - V_{dseff}}\right) \right) \cdot (I_{dsNoSCBE} + K' I_c)$$

此便成功的將部份解離絕緣體上 N 型矽金氧半元件模型完成，下一節將會使用此模型做模擬(simulation)，且比較它的準確性。

## 2.3 利用 SPICE 雙載子電晶體 / 金氧半元件模型方法模擬 (Via SPICE BJT/MOS Model Approach To simulation)

### 2.3.1 模擬驗證(Simulation Verification)

圖2.2.5 所示為工業上40nm 部分解離絕緣體上矽N 型金氧半(PD SOI NMOS)測試元件的(a)穿透式電子顯微鏡圖(TEM)、(b)模擬元件剖面圖。此元件薄膜層厚度(thin film thickness)為70nm，並參雜P 型雜質，參雜濃度為 $3 \times 10^{18} \text{cm}^{-3}$ ，潛埋氧化層(buried oxide)為145nm，前閘極氧化層(gate oxide)為2nm，通道寬度(channel length)為 $1 \mu\text{m}$ 。邊牆下輕參雜汲極(LDD)結構以及淺槽隔離(STI)結構都被採用在此模擬結構中。而邊牆堡壘(sidewall spacer)下方為65nm 長的N 型輕參雜區域，參雜濃度為 $10^{19} \text{cm}^{-3}$ 。使用雙載子電晶體 / 金氧半元件模型方法模擬，且利用二維元件模擬器Medici輔証，模擬時考慮兩種載子及能量平衡公式[4]。

圖2.2.6 所示為40nm 部分解離絕緣體上矽N 型金氧半(PD SOI NMOS)元件的汲極電流對汲極電壓關係圖(Drain Current vs Drain Voltage)。圖中看出使用 SPICE 雙載子電晶體 / 金氧半元件(BJT/MOS)模型方法的模擬結果與測試元件量出的資料非常的吻合，更加確定此模型的準確性和使用性。

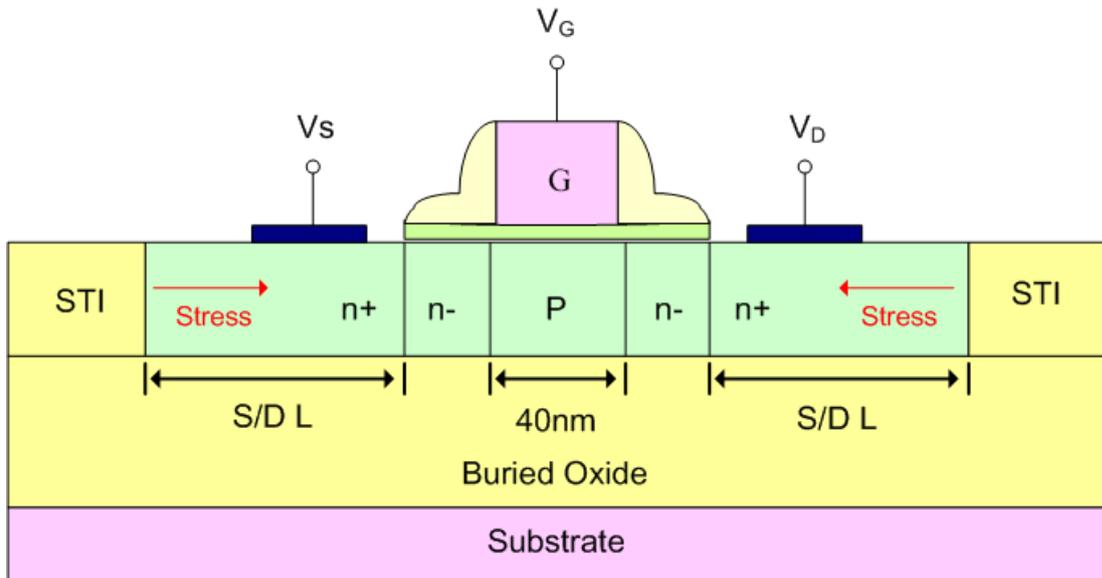
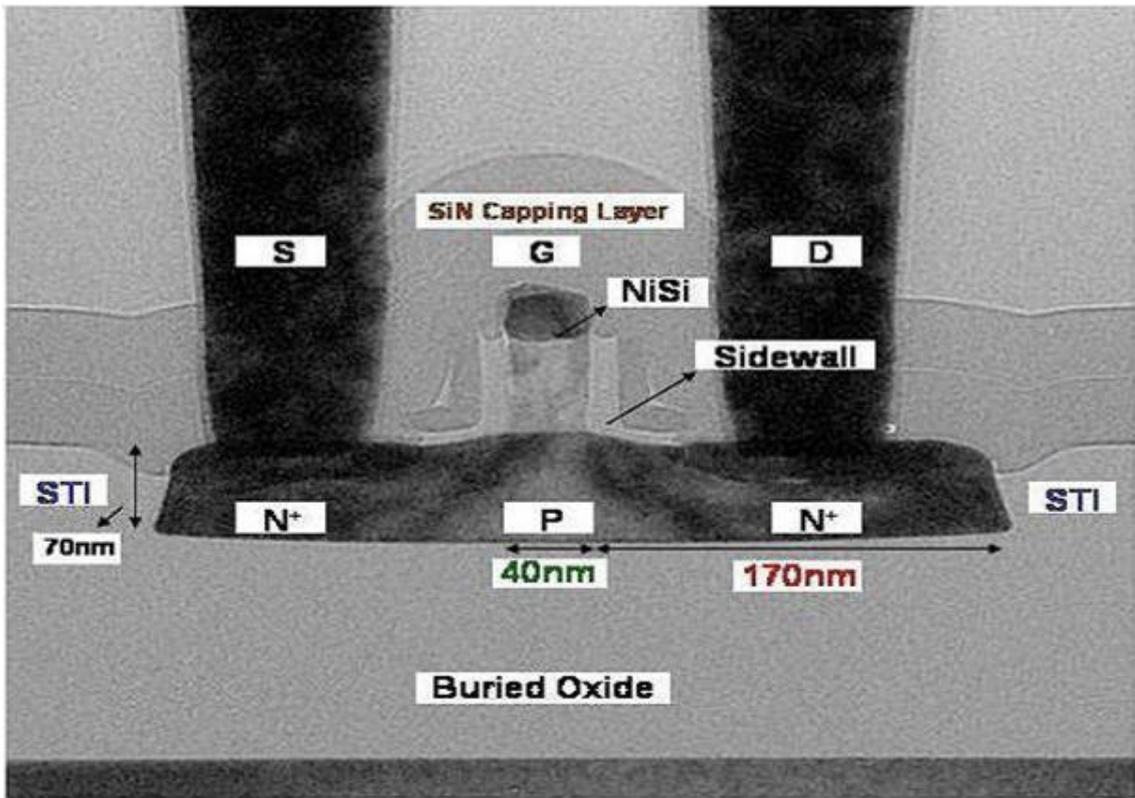


圖2.2.5：40nm 部分解離絕緣體上矽N 型金氧半(40nm PD SOI NMOS)測試元件

的(a)穿透式電子顯微鏡圖(TEM)、(b)模擬元件剖面圖

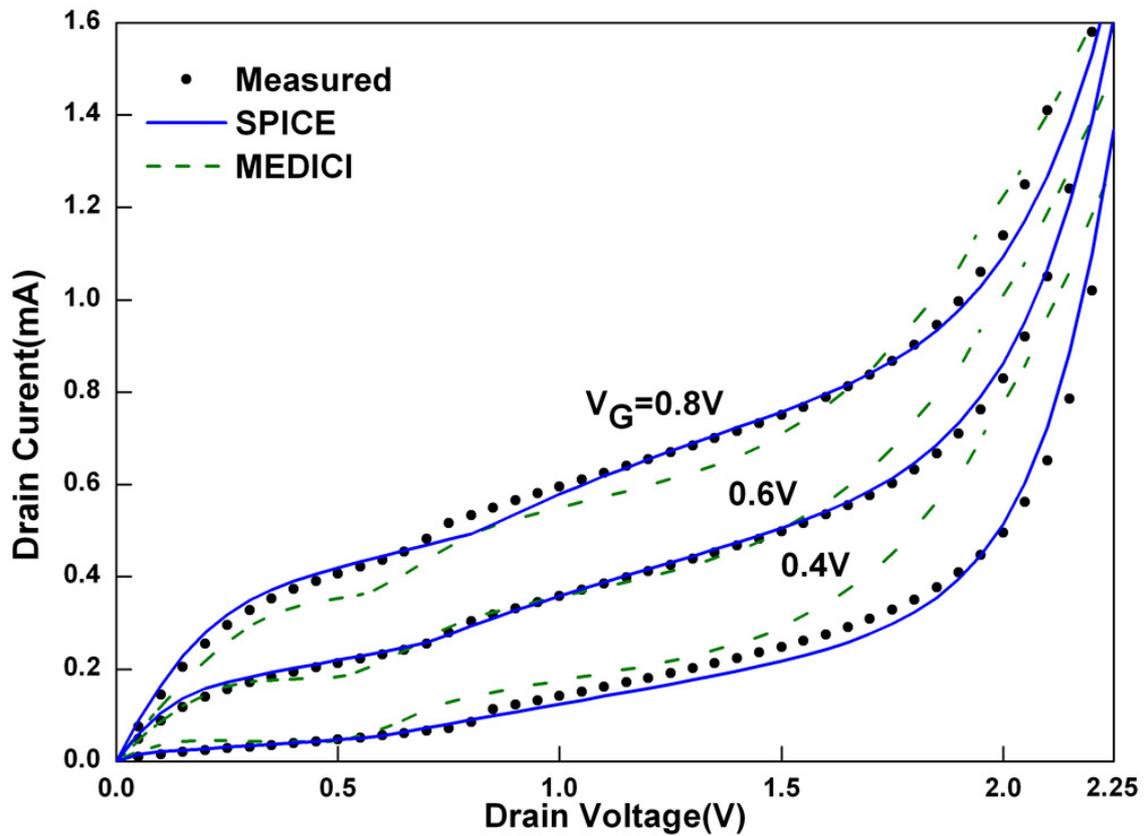


圖 2.2.6：使用 SPICE 和二維模擬器 MEDICI 對 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)測試元件的模擬比較圖。

### 2.3.2 結論 (Conclusion)

目前已成功的將新的部分解離絕緣體上矽 N 型金氧半元件模型建立出來，且由圖 2.2.6 可發現新模型的準確性，下一章節將討論模型內部參數的影響，且驗證此模型與實際元件的準確性。

## 2.4 參考文獻 (References)

- [2.1] Y.G.Chen and J. B. Kuo "Analytical Drain Current Model for Short-Channel Fully-Depleted Ultrathin SILICON-ON-INSULATOR NMOS Device" Sol St Elec, pp.2051-2057, Dec 1995.
- [2.2] S.Y.Ma and J. B. Kuo, Jap.J.appl.Phys.33,550(1994)
- [2.3] S.Y.Ma and J. B. Kuo, Jap.J.appl.Phys.33 (1994)
- [2.4] Taurus Medici User Guide, Synopsys Inc., Mountain View, CA, 144 Oct. 2005.
- [2.5] J. B. Kuo, "Low-Voltage SOI CMOS Devices and Circuits," Wiley, New York, 2001.
- [2.6] I. S. Lin, J. B. Kuo, D. Chen, C. S. Yeh, C. T. Tsai, and M. Ma, "Breakdown behavior of 40-nm PD-SOI NMOS considering STI-induced mechanical stress effect," IEEE Electron Device Letts, pp.612-614, June 2008.
- [2.7] BSIM4 by The Device Group Department of EECSUC Berkeley  
"http://www-device.eecs.berkeley.edu/~bsim3/bsim4\_intro.html"
- [2.8] Philips Bipolar Transistor Level 504 by Mextram

## Chapter3

# 利用SPICE模擬雙載子電晶體/金氧半元件模型對奈米級部分解離絕緣體上矽N型金氧半元件之分析

## Analysis of BJT/MOS Models For Nanometer PD-SOI NMOS Devices Via SPICE Simulation

### 3.1 模型內部參數 $K$ 與 $K'$

由上一章節圖 2.2.2 的雙載子電晶體 (BJT) / 金氧半元件 (MOS) 模型架構圖中，可以看出  $K$  與  $K'$  在元件內部影響的部份： $K'$  指的是有多少倍數的集極電流 (Collector Current) 回饋流到高電場的區域 (II)，所以主要只有當汲極電壓 (Drain Voltage) 大時，影響撞擊游離電流 (impact ionization current) 較劇烈； $K$  指的是實際有多少倍數的撞擊游離電流 (impact ionization current) 流入寄生雙載子電晶體 (parasitic bipolar transistor)，所以不論汲極電壓 (Drain Voltage) 大小對撞擊游離電流 (impact ionization current) 都以相同倍數  $K$  遞減。下面小節

將討論  $K$  和  $K'$  的模擬結果。

## 3.2 模擬不同 $K'$ 之分析

圖 3.2.1 為比較在不同  $K'$  值下的模擬結果。圖中考慮不同  $K'$ :  $K'=0.99$  和  $K'=0.0$  的情況，當  $K'=0.99$  是指有 0.99 倍的集極電流 (Collector Current) 回饋到高電場區域 (II)，將影響撞擊游離電流 (impact ionization current) 大小而  $K'=0.0$  指模型還沒有改進的情況。由圖 3.2.1 可以瞭解，因為  $K'$  越大集極電流 (Collector Current) 回饋到高電場區域越多則撞擊游離電流 (impact ionization current) 越多，所以元件崩潰電壓會提前可以由圖 3.2.2 清楚的看出，且可由圖 3.2.1 證實  $K'$  不會去影響到突增現象 (Kink effect)，因為在雙載子電晶體/金氧半元件 (BICMOS) 架構中可知雙載子電晶體 (BJT) 要導通，主要是由上面金氧半元件 (MOS) 的  $(M-1) I_{ch}$  來驅動，所以在發生突增現象 (Kink effect) 時雙載子電晶體剛要導通，集極電流 (Collector Current) 很小，則對突增現象 (Kink effect) 的發生不會有影響。

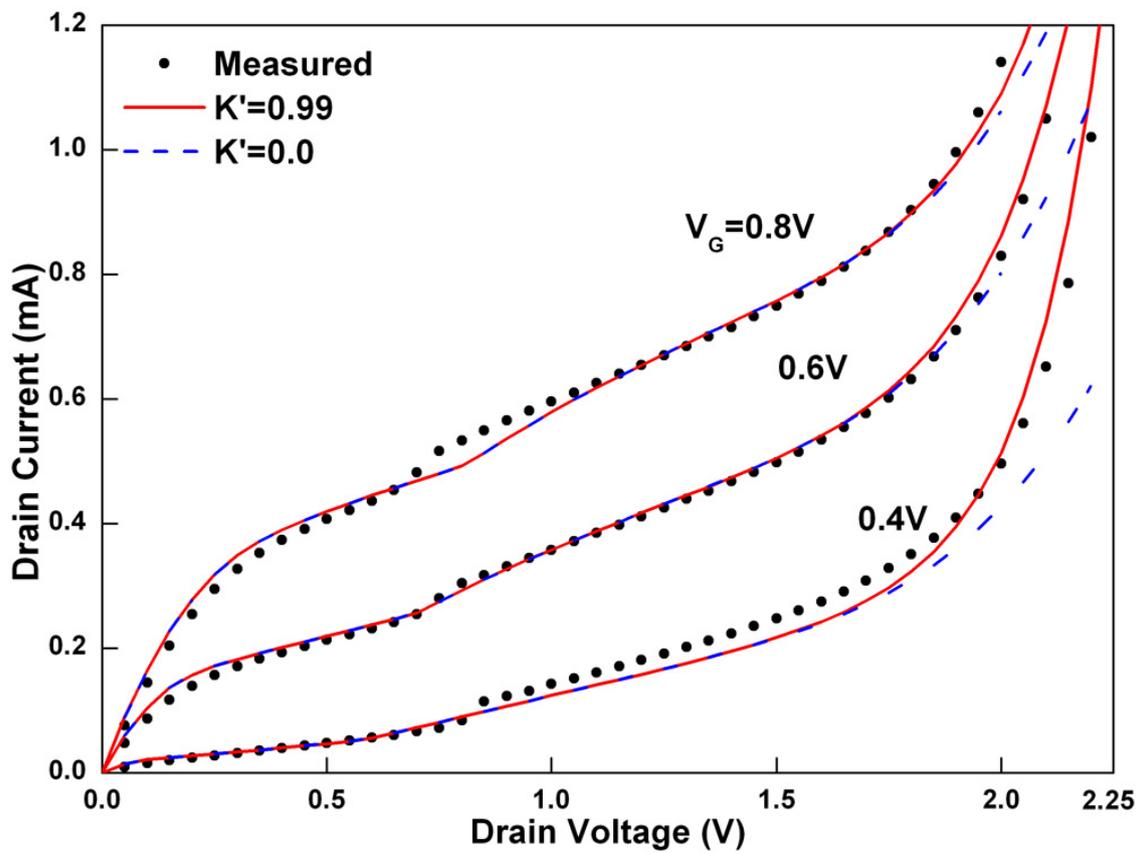


圖 3.2.1：汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為模擬  $K'$  的不同結果對測試元件量測的比較圖。

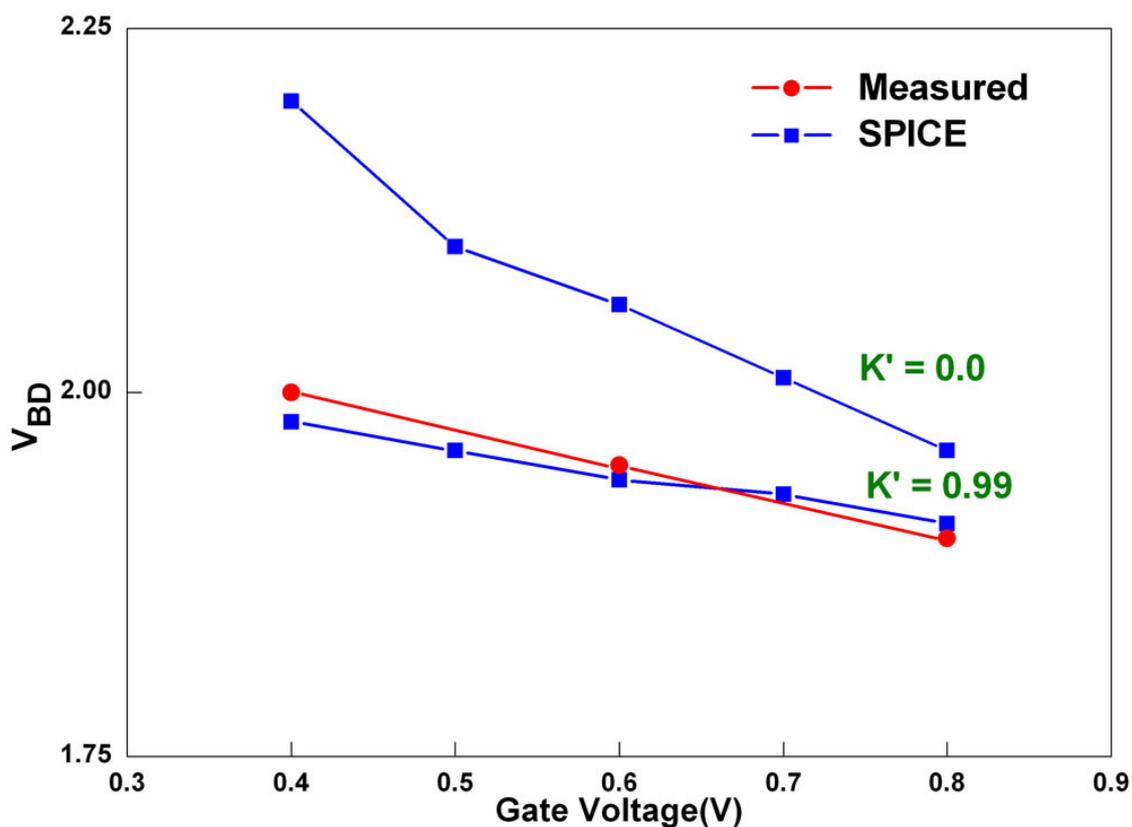


圖 3.2.2：崩潰電壓(Breakdown Voltage)與閘極電壓(Gate Voltage)比較圖。此圖為模擬  $K'$  的不同結果對測試元件量測的比較圖。

在現今的部份解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件裡，閘極電壓 (Gate Voltage) 越小則閘極電壓 (Gate Voltage) 對通道中的電子控制能力越弱，水平電場大，所以撞擊游離 (impact ionization) 會越嚴重，突增現象 (Kink effect) 會提早發生[3.1]。由圖 3.2.3 的基體-源極電壓 (Body-Source Voltage) 圖，發現在汲極電壓 (Drain Voltage) 越來越大會有劇烈變化的現象，而此現象就是突增現象 (Kink effect)，因為突增現象 (Kink effect) 發生在雙載子電晶體導通瞬間，所以會使基體-源極電壓 (Body-Source Voltage) 產生劇烈變化。所以當閘極

電壓 (Gate Voltage) 小時，突增現象 (Kink effect) 會提早發生，在圖 3.2.3 中閘極電壓 (Gate Voltage) 小會提早劇烈變化，與理論相同、且可以再次驗證上面所述  $K'$  不會影響突增現象 (Kink effect)。但  $K'$  不相同則基體-源極電壓 (Body-Source Voltage) 趨勢不一樣，在汲極電壓大且閘極電壓小的情況下撞擊游離電流 (impact ionization current) 應當比閘極電壓大情況下來的大[3.3]，因為電洞累積多，基體-源極電壓 (Body-Source Voltage) 要大，則  $K'=0.99$  與理論較為相同。

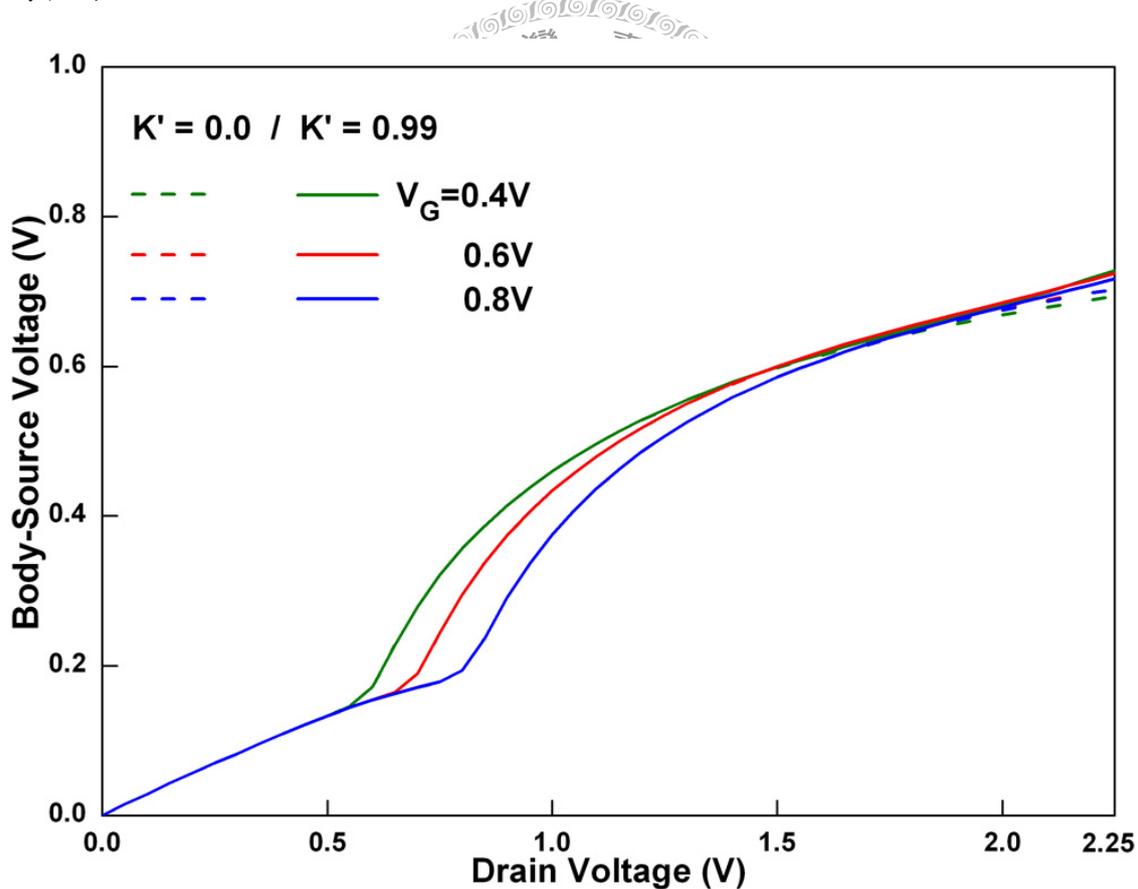


圖 3.2.3：基極-源極電壓(Body-Source Voltage)與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K'$  的模擬結果、且在不同閘極電壓(Gate Voltage)下對不同  $K'$  的影響圖。

由圖 3.2.4 和圖 3.2.5 能更清楚看出  $K'$  對元件的影響且能將全部現象連在一起。先討論汲極 (Drain) 電壓小時：(1)發現閘極電壓越小，撞擊游離電流 (impact ionization current) 會提前劇烈變化，這和前面所說的閘極電壓小撞擊游離 (impact ionization) 嚴重，寄生雙載子電晶體 (parasitic bipolar transistor) 提早導通。(2) $K'$  的大小不會使撞擊游離電流 (impact ionization current) 明顯變化，與前面所說的寄生雙載子電晶體 (parasitic bipolar transistor) 剛導通，集極電流 (Collector Current) 在汲極電流 (Drain Current) 的比例太小如圖 3.2.6，且  $K'$  對突增現象 (Kink effect) 不會有影響；再討論汲極電壓 (Drain Voltage) 大時：(1)不考慮閘極電壓： $K'$  的大小會影響撞擊游離電流 (impact ionization current)，此時寄生雙載子電晶體 (parasitic bipolar transistor) 已經導通，且電流的影響不能被忽略，所以  $K'$  越大撞擊游離電流 (impact ionization current) 越大。(2)考慮閘極電壓：閘極電壓小，撞擊游離 (impact ionization) 嚴重，所以撞擊游離電流 (impact ionization current) 大，如圖 3.2.5 可以清楚發現  $K'=0.99$  較為輔合，且與另一套二維模擬工具 Medici 比較，看出當 Life time ( $\tau$ ) 大寄生雙載子電晶體 (parasitic bipolar transistor) 能力強，撞擊游離電流 (impact ionization current) 大，與 SPICE 模擬出的趨勢一樣在閘極電壓小，撞擊游離電流 (impact ionization current) 大。

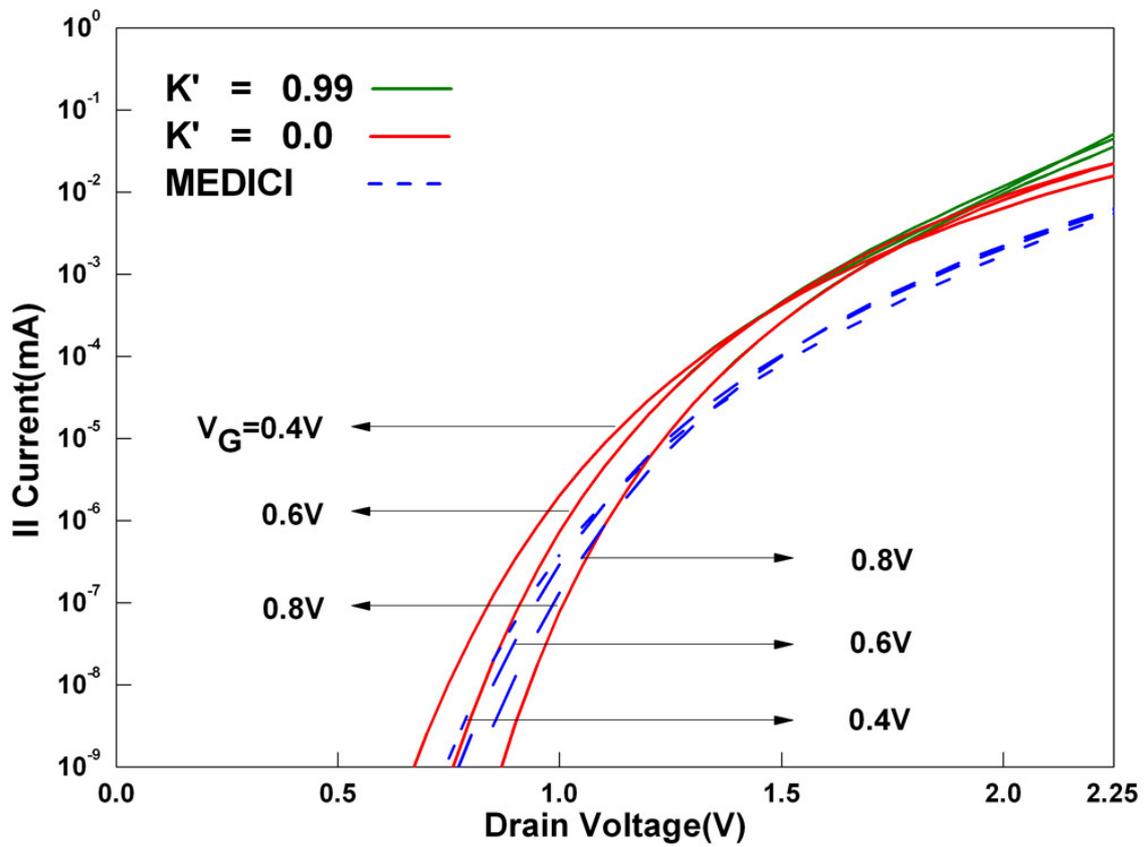


圖 3.2.4：撞擊游離電流(impact ionization current) 與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K'$  的模擬結果、且在不同閘極電壓 (Gate Voltage) 下對不同  $K'$  的影響圖。外加使用另一套二維模擬軟體 MEDICI 去模擬比較 SPICE 模擬不同  $K'$  的正確性。

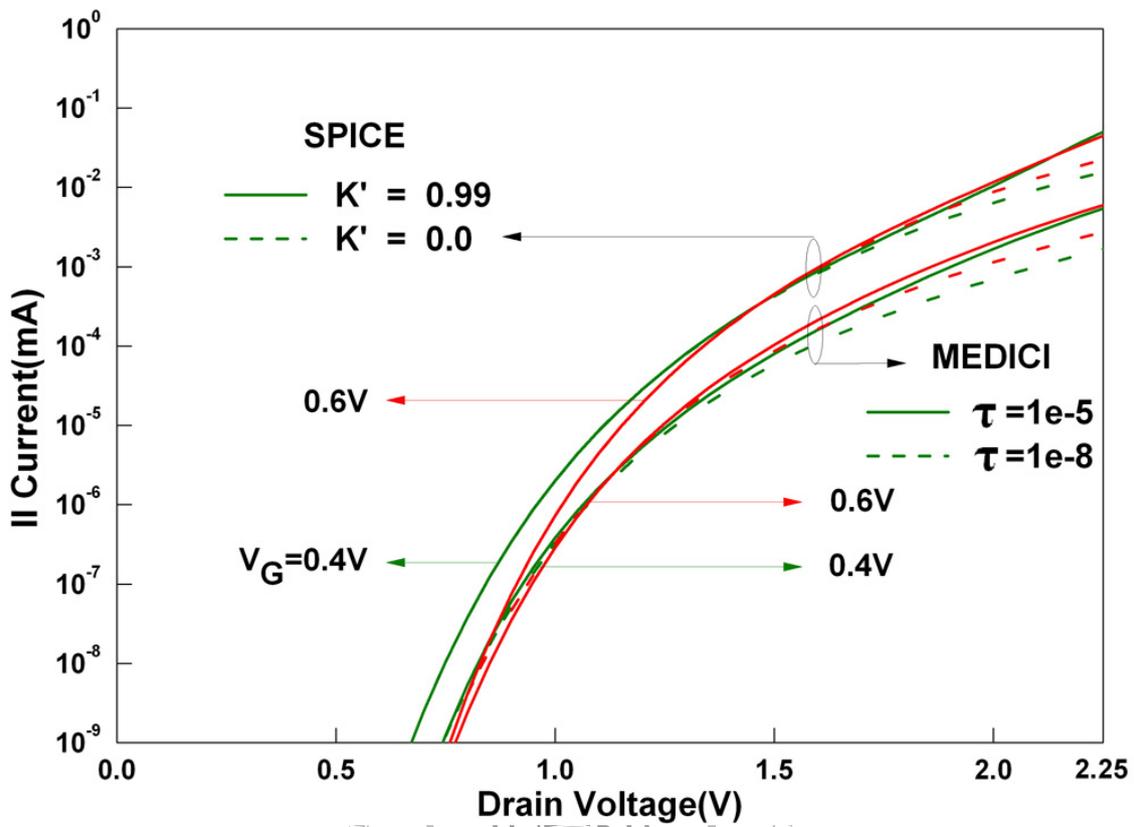


圖 3.2.5：撞擊游離電流(impact ionization current) 與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K'$  的模擬結果、且在不同閘極電壓 (Gate Voltage) 下對不同  $K'$  的影響圖。外加使用另一套二維模擬軟體 MEDICI 模擬寄生雙載子電晶體(parasitic bipolar transistor)強弱 ( $\tau$  大小)去比較 SPICE 模擬不同  $K'$  值的正確性。

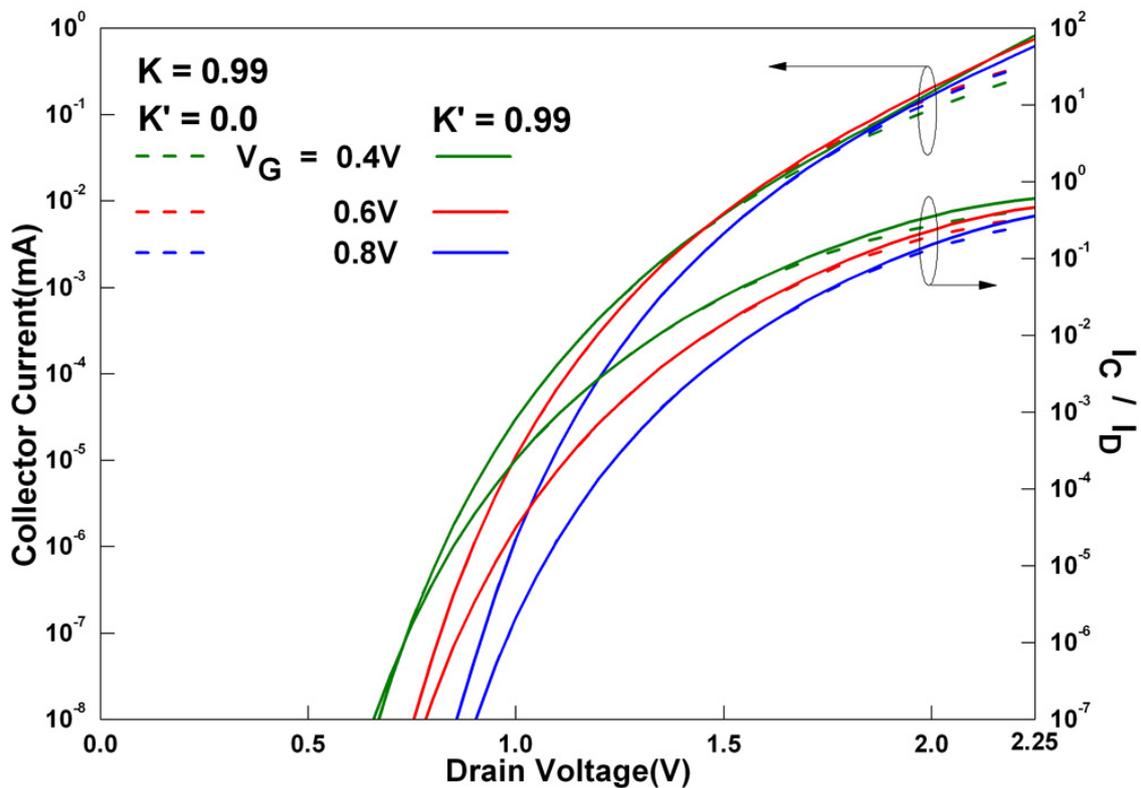
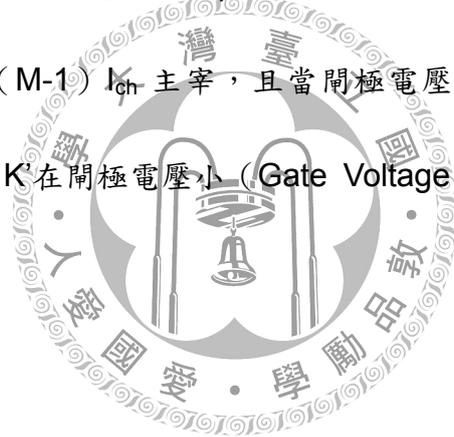


圖 3.2.6：集極電流(Collect Current)與汲極電壓(Drain Voltage)比較圖、和集極電流(Collect Current)/汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K'$  的模擬結果、且在不同閘極電壓(Gate Voltage)下對不同  $K'$  的影響圖。

### 3.3 模擬不同 $K$ 之分析

$K$  主要是形容有多少撞擊游離電流 (impact ionization current) 流入寄生雙載子電晶體 (parasitic bipolar transistor) 的基極 (Base) 端，這對整個元件模型不論源極電壓 (Drain Voltage) 大小影響都很劇烈。由圖 3.3.1 可以清楚看出  $K$  對元件模型的影響， $K$  影響不只崩潰電壓 (Breakdown Voltage) 也會改變突增效應 (Kink

Effect)，因為  $K$  主宰了實際流入寄生雙載子電晶體 (parasitic bipolar transistor) 的撞擊游離電流 (impact ionization current)，所以  $K$  越小突增效應 (Kink Effect) 會延後發生，而圖 3.3.2 中可見  $K$  對崩潰電壓 (Breakdown Voltage) 的影響，圖中可以發現不同  $K$  相同  $K'$  的崩潰電壓 (Breakdown Voltage) 連線幾乎是平形的，這與  $K'$  有些許的不同，因為  $K$  是指在相同閘極電壓依照相同大小的撞擊游離電流 (impact ionization current) 等量  $K$  倍率的減少，所以會幾乎平行；但在相同閘極電壓但不同  $K'$  時，撞擊游離電流 (impact ionization current) 並不是等倍率的減少，因為  $K'$  小會變  $(M-1) I_{ch}$  主宰，且當閘極電壓小時撞擊游離 (impact ionization) 嚴重，所以  $K'$  在閘極電壓小 (Gate Voltage) 時，對模型影響較大，所以會改變較多。



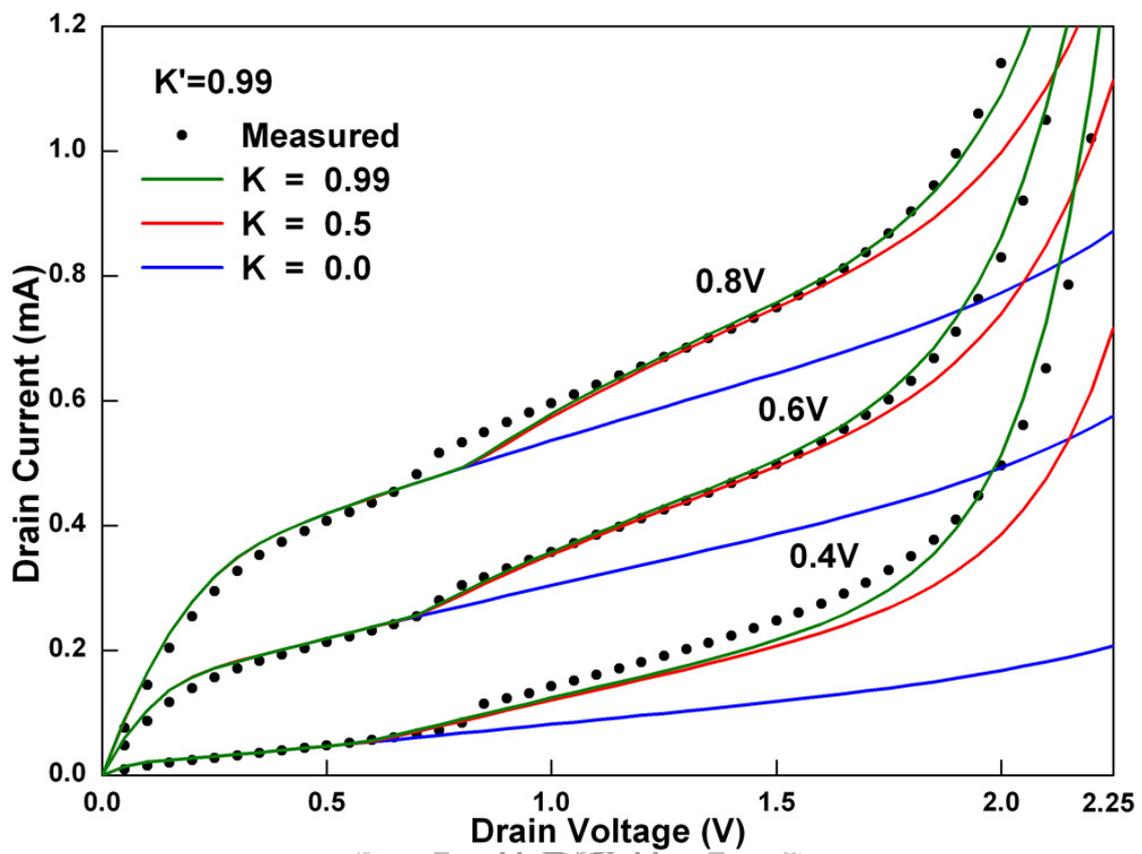


圖 3.3.1：汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為模擬 K 的不同結果對測試元件量測的比較圖。

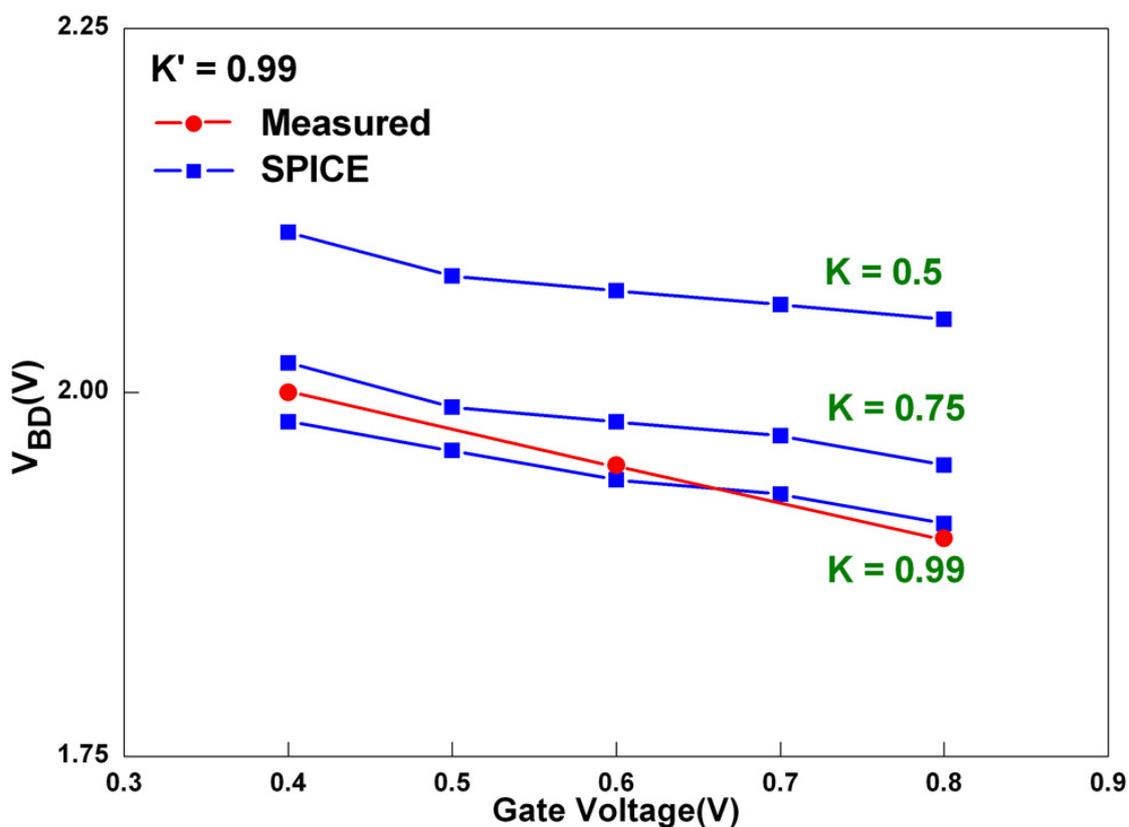


圖 3.3.2：崩潰電壓(Breakdown Voltage)與閘極電壓(Gate Voltage)比較圖。此圖為模擬 K 的不同結果對測試元件量測的比較圖。

圖 3.3.3 為基體-源極電壓 (Body-Source Voltage) 與源極電壓 (Drain Voltage) 比較，此圖與圖 3.2.3 相同，當閘極電壓小時，則基體-源極電壓 (Body-Source Voltage) 會提早劇烈變化，但 K 的變化會使突增效應 (Kink Effect) 延後發生，因為突增效應 (Kink Effect) 的發生主要是由  $K \cdot (M-1) I_{ch}$  主宰，所以當 K 變小，驅動寄生雙載子電晶體 (parasitic bipolar transistor) 的撞擊游離電流 (impact ionization current) 變小，導致突增效應 (Kink Effect) 延後。圖 3.3.4 可以驗證圖 3.3.3，當 K 變小使撞擊游離電流 (impact ionization current) 變小，導致突增

效應 (Kink Effect) 延後。圖 3.3.5 可看出源極電壓 (Drain Voltage) 越大，寄生雙載子電晶體 (parasitic bipolar transistor) 集極電流 (Collect Current) 越大，佔全部電流比例越來越大，但  $K$  的變化會使集極電流 (Collect Current) 有延後增大的趨勢，而非不足。

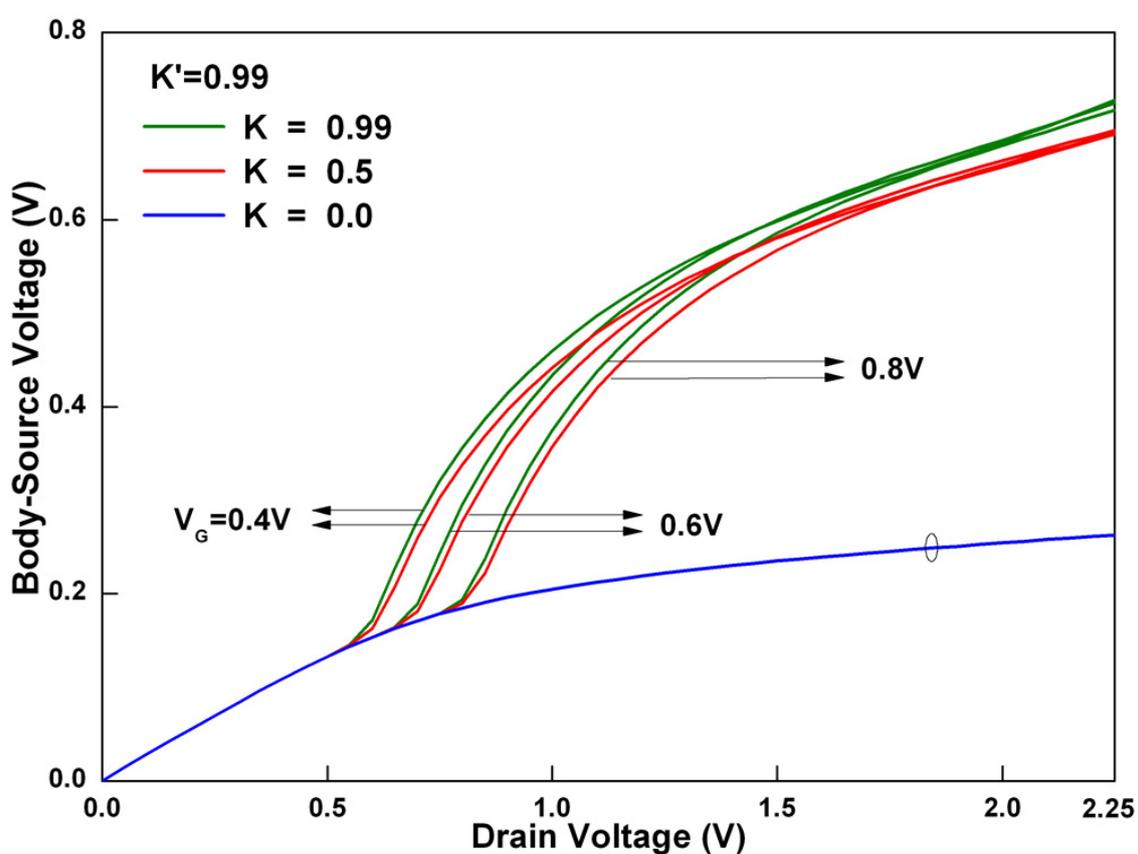


圖 3.3.3：基極-源極電壓(Body-Source Voltage)與汲極電壓(Drain Voltage)比較圖。此圖為在不同  $K$  的模擬結果、且在不同閘極電壓(Gate Voltage)下對不同  $K$  的影響圖。

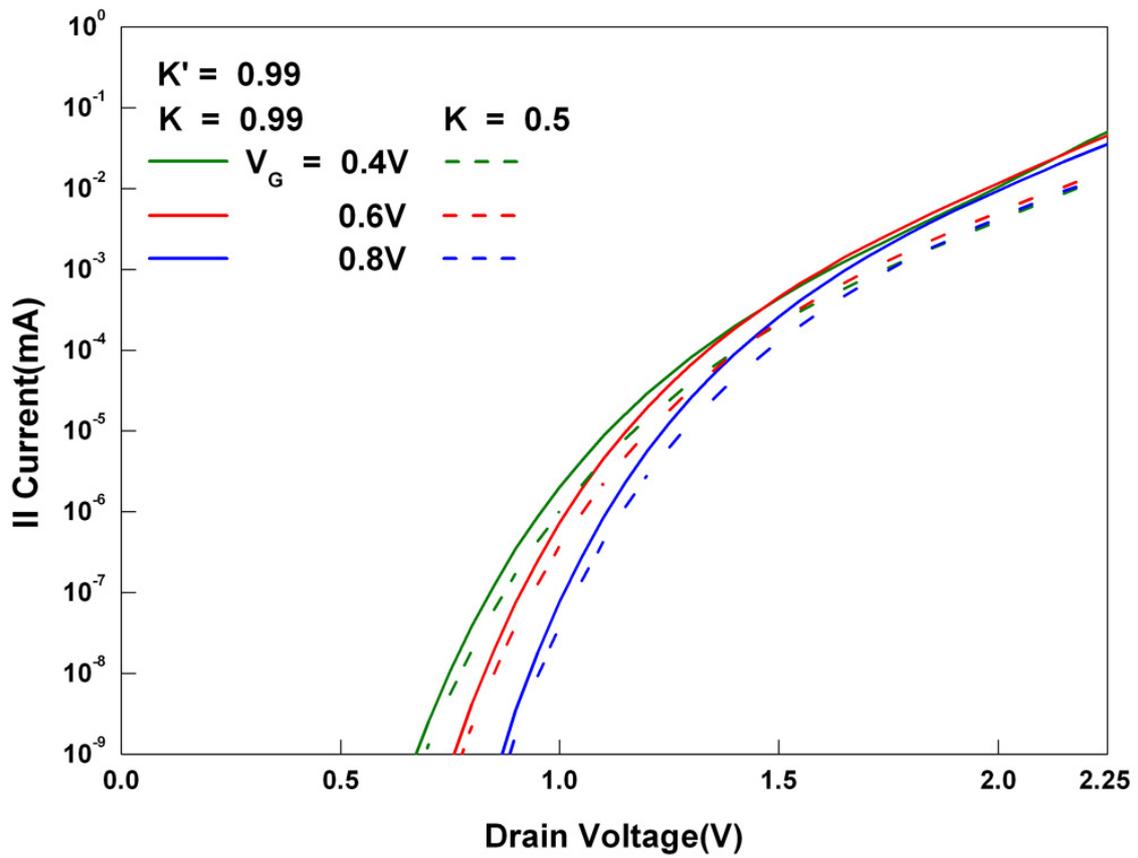


圖 3.3.4：撞擊游離電流(impact ionization current) 與汲極電壓(Drain Voltage)比較圖。此圖為在不同 K 的模擬結果、且在不同閘極電壓(Gate Voltage)下對不同 K 的影響圖。

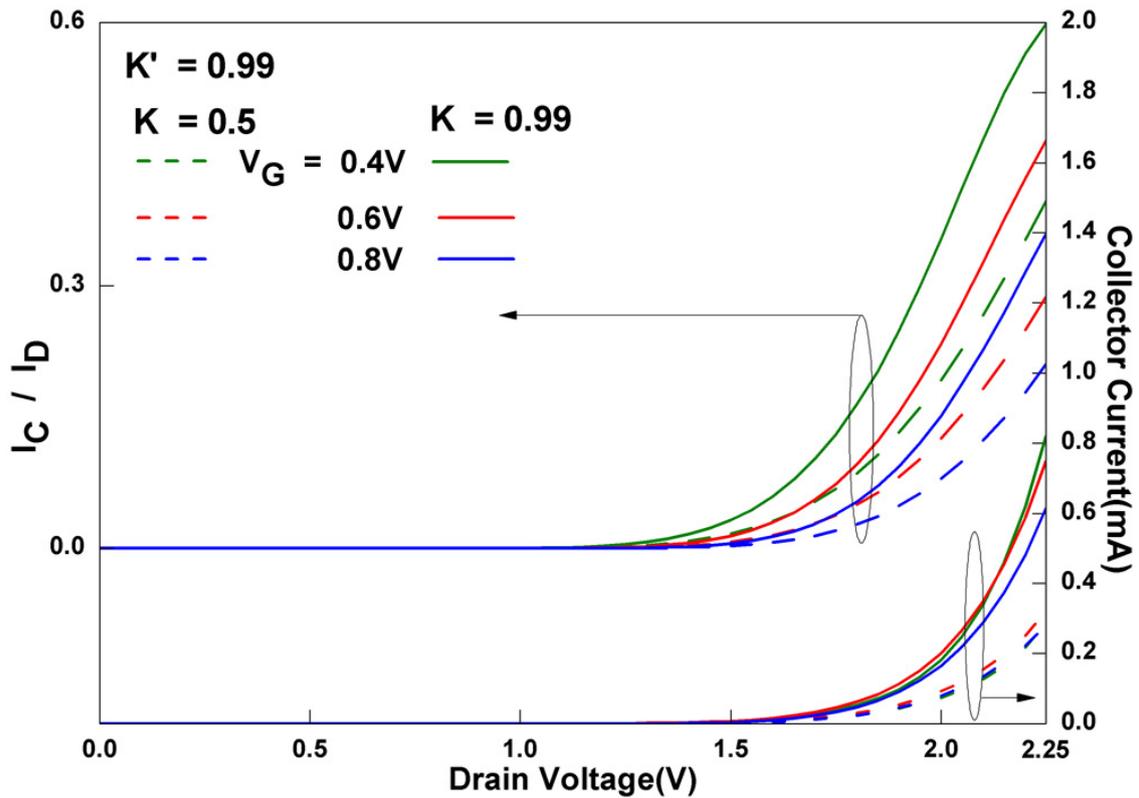


圖 3.3.5：集極電流(Collect Current)與汲極電壓(Drain Voltage)比較圖、和集極電流(Collect Current)/汲極電流(Drain Current)與汲極電壓(Drain Voltage)比較圖。此圖為在不同 K 的模擬結果、且在不同閘極電壓(Gate Voltage)下對不同 K 的影響圖。

### 3.4 結論 (Conclusion)

經過上面討論可知 K 小會延後突增現象(Kink effect)、且相對的使崩潰電壓等量的延後；而 K'不足是使崩潰電壓在固定突增現象(Kink effect)發生點下撞擊游離電流(impact ionization current)有不足的現象。所以最後可以發現當 K=0.99 與 K'=0.99 時，與實際量測的值相近。

### 3.5 參考文獻 (References)

- [3.1] R. Howes and W. Redman-White, "A Small-Signal Model for the Frequency Dependent Drain Admittance in Floating-Substrate MOSFET's" IEDM Dig., 109-112(1996)
- [3.2] J. B. Kuo, "Low-Voltage SOI CMOS Devices and Circuits," Wiley, New York, 2001.
- [3.3] Y. Omura and K. Izumi, "Physical Background of Substrate Current Characteristics and Hot-Carrier Immunity in Short-Channel Ultrathin-Film MOSFET's/SIMOX," IEEE Trans. Elec. Dev., 41(3), 352-358(1994)
- [3.4] Y. G. Chen and J. B. Kuo "Analytical Drain Current Model for Short-Channel Fully-Depleted Ultrathin SILICON-ON-INSULATOR NMOS Device" Sol St Elec, pp. 2051-2057, Dec 1995.

# Chapter 4

## 總結&未來工作

### Conclusion & Future work

本論文目的主要是探討部分解離絕緣體上矽金氧半元件 (PD-SOI NMOS) 因浮接基級 (Floating Body Effect) 而產生的崩潰 (Breakdown) 效應分析且將這些分析實際建立出 40nm 部分解離絕緣體上矽金氧半元件 (PD-SOI NMOS) 模型。

第二章我們實際將浮動基體效應 (Floating Body Effect) 及寄生雙載子電晶體 (parasitic bipolar transistor) 對絕緣體上矽金氧半 (SOI) 元件的影響去做公式上的分析和撰寫，且金氧半元件 (MOS) 運用了 BSIM4.5.0、雙載子電晶體 (BJT) 是使用 Philips Bipolar Transistor Level 504 模型為基礎去撰寫完成部分解離絕緣體上矽金氧半元件 (PD-SOI NMOS) 模型。

第三章為實際運用建立出來的新模型去做模擬，且驗證模型的正確性和實用性。我主要是驗證部分解離絕緣體上矽金氧半元件 (PD-SOI NMOS) 的浮動基體效應 (Floating Body Effect)，去做對元件性能的正確性，因為由第二章可知浮動基體效應 (Floating Body Effect) 主宰部分解離絕緣體上矽金氧半元件 (PD-SOI NMOS) 電流傳導機制 (current conduction mechanism)，所以只要驗證其正確性，

就能表現整個模型的準確性和實用性。當我們成功的將元件模型和模型參數與測試元件的量測值都驗證後，未來的工作裡也可以將此模型實際應用在 HSPICE 或是 ADS 平台去做預測電路特性的模擬。

