

國立臺灣大學電機資訊學院電信工程學研究所



碩士論文

Graduate Institute of Communication Engineering
College of Electrical Engineering and Computer Science
National Taiwan University
Master Thesis

於 DDR 模組中多條耦合線的
快速眼圖指標解析法

Analytic Method of Fast Eye-diagram Index
for Multiple Coupled Lines in DDR

李愷

Kai Li

指導教授：吳瑞北 博士

Advisor: Ruey-Beei Wu, Ph.D.

中華民國 112 年 8 月

August, 2023



國立臺灣大學碩士學位論文
口試委員會審定書
MASTER'S THESIS ACCEPTANCE CERTIFICATE
NATIONAL TAIWAN UNIVERSITY

於 DDR 模組中多條耦合線的快速眼圖指標解析法

Analytic Method of Fast Eye-diagram Index
for Multiple Coupled Lines in DDR

本論文係 李愷 R10942017 在國立臺灣大學電信工程學研究所 完成之碩士學位論文，於民國 112 年 7 月 25 日承下列考試委員審查通過及口試及格，特此證明。

The undersigned, appointed by the Graduate Institute of Electronics Engineering on 7/25/2023 have examined a Master's thesis entitled above presented by Kai Li R10942017 candidate and hereby certify that it is worthy of acceptance.

口試委員 Oral examination committee:

吳瑞北

(指導教授 Advisor)

周求致

陳永裕

李建銘

郭維德

系主任/所長 Director:

周錫璋

誌謝

首先非常感謝吳老師的指導，讓我從原先一個懵懵懂懂，連傳輸線都不知道是甚麼的物理系學生可以轉換跑道，學習 SI/PI，讓我的職涯可以多了很多不同的選擇，這些工作是我在大學期間不敢想像的。最後也從老師身上學習到很多人生的智慧，在這兩年半的期間獲益良多。

接著很感謝鈺光、謹熏、威任學長以及桂如學姊，在我大四下剛進實驗室時，大家都非常照顧我，教導我學習各種 SI 的知識以及各種軟體的使用方法。也很感謝同屆的冠佑、榮廷、致成，不論在上課或是計畫中，大家都能互相討論、互相砥礪，讓我在研究的路上不只是一個人。再來很感謝亮均、泓文、子雯，與你們一起討論的時光也讓我收穫許多。實驗室的氛圍真的很好，大家都會幫失意的人打氣，也都不吝於討論，祝福大家都可以盡快畢業。

最後很感謝我的家人，在這兩年半的期間支持、陪伴我，讓我知道我有一個永遠會接納我的避風港，使我可以撐過研究的漫漫長路。

中文摘要



DDR 技術隨著科技進步不斷發展，越來越多的電子產品採用 DDR 技術來實現高速數據傳輸，高速 DDR 傳輸所涉及的信號完整性問題也越來越重要。在 DDR 設計中，需要考慮信號的傳輸延遲、反射、串擾等因素對信號完整性的影響，本文探討了在不匹配邊界條件下，通過推導單一傳輸線的轉移函數，進而推廣出多條耦合傳輸線之間的轉移函數，再利用反向傅立葉變換可以獲得其脈波響應，並基於峰值失真分析的方式，可以快速地獲取眼圖高度和寬度。相比使用正反相偽隨機二進位序列(PRBS)分析眼圖的做法，本法可以節省約 15000 倍的時間，並相較最劣眼圖的眼高誤差改善可高達 12 倍。

關鍵字：信號完整性、串擾、轉移函數、快速眼圖指標、脈波響應、眼圖、峰值失真分析

ABSTRACT



DDR technology has been continuously developing with the advancement of technology, and an increasing number of electronic products are adopting DDR technology to achieve high-speed data transmission. The signal integrity issues involved in high-speed DDR transmission are becoming increasingly important. In DDR design, factors such as signal propagation delay, reflection, and crosstalk need to be considered for signal integrity. This paper discusses the derivation of the transfer function of a single transmission line under mismatched boundary conditions and extends it to the transfer function between multiple coupled transmission lines. By utilizing inverse Fourier transform, we obtain the pulse response and, based on peak distortion analysis, quickly obtain the height and width of an eye diagram. Compared to the method of analyzing eye diagrams using pseudo-random binary sequence (PRBS), this approach saves approximately 15000 times the time and can improve the eye height error of the worst eye diagram by up to 12 times.

Keywords: signal integrity, crosstalk, transfer function, fast eye-diagram index, single bit response, eye diagram, peak distortion analysis

CONTENTS



口試委員會審定書	i
誌謝	ii
中文摘要	iii
ABSTRACT	iv
CONTENTS	v
圖目錄	vii
表目錄	x
Chapter 1 緒論.....	1
1.1 研究動機	1
1.2 文獻回顧	2
1.3 主要貢獻	4
1.4 章節內容概述	4
Chapter 2 理論背景.....	5
2.1 DDR 模組介紹	5
2.1.1 DDR 的原理及特性	5
2.1.2 DDR 的傳輸路徑	6
2.1.3 On-Die Termination	7
2.2 眼圖原理及介紹	9
2.2.1 眼圖形成的原理	9
2.2.2 偽隨機二進位序列(Pseudorandom Binary Sequence, PRBS)信號 ..	10
2.3 基於脈波響應的峰值失真分析	11
2.3.1 線性非時變(Linear Time-Invariant System, LTI)系統	11
2.3.2 脈波響應(Pulse Response)	12
2.3.3 符碼間干擾(Inter Symbol Interference, ISI)	16
2.3.4 眼圖最劣序列(Worst-case Bit Pattern)	18
Chapter 3 快速眼圖指標解析法	19
3.1 眼圖指標	19

3.2	單一傳輸線的轉移函數	23
3.3	多條耦合線的轉移函數	26
3.4	帶有並聯電路邊界的轉移函數	30
Chapter 4	DDR4 電路眼圖指標分析	32
4.1	DDR4 電路介紹	32
4.2	S 參數前處理及包含時鐘訊號的峰值失真分析	35
4.2.1	S 參數前處理	35
4.2.2	包含時鐘訊號的峰值失真分析	40
4.3	眼圖指標分析	41
4.3.1	解析法與正反相偽隨機序列之眼圖比較	43
4.3.2	解析法與修正節點分析法(Modified Nodal Analysis, MNA)比較 ..	47
Chapter 5	解析法之程式	51
5.1	程式介紹 - 問題描述及 I/O 設計	51
5.2	程式外觀及使用手冊	52
5.2.1	程式外觀	52
5.2.2	使用手冊	55
5.3	額外功能及注意事項	65
5.3.1	額外功能	65
5.3.2	注意事項	66
Chapter 6	結論及未來展望	67
6.1	結論	67
6.2	未來展望	67
	參考文獻	68

圖目錄



圖 1.1 一般記憶體介面和 PCB 切面圖[6].....	3
圖 1.2 不匹配邊界的傳輸線示意圖[8]	3
圖 2.1 JEDEC 各版本 DDR 規格表[1].....	5
圖 2.2 DRAM 的結構示意圖[12]	6
圖 2.3 DDR 傳輸路徑截面圖[13].....	7
圖 2.4 DDR 傳輸路徑示意圖[13].....	7
圖 2.5 ODT 示意圖[15]	8
圖 2.6 良好信號品質的眼圖示意圖	9
圖 2.7 較差信號品質的眼圖示意圖	9
圖 2.8 偽隨機數字產生器[17]	10
圖 2.9 輸入信號示意圖	13
圖 2.10 梯形波示意圖	13
圖 2.11 隨著頻率改變Vif的估計值.....	14
圖 2.12 插入損耗響應的信號路徑	15
圖 2.13 遠端串擾響應的信號路徑	15
圖 2.14 插入損耗響應示意圖	17
圖 2.15 遠端串擾響應示意圖	17
圖 2.16 眼圖最劣序列	18
圖 3.1 main cursor 示意圖	20
圖 3.2 在 main cursor 取樣時間點的最劣眼高	20
圖 3.3 在發射端及接收端兩側皆不匹配的單一傳輸線.....	23
圖 3.4 兩側皆不匹配的多條耦合線	26
圖 3.5 發射端及接收端皆並聯電容	30
圖 3.6 發射端並聯電容的戴維寧等效電路	31
圖 4.1 DDR4 電路.....	32
圖 4.2 CMOS 輸出緩衝器	33
圖 4.3 Tx 線性等效電路.....	33

圖 4.4	Rx 線性等效電路	33
圖 4.5	'寫'模式 SOC 及 DRAM 端線性等效電路.....	34
圖 4.6	'讀'模式 SOC 及 DRAM 端線性等效電路.....	34
圖 4.7	DDR4 電路 (不包含 PWR, CAP 端口).....	35
圖 4.8	信號線與電源線示意圖[20]	36
圖 4.9	包含電源線端口的 S 參數示意圖	37
圖 4.10	時鐘訊號序列	40
圖 4.11	最劣眼寬示意圖	41
圖 4.12	中心最劣眼高示意圖	41
圖 4.13	盒眼寬示意圖	42
圖 4.14	正反相 PRBS 示意圖	43
圖 4.15	獨立 PRBS 示意圖	43
圖 4.16	眼圖指標-序列長度(正反相 PRBS)	44
圖 4.17	眼圖指標-序列長度(獨立 PRBS)	44
圖 4.18	正反相 PRBS 眼圖	45
圖 4.19	獨立 PRBS 眼圖	45
圖 4.20	最劣序列眼圖	45
圖 4.21	最劣眼寬(MNA)	48
圖 4.22	最劣眼寬(解析法).....	48
圖 4.23	最劣眼寬的相對誤差	48
圖 4.24	中心最劣眼高(MNA)	49
圖 4.25	中心最劣眼高(解析法).....	49
圖 4.26	中心最劣眼高的相對誤差	49
圖 4.27	盒眼寬(MNA)	50
圖 4.28	盒眼寬(解析法)	50
圖 4.29	盒眼寬的相對誤差	50
圖 5.1	程式外觀	52
圖 5.2	程式外觀左半部	53
圖 5.3	程式外觀右半部	54

圖 5.4 眼圖指標輸出樣式	54
圖 5.5 設定輸入參數及生成 Input File (1)(2)	55
圖 5.6 設定輸入參數及生成 Input File (3).....	56
圖 5.7 設定輸入參數及生成 Input File (4).....	56
圖 5.8 排序 Port(1).....	57
圖 5.9 排序 Port(2).....	58
圖 5.10 重新排序及線性內插 S 參數(1)(2).....	59
圖 5.11 重新排序及線性內插 S 參數(3)	60
圖 5.12 計算讀/寫模式的眼圖指標(1)(2).....	61
圖 5.13 結果展示(1)	62
圖 5.14 輸出檔案(1)	63
圖 5.15 輸出檔案(2)	64
圖 5.16 輸出檔案(3)	64
圖 5.17 讀取先前的 project(1)(2).....	65
圖 5.18 讀取先前的 project(3)	66
圖 5.19 PCB S 參數命名注意事項	66



表目錄

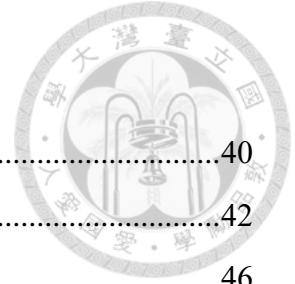


表 4.1	DQS 序列表	40
表 4.2	電路參數設定表	42
表 4.3	眼圖指標比較表	46
表 5.1	輸入參數表	52

Chapter 1 緒論



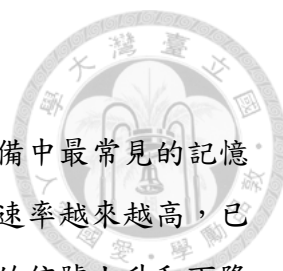
1.1 研究動機

現今科技蓬勃發展，各式電子產品逐漸成為生活中不可或缺的一部份，貼近個人生活的如穿戴式裝置、電腦、手機、平板不斷推陳出新，而 DDR (Double Data Rate Synchronous Dynamic Random Access Memory) 更是這些產品中必備的一環。隨著 DDR 的進化，其速度也逐漸提升[1]，由於 DDR 的使用頻寬越來越高，如何有效地傳輸資料就變得更加重要。

DDR 模組作為主要的存儲和處理器橋樑，是通過多條傳輸線路實現數據傳輸，但是這些線路之間會相互耦合，從而產生串擾。特別是在通道較多的情況下，由串擾侵略者在接收端引起的遠端串擾 (FEXT) 成為增加數據傳輸速率的瓶頸之一。同時，當發射端和接收端不匹配時，FEXT 和近端串擾 (NEXT) 也會對信號完整性產生不利影響。

在這種情況下，為了確保 DDR 模組的高質量傳輸，需要對信號完整性進行分析和測量，並且需要能夠快速地找到多條傳輸線路上最壞的序列。在現實情況中，使用偽隨機二進位序列 (PRBS) 來模擬眼圖非常耗時。由於 FEXT 和 NEXT 引起的 ISI 需要一個特定的序列來生成最壞的眼圖，如果使用 PRBS，同時獲取不同線路的最劣序列是非常困難的。因此，需要開發一種快速的方法，可找到多條傳輸線路上的最劣序列，以確保 DDR 模組的高品質傳輸。

本研究的動機就是開發一種在多通道，有效找到多條傳輸線路上最劣序列模式的方法。現有的方法需要考慮大量的序列組合，計算量非常大，非常耗時。因此，本研究提出了一種基於脈波響應的峰值失真分析 (PDA) 方法[2],[3]的眼圖指標，通過擴展脈波響應到多條傳輸線路，可以快速找到多條傳輸線路上最劣序列模式，並計算出眼圖指標，以便快速分析信號完整性的好壞。這種方法可以在短時間內找到最劣序列模式以計算出眼圖指標，從而節省了大量模擬眼圖的時間和計算。



1.2 文獻回顧

DDR (Double Data Rate) 模組是現今電腦主機板和其他設備中最常見的記憶體模組之一。隨著積體電路製造技術的發展，DDR 的數據傳輸速率越來越高，已經達到 Gbps 級別。然而，越來越高的數據傳輸速率和越來越短的信號上升和下降時間，帶來了對系統信號完整性的挑戰[4]-[7]。而在 DDR 模組的設計中，如圖 1.1 所示，信號是由多條傳輸線同時傳送，且常由於成本的考量，傳輸線間靠得很近，因此需要特別注意如傳輸延遲、反射、串擾等問題，這些問題會對信號的完整性造成損傷，進而導致數據的錯誤傳輸或傳輸速率下降。

眼圖則被用來評估 DDR 模組的信號的完整性，可以幫助設計者了解信號的傳輸狀況和損傷程度，以便在設計中採取相應的優化措施。例如，如果眼圖開口變小或變形，設計者可以考慮增加驅動器的功率或減少傳輸線的長度等方式來改善信號完整性。一般情況下，會使用 PRBS 來模擬眼圖，然而 PRBS 所產生的數據量非常大，其分析和評估過程往往需要大量時間和資源。因此，為了提高效率，可以採用 PDA 的方式來分析最劣眼圖，在[2],[3],[8]中，仍需透過模擬軟體計算不同傳輸線及串擾項的脈波響應，才能使用 PDA 進行後續的分析，然而在 DDR 模組中，通常都有著超過 32 條傳輸線，若要將全部串擾項的脈波響應都模擬，也將會消耗大量的時間。在[8]中，提出利用匹配邊界的脈波響應，進而計算不匹配邊界所造成的反射波，進而產生不匹配邊界的 PDA 結果，然而此篇論文只適用於發射端及接收端只有電阻的情況，如圖 1.2，而無法套用到含有電容、電感的邊界。

在[9],[10]中，提出了一性能指標，可用於分析串擾對於信號的影響，然而此指標與眼高或是眼寬沒有明顯的正比關係，因此較難適用於實際的情況。

在本論文中，提出了一快速眼圖指標解析法，只需要輸入 S 參數，便能透過推導出的轉移函數，計算出邊界含有非匹配線性元件的脈波響應，並基於 PDA 計算出眼圖指標。

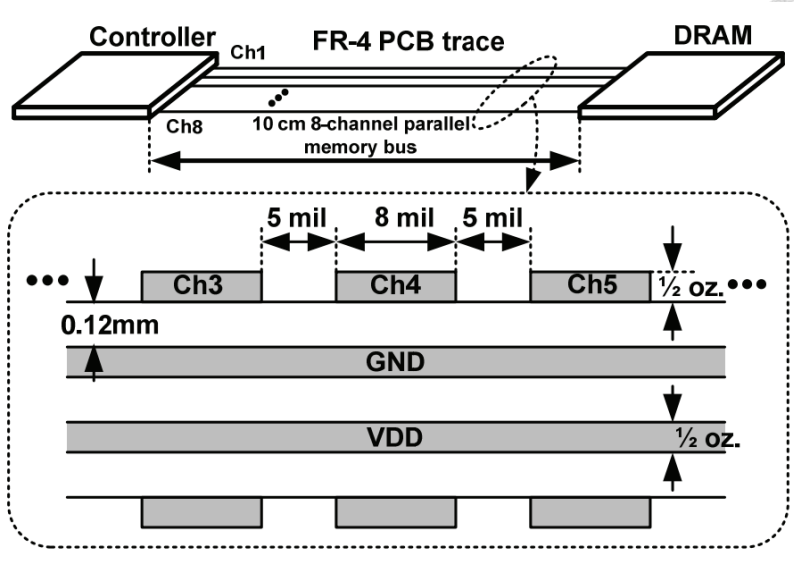


圖 1.1 一般記憶體介面和 PCB 切面圖[6]

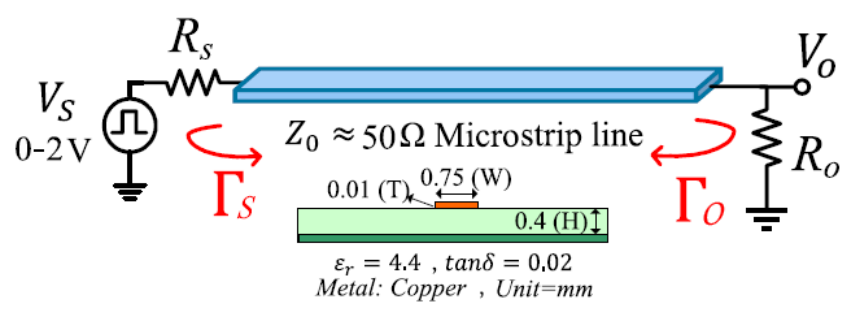


圖 1.2 不匹配邊界的傳輸線示意圖[8]



1.3 主要貢獻

1.建立適用於多條耦合傳輸線在不匹配下的快速眼圖指標解析法，只需 0.8s，即可得到眼寬、眼高等等的眼圖指標，相較正反相 PRBS 速度提升約 15000 倍，且各項指標相較最劣眼圖的眼高誤差改善 5~12 倍。

2.利用此解析法得到多條傳輸線的眼圖最劣序列，結合電路模擬軟體可以得到最劣眼圖結果，與長度為 $2^{21} - 1$ 的獨立 PRBS 誤差在 1%內，速度改善 240 倍。

3.基於解析法撰寫程式，並建立 GUI，因此使用者可以在簡易且直覺的操作環境中，計算眼圖指標，納入 DDR 電路設計與優化中的一環。

1.4 章節內容概述

本論文共分為五章，第一章說明研究動機與主要貢獻，以及現今 DDR 傳輸速度的發展，與利用 PDA 分析最劣眼圖和關於串擾的性能指標的文獻回顧。

第二章主要內容為 DDR 模組的介紹，以及眼圖的原理及介紹，和 PDA 的原理及最劣序列的產生。

第三章主要內容為推導關於眼圖的各項指標，以及通過推導單一傳輸線的轉移函數，進而推廣至多條耦合傳輸線的轉移函數，也提供當邊界含有並聯電路時的公式修正。

第四章主要內容為分析實際 DDR 電路，以及比較不同序列及方法得到的眼圖指標。

第五章主要內容為基於此解析法所建立的程式的介紹，以及其使用手冊和注意事項。

第六章主要內容為結論及未來展望，首先統整全篇論文關於 DDR、眼圖指標與分析比較的結果以及本論文可繼續延伸的未來展望。

Chapter 2 理論背景



2.1 DDR 模組介紹

2.1.1 DDR 的原理及特性

DDR (Double Data Rate) 是一種高速雙倍頻同步動態隨機存取記憶體 (SDRAM)，具有高速傳輸和高密度存儲等特點。DDR 的原理是通過在時鐘周期的上升和下降邊緣都可以傳輸數據的特性[11]，因此它的速度比傳統的 SDRAM 快了兩倍。而 DDR 的規格在不斷發展和改進，由最初 DDR 的數據傳輸速率為 200-400MHz，DDR2 的數據傳輸速率可達到 400-800MHz，一直到 DDR4 的數據傳輸速率可以達到 2133-4266MHz。此外，DDR 模組的工作電壓也是一個重要的特性。從 DDR 到 DDR5，每一個版本都有不同的工作電壓範圍，從 2.5V 到 1.1V。這種低電壓的設計不僅能夠降低功耗和熱量，還有助於提高系統的穩定性和可靠性。

JEDEC DDR Generations				
	DDR5	DDR4	DDR3	LPDDR5
Max Die Density	64 Gbit	16 Gbit	4 Gbit	32 Gbit
Max UDIMM Size (DSDR)	128 GB	32 GB	8 GB	N/A
Max Data Rate	6.4 Gbps	3.2 Gbps	1.6 Gbps	6.4Gbps
Channels	2	1	1	1
Total Width (Non-ECC)	64-bits (2x32-bit)	64-bits	64-bits	16-bits
Banks (Per Group)	4	4	8	16
Bank Groups	8/4	4/2	1	4
Burst Length	BL16	BL8	BL8	BL16
Voltage (Vdd)	1.1v	1.2v	1.5v	1.05v
Vddq	1.1v	1.2v	1.5v	0.5v

圖 2.1 JEDEC 各版本 DDR 規格表[1]

DRAM 是 DDR 的主要存儲結構，DRAM 是以電容和電晶體作為存儲單元，因此可以實現更高的集成度和存儲密度。此外如圖 2.2，在 DRAM 中採用了多通道和多銀行的存儲結構[12]，從而實現了多路數據同步傳輸，每個銀行包含多個行 (Row) 和列 (Column)。在讀寫操作中，首先需要將所需的行和列地址發送到 DRAM 控制器，以便找到所需的存儲單元。然後，控制器會將存儲單元中的數據傳輸到 CPU 或其他設備中，或者將數據從 CPU 或其他設備中寫入存儲單元中，大大提高了傳輸效率和帶寬利用率。同時，DDR 還引入了寫緩存技術，將要寫入的數據暫存於緩存中，等到緩存已滿或達到一定時延後再進行寫入，減少了寫入操作對系統性能的影響。這些優化設計和技術的應用實現了更高的存儲容量、更快的數據傳輸速度和更高的效率，因此，DDR 記憶體成為現代計算機系統中最重要的組成部分之一。

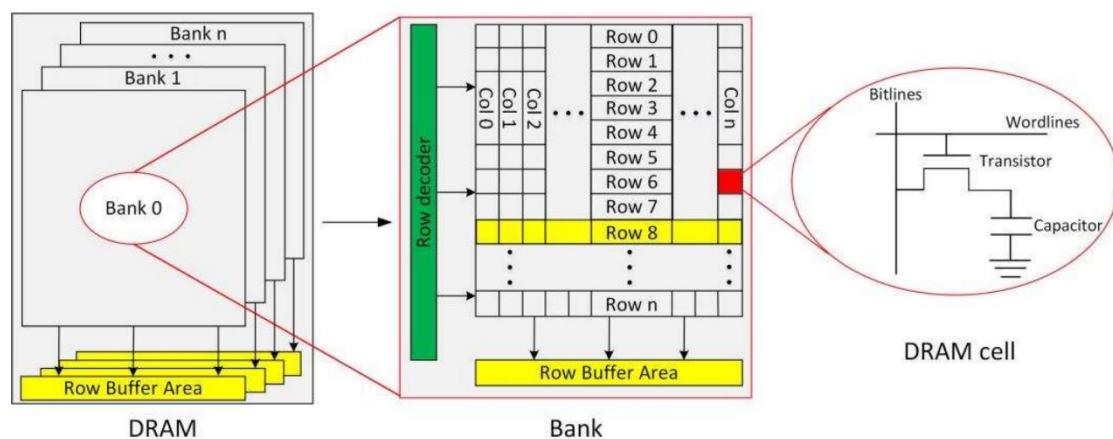


圖 2.2 DRAM 的結構示意圖[12]

2.1.2 DDR 的傳輸路徑

DDR 的傳輸路徑如圖 2.3、圖 2.4，大致可以分為 CPU、封裝(PKG)、印刷電路板(PCB)、及 DRAM [13]，其中 PCB 是通過多條等長的傳輸線傳送數據，而其中 DQ、DM 和 DQS 是用於傳輸數據的幾個關鍵信號線，而 DQ 代表“Data”或“Data Lines”，用於傳輸數據；DM 代表“Data Mask”，用於指示每個 DQ 線上傳輸的數據是否有效。如果 DM 線上的信號為低電位，則表示相應的 DQ 線上傳

輸的數據無效；DQS 代表 “Data Strobe”，用於指示數據傳輸的時序。DDR 存儲器在數據傳輸時使用 DQS 信號對傳輸時序進行同步。

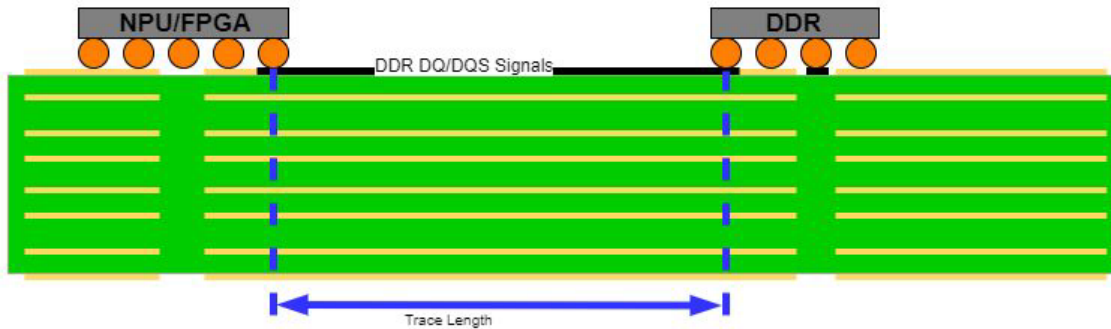


圖 2.3 DDR 傳輸路徑截面圖[13]

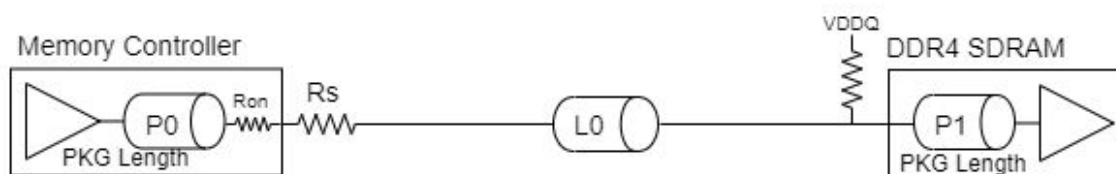


圖 2.4 DDR 傳輸路徑示意圖[13]

2.1.3 On-Die Termination

由於 DDR 在 PCB 中是通過多條等長的傳輸線傳送數據，而相鄰的傳輸線便會造成嚴重的串擾，同時若端口不匹配，串擾還會在被動端產生多重反射，對信號完整度產生嚴重影響，因此在 DDR2 以後的版本加入了 On-Die Termination (ODT) [14]，以有效抑制反射和信號抖動，ODT 的原理是在 DRAM 晶片內部的輸出端加上一個終端電阻，以匹配輸出端的阻抗，從而消除反射和串擾。

而 ODT 又可分為動態 ODT 及靜態 ODT，動態 ODT 是在 DRAM 的內部加入一個終端電阻器，通過控制 DRAM 的引腳信號來啟用或禁用它，當 DRAM 輸出數據時，動態 ODT 會被啟用，以減少反射和串擾；靜態 ODT 則是通過在 DRAM 中添加內部終端電阻來實現，並且始終處於啟用狀態。

如圖 2.5 [15]，上方是將終端電阻放置在 PCB 中，可能會導致不同 DRAM 間或是 DRAM 與終端電阻間的反射，而下方的 ODT 則可以避免這兩個問題，且由

於 ODT 是設計在 DRAM 的內部，因此可以同時簡化 PCB 的設計，減少元件數量和尺寸，從而降低 DDR 模組的成本和複雜度，是其一大優勢。

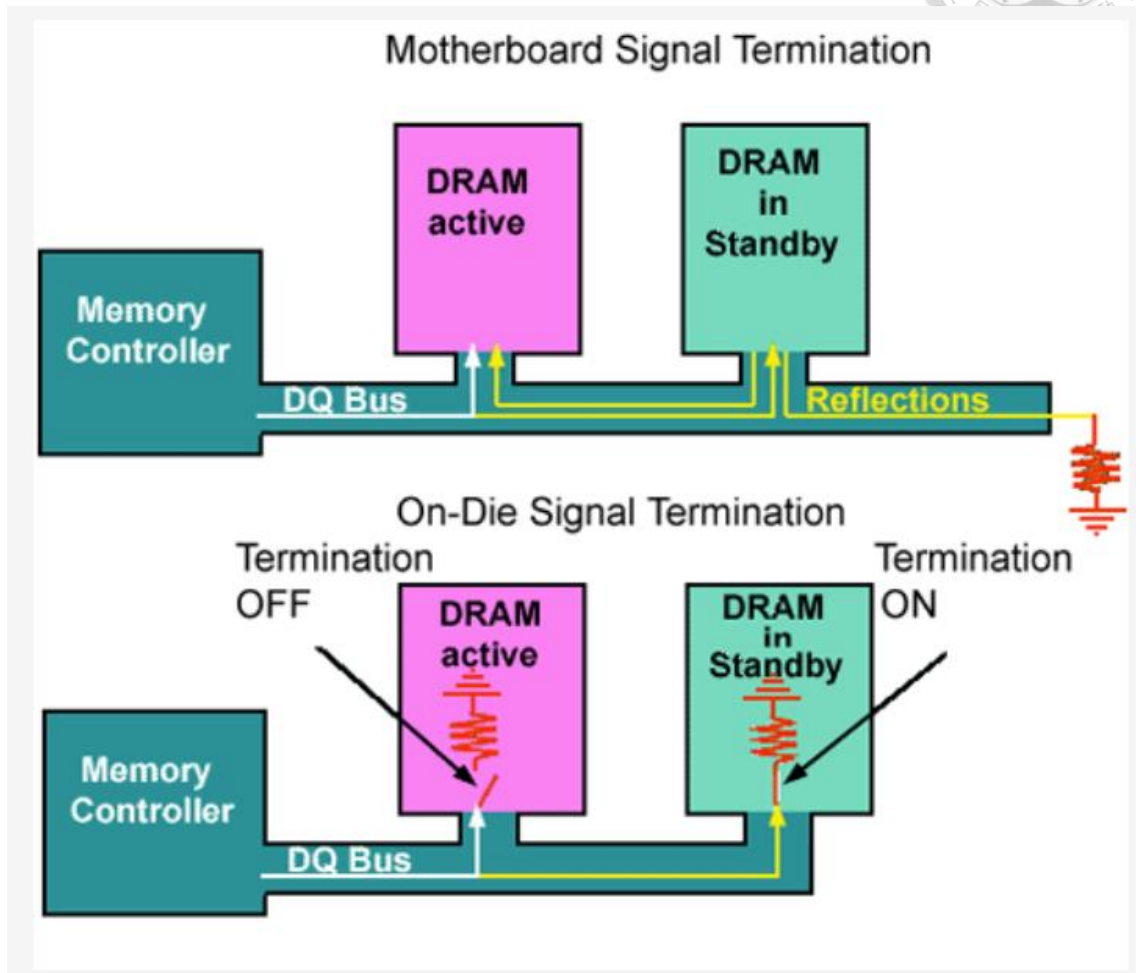


圖 2.5 ODT 示意圖[15]



2.2 眼圖原理及介紹

2.2.1 眼圖形成的原理

眼圖是由一系列重疊的脈波響應所組成的[16]，每個波形代表了不同的時刻點上的信號樣本。當一個連續的數位信號在傳輸得過程中受到干擾或失真時，信號波形的形狀會發生變化。通過將這些波形組合在一起，可以看到訊號的變形情況。

眼圖的主要用途是評估高速數據傳輸中系統的信號品質，以及檢測數據傳輸中的問題。例如，眼圖可以用來檢測訊號失真、時序偏移、雜散干擾等問題。通過分析眼圖，可以進一步了解信號的特性，從而優化傳輸系統的設計，提高信號的品質。如圖 2.6、圖 2.7，可以看到圖 2.6 有著較張開的眼睛，不論眼高或眼寬都較圖 2.7 的大，代表著圖 2.6 的系統有著較好的信號完整性。

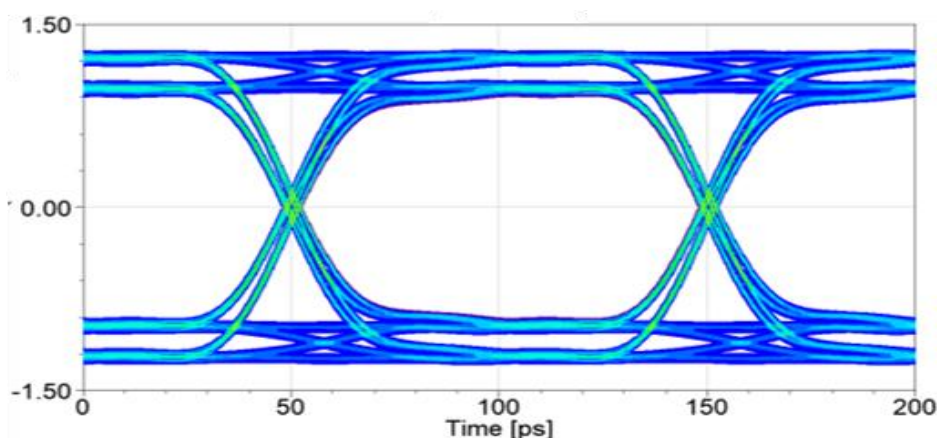


圖 2.6 良好信號品質的眼圖示意圖

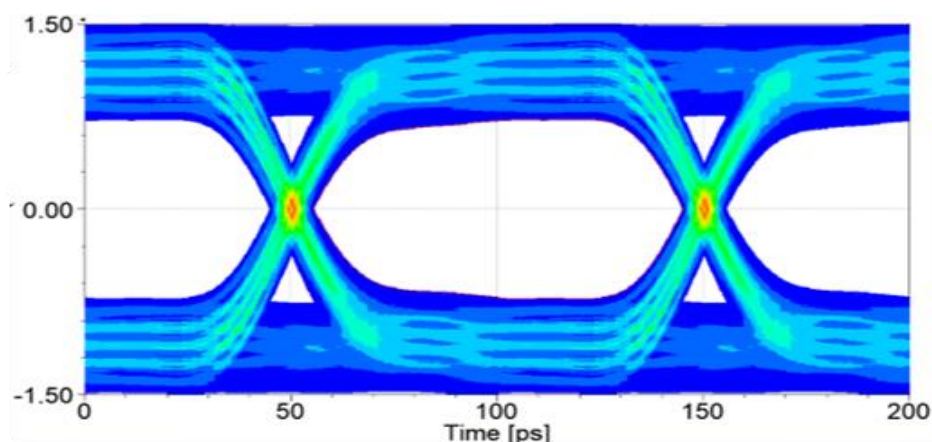


圖 2.7 較差信號品質的眼圖示意圖



2.3 基於脈波響應的峰值失真分析

在一個線性非時變(Linear Time-Invariant System, LTI)系統中，我們可以將系統在不同時間的脈波響應互相疊加，因此可以從單一的脈波響應計算符碼間干擾(Inter Symbol Interference, ISI)，進而找到眼圖的最劣序列。

2.3.1 線性非時變(Linear Time-Invariant System, LTI)系統

線性非時變(Linear Time-Invariant System, LTI)系統是指在系統輸入和輸出之間存在線性關係，但系統參數不會隨時間變化。簡單來說，系統對輸入的反應是固定的，不會隨著時間的推移而改變。系統輸出與輸入之間的關係可以列出(2.1)：

$$y(t) = H[x(t)] \quad (2.1)$$

其中 $x(t)$ 為輸入信號， $y(t)$ 為系統的輸出，而 H 表示系統的輸出和輸入之間的轉換函數。對於線性系統， H 滿足兩個條件，第一個為加法性，第二個為時間不變性，可以分別列出(2.2), (2.3)：

$$H[a_1x_1(t) + a_2x_2(t)] = a_1H[x_1(t)] + a_2H[x_2(t)] \quad (2.2)$$

$$y(t - t_0) = H[x(t - t_0)] \quad (2.3)$$

在(2.1)中的系統的轉換函數 H ，可以改寫為系統的脈衝響應(Impulse Response) $h(t)$ 與輸入信號 $x(t)$ 的卷積，如(2.4)：

$$y(t) = h(t) * x(t) \quad (2.4)$$

在頻域中，我們可以寫為：

$$Y(f) = H(f)X(f) \quad (2.5)$$

其中， $Y(f)$, $X(f)$, $H(f)$ 分別為 $y(t)$, $x(t)$, $h(t)$ 的傅立葉轉換，轉換關係如(2.6)-(2.8)，而 $H(f)$ 也被稱作系統的轉移函數。



$$Y(f) = \int_{-\infty}^{\infty} y(t)e^{-j2\pi ft} dt \quad (2.6)$$

$$X(f) = \int_{-\infty}^{\infty} x(t)e^{-j2\pi ft} dt \quad (2.7)$$

$$H(f) = \int_{-\infty}^{\infty} h(t)e^{-j2\pi ft} dt \quad (2.8)$$

再將(2.5)作反傅立葉轉換後，我們可以得到系統的輸出 $y(t)$ ：

$$y(t) = \int_{-\infty}^{\infty} H(f)X(f)e^{j2\pi ft} df \quad (2.9)$$

會需要作(2.9)這樣轉換的原因是，一般情形下，我們可以知道系統在頻域的轉移函數，像是 S 參數等等，因此只需要知道輸入信號在頻域中是如何表示，我們便可以透過(2.9)快速得到系統的輸出。

2.3.2 脈波響應(Pulse Response)

在 LTI 的數位系統中，若輸入信號如圖 2.9，是一連串的”1”與”0”，由於是 LTI 系統，因此我們可以將這一連串的信號看作是很多個不同時間的單一個梯形波作為輸入信號然後疊加在一起，而單一個梯形波如圖 2.10，其中 UI (Unit Interval) 代表連續兩個位元間的單位間隔， tr 代表上升或下降時間，在這邊的梯形波是設定為上升與下降的時間相等，可以使得兩個連續的梯形波疊加在一起會如圖 2.9 中 6~8 ns 是連續的”1”。而單一個梯形波如圖 2.10 的頻譜可以被列為：

$$V_i(f) = V_0 \cdot UI \cdot \text{sinc}(UI \cdot f) \cdot \text{sinc}(tr \cdot f) \cdot e^{-j\pi f(UI+tr)} \quad (2.10)$$

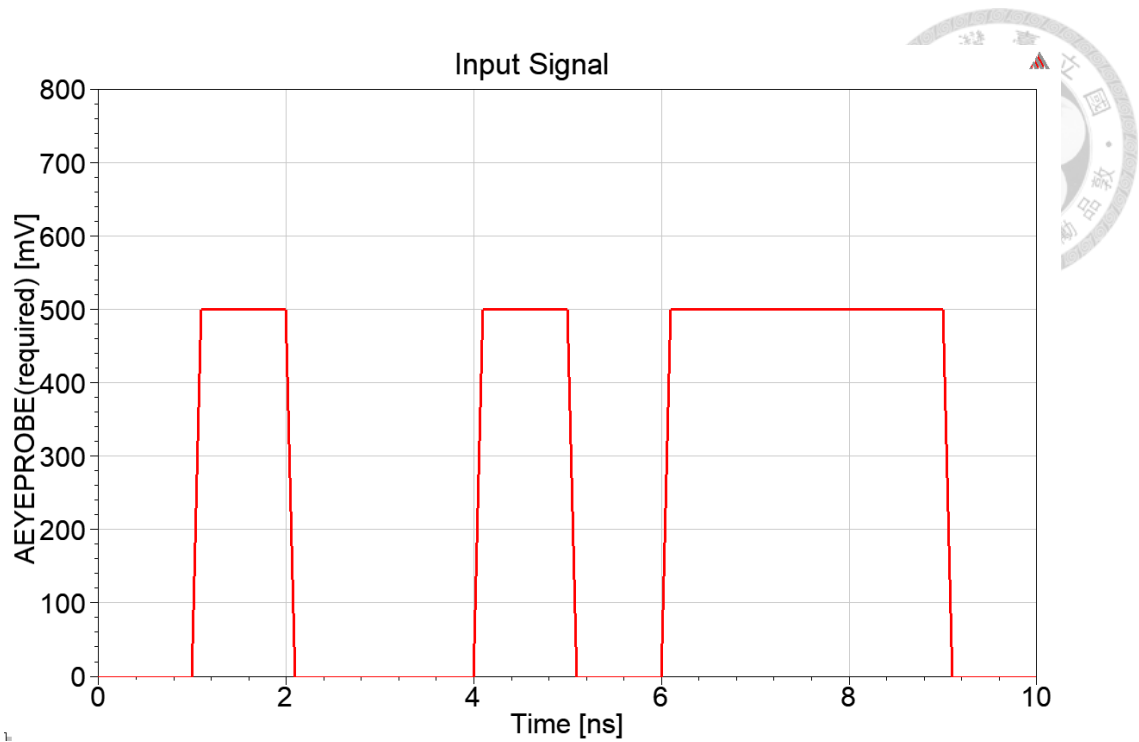


圖 2.9 輸入信號示意圖

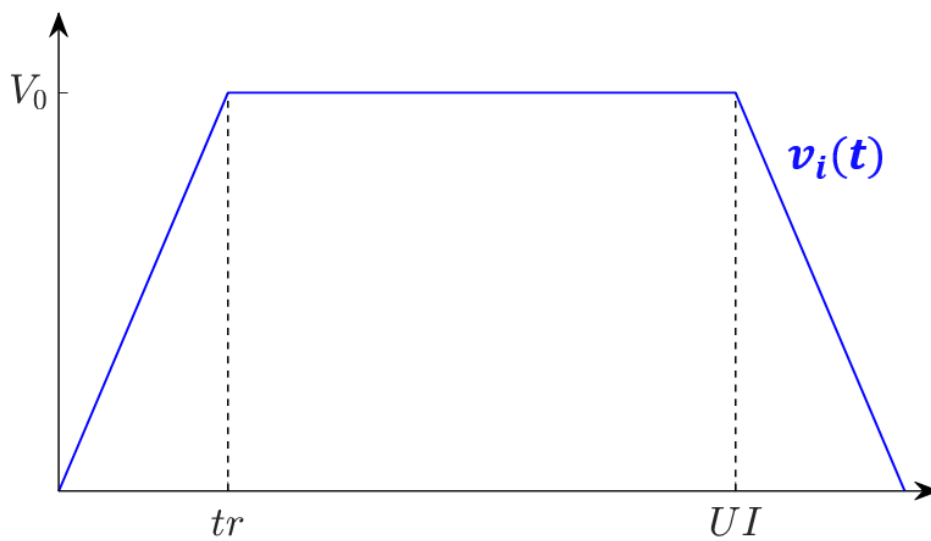


圖 2.10 梯形波示意圖

接著將(2.10)代入(2.9)我們便可以得到梯形波經過系統後的脈波響應：

$$V_{SBR}(t) = \int_{-\infty}^{\infty} H(f)V_i(f)e^{j2\pi ft}df \approx \int_{-f_0}^{f_0} H(f)V_i(f)e^{j2\pi ft}df \quad (2.11)$$

其中， $V_{SBR}(t)$ 即為脈波響應，但在實際應用中，轉移函數的頻寬是有限的，像是有限頻寬的 S 參數，因此我們只能使用有限頻率的積分來估計它。由(2.10)可以看到， $V_i(f)$ 主要是由兩個 sinc function 相乘而得到，我們可以約略估計 $V_i(f)$ 隨著頻率變化的大小，如圖 2.11 所示，當頻率超過 $\frac{1}{\pi * UI}$ 時， $V_i(f)$ 會以每乘十倍的頻率而下降 20 dB，因此當 $f = \frac{10}{\pi * UI}$ 時， $|V_i(f)|$ 與 DC 相比已經下降了至少 20dB，因此通過在(2.11)中將 f_0 設置為 $\frac{10}{\pi * UI}$ ，便可以很好地估計 $V_{SBR}(t)$ 。

在多傳輸線的電路中，脈波響應又可以分為兩部分，第一種是插入損耗響應 (Insertion Loss Response)，如圖 2.12 所示，單一梯形波的信號也就是 "0100000" 的信號序列，由主要信號線的發射端送出，而主要信號線接收端收到的即為插入損耗響應，第二種是遠端串擾響應 (Far-end Crosstalk Response, FEXT Response)，如圖 2.13，單一梯形波的信號也就是 "0100000" 的信號序列，由串擾主動端的發射端送出，而主要信號線接收端收到的即為遠端串擾響應。

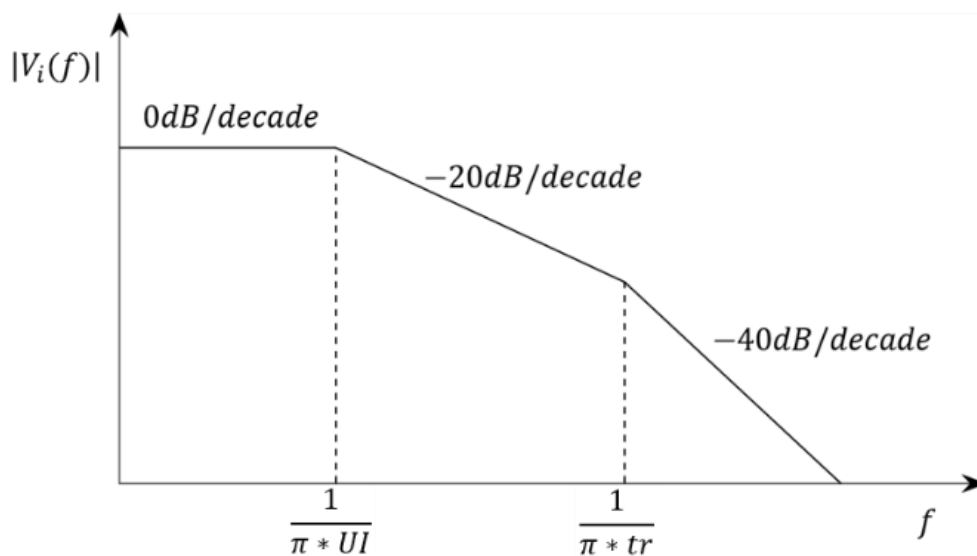


圖 2.11 隨著頻率改變 $V_i(f)$ 的估計值

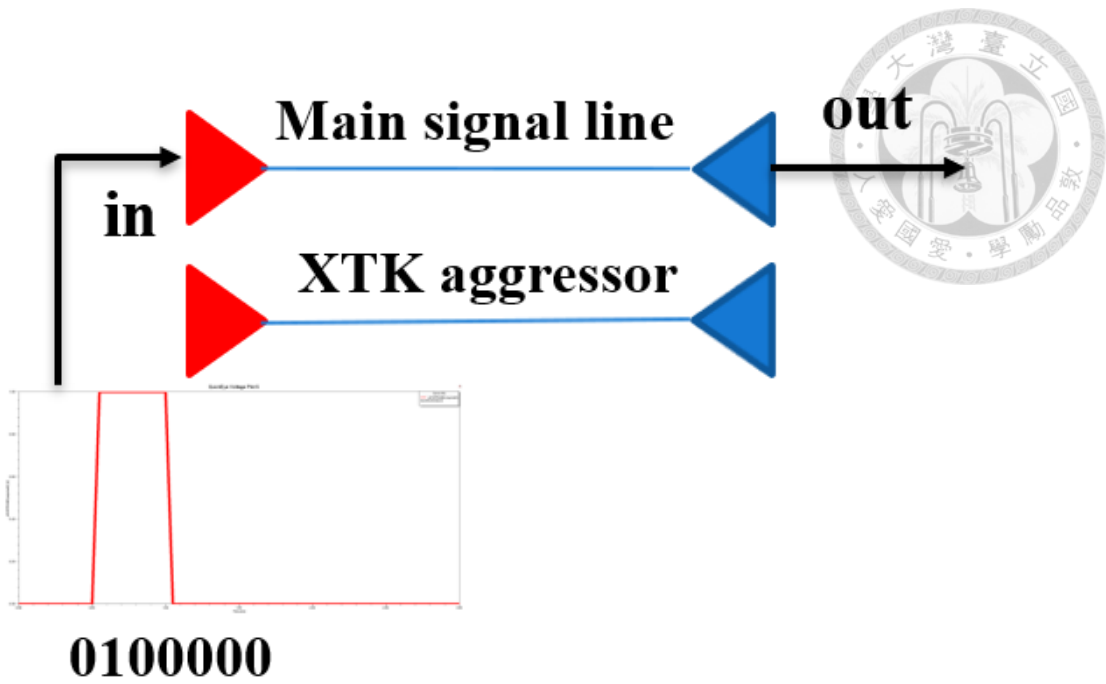


圖 2.12 插入損耗響應的信號路徑

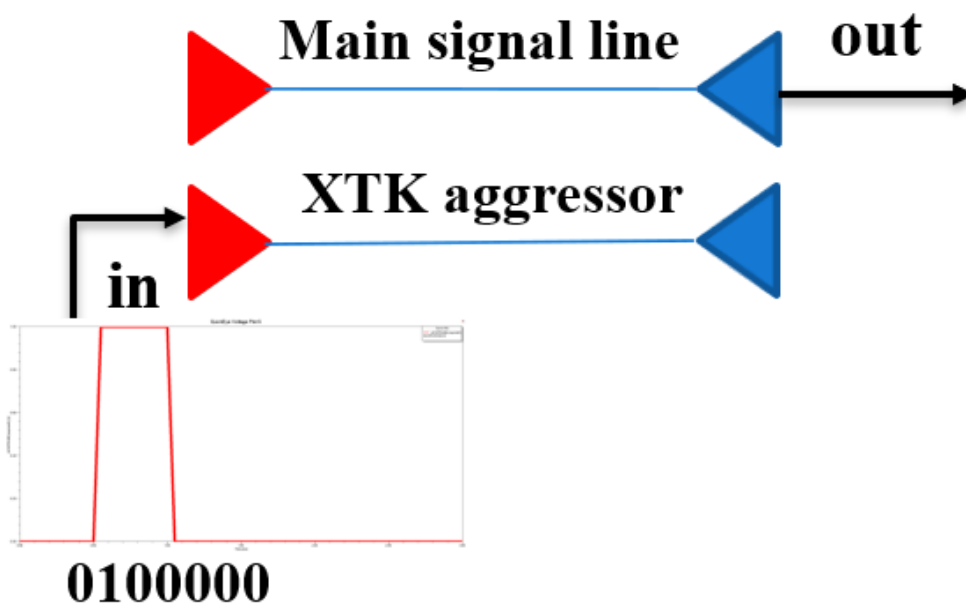
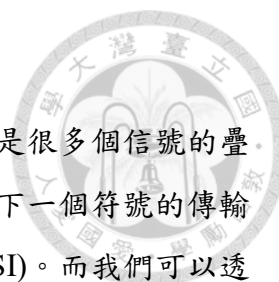


圖 2.13 遠端串擾響應的信號路徑



2.3.3 符碼間干擾(Inter Symbol Interference, ISI)

如上一小節，在 LTI 系統中，我們可以將一連串的信號看做是很多個信號的疊加，若當一個符號傳輸完畢，如果其波形還未完全消失，就會對下一個符號的傳輸造成干擾，這種干擾就是符號間干擾(Inter Symbol Interference, ISI)。而我們可以透過分析脈波響應，來計算 ISI 造成的影響。

如圖 2.14 的插入損耗響應，定義一光標(cursor)為主要光標(main cursor)，在主光標前一個 UI 的時間定義為前光標(precursor)，在主光標後面 n 個 UI 的時間定義為第 n 個後光標(n^{th} postcursor)，由於系統響應，導致 precursor 及 n^{th} postcursor 都沒有回歸到 0 準位，而這些干擾即為 ISI，將大於 0 的取樣點定義為 ISI^+ ，如圖 2.14 的 2^{nd} postcursor，小於 0 的取樣點定義為 ISI^- ，如 1^{st} postcursor。

而在多條傳輸線的電路中，串擾也會造成 ISI，可以看到圖 2.15 的遠端串擾響應，在與前面插入損耗響應同樣的取樣點下，有著 ISI_{XT}^+ 的取樣點，如 1^{st} postcursor，以及 ISI_{XT}^- 的取樣點，如 main cursor 及 2^{nd} postcursor。接著我們就可以列出最劣的 1 準位及 0 準位：

$$\text{Worst case 0} = \sum |ISI^+| + \sum |ISI_{XT}^+| \tag{2.12}$$

$$\text{Worst case 1} = \text{cursor} - \sum |ISI^-| - \sum |ISI_{XT}^-| \tag{2.13}$$

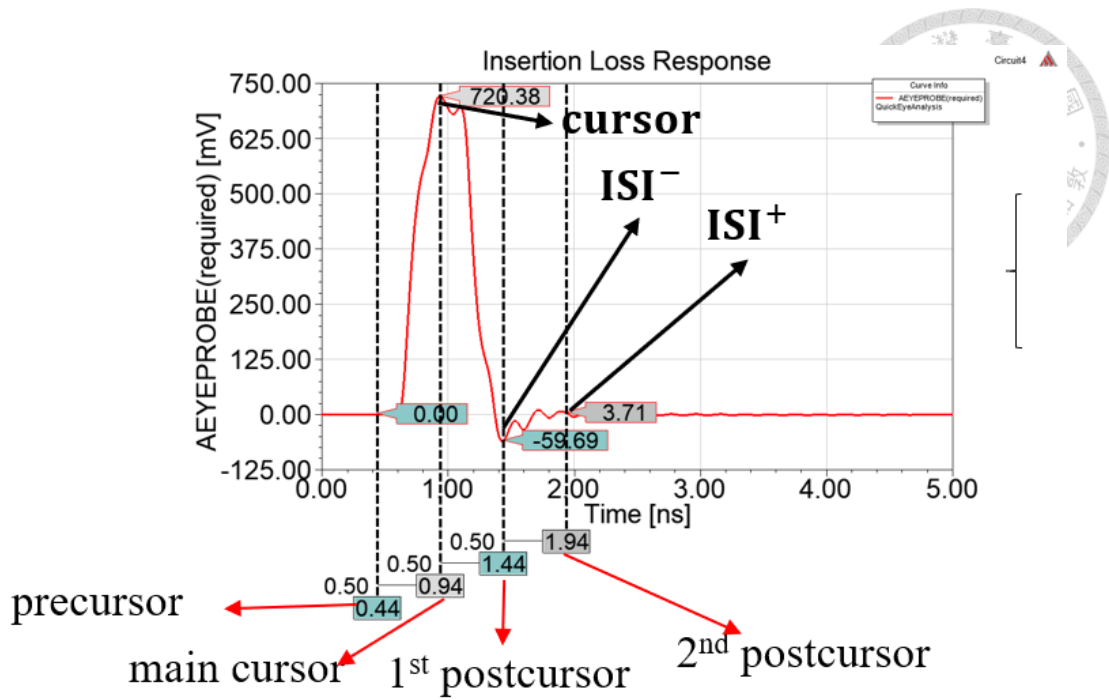


圖 2.14 插入損耗響應示意圖

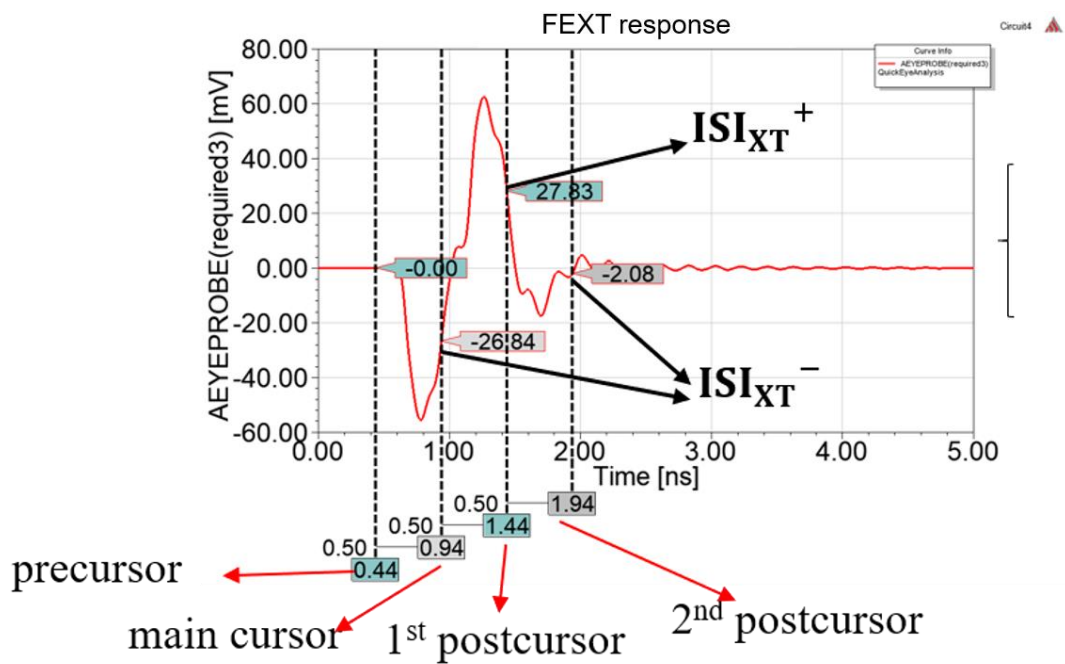


圖 2.15 遠端串擾響應示意圖



2.3.4 眼圖最劣序列(Worst-case Bit Pattern)

由(2.13)可知，對於 worst bit 1，他只受到 cursor 以及負的 ISI 影響，因此負的 ISI 會對應到 bit 1，而正的 ISI 對應到 bit 0；worst bit 0 則相反。

可以看到圖 2.14 的插入損耗響應，由於 precursor 的值為 0，因此暫時不考慮，對於主要信號線的發射端的 worst bit 1 即為”0 1 1”，首先 main cursor 對應到 cursor，因此 worst bit 1 的最後一位為”1”，1st postcursor 對應到負的 ISI，因此 worst bit 1 的倒數第二位為”1”，2nd postcursor 對應到正的 ISI，因此 worst bit 1 的倒數第三位為”0”；而 worst bit 0 則是 worst bit 1 的反相：”1 0 0”。

在圖 2.15 的遠端串擾響應，也由於 precursor 的值為 0，因此暫時不考慮，因此對於串擾主動端的發射端的 worst bit 1 即為”1 0 1”，main cursor、1st postcursor、2nd postcursor 分別對應到負、正、負的 ISI，因此 worst bit 1 的最後一位、倒數第二位、倒數第三位對應到”1”、“0”、“1”；而 worst bit 0 則是”0 1 0”。

在得到主要信號線以及所有耦合線的 worst bit 1 及 worst bit 0 後，我們可以將其分別串接在一起，如圖 2.16，作為每一條線的眼圖最劣序列，將其作為每一條線發射端的輸入信號，即可得到最劣眼圖。



圖 2.16 眼圖最劣序列



Chapter 3 快速眼圖指標解析法

由上一章的最末節，提到了基於脈波響應的峰值失真分析的原理及作法，然而在實際情況中脈波響應通常是經由模擬軟體來完成，然而在多條傳輸線的案例中，要將不同的耦合線的遠端串擾響應都一一模擬，將非常耗時且不實際。

因此本研究建立了快速眼圖指標解析法的步驟如下：

- (i) 求解轉移函數頻域解
- (ii) 頻域轉為脈波響應時域解
- (iii) 考慮耦合的峰值失真分析
- (iv) 得到眼圖指標

在本章節中會先說明眼圖指標，再推導出單一傳輸線的轉移函數，進而延伸至多條耦合線的轉移函數，以快速建立多條傳輸線的脈波響應，並計算出眼圖的指標。

3.1 眼圖指標

由(2.12)及(2.13)我們可以計算出最劣的 1 準位及 0 準位，因此我們可以將最劣的 1 準位扣掉 0 準位計算出在 main cursor 這個取樣時間點最劣的眼高如(3.1)，而圖 3.1 的虛線即代表 main cursor，圖 3.2 的虛線與標記表示在這個 main cursor 的取樣點的最劣眼高。

$$\begin{aligned} & \text{Worst eye height} \\ & = \text{cursor} - \sum |ISI^-| - \sum |ISI_{XT}^-| - \sum |ISI^+| - \sum |ISI_{XT}^+| \end{aligned} \quad (3.1)$$

可以看到在計算最劣眼高時，不論是正的或是負的 ISI，最後都會加上絕對值後被扣掉，因此我們也可以使用不同取樣點的值來改寫(3.1)：



$$\begin{aligned}
 & \text{Worst eye height} \\
 = & \text{main cursor} - \sum |\text{postcursor}| - \sum |\text{precursor}| \\
 & - \sum \sum |\text{xtk cursor}^j|
 \end{aligned} \tag{3.2}$$

其中 Main cursor 代表主信號線的 cursor 的值，而 postcursor 代表主信號線的不同 postcursor 的 ISI 的值，precursor 代表主信號線的不同 precursor 的 ISI 的值，xtk cursor 則代表所有耦合線上各個取樣點の ISI 的値。

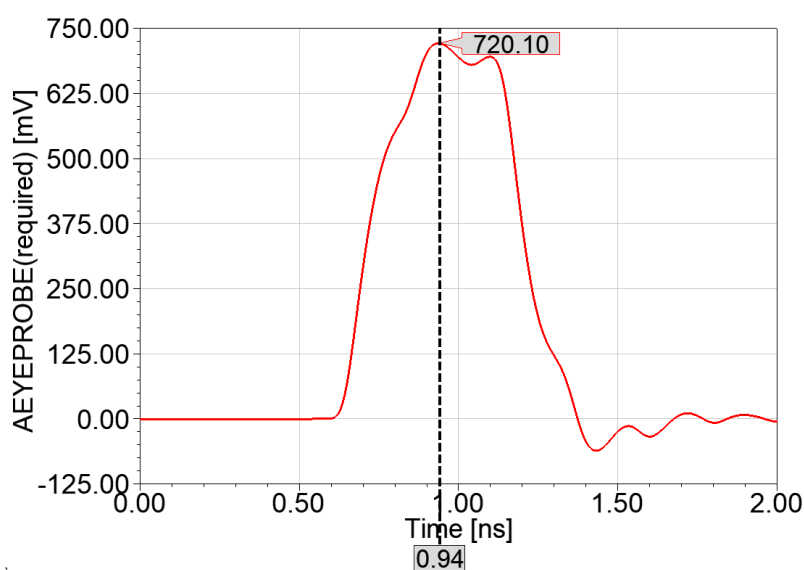


圖 3.1 main cursor 示意圖

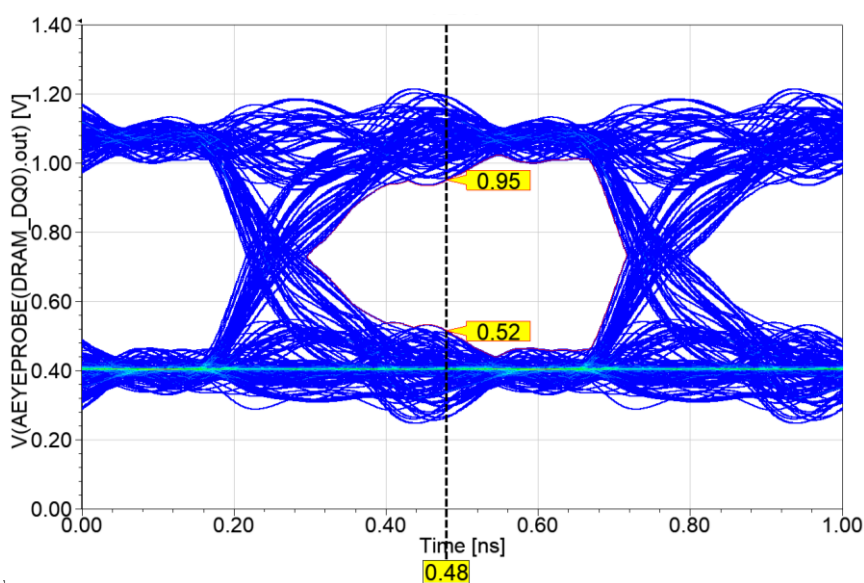


圖 3.2 在 main cursor 取樣時間點的最劣眼高



在(3.2)中 cursor 及 postcursor 等等的值，可以利用(2.11)所計算出：

$$main_k = \int_{-f_0}^{f_0} H_{main}(f)V_i(f)e^{j2\pi f[\tau+k\cdot UI]}df \quad (3.3)$$

$$x_{tk_l} = \int_{-f_0}^{f_0} H_{x_{tk}}(f)V_i(f)e^{j2\pi f[\tau+l\cdot UI]}df \quad (3.4)$$

其中 main 代表主信號線的 cursor 及 postcursor 等等的值，x_{tk} 則代表 x_{tk} cursor，而 k 以及 l 代表了不同的取樣點，像是 k=0 即代表 main cursor，k=1 代表 1st postcursor， $H_{main}(f)$ 及 $H_{x_{tk}}(f)$ 分別代表插入損耗響應及遠端串擾響應的轉移函數， $V_i(f)$ 為輸入信號，也就是上一章中(2.10)提到的單一梯形波， τ 代表主信號線上由發射端到接收端的時間延遲(Time delay)加上不同 main cursor 取樣點的時間差。

在(3.3)及(3.4)中，可以看到積分範圍是由 $-f_0$ 到 f_0 ，然而積分中的轉移函數 $H_{main}(f)$ 及 $H_{x_{tk}}(f)$ 其實也包含了 S 參數，而實際情況中 S 參數不會包含負的頻率，但我們可以藉由信號的脈衝函數 $h(t)$ 及單一梯形波 $v_i(t)$ 只會在 $t > 0$ 時有值的性質，得到(3.5)、(3.7)，接著可以列出：

$$H(-f) = H^*(f) \quad (3.5)$$

$$V_i(-f) = V_i^*(f) \quad (3.6)$$

$$main_k = 2 \int_0^{f_0} Re\{V_i(f)H_{main}(f)e^{j2\pi f[\tau+k\cdot UI]}\}df \quad (3.7)$$

$$x_{tk_l} = 2 \int_0^{f_0} Re\{V_i(f)H_{x_{tk}}(f)e^{j2\pi f[\tau+l\cdot UI]}\}df \quad (3.8)$$

其中(3.7)、(3.8)可以使用快速傅立葉轉換計算得出，為了將時域的時間間隔 Δt 降低，提高時域的解析度，我們可以使用零填充(Zero Padding)，將總點數加長到所需的點數 N，可以列出：

$$N = \text{round}\left(\frac{1}{\Delta t \Delta f}\right) \quad (3.9)$$



其中 Δt 為指定的時域間隔點， Δf 為頻域間隔點， N 為零填充完後的總點數。最後可以將(3.7)、(3.8)改寫為快速傅立葉轉換的形式：

$$main = \frac{2}{\Delta t} * Re\{ifft(V_i(f)H_{main}(f))\} \quad (3.10)$$

$$x_{tk} = \frac{2}{\Delta t} * Re\{ifft(V_i(f)H_{x_{tk}}(f))\} \quad (3.11)$$

其中 $main$ 表示主信號線的插入損耗響應， x_{tk} 表示耦合線造成的遠端串擾響應。接著可以將(3.2)再改寫為：

$$Worst\ eye\ height = main_0 - \sum_{k=-L \& k \neq 0}^N |main_k| - \sum_j \sum_{l=-P}^{M-1} |x_{tk_l}^j| \quad (3.12)$$

其中 N 代表了主信號線考慮的 postcursor 數量， L 代表代表主信號線考慮的 precursor 數量， M 代表耦合線上考慮的 x_{tk} cursor 數量， P 代表耦合線上考慮的 x_{tk} precursor 數量，而 j 則代表了不同的耦合線。

接著可以由(3.12)得到不同取樣時間點的最劣眼高，其中眼睛兩側的最劣眼高等於零的位置即為左右端點，其取樣時間點即為 τ_{right} 、 τ_{left} ，將此兩個取樣時間點相減，也就得到最劣眼寬，接著透過計算左右端點的中點，我們也可以得到中心的最劣眼高，可以分別列出：

$$Index_{width} = \tau_{right} - \tau_{left} \quad (3.13)$$

$$\tau_{middle} = \frac{\tau_{right} - \tau_{left}}{2} + \tau_{left} \quad (3.14)$$

$$Index_{height} = Worst\ eye\ height |_{\tau=\tau_{middle}} \quad (3.15)$$



3.2 單一傳輸線的轉移函數

為了得到在發射端與接收端都不匹配的轉移函數，我們首先可以考慮一個單一傳輸線如圖 3.3，接著可以由 \bar{S} 定義出[18]：

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \bar{S} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (3.16)$$

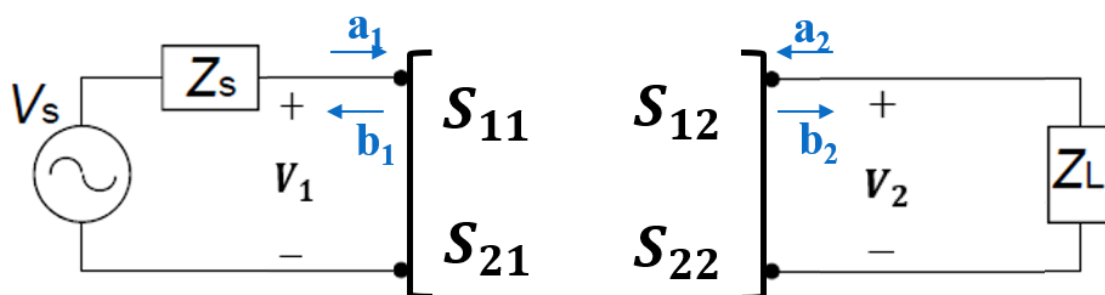


圖 3.3 在發射端及接收端兩側皆不匹配的單一傳輸線

接著我們可以藉由圖 3.3 的邊界條件列出以下 6 個式子：

$$V_2 = a_2 + b_2 \quad (3.17)$$

$$I_2 = \frac{1}{Z_0} (a_2 - b_2) \quad (3.18)$$

$$V_1 = a_1 + b_1 \quad (3.19)$$

$$I_1 = \frac{1}{Z_0} (a_1 - b_1) \quad (3.20)$$

$$V_2 = -Z_L I_2 \quad (3.21)$$

$$V_S = Z_S I_1 + V_1 \quad (3.22)$$

其中 Z_0 為傳輸線的阻抗，而從(3.16)~(3.22)總共有 8 條等式，給定 V_S ，我們可以解出 $V_1, V_2, I_1, I_2, a_1, a_2, b_1, b_2$ 共 8 個未知數，因此我們可以求得 $\frac{V_2}{V_S}$ ，也就是單一傳輸線的轉移函數。



在這邊我們將 V_1, V_2, I_1, I_2 都使用 a_1, a_2, b_1, b_2 來表示，最後再代回(3.16)、(3.21)、(3.22)，即可得到 V_2 與 V_S 間的關係式，首先由(3.17)、(3.18)、(3.21)，可以得到：

$$b_2 = \frac{Z_L + Z_0}{Z_L - Z_0} a_2 \quad (3.23)$$

也可以改寫為：

$$a_2 = \Gamma_L b_2 \quad (3.24)$$

$$\Gamma_L = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (3.25)$$

(3.25)代表的是在接收端的反射係數，而(3.24)則說明由於接收端沒有額外的電壓源，因此接收端的發射波即為反射波乘上反射係數。接著由(3.19)、(3.20)、(3.22)可以得到：

$$a_1 = \frac{(1 - \Gamma_S)}{2} V_S + \Gamma_S b_1 \quad (3.26)$$

$$\Gamma_S = \frac{Z_S - Z_0}{Z_S + Z_0} \quad (3.27)$$

(3.27)代表在發射端的反射係數。接著將(3.24)、(3.26)代入(3.16)可以得到：

$$\begin{pmatrix} 1 - S_{11}\Gamma_S & -S_{12}\Gamma_L \\ -S_{21}\Gamma_S & 1 - S_{22}\Gamma_L \end{pmatrix} \begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} \frac{(1 - \Gamma_S)}{2} V_S \\ 0 \end{pmatrix} \quad (3.28)$$

我們可以將左式的矩陣寫成：

$$\begin{pmatrix} 1 - S_{11}\Gamma_S & -S_{12}\Gamma_L \\ -S_{21}\Gamma_S & 1 - S_{22}\Gamma_L \end{pmatrix} = (\bar{\mathbf{1}} - \bar{\mathbf{S}}\bar{\Gamma}) \equiv \bar{\mathbf{A}} \quad (3.29)$$

其中 $\bar{\Gamma}$ 是將反射係數寫成對角矩陣的形式：

$$\bar{\Gamma} \equiv \begin{pmatrix} \Gamma_S & 0 \\ 0 & \Gamma_L \end{pmatrix} \quad (3.30)$$



接著將(3.28)、(3.29)整理後可以得到：

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \frac{1 - \Gamma_S}{2} \bar{A}^{-1} \bar{S} \begin{pmatrix} V_S \\ 0 \end{pmatrix} \quad (3.31)$$

再經由(3.17)、(3.24)，我們即可得到 V_2 及 V_S 間的關係：

$$\frac{V_2}{V_S} = \frac{(1 - \Gamma_S)(1 + \Gamma_L)}{2} \begin{pmatrix} 0 & 1 \end{pmatrix} \bar{A}^{-1} \begin{pmatrix} S_{11} \\ S_{21} \end{pmatrix} \quad (3.32)$$

在這節為了推導出了單一傳輸線在發射端與接收端都不匹配的轉移函數，我們首先得到同一端中發射波與反射波的關係如(3.24)、(3.26)，再代回由 \bar{S} 定義出的式子(3.16)，進而得到轉移函數 $\frac{V_2}{V_S}$ 。這樣的步驟也同樣可以套用到多條耦合線的轉移函數推導，並進而得到(3.7)及(3.8)中插入損耗響應及遠端串擾響應的轉移函數。



3.3 多條耦合線的轉移函數

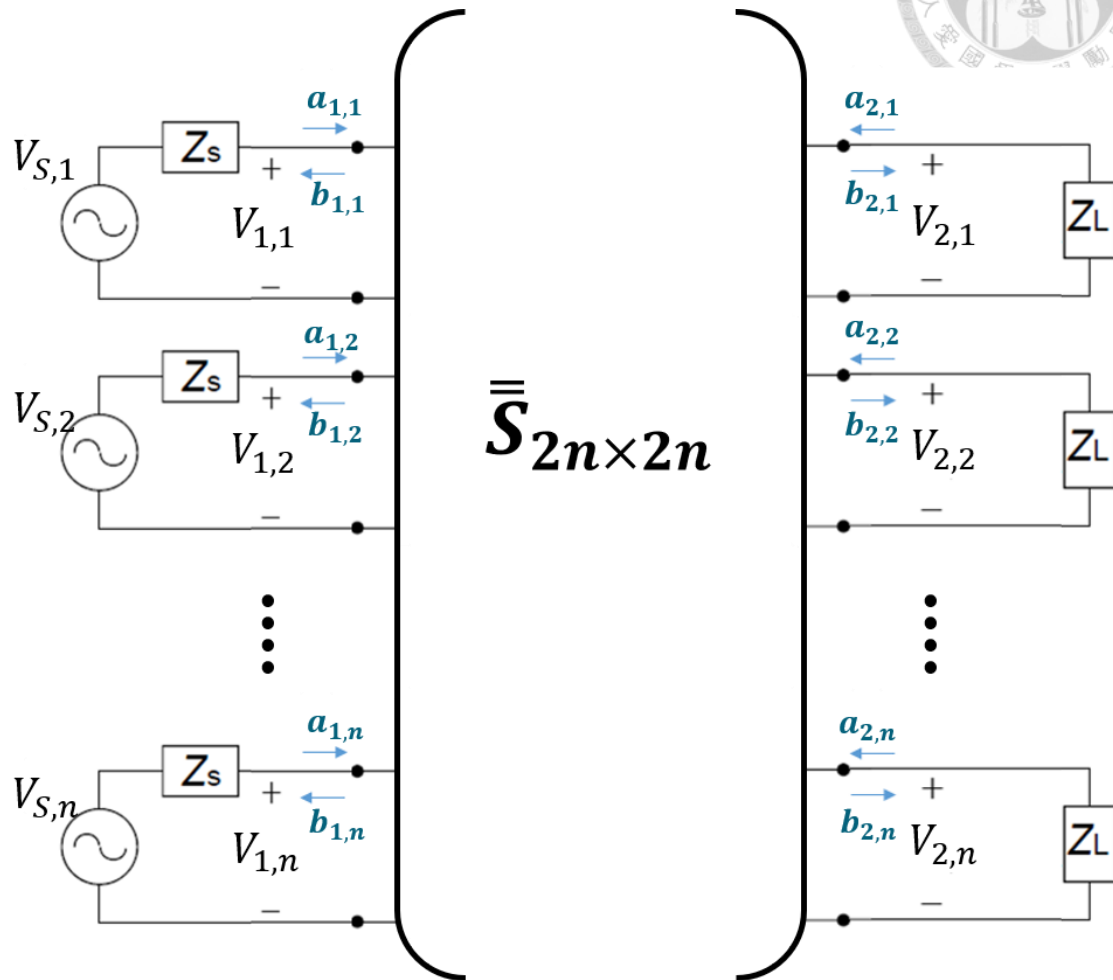


圖 3.4 兩側皆不匹配的多條耦合線

為了得到插入損耗響應及遠端串擾響應的轉移函數，我們需要拓展到多條耦合線如圖 3.4，其中有 n 條耦合線，我們只需要和上一節 3.2 相同，先求出每一個端口的發射波與反射波間的關係，再代入由 $\bar{\bar{S}}$ 定義出的式子，即可得到任意 $\frac{V_{2,k}}{V_{S,m}}$ (其中 $k=1\sim n, m=1\sim n$) 的值，也就是插入損耗響應及遠端串擾響應的轉移函數。



首先可以由 $\bar{\bar{S}}$ 定義出：

$$\begin{pmatrix} \vec{b}_1 \\ \vec{b}_2 \end{pmatrix} = \bar{\bar{S}} \begin{pmatrix} \vec{a}_1 \\ \vec{a}_2 \end{pmatrix}; \quad \bar{\bar{S}} = \begin{pmatrix} \bar{\bar{S}}_{11} & \bar{\bar{S}}_{12} \\ \bar{\bar{S}}_{21} & \bar{\bar{S}}_{22} \end{pmatrix}_{2n \times 2n} \quad (3.33)$$

其中 $\vec{b}_1 = (b_{1,1}, b_{1,2}, \dots, b_{1,n})^T$ ，是一個由 $b_{1,i}$ 所組成行向量， $b_{1,i}$ 代表第 i 條(其中 $i=1, \dots, n$)傳輸線在發射端的反射波。而 \vec{b}_2 以此類推，是由接收端的反射波所組成的行向量； \vec{a}_1 及 \vec{a}_2 則分別為發射端與接收端的發射波所組成的行向量。

由於在接收端皆沒有電壓源，因此發射波即為反射波乘上反射係數，他們之間的關係即為(3.24)，因此可以列出：

$$\vec{a}_2 = \Gamma_L \vec{b}_2 \quad (3.34)$$

而在發射端皆有電壓源，可以透過(3.26)列出：

$$\vec{a}_1 = \frac{(1 - \Gamma_S)}{2} \vec{V}_S + \Gamma_S \vec{b}_1 \quad (3.35)$$

其中 $\vec{V}_S = (V_{S,1}, V_{S,2}, \dots, V_{S,n})^T$ 為發射端的電壓源 $V_{S,i}$ 所組成的行向量，接著可以將(3.34)及(3.35)代入(3.33)後整理為：

$$\begin{pmatrix} \vec{a}_1 \\ \vec{a}_2 \end{pmatrix} = \begin{pmatrix} \Gamma_S \bar{\bar{1}}_n & \bar{\bar{0}}_n \\ \bar{\bar{0}}_n & \Gamma_L \bar{\bar{1}}_n \end{pmatrix} \begin{pmatrix} \vec{b}_1 \\ \vec{b}_2 \end{pmatrix} + \frac{(1 - \Gamma_S)}{2} \begin{pmatrix} \bar{\bar{1}}_n \\ \bar{\bar{0}}_n \end{pmatrix}_{2n \times n} \vec{V}_S \quad (3.36)$$

其中 $\bar{\bar{0}}_n$ 代表一個 $n \times n$ 的零矩陣， $\bar{\bar{1}}_n$ 代表 $n \times n$ 的單位矩陣， $\begin{pmatrix} \bar{\bar{1}}_n \\ \bar{\bar{0}}_n \end{pmatrix}_{2n \times n}$ 代表 $\bar{\bar{1}}_n$ 放置在此 $2n \times n$ 矩陣的上方， $\bar{\bar{0}}_n$ 放置在此 $2n \times n$ 矩陣的下方。接著我們可以將反射係數的對角矩陣定義為 $\bar{\bar{\Gamma}}$ ：



$$\bar{\Gamma} \equiv \begin{pmatrix} \Gamma_S \bar{\mathbf{1}}_n & \bar{\mathbf{0}}_n \\ \bar{\mathbf{0}}_n & \Gamma_L \bar{\mathbf{1}}_n \end{pmatrix}_{2n \times 2n} \quad (3.37)$$

將(3.36)代回(3.33)，可以得到；

$$(\bar{\mathbf{1}}_{2n} - \bar{S}\bar{\Gamma}) \begin{pmatrix} \vec{b}_1 \\ \vec{b}_2 \end{pmatrix} = \frac{(1 - \Gamma_S)}{2} \begin{pmatrix} \bar{S}_{11} \\ \bar{S}_{21} \end{pmatrix} \vec{V}_S \quad (3.38)$$

將左式的矩陣定義為 \bar{A} ：

$$(\bar{\mathbf{1}}_{2n} - \bar{S}\bar{\Gamma}) \equiv \bar{A} \quad (3.39)$$

再將 \bar{A} 作反矩陣，即可得到反射波與各個電壓源的關係：

$$\begin{pmatrix} \vec{b}_1 \\ \vec{b}_2 \end{pmatrix} = \frac{(1 - \Gamma_S)}{2} \bar{A}^{-1} \begin{pmatrix} \bar{S}_{11} \\ \bar{S}_{21} \end{pmatrix} \vec{V}_S \quad (3.40)$$

由於我們只需要得到 $\frac{V_{2,k}}{V_{S,m}}$ (其中 $k=1\sim n, m=1\sim n$)，因此只需要考慮接收端的反射波與不同電壓源間的關係即可，而接收端的反射波與接收端的電壓 $V_{2,k}$ 間的關係可以透過(3.17)及(3.24)得到：

$$\vec{V}_2 = (1 + \Gamma_L) \vec{b}_2 \quad (3.41)$$

其中 $\vec{V}_2 = (V_{2,1}, V_{2,2}, \dots, V_{2,n})^T$ 為接收端的電壓 $V_{2,i}$ 所組成的行向量。接著再將(3.41)代回(3.40)，整理後可以得到：

$$\vec{V}_2 = \frac{(1 - \Gamma_S)(1 + \Gamma_L)}{2} (\bar{\mathbf{0}}_n \quad \bar{\mathbf{1}}_n)_{n \times 2n} \bar{A}^{-1} \begin{pmatrix} \bar{S}_{11} \\ \bar{S}_{21} \end{pmatrix} \vec{V}_S \quad (3.42)$$

其中 $(\bar{\mathbf{0}}_n \quad \bar{\mathbf{1}}_n)_{n \times 2n}$ 代表 $\bar{\mathbf{0}}_n$ 放置在此 $n \times 2n$ 矩陣的左邊， $\bar{\mathbf{1}}_n$ 放置在此 $n \times 2n$ 矩陣的右

邊。因此我們最後便得到一個 $n \times n$ 大小的轉移函數矩陣 \bar{H} ：

$$\bar{H} = \frac{(1 - \Gamma_S)(1 + \Gamma_L)}{2} (\bar{0}_n \quad \bar{1}_n)_{n \times 2n} \bar{A}^{-1} \begin{pmatrix} \bar{S}_{11} \\ \bar{S}_{21} \end{pmatrix} \quad (3.43)$$



其中 \bar{H} 的元素即為插入損耗響應及遠端串擾響應的轉移函數 $\frac{V_{2,k}}{V_{S,m}}$ ：

$$\bar{H}_{km} = \frac{V_{2,k}}{V_{S,m}} \quad (3.44)$$

當 $k = m$ 時，為第 k 條信號線的插入損耗響應的轉移函數， $k \neq m$ 時，代表第 m 條信號線對第 k 條造成的遠端串擾的轉移函數，因此接下來只要將(3.44)代回(3.7)、(3.8)，即可得到插入損耗響應及遠端串擾響應。



3.4 帶有並聯電路邊界的轉移函數

在第二章的第一節提到 DDR 模組的主要存儲結構為 DRAM，而 DRAM 是由電容及電晶體組成，因此在線性等效電路中，發射端及接收端都會多了並聯電容，如圖 3.5，其中 Z_L^C 為接收端的電阻 R_L 與電容 C_L 並聯， Z_S 為發射端的 R_S ，可以列成：

$$Z_L^C = \frac{Z_L}{1 + j\omega C_L R_L} \quad (3.45)$$

$$Z_S = R_S \quad (3.46)$$

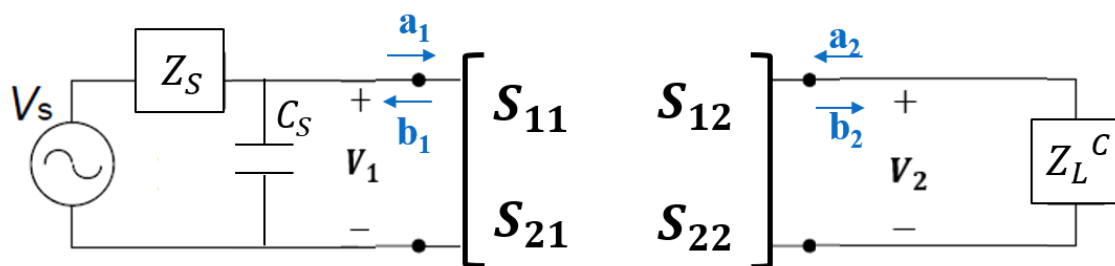


圖 3.5 發射端及接收端皆並聯電容

Z_S 主要會與傳輸線上的分壓有很大的關係，從這個觀點出發，可以看到在圖 3.5 中並沒有將 Z_S 看作是 R_S 與電容並聯，因為若將 Z_S 看作 $R_S // C$ ，則發射端會看到 $R_S // C$ 再串聯傳輸線，然而發射端應該要看到 R_S 串聯 $(C // \text{傳輸線})$ ，這樣分壓的計算才會正確。

我們可以透過戴維寧定律將圖 3.5 化作圖 3.6 的樣式，其中電壓源 V_S^C 與新的阻抗 Z_S^C 為：

$$V_S^C = \frac{1}{1 + j\omega C_S Z_S} V_S \quad (3.47)$$

$$Z_S^C = \frac{Z_S}{1 + j\omega C_S Z_S} \quad (3.48)$$

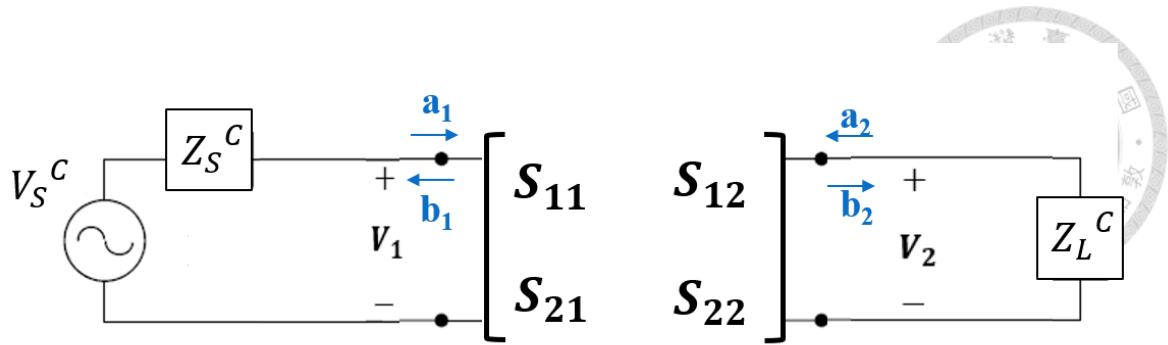


圖 3.6 發射端並聯電容的戴維寧等效電路

接下來我們只需要將(3.45)及(3.48)中阻抗代回(3.25)及(3.27)得到新的反射係數(3.49)、(3.50)，並與新的電壓源(3.47)一起代回(3.37)、(3.39)、(3.42)，最後可以得到帶有並聯電路邊界的轉移函數 \bar{H}^C ：

$$\Gamma_L^C = \frac{Z_L^C - Z_0}{Z_L^C + Z_0} \quad (3.49)$$

$$\Gamma_S^C = \frac{Z_S^C - Z_0}{Z_S^C + Z_0} \quad (3.50)$$

$$\bar{\Gamma} \equiv \begin{pmatrix} \Gamma_S^C \bar{\mathbf{1}}_n & \bar{\mathbf{0}}_n \\ \bar{\mathbf{0}}_n & \Gamma_L^C \bar{\mathbf{1}}_n \end{pmatrix}_{2n \times 2n} \quad (3.51)$$

$$(\bar{\mathbf{1}}_{2n} - \bar{S} \bar{\Gamma}^C) \equiv \bar{A}^C \quad (3.52)$$

$$\bar{H}^C = \frac{(1 - \Gamma_S^C)(1 + \Gamma_L^C)}{2(1 + j\omega C_S Z_S)} (\bar{\mathbf{0}}_n \quad \bar{\mathbf{1}}_n)_{n \times 2n} \bar{A}^{C^{-1}} \begin{pmatrix} \bar{S}_{11} \\ \bar{S}_{21} \end{pmatrix} \quad (3.53)$$

在本節中提到的作法也可以適用於任何在 Z_S 與 S 參數間或是 S 參數與 Z_L 有任何並/串連的線性電路，只需要將發射端轉換成戴維寧等效電路，即可得到與圖 3.3 相似的電路邊界，再重新代入新的反射係數與新的電壓源即可。

Chapter 4 DDR4 電路眼圖指標分析



4.1 DDR4 電路介紹

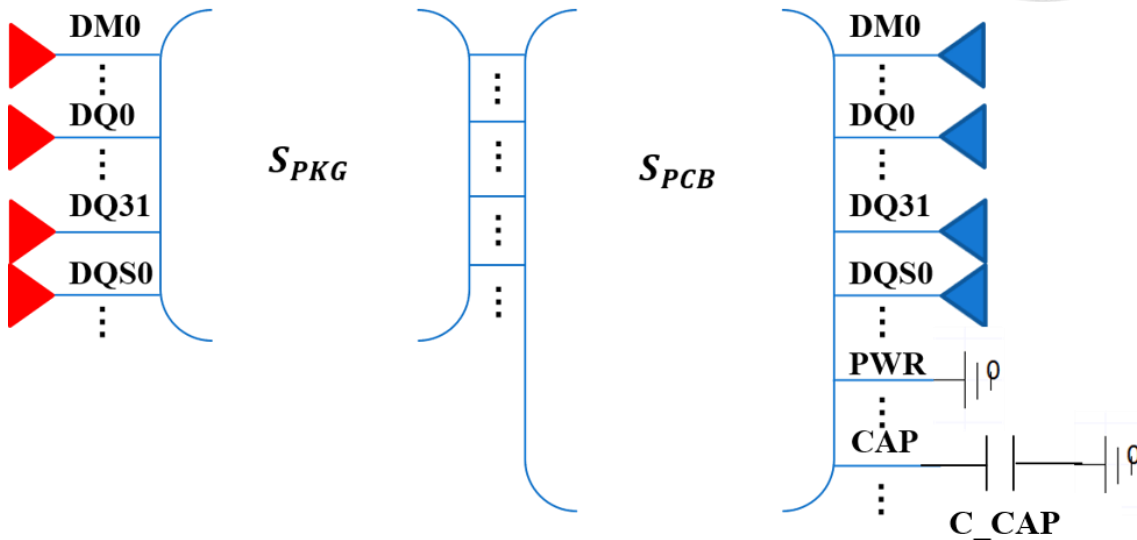


圖 4.1 DDR4 電路

圖 4.1 為本文作為驗證使用的 DDR4 電路，考慮了封裝(PKG)以及印刷電路板(PCB)的 S 參數，其中包含了 DQ 0~31、DM 0~3、DQSC,T 0~3，總共 44 條線；在圖 4.1 中的最左側的紅色三角形代表 SOC 端的線性等效電路，最右側的藍色三角形則代表 DRAM 端的線性等效電路，由於在此 DDR 電路中，讀/寫模式都是共用同樣的信號線，因此在 SOC 及 DRAM 端的電路會根據讀/寫模式，切換到發送器 (Transmitter Tx) 或是接收器 (Receiver Rx) 的模式，所以兩端的線性等效電路在讀/寫模式會有所不同。

而 Tx 的電路可以由一個簡易的 CMOS 輸出緩衝器所代表如圖 4.2，接著便可以透過反相器的 I-V 關係，等效出此反向器的電阻，因此最後 Tx 的線性等效電路就變為圖 4.3，利用一個理想的脈波電源與電阻來等效 CMOS。Rx 的線性等效電路則包含在 Chapter 2 所提到的 ODT 再加上一個由寄生電容效應等效的電容[19]，如圖 4.4 所示。

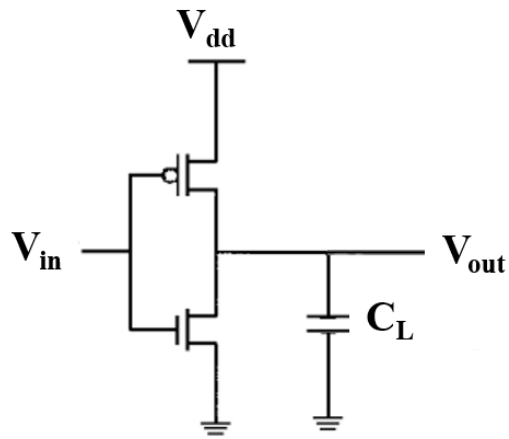


圖 4.2 CMOS 輸出緩衝器

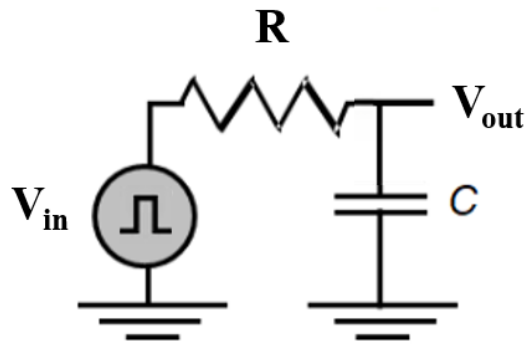


圖 4.3 Tx 線性等效電路

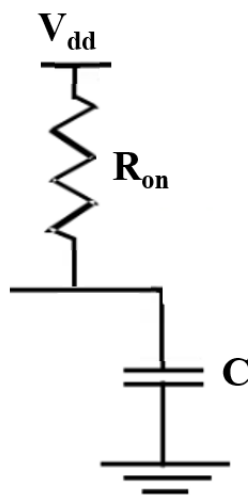


圖 4.4 Rx 線性等效電路

在'寫'模式時，SOC 端會變為 Tx 模式，DRAM 端會變為 Rx 模式，因此可以看到圖 4.5，SOC 端的線性等效電路就如前頁所提到，是由一個理想的脈波電源包含一個內阻最後再並連一個電容，DRAM 端的線性等效電路則由 ODT 以及一個儲存電容所組成。在'讀'模式時，則是變為 SOC 端為 Rx 模式，DRAM 端為 Tx 模式，因此在圖 4.6 中，可以看到與圖 4.5 恰好相反。

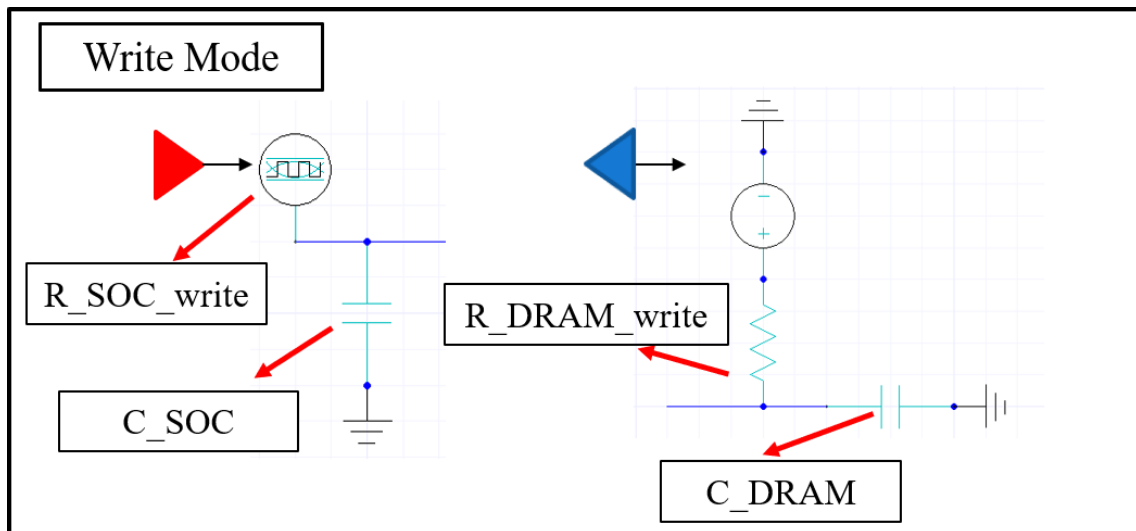


圖 4.5 '寫'模式 SOC 及 DRAM 端線性等效電路

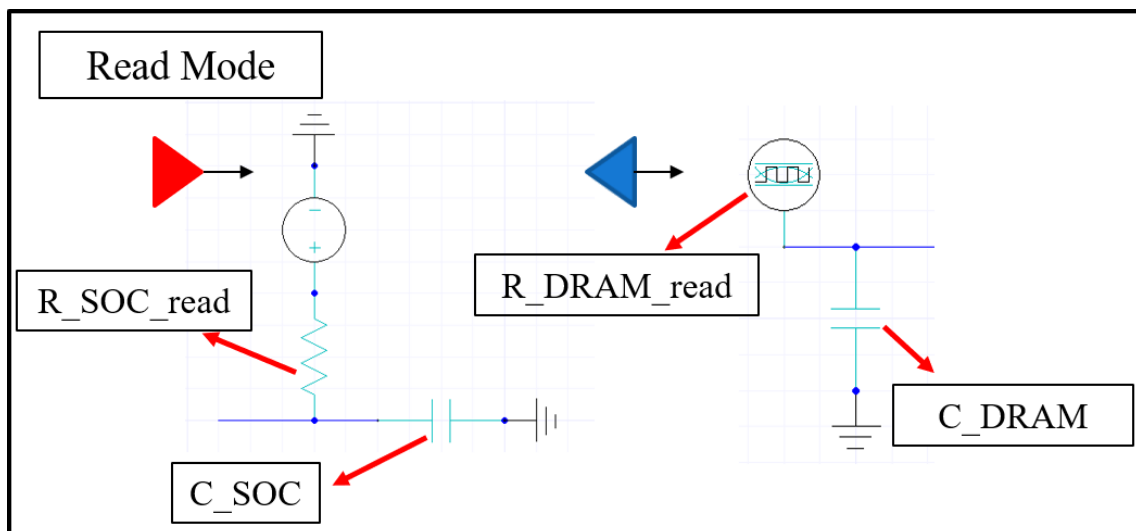


圖 4.6 '讀'模式 SOC 及 DRAM 端線性等效電路



4.2 S 參數前處理及包含時鐘訊號的峰值失真分析

4.2.1 S 參數前處理

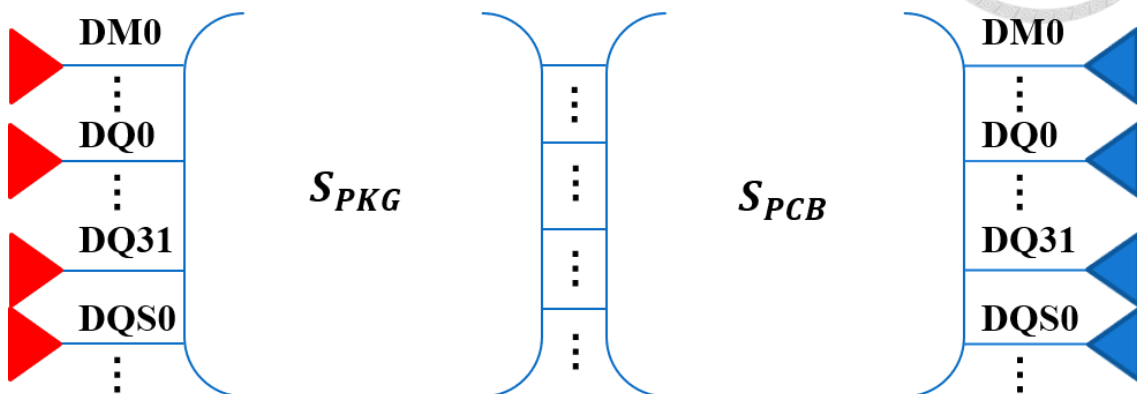


圖 4.7 DDR4 電路 (不包含 PWR, CAP 端口)

在圖 4.7 中的電路包含了 PKG 及 PCB 的 S 參數，然而在第三章中只有使用單一個 S 參數來計算眼圖指標，因此我們須要先將 PKG 及 PCB 的 S 參數轉換成 ABCD 矩陣後相乘，再轉換回 S 參數的形式，便可以直接代入第三章的公式。

在本文中是使用圖 4.1 的電路來做驗證，與圖 4.7 不同的地方在 PCB 的 S 參數，由於圖 4.1 的 DDR4 電路實際是一個 2 層板，因此會額外需要電源線以及解耦電容的端口來模擬 PI 的問題，在此處是考慮理想的 VRM 輸出直流電壓，因此在 AC 頻段就相當於接地，因此可以看到圖 4.1 的 PWR 端口是直接接地；由圖 4.8 可以看到，在兩層板的 PCB 中，鄰近信號線可以透過解耦電容參考此段電源線(電源線經由解耦電容回流，因此可以銜接到接地線)。

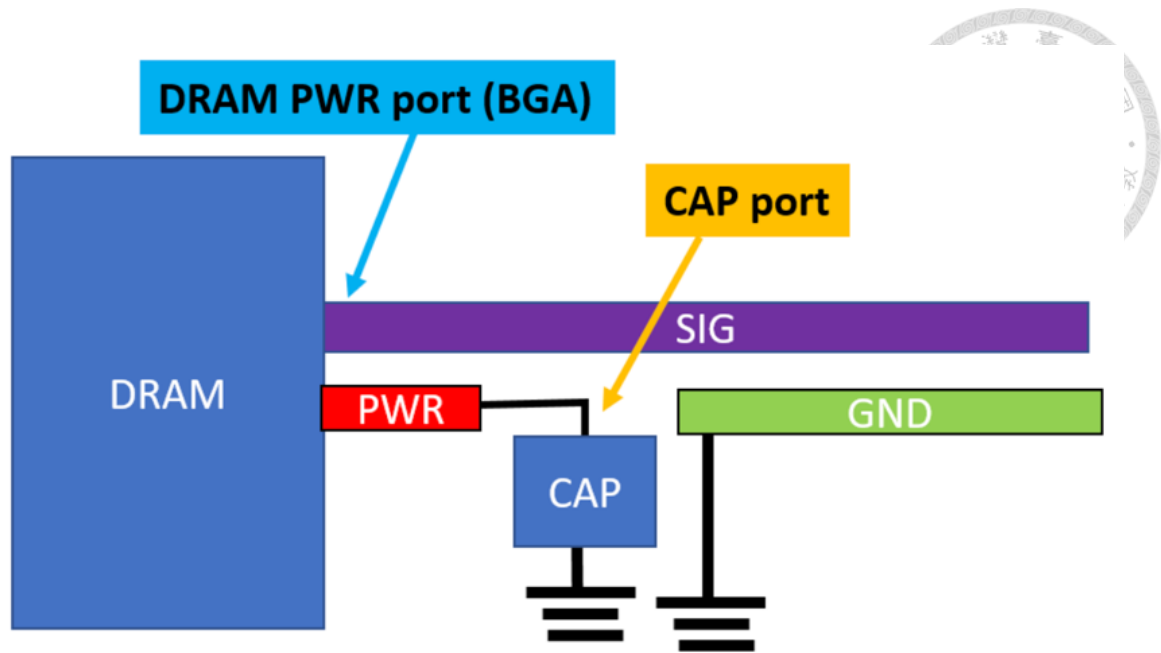


圖 4.8 信號線與電源線示意圖[20]

由於 PCB 的 S 參數多了電源線以及解耦電容的端口，因此不能像 4.2.1 一開始所提到，將 PKG 及 PCB 的 S 參數轉換成 ABCD 矩陣後相乘，因為在這邊兩者的 S 參數端口數不同；因此我們需要先對 PCB 的 S 參數做處理，將其縮減成不包含電源線以及解耦電容的 S 參數。

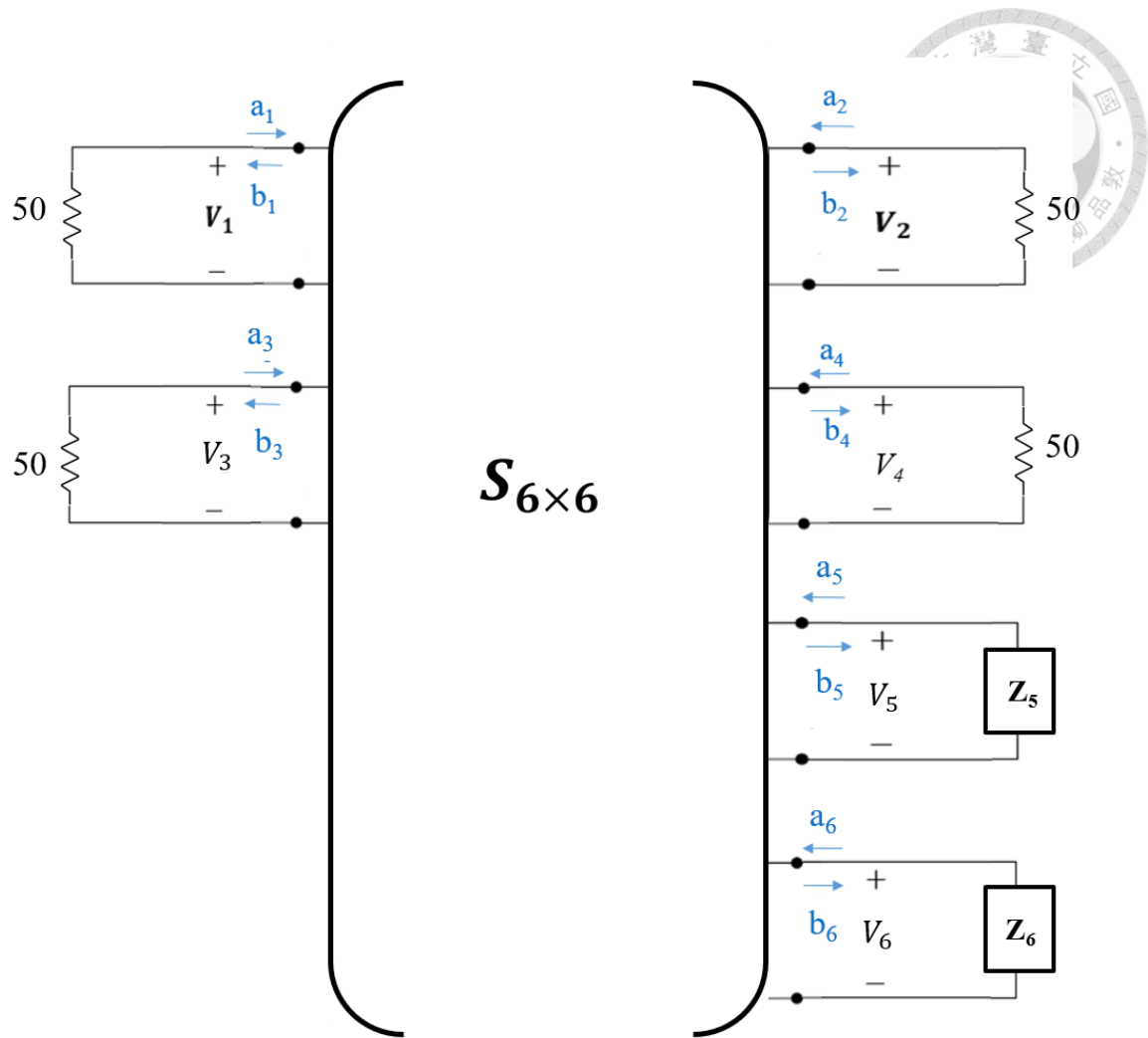


圖 4.9 包含電源線端口的 S 參數示意圖

在此處以圖 4.9 為例，端口 1、2 為第一條信號線，端口 3、4 為第二條傳輸線，端口 5、6 則可分別代表電源線及解耦電容的端口，最後想要得到縮減為只有端口 1、2、3、4 且考慮端口 5、6 效果的 4×4 S 參數，首先可以由 \bar{S} 的定義列出：

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \\ b_5 \\ b_6 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} & S_{13} & S_{14} & S_{15} & S_{16} \\ S_{21} & S_{22} & S_{23} & S_{24} & S_{25} & S_{26} \\ S_{31} & S_{32} & S_{33} & S_{34} & S_{35} & S_{36} \\ S_{41} & S_{42} & S_{43} & S_{44} & S_{45} & S_{46} \\ S_{51} & S_{52} & S_{53} & S_{54} & S_{55} & S_{56} \\ S_{61} & S_{62} & S_{63} & S_{64} & S_{65} & S_{66} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \\ a_5 \\ a_6 \end{pmatrix} \quad (4.1)$$

其中將 6×6 的 S 矩陣，拆分為 A、B、C、D 等 4 個矩陣，可以列出：

$$\begin{pmatrix} S_{11} & S_{12} & S_{13} & S_{14} & S_{15} & S_{16} \\ S_{21} & S_{22} & S_{23} & S_{24} & S_{25} & S_{26} \\ S_{31} & S_{32} & S_{33} & S_{34} & S_{35} & S_{36} \\ S_{41} & S_{42} & S_{43} & S_{44} & S_{45} & S_{46} \\ S_{51} & S_{52} & S_{53} & S_{54} & S_{55} & S_{56} \\ S_{61} & S_{62} & S_{63} & S_{64} & S_{65} & S_{66} \end{pmatrix} = \begin{pmatrix} A_{4 \times 4} & B_{4 \times 2} \\ C_{2 \times 4} & D_{2 \times 2} \end{pmatrix} \quad (4.2)$$



a_5, b_5 以及 a_6, b_6 間的關係，可以由(3.23), (3.24), (3.25)得到：

$$a_5 = \Gamma_5 b_5 \quad (4.3)$$

$$\Gamma_5 = \frac{Z_5 - Z_0}{Z_5 + Z_0} \quad (4.4)$$

$$a_6 = \Gamma_6 b_6 \quad (4.5)$$

$$\Gamma_6 = \frac{Z_6 - Z_0}{Z_6 + Z_0} \quad (4.6)$$

其中 Z_5, Z_6 為端口 5、6 的負載阻抗，如圖 4.9，而 Z_0 為 S 參數的系統阻抗。接著我們可以由(4.1), (4.2), (4.3), (4.5)得到：

$$\begin{pmatrix} b_5 \\ b_6 \end{pmatrix} = \begin{pmatrix} \frac{1}{\Gamma_5} & 0 \\ 0 & \frac{1}{\Gamma_6} \end{pmatrix} \begin{pmatrix} a_5 \\ a_6 \end{pmatrix} = C_{2 \times 4} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} + D_{2 \times 2} \begin{pmatrix} a_5 \\ a_6 \end{pmatrix} \quad (4.7)$$

將(4.7)整理後可以得到：

$$\left(\begin{pmatrix} \frac{1}{\Gamma_5} & 0 \\ 0 & \frac{1}{\Gamma_6} \end{pmatrix} - D_{2 \times 2} \right) \begin{pmatrix} a_5 \\ a_6 \end{pmatrix} = E_{2 \times 2} \begin{pmatrix} a_5 \\ a_6 \end{pmatrix} = C_{2 \times 4} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad (4.8)$$

其中 $E_{2 \times 2}$ 為：



$$E_{2 \times 2} = \begin{pmatrix} \frac{1}{\Gamma_5} & 0 \\ 0 & \frac{1}{\Gamma_6} \end{pmatrix} - D_{2 \times 2} \quad (4.9)$$

接著將 E 做反矩陣，便可以得到 $\begin{pmatrix} a_5 \\ a_6 \end{pmatrix}$ 與 $\begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix}$ 之間的關係：

$$\begin{pmatrix} a_5 \\ a_6 \end{pmatrix} = (E_{2 \times 2})^{-1} C_{2 \times 4} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad (4.10)$$

再將(4.10)代回(4.1), (4.2)，可以得到：

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix} = A_{4 \times 4} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} + B_{4 \times 2} \begin{pmatrix} a_5 \\ a_6 \end{pmatrix} = (A_{4 \times 4} + B_{4 \times 2} (E_{2 \times 2})^{-1} C_{2 \times 4}) \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad (4.11)$$

由 $\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix}$ 與 $\begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix}$ 的關係，我們可以得到包含端口 5、6 的效果且縮減為只有端口 1、

2、3、4 的 S 參數 $S'_{4 \times 4}$ ：

$$S'_{4 \times 4} = A_{4 \times 4} + B_{4 \times 2} (E_{2 \times 2})^{-1} C_{2 \times 4} \quad (4.12)$$

這樣的推導可以推廣至多條信號線以及多個電源線端口或解耦電容端口，並不只限於兩條信號線的情況，因此可以解決圖 4.1 中，PCB 的 S 參數多出數個電源線端口及解耦電容端口的問題。



4.2.2 包含時鐘訊號的峰值失真分析

DQS p: 101010... 101010

DQS n: 010101... 010101

圖 4.10 時鐘訊號序列

圖 4.1 中的 DQS 在 2.1.2 有提到其為用來指示時序的差動信號線，因此其輸入的序列就如圖 4.10 所示，由於 DQS 是一對差動信號線，所以正負端的序列是反相的；在(3.12)中，我們是將主信號線的 cursor 扣掉所有 ISI 的絕對值得到最劣眼高，但由於 DQS 的信號固定是'1010...'以及'0101...'，若使用原先的公式，會低估實際的眼高，因此在本小節會針對包含時鐘訊號的峰值失真分析作修正。

將 DQS 的串擾總和與其餘耦合線造成的串擾分開計算，可以列出：

$$Worst\ eye\ height = Main_0 - \sum_{k=-L \& k \neq 0}^N |Main_k| - \sum_j \sum_{l=-P}^{M-1} |Xtk_l^j| + Xtk_{DQS} \quad (4.13)$$

其中 Xtk_{DQS} 代表 DQS 的串擾總和，N 代表了主信號線考慮的 postcursor 數量，L 代表代表主信號線考慮的 precursor 數量，M 代表耦合線上考慮的 Xtk cursor 數量，P 代表耦合線上考慮的 Xtk precursor 數量，而 j 則代表了不同的耦合線。

而 Xtk_{DQS} 為計算 DQS p 與 n 的 worstcase1 與 worstcase0 分別在何種序列下有著較差的 ISI 總和，如表 4.1。

	Worstcase 1/ Worstcase 0	
DQS p	1 0 1 0 ...	0 1 0 1 ...
DQS n	0 1 0 1 ...	1 0 1 0 ...

表 4.1 DQS 序列表



4.3 眼圖指標分析

在本節中會針對 3.1 中的 $Index_{width}$ (最劣眼寬如圖 4.11), 以及 $Index_{height}$ (中心最劣眼高如圖 4.12) 做分析, 同時也會計算 DDR 規格中的盒眼寬(Box Eyewidth) 如圖 4.13, 在 DDR4 的規格中是左右眼高為 0.13V 所圍起來的眼寬, 可以利用 3.1 中的二分法求得。最後將這 3 個指標在實例中做驗證與比較。

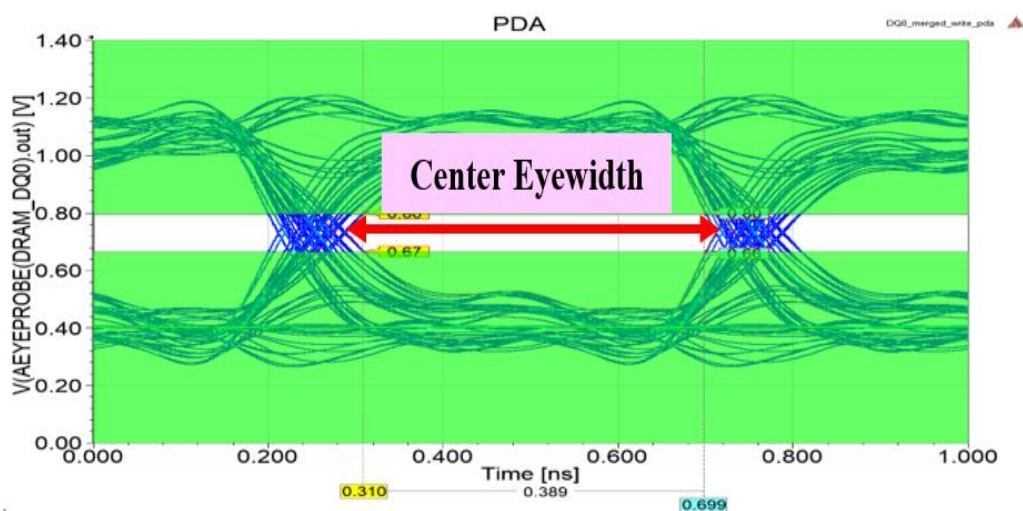


圖 4.11 最劣眼寬示意圖

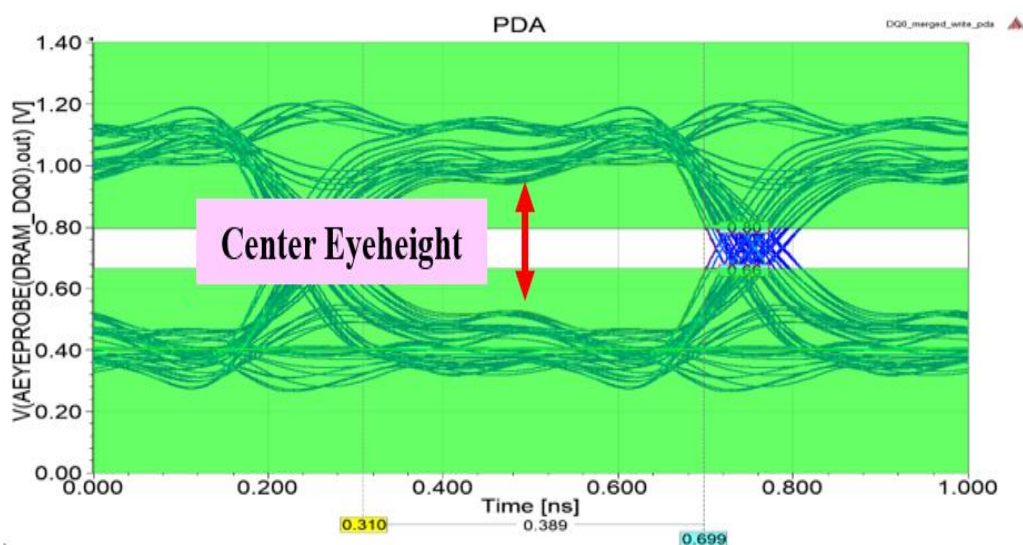


圖 4.12 中心最劣眼高示意圖

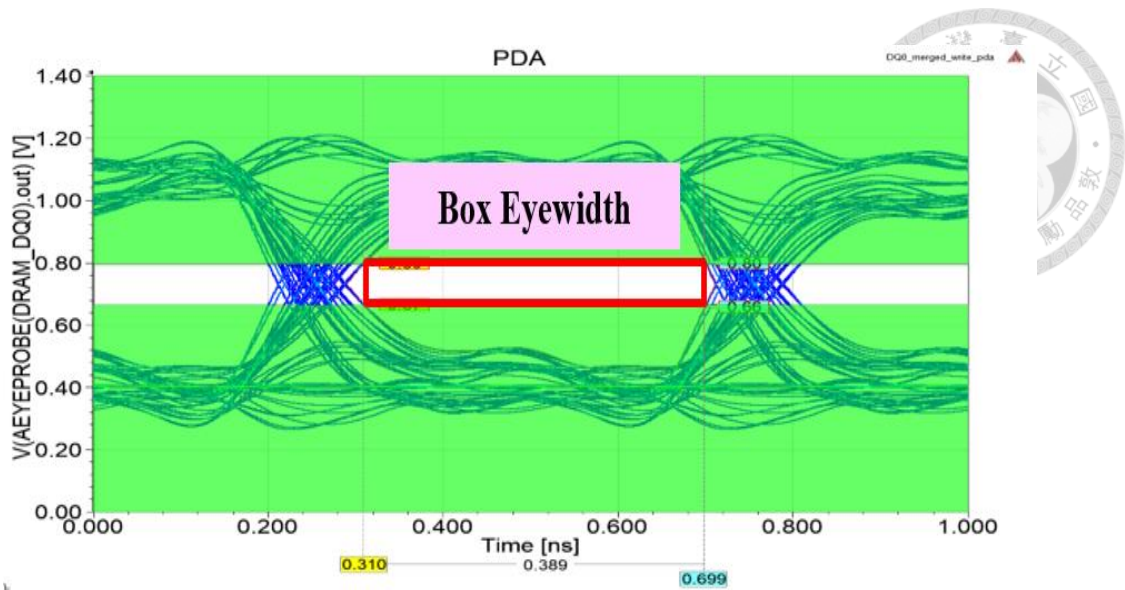


圖 4.13 盒眼寬示意圖

在本節中會計算圖 4.5 的'寫'模式，使用的電容電阻值以及脈波電源的參數皆列在表 4.2，其中 Box Eyeheight 代表的是圖 4.13 中的左右眼高邊界，可以根據不同的 DDR 規格做更改，而由於本例子為 DDR4，因此 Box Eyeheight 設為 0.13V。

Item	Value
R_SOC_write [ohm]	30
C_SOC [pF]	1.5
R_DRAM_write [ohm]	60
C_DRAM [pF]	1.5
C_CAP [nF]	100
Source Voltage [V]	1
Bitrate [Gbps]	2.4
Rising time	0.2 UI
Box Eyeheight [V]	0.13

表 4.2 電路參數設定表



4.3.1 解析法與正反相偽隨機序列之眼圖比較

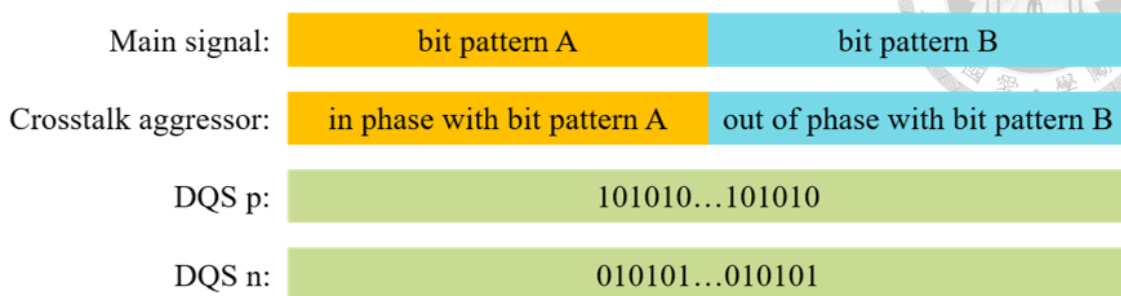


圖 4.14 正反相 PRBS 示意圖

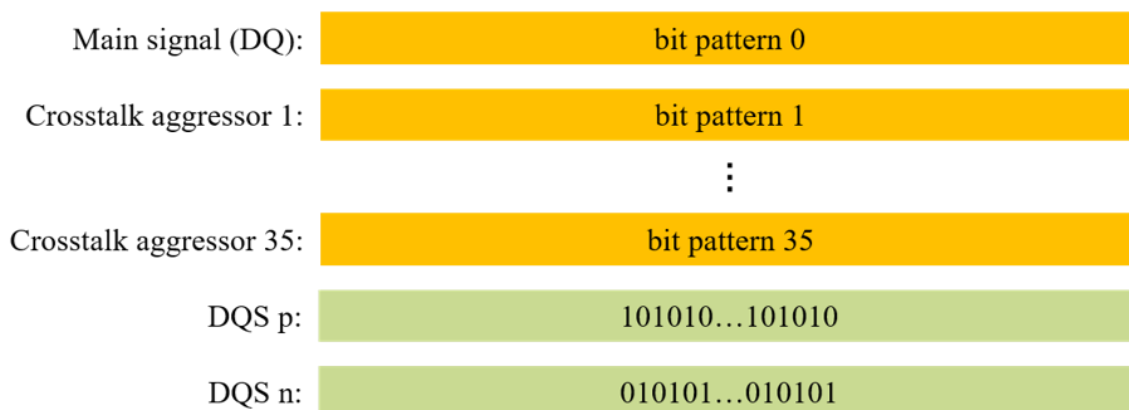


圖 4.15 獨立 PRBS 示意圖

在 2.2.2 中有提到，一般在多通道使用 PRBS，當長度夠長時所產生的眼圖，才有一定的代表性，因此多通道使用 PRBS 模擬眼圖將非常耗時；而在業界常使用如圖 4.14 的 PRBS 策略，在主信號線可分為兩段分別為 bit pattern A 以及 bit pattern B，而其餘耦合線的第一段為與 bit pattern A 同相，若 bit pattern A 為 '100... 1'，同相即為 '100... 1'，耦合線的第二段則與 bit pattern B 反相，若 bit pattern B 為 '100... 1'，則反相即為 '011... 0'，使用這樣的 PRBS 是假設眼圖的最劣序列會發生在與主信號線同相或反相的情況，因此 PRBS 的長度不需要太長，可以減少模擬的時間，在本小節中是將圖 4.1 中的 DQ1 作為主信號線，將此 PRBS 策略模擬出的眼圖與本文所提出的解析法得到的眼圖指標做比較，以分析本方法所改善的計算時間。

在本節中也使用解析法得到多條耦合線的最劣序列，再放入電路模擬軟體得到最劣眼圖，並與每條分別輸入互相獨立且隨機的 PRBS(如圖 4.19)所得到的眼圖

比較。

在圖 4.16 及圖 4.17 中，分別為正反相 PRBS 以及獨立 PRBS 的眼圖指標對於序列長度作圖，用於觀察多長的序列會使各項指標收斂，其中藍色實線代表最劣眼寬，藍色虛線代表盒眼寬，對應到左側的縱軸；紅色實線則代表中心最劣眼高，對應到右側的縱軸。在圖 4.16 可以看到正反相 PRBS 在序列長度為 2^{15} 時，各項指標已經收斂，當序列長度加長為 2^{17} 時，眼圖指標維持不變。在圖 4.17 則可看到獨立 PRBS 在序列長度為 2^{21} 各項指標趨近收斂。

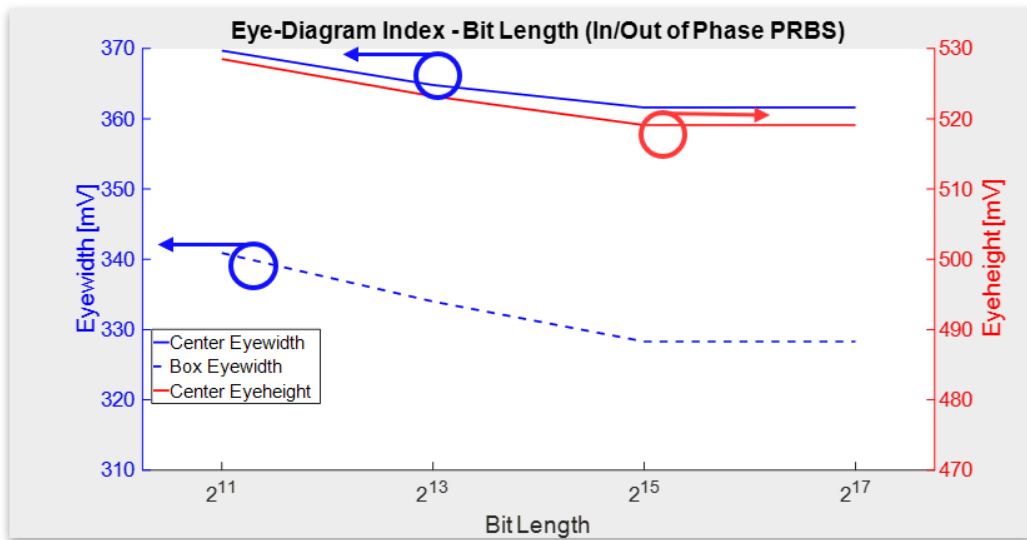


圖 4.16 眼圖指標-序列長度(正反相 PRBS)

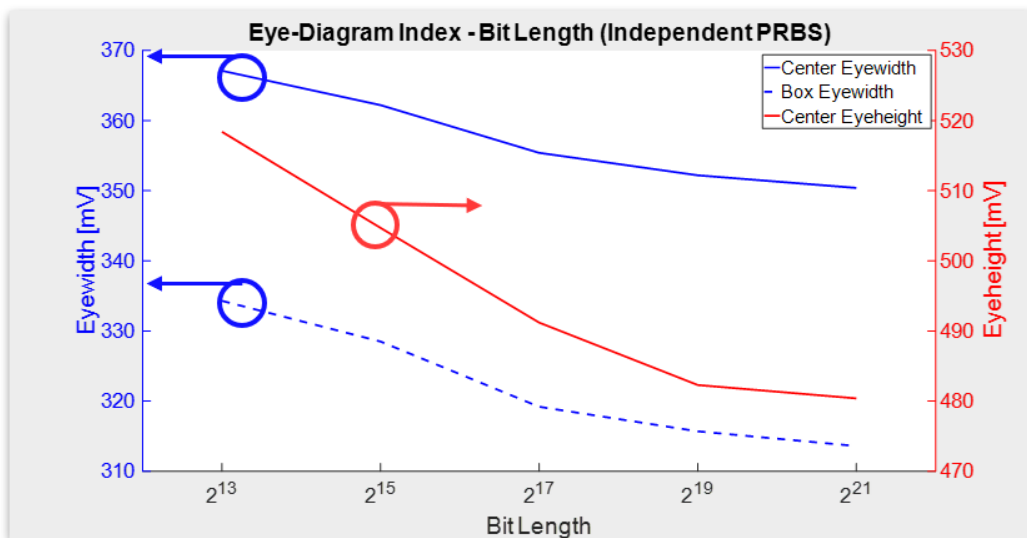


圖 4.17 眼圖指標-序列長度(獨立 PRBS)

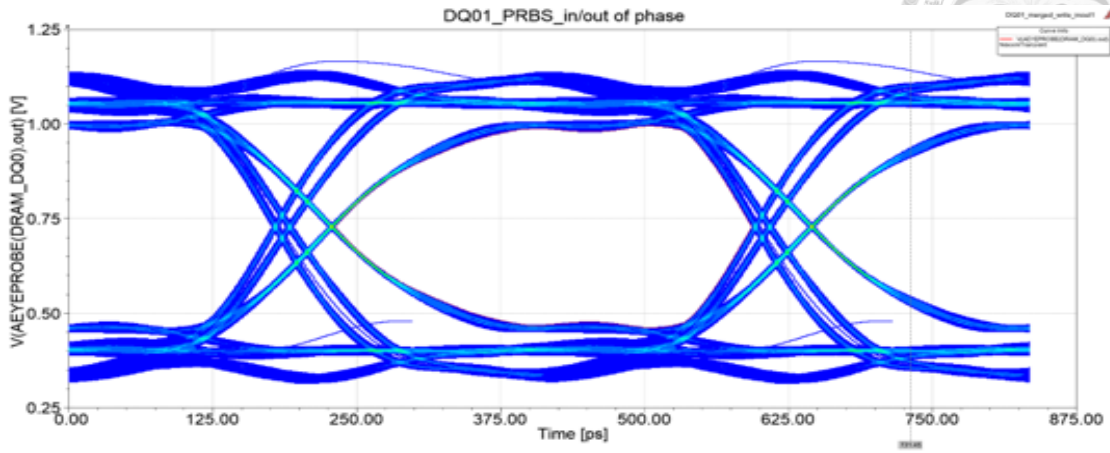
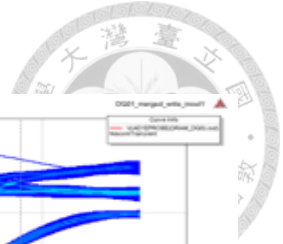


圖 4.18 正反相 PRBS 眼圖

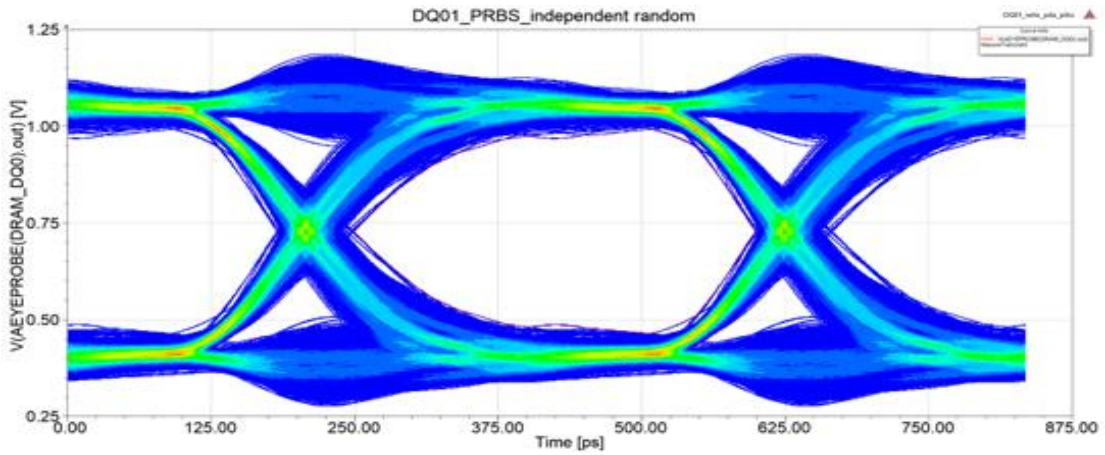


圖 4.19 獨立 PRBS 眼圖

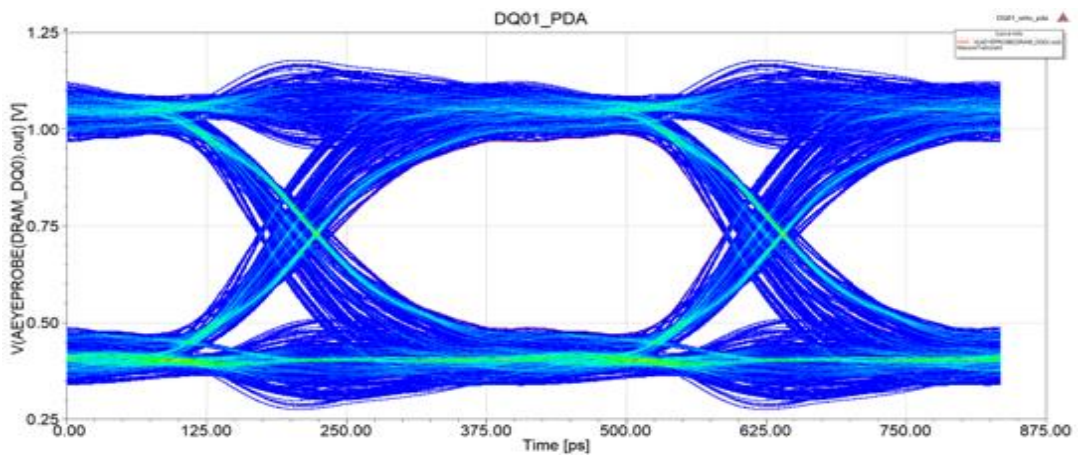


圖 4.20 最劣序列眼圖

	正反相 PRBS	解析法	獨立 PRBS	最劣序列
序列長度	$\sim 2^{15}$		$\sim 2^{21}$	$\sim 2^{13}$
最劣眼寬(ps)	361.6	351.0	350.4	348.3
最劣眼寬之誤差	3.8%	0.8%	0.6%	
中心最劣眼高(mV)	519.1	482.8	480.4	479.0
中心最劣眼高之誤差	8.4%	0.8%	0.3%	
盒眼寬(ps)	328.3	314.0	313.6	312.5
盒眼寬之誤差	5.1%	0.4%	0.3%	
計算時間	~ 3.5 hour	~ 0.8 sec	~ 240 hour	~ 1 hour

表 4.3 眼圖指標比較表

圖 4.18 是使用正反相 PRBS(如圖 4.14，長度約為 2^{15})所得到的眼圖，圖 4.19 是獨立 PRBS(如圖 4.15，長度約為 2^{21})所得到的眼圖，圖 4.20 則是使用解析法所得到的最劣序列再放進電路模擬軟體所得到的眼圖。

在表 4.3 中各項指標的誤差，是與最劣序列的眼圖的相對誤差，接著可以看到使用解析法只需要 0.8 秒即可得到眼高及眼寬等等的眼圖指標，相較正反相 PRBS 的眼圖計算速度提升約 15000 倍，可以大幅節省計算、模擬的時間，且誤差可以改善 5~12 倍不等。

而利用解析法得到多條傳輸線的最劣序列，結合電路模擬軟體可以得到最劣眼圖，與長度為 2^{21} 的獨立 PRBS 誤差皆在 1%內，表示此序列可以有效模擬最劣眼圖，但是速度可以改善 240 倍。

4.3.2 解析法與修正節點分析法(Modified Nodal Analysis, MNA)比較

在本節中會根據圖 4.1 中的電路比較本文所提出的解析法以及 MNA 計算的最劣眼圖[21]，MNA 是使用基本的電路理論和克希荷夫定律，將電路分解為一系列節點和支路，並將每個節點的電壓作為未知數。通過建立節點電流和節點電壓之間的方程式，並求解該方程組，可以得到各節點的電壓和支路中的電流值，接著利用此法來得到 3.3 中多條耦合線的轉移函數。

在圖 4.21~圖 4.29 中的橫軸，代表的是不同 Byte 中的 DM 及 DQ，0 代表 DM，1~8 則代表 DQ，不同的圖形與顏色則代表不同的 Byte，例如藍色三角形代表的是 Byte2，0 代表 DM1，1~8 代表 DQ8~15。由圖 4.23、圖 4.26 及圖 4.29 中可以看到，兩個方法的最劣眼寬相對誤差小於 0.4%，中心最劣眼高相對誤差小於約 1.6%，盒眼寬相對誤差小於約 0.6%，誤差來源可能是兩者在時域的處理方法不同所導致，然而這些誤差不會影響不同 Byte 中最差信號線的判讀。且由於兩個方法是互相獨立計算，因此可以證明解析法的正確性。

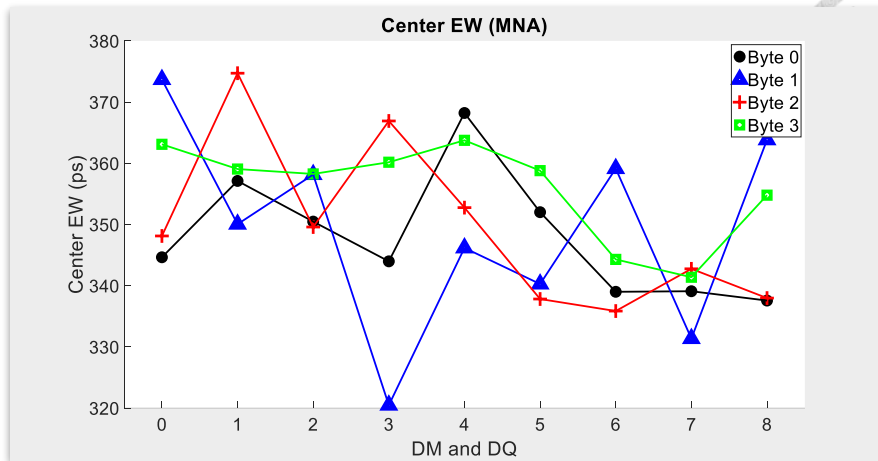


圖 4.21 最劣眼寬(MNA)

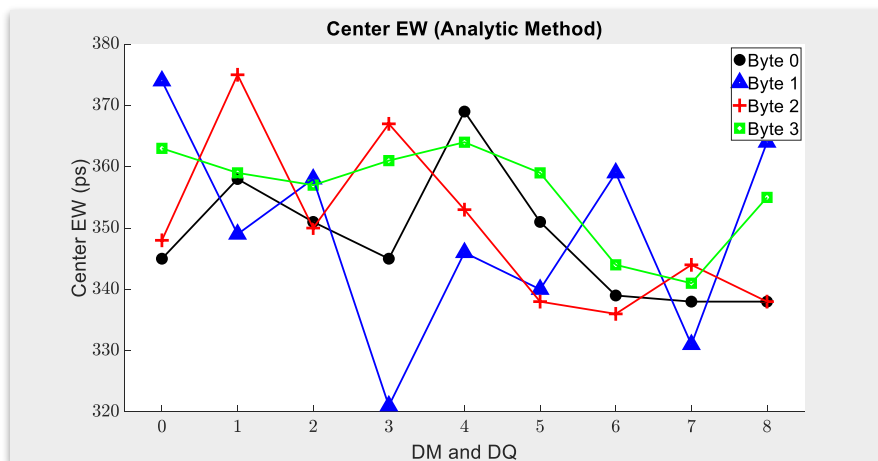


圖 4.22 最劣眼寬(解析法)

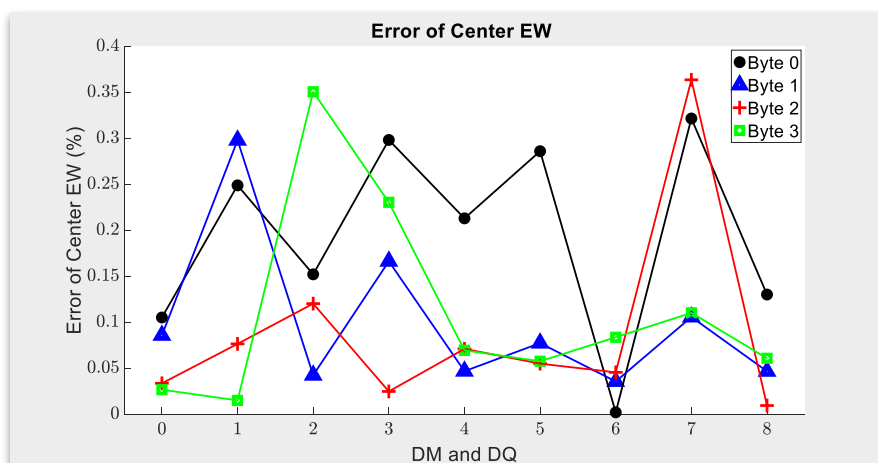


圖 4.23 最劣眼寬的相對誤差

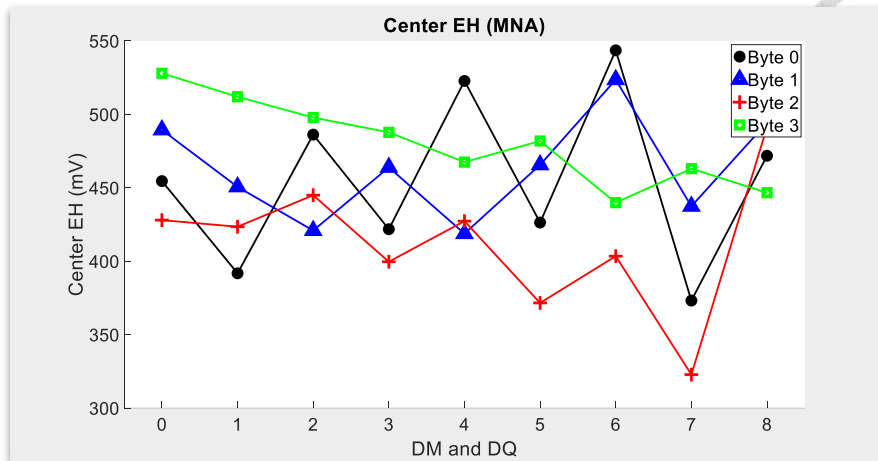


圖 4.24 中心最劣眼高(MNA)

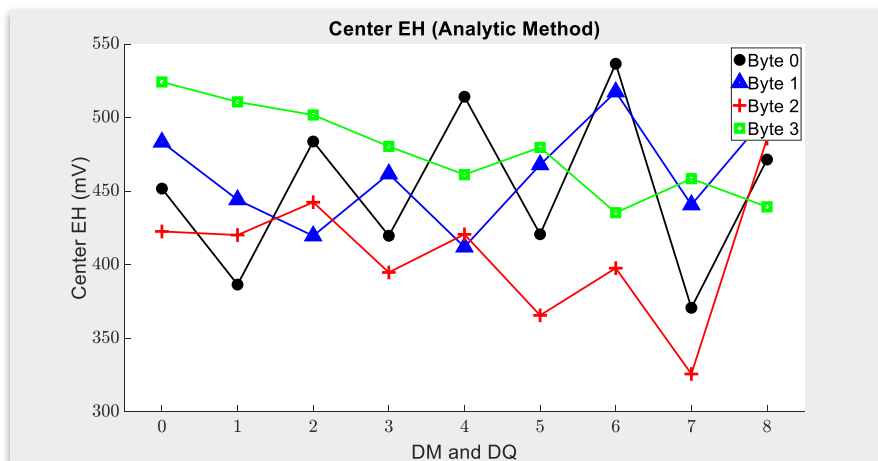


圖 4.25 中心最劣眼高(解析法)

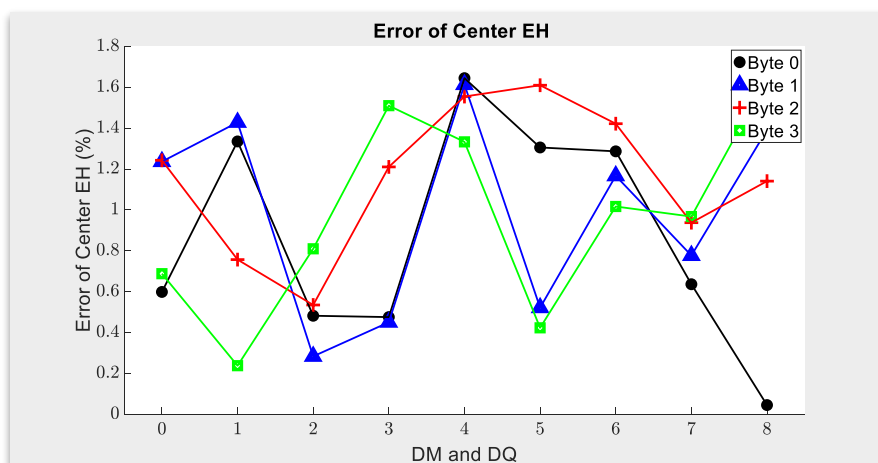


圖 4.26 中心最劣眼高的相對誤差

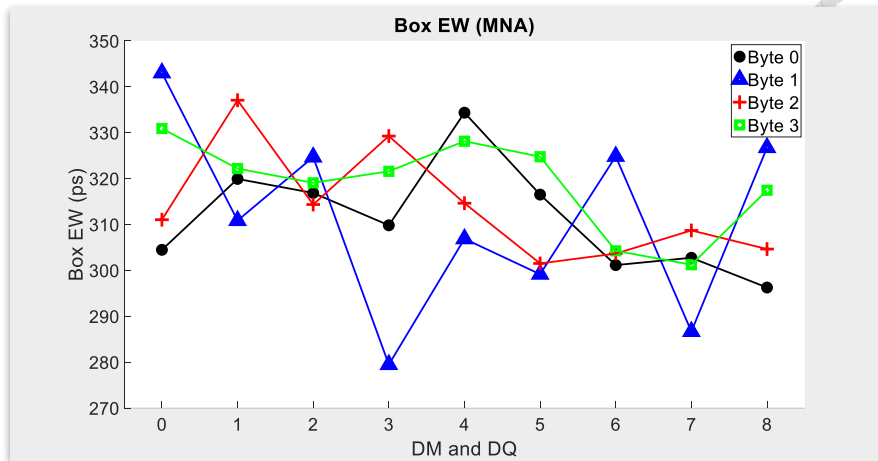


圖 4.27 盒眼寬(MNA)

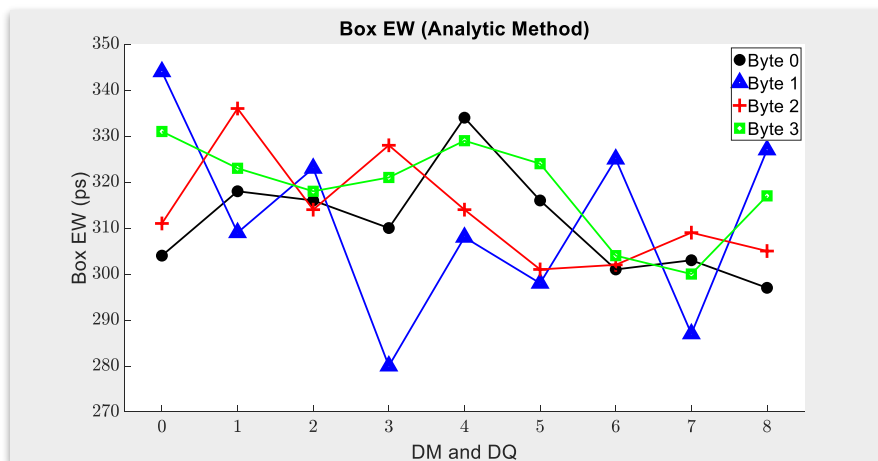


圖 4.28 盒眼寬(解析法)

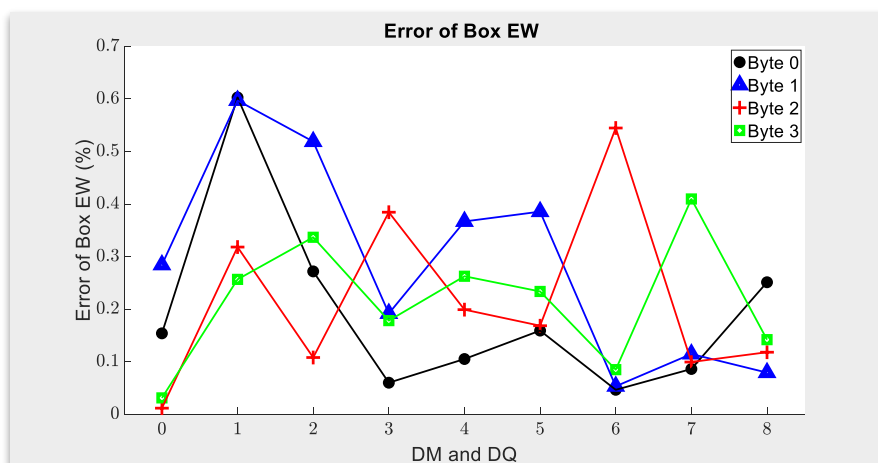


圖 4.29 盒眼寬的相對誤差



Chapter 5 解析法之程式

在本研究中，撰寫了解析法的程式，可用於計算 DDR4 規格的眼圖指標，且建立了圖形使用者介面(Graphical User Interface, GUI)，讓使用者可以有簡易且直覺的操作環境，在本章中即會介紹此程式的設計以及使用手冊。

5.1 程式介紹 - 問題描述及 I/O 設計

本程式所要運算的電路即為 4.1 中所提到的圖 4.1，其中包含了封裝(PKG)以及印刷電路板(PCB)的 S 參數，以及 SOC 端的線性等效電路和 DRAM 端的線性等效電路，並根據讀/寫模式的不同，兩端的等效電路分別為圖 4.5 及圖 4.6。而此程式便可以計算出在此電路下 DQ0~31 以及 DM0~3 的眼圖指標，包含 4.3 中的 $Index_{width}$ (最劣眼寬)如圖 4.11，以及 $Index_{height}$ (中心最劣眼高)如圖 4.12，和盒眼寬(Box Eyewidth)如圖 4.13。

而使用者需要輸入 S 參數及線性等效電路中各個元件的值以及電壓源的各項參數，如表 5.1。

Item	Description
Project name	項目名稱
PKG Sparameter	封裝的 S 參數
PCB Sparameter	印刷電路板的 S 參數
R_SOC_write	‘寫’模式，SOC 端的電阻，單位為 ohm
R_SOC_read	‘讀’模式，SOC 端的電阻，單位為 ohm
C_SOC	SOC 端的電容，單位為 pF
R_DRAM_write	‘寫’模式，DRAM 端的電阻，單位為 ohm
R_DRAM_read	‘讀’模式，DRAM 端的電阻，單位為 ohm
C_DRAM	DRAM 端的電容，單位為 pF
C_CAP	CAP 端的電容，單位為 nF (若 PCB 沒有 CAP 端則不需輸入。)

Source Voltage	電壓源大小，單位為 V
Bitrate	傳輸速率，單位為 Gbps
Rising Time	上升時間，單位可為 UI 或 ps， 輸入的數字須為小數或整數，且數字與單位間需間隔一個空白，ex: [50 ps] or [0.2 UI]
Box Eyeheight	用於計算盒眼寬，根據不同 spec，可以設定不同的 box eyeheight，單位為 V

表 5.1 輸入參數表

5.2 程式外觀及使用手冊

5.2.1 程式外觀

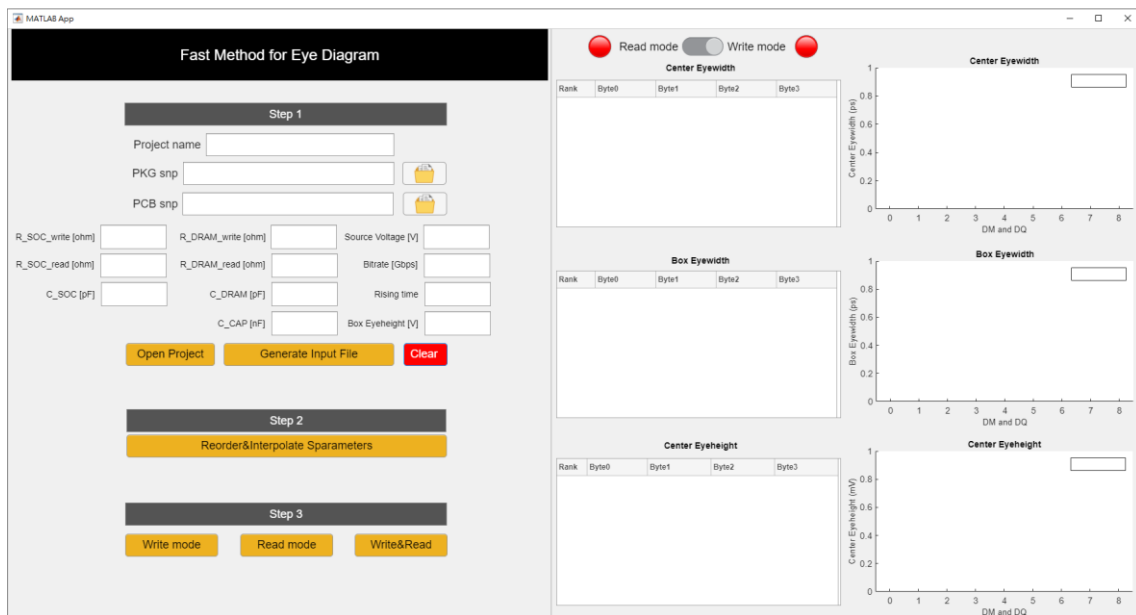


圖 5.1 程式外觀

圖 5.1 即為程式的外觀，可以分為兩大部分，左半部為輸入參數以及程式計算如圖 5.2，右半部則為結果呈現圖 5.3，由上到下分別為 $Index_{width}$ (最劣眼寬)、盒眼寬 (Box Eyewidth)、 $Index_{height}$ (中心最劣眼高)，每一項眼圖指標都會有一個表格搭配一張圖如圖 5.4，表格中會將不同的 Byte 中的眼圖指標由小到大做排列，而圖

則是如 4.3.2 中一致，橫軸代表的是不同 Byte 中的 DM 及 DQ，0 代表 DM，1~8 則代表 DQ，不同的圖形與顏色則代表不同的 Byte，例如藍色三角形代表的是 Byte2，0 代表 DM1，1~8 代表 DQ8~15。



Fast Method for Eye Diagram

Step 1

Project name

PKG snp

PCB snp

R_SOC_write [ohm] R_DRAM_write [ohm] Source Voltage [V]

R_SOC_read [ohm] R_DRAM_read [ohm] Bitrate [Gbps]

C_SOC [pF] C_DRAM [pF] Rising time

C_CAP [nF] Box Eyeheight [V]

Open Project **Generate Input File** **Clear**

Step 2

Reorder&Interpolate Sparameters

Step 3

Write mode **Read mode** **Write&Read**

圖 5.2 程式外觀左半部



圖 5.3 程式外觀右半部

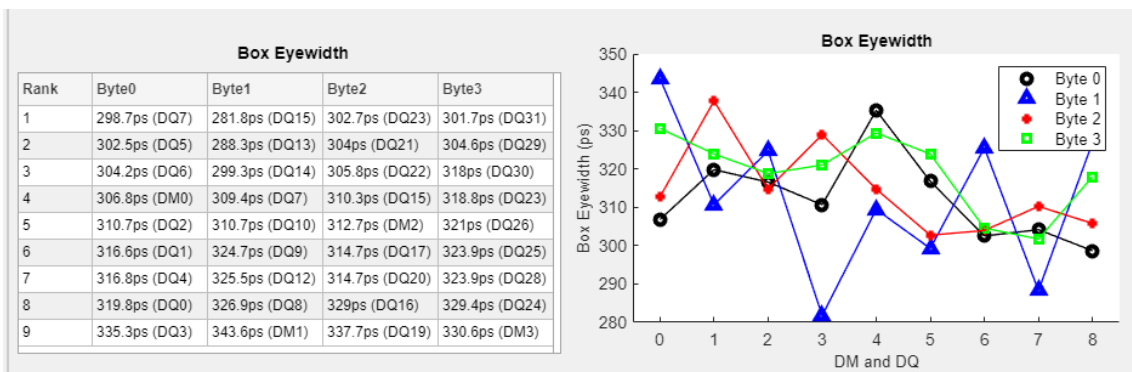


圖 5.4 眼圖指標輸出樣式



5.2.2 使用手冊

在本節中會介紹此程式計算的步驟以及使用手冊，首先程式可分為 3 大部分，第 1 部分為設定輸入參數及檢查 Input File 中的 port 排序是否正確，第 2 部分為計算重新排序及線性內插的 PKG、PCB 的 S 參數，並將兩者串接在一起，第 3 部分為計算讀/寫模式的眼圖指標。

i. 設定輸入參數及生成 Input File(如圖 5.5、圖 5.6、圖 5.7)：

- (1) 設定輸入參數。
- (2) 點擊'Generate Input File'來生成 Input File。
- (3) 跳出視窗，表示正在生成 Input File。
- (4) 生成 Input File 自動開啟，其檔名為 project name_alignment.csv。

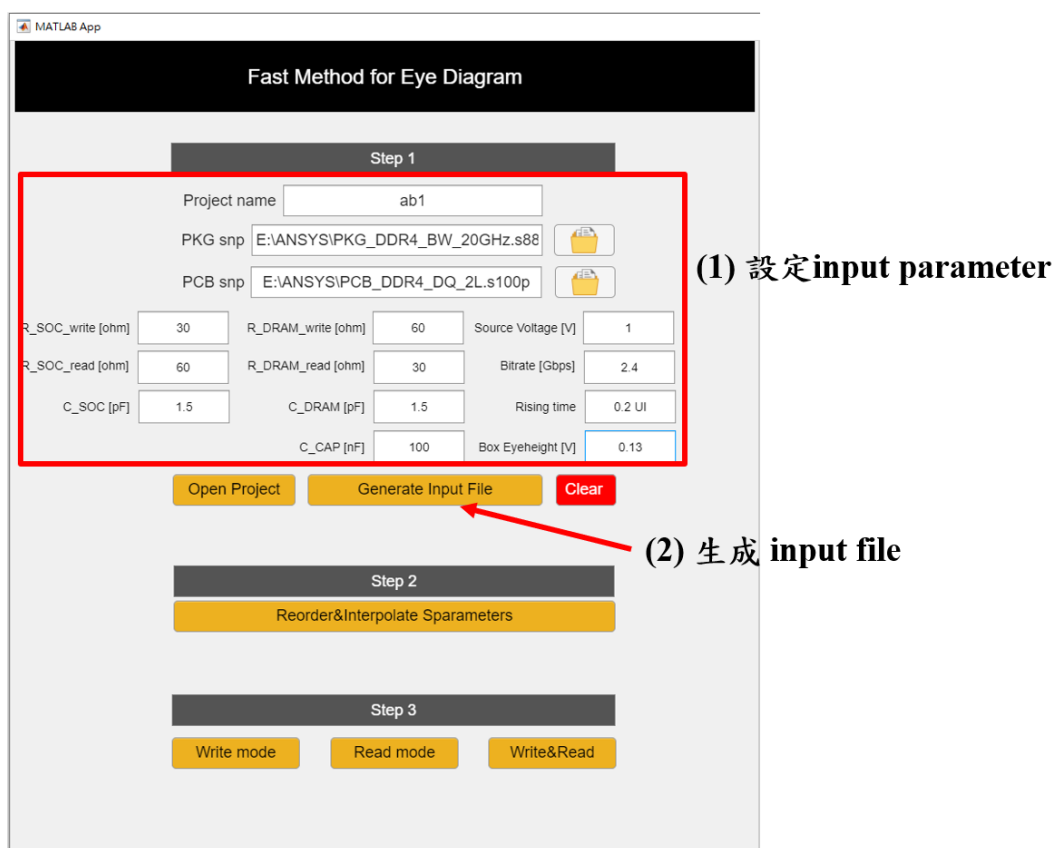


圖 5.5 設定輸入參數及生成 Input File (1)(2)

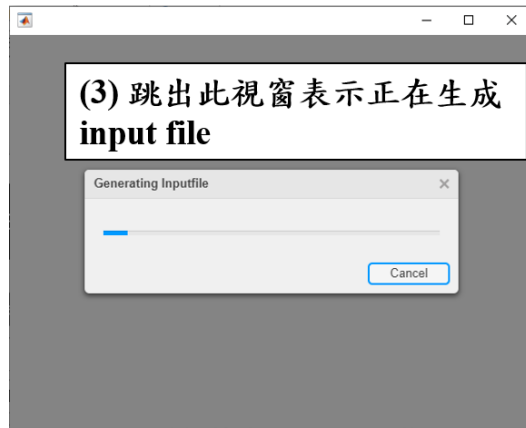


圖 5.6 設定輸入參數及生成 Input File (3)

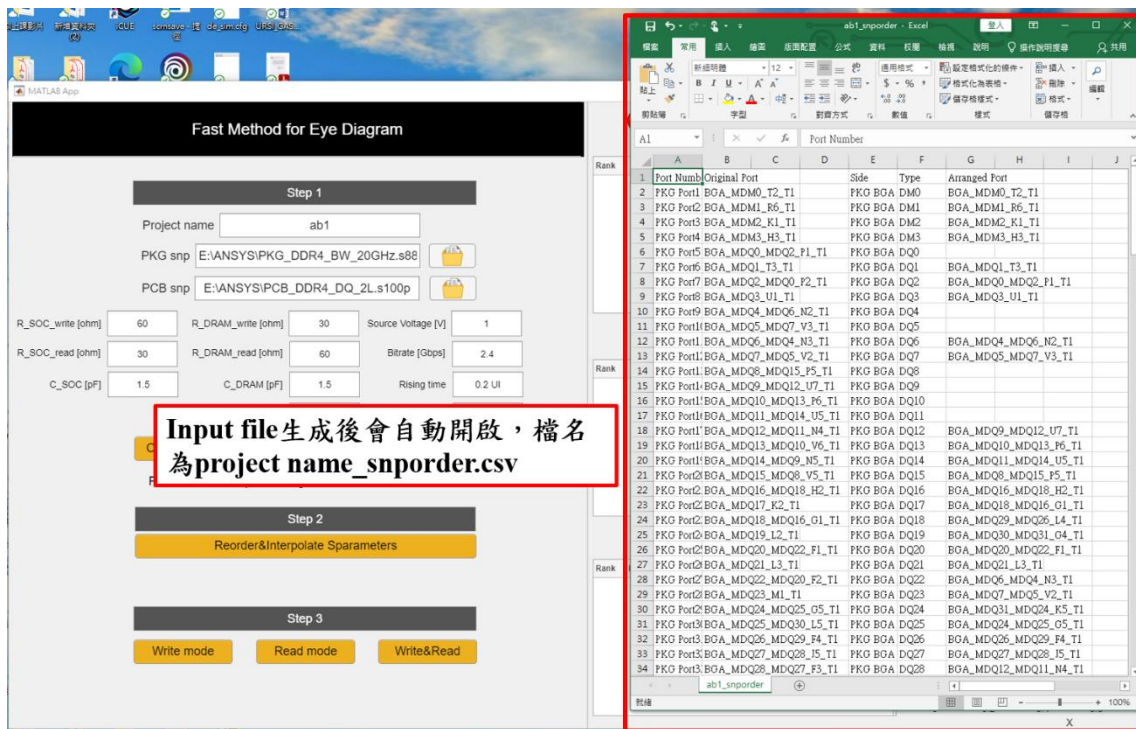


圖 5.7 設定輸入參數及生成 Input File (4)

ii. 排序 Port(如圖 5.8、圖 5.9)：

(1) Arranged Port 這一行，程式會初步排序，但需要使用者根據 Type 進一步確認或重新排序，若 Side 為 PKG BGA，Type 為 DM0，則須找到符合此描述的 port，並將其放置到 Arranged Port。

(2) 排序完成後，在 excel 中儲存。

(1) Arranged Port這一行，程式會初步排序，但需要使用者根據**Type**進一步確認或重新排序，若需重新排序可使用原先的**port**來排序

Port Number	Original Port	Side	Type	Arranged Port
1	PKG Port1	BGA_MDM0_T2_T1	PKG BGA DM0	BGA_MDM0_T2_T1
2	PKG Port2	BGA_MDM1_R6_T1	PKG BGA DM1	BGA_MDM1_R6_T1
3	PKG Port3	BGA_MDM2_K1_T1	PKG BGA DM2	BGA_MDM2_K1_T1
4	PKG Port4	BGA_MDM3_H3_T1	PKG BGA DM3	BGA_MDM3_H3_T1
5	PKG Port5	BGA_MDQ0_MDQ2_P1_T1	PKG BGA DQ0	
6	PKG Port6	BGA_MDQ1_T3_T1	PKG BGA DQ1	BGA_MDQ1_T3_T1
7	PKG Port7	BGA_MDQ2_MDQ0_P2_T1	PKG BGA DQ2	BGA_MDQ0_MDQ2_P1_T1
8	PKG Port8	BGA_MDQ3_U1_T1	PKG BGA DQ3	BGA_MDQ3_U1_T1
9	PKG Port9	BGA_MDQ4_MDQ6_N2_T1	PKG BGA DQ4	
10	PKG Port10	BGA_MDQ5_MDQ7_V3_T1	PKG BGA DQ5	
11	PKG Port11	BGA_MDQ6_MDQ4_N3_T1	PKG BGA DQ6	BGA_MDQ4_MDQ6_N2_T1
12	PKG Port12	BGA_MDQ7_MDQ5_V2_T1	PKG BGA DQ7	BGA_MDQ5_MDQ7_V3_T1
13	PKG Port13	BGA_MDQ8_MDQ15_P5_T1	PKG BGA DQ8	
14	PKG Port14	BGA_MDQ9_MDQ12_U7_T1	PKG BGA DQ9	
15	PKG Port15	BGA_MDQ10_MDQ13_P6_T1	PKG BGA DQ10	
16	PKG Port16	BGA_MDQ11_MDQ14_U5_T1	PKG BGA DQ11	
17	PKG Port17	BGA_MDQ12_MDQ11_N4_T1	PKG BGA DQ12	BGA_MDQ9_MDQ12_U7_T1
18	PKG Port18	BGA_MDQ13_MDQ10_V6_T1	PKG BGA DQ13	BGA_MDQ10_MDQ13_P6_T1
19	PKG Port19	BGA_MDQ14_MDQ9_N5_T1	PKG BGA DQ14	BGA_MDQ11_MDQ14_U5_T1
20	PKG Port20	BGA_MDQ15_MDQ8_V5_T1	PKG BGA DQ15	BGA_MDQ8_MDQ15_P5_T1
21	PKG Port21	BGA_MDQ16_MDQ18_H2_T1	PKG BGA DQ16	BGA_MDQ16_MDQ18_H2_T1
22	PKG Port22	BGA_MDQ17_K2_T1	PKG BGA DQ17	BGA_MDQ18_MDQ17_K2_T1
23	PKG Port23	BGA_MDQ18_MDQ16_G1_T1	PKG BGA DQ18	BGA_MDQ29_MDQ18_L4_T1
24	PKG Port24	BGA_MDQ19_L2_T1	PKG BGA DQ19	BGA_MDQ30_MDQ19_G4_T1
25	PKG Port25	BGA_MDQ20_MDQ22_F1_T1	PKG BGA DQ20	BGA_MDQ20_MDQ22_F1_T1
26	PKG Port26	BGA_MDQ21_L3_T1	PKG BGA DQ21	BGA_MDQ21_L3_T1
27	PKG Port27	BGA_MDQ22_MDQ20_F2_T1	PKG BGA DQ22	BGA_MDQ6_MDQ4_N3_T1
28	PKG Port28	BGA_MDQ23_M1_T1	PKG BGA DQ23	BGA_MDQ7_MDQ5_V2_T1
29	PKG Port29	BGA_MDQ24_MDQ25_G5_T1	PKG BGA DQ24	BGA_MDQ31_MDQ24_K5_T1
30	PKG Port30	BGA_MDQ25_MDQ30_L5_T1	PKG BGA DQ25	BGA_MDQ24_MDQ25_G5_T1
31	PKG Port31	BGA_MDQ26_MDQ29_F4_T1	PKG BGA DQ26	BGA_MDQ26_MDQ29_F4_T1
32	PKG Port32	BGA_MDQ27_MDQ28_I5_T1	PKG BGA DQ27	BGA_MDQ27_MDQ28_I5_T1
33	PKG Port33	BGA_MDQ28_MDQ27_F3_T1	PKG BGA DQ28	BGA_MDQ12_MDQ27_N4_T1

圖 5.8 排序 Port(1)

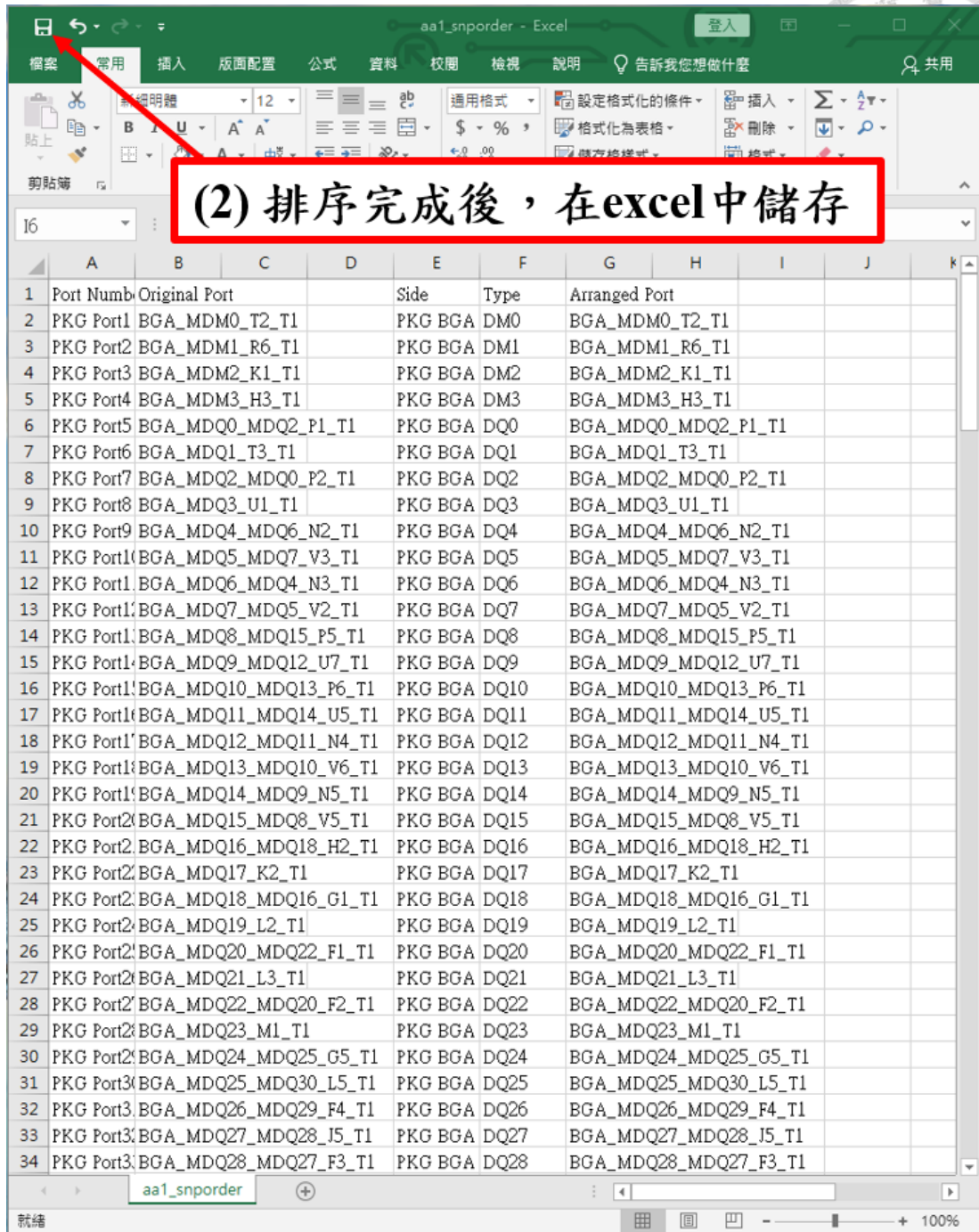


圖 5.9 排序 Port(2)



iii. 重新排序及線性內插 S 參數(如圖 5.10、圖 5.11)：

- (1) Input file 設定並儲存完後，點擊'Reorder& Interpolate Sparameters'，即會開始計算重新排序及線性內插的 S 參數。
- (2) 跳出視窗，表示正在計算中。
- (3) 計算完成後，Step 1 及 Step 2 會顯示完成。



圖 5.10 重新排序及線性內插 S 參數(1)(2)



圖 5.11 重新排序及線性內插 S 參數(3)



iv. 計算讀/寫模式的眼圖指標(如圖 5.12)：

- (1) 根據需要，可以分別計算讀/寫模式，也可以同時計算。
- (2) 跳出視窗，表示正在計算。

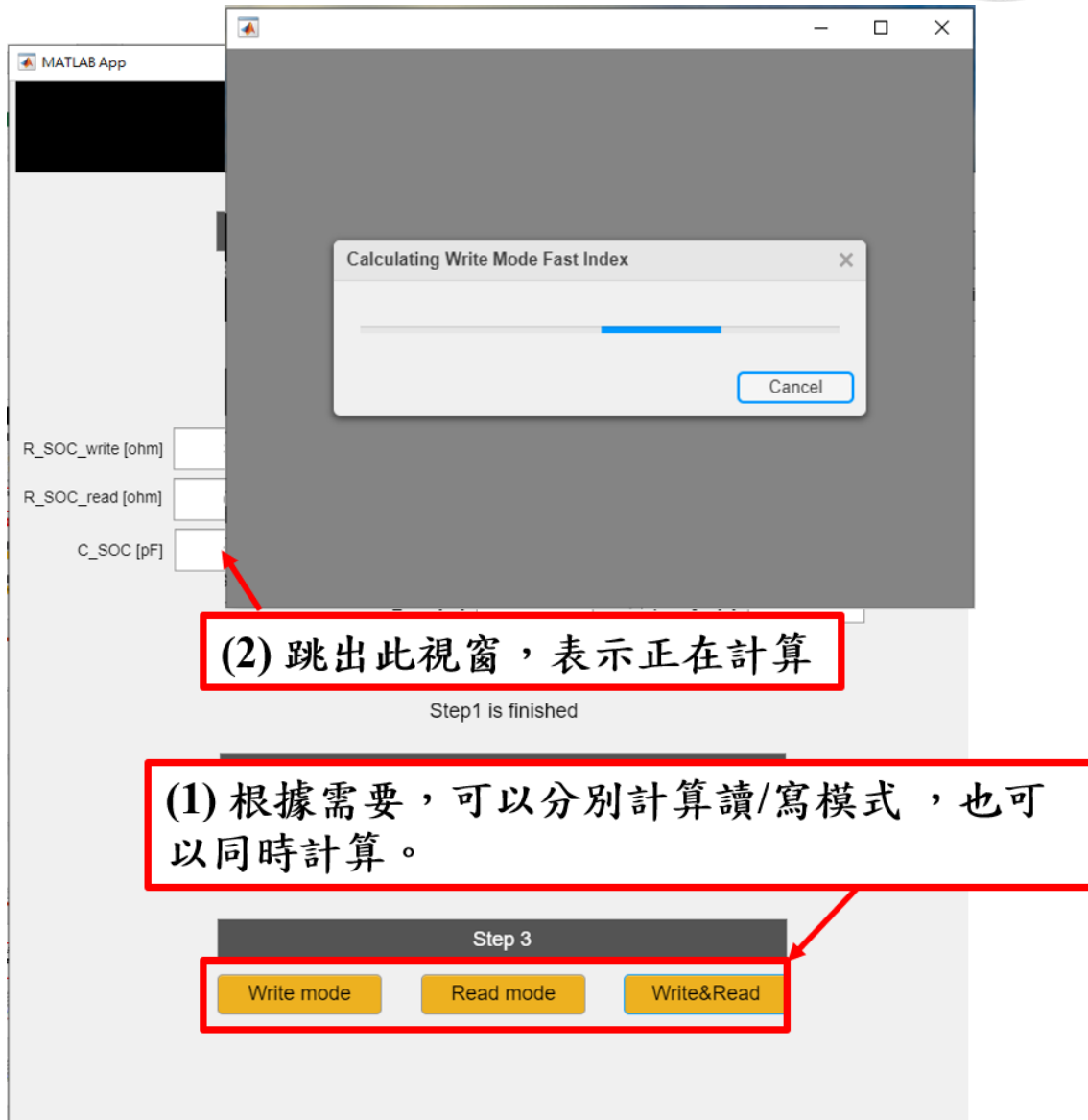


圖 5.12 計算讀/寫模式的眼圖指標(1)(2)



v. 結果展示(如圖 5.13)：

(1) 計算完成的模式會顯示綠燈，若兩者都計算完成，此按鈕可以切換 write 或 read mode 的表格及圖。

(1) 計算完成的mode會顯示綠燈，若兩者都計算完成，此按鈕可以切換write或read mode的表格及圖

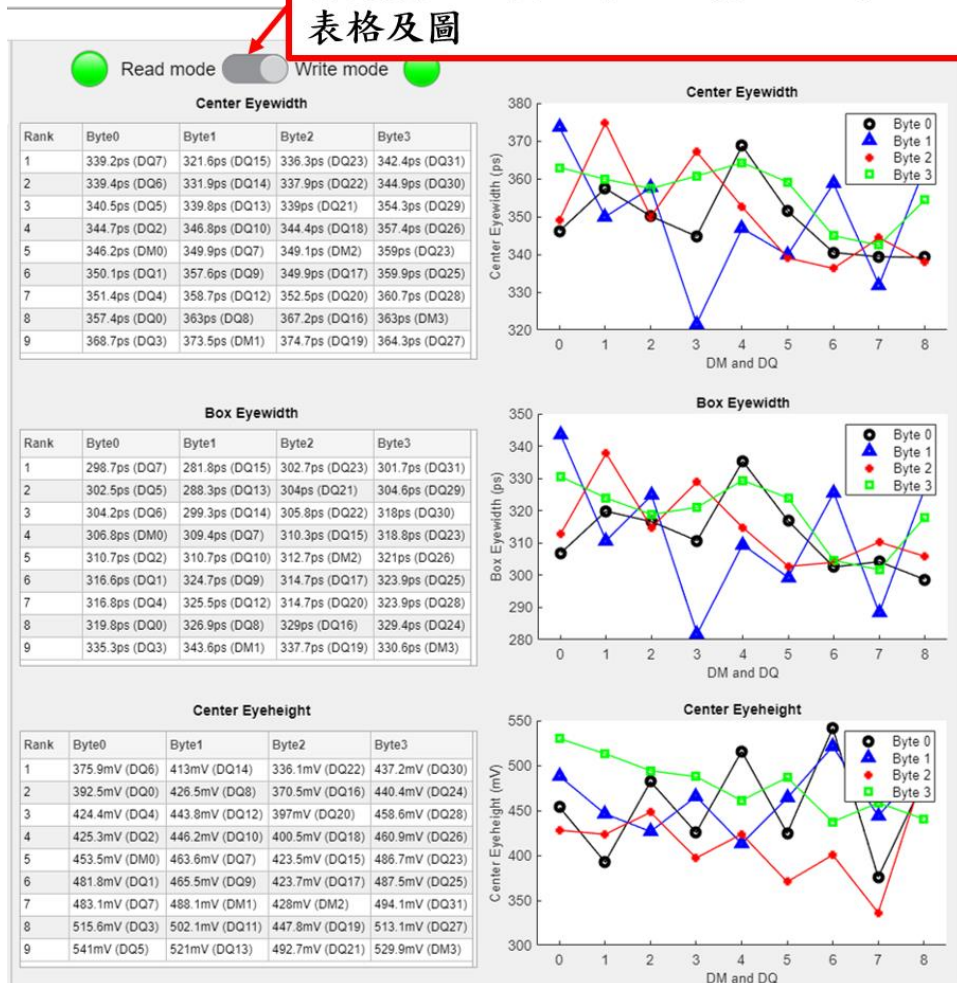


圖 5.13 結果展示(1)



vi. 輸出檔案(如圖 5.14、圖 5.15、圖 5.16)：

- (1) 寫/讀模式計算完成的表格跟圖會分別自動存入 project name_write.csv 及 project name_read.csv 中，並自動開啟。
- (2) 本次的輸入參數設定會存入 project name_log.csv 中。
- (3) 最終會輸出 4 個文件，其中 project name_alignment 為排序 Port 的檔案。

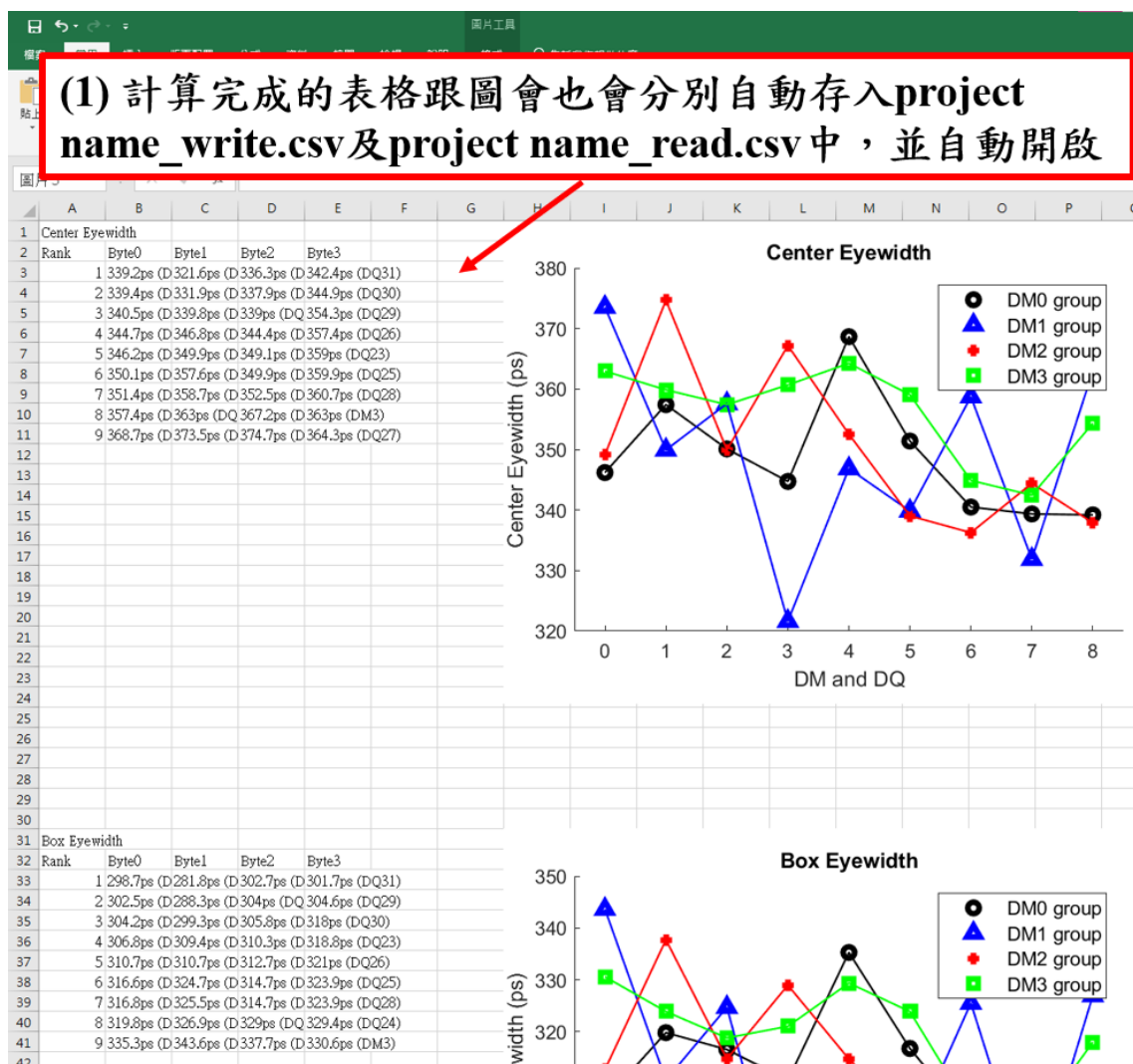
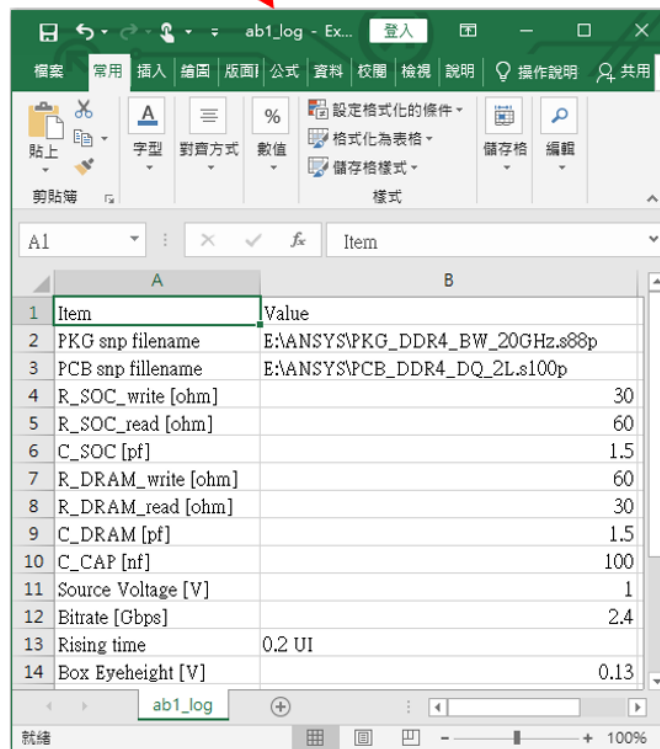


圖 5.14 輸出檔案(1)

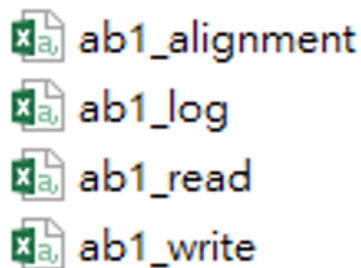
(2) 本次的輸入參數設定會存入project name_log.csv 中



Item	Value
PKG snp filename	E:\ANSYS\PKG_DDR4_BW_20GHz.s88p
PCB snp filename	E:\ANSYS\PCB_DDR4_DQ_2L.s100p
R_SOC_write [ohm]	30
R_SOC_read [ohm]	60
C_SOC [pf]	1.5
R_DRAM_write [ohm]	60
R_DRAM_read [ohm]	30
C_DRAM [pf]	1.5
C_CAP [nf]	100
Source Voltage [V]	1
Bitrate [Gbps]	2.4
Rising time	0.2 UI
Box Eyeheight [V]	0.13

圖 5.15 輸出檔案(2)

(3) 最終會輸出4個文件



ab1_alignment
ab1_log
ab1_read
ab1_write

圖 5.16 輸出檔案(3)



5.3 額外功能及注意事項

5.3.1 額外功能

i. 單計算 PKG 或 PCB 的結果：

(1) 在輸入時，只需輸入要計算的 S 參數即可。

ii. 讀取先前的 project(如圖 5.17、圖 5.18)：

(1) 輸入先前計算完成的 project name

(2) 點擊'Open Project'，不需輸入其他參數，即可以開啟

(3) 開啟成功後，會顯示讀到 project，輸入參數也會自動輸入

(4) 若需再計算一次結果，相繼計算 step 2 及 3 即可。也可改變輸入參數再計算 step 2 及 3，但在這邊改變的參數不會存進 log file 中。



圖 5.17 讀取先前的 project(1)(2)

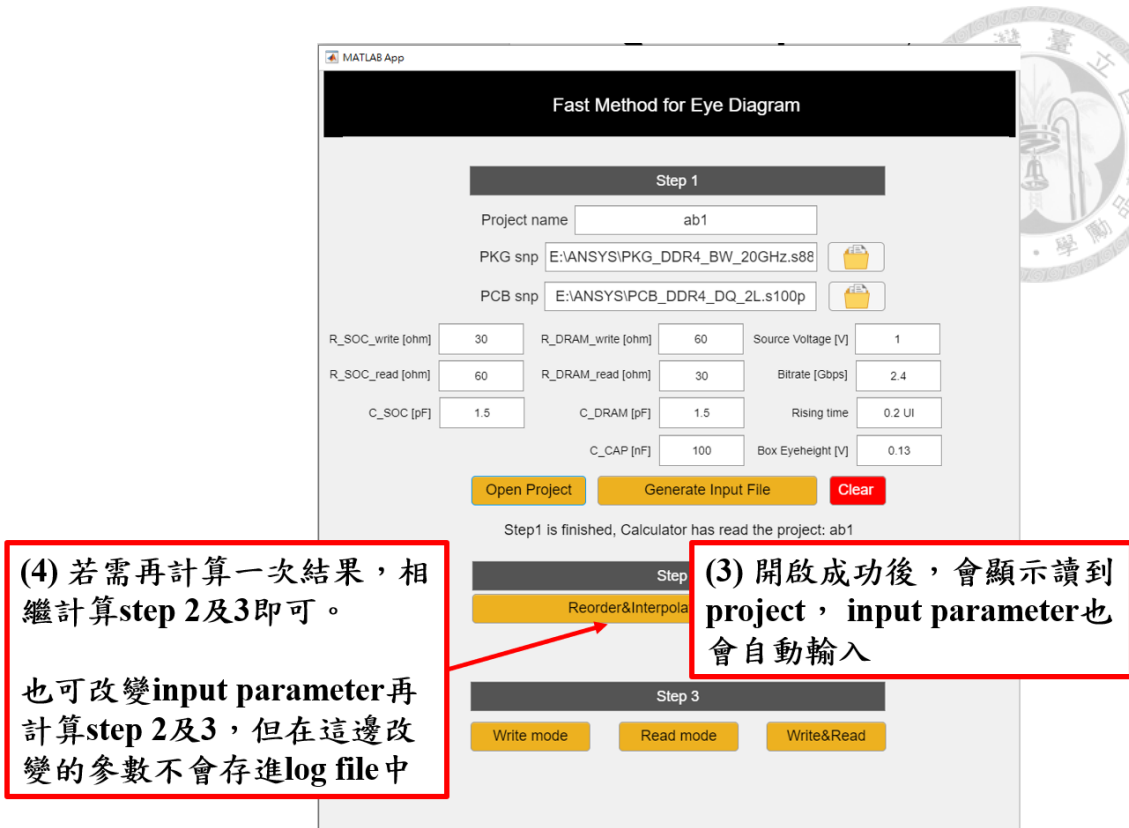


圖 5.18 讀取先前的 project(3)

5.3.2 注意事項

- i. 在 PKG 及 PCB 的 S 參數中，BGA 端的 port 名稱必須包含 'BGA'，如圖 5.8、圖 5.9 中，BGA 端的 port 皆包含 'BGA'。
- ii. PCB 的 S 參數中，若包含 PWR 或是 CAP port，CAP port 的名稱必須包含 CAP 和 Vdd；PWR port 的名稱必須包含 Vdd，如圖 5.19。

CAP	ZCAP_VDD12_DDR_1_CD026_T1
CAP	ZCAP_VDD12_DDR_3_CD021_T1
CAP	ZCAP_VDD12_DDR_5_CD018_T1
CAP	ZCAP_VDD12_DDR_5_CD019_T1
PWR	DRAM1_VDD12_DDR_1_T1
PWR	DRAM1_VDD12_DDR_1_1_T1
PWR	DRAM2_VDD12_DDR_3_T1
PWR	DRAM2_VDD12_DDR_3_1_T1
PWR	DRAM2_VDD12_DDR_3_2_T1
PWR	DRAM2_VDD12_DDR_5_T1
PWR	DRAM2_VDD12_DDR_5_1_T1
PWR	DRAM2_VDD12_DDR_5_2_T1

圖 5.19 PCB S 參數命名注意事項



Chapter 6 結論及未來展望

6.1 結論

本文提出了多條耦合傳輸線的快速眼圖指標解析法，首先推導在不匹配邊界下轉移函數的解析解，再利用反向傅立葉變換可以獲得其脈波響應，並基於峰值失真分析，可以獲取眼圖的各項指標，不再需透過模擬軟體，可以大幅提升設計與優化效率。

解析法相比業界常用的正反相 PRBS 的眼圖(長度約為 2^{15})的做法可以節省約 15000 倍的時間，並改善最多 12 倍的誤差，可以更有效且正確地判斷不同信號線的信號完整度。

使用獨立 PRBS 序列(長度約為 2^{21})，由於此長度夠長，因此已接近收斂，而使用解析法所得到的最劣序列再放進電路模擬軟體得到的眼圖，相比誤差皆在 1% 內，表示此序列可以有效模擬最劣眼圖，而速度可以改善 240 倍。

最後比較解析法以及 MNA 計算的最劣眼圖[21]，最劣眼寬相對誤差小於 0.4%，中心最劣眼高相對誤差小於約 1.6%，盒眼寬相對誤差小於約 0.6%，由於兩個方法是互相獨立計算，因此證明了解析法的正確性。

本研究基於解析法撰寫程式，並建立了 GUI，因此使用者可以在簡易且直覺的操作環境中，計算眼圖指標，而結果不但會直接呈現在介面中，同時也會儲存進檔案，提供使用者進一步分析。

6.2 未來展望

在本文提出的方法可以適用於線性不匹配的電路邊界，但對於非線性的電路邊界仍不適用，因此在未來的研究中可以透過 MER 的方法取代 PDA，將本論文推廣至多條耦合線且非線性的電路邊界，提供更全面的眼圖分析工具。

在實際量測中，通常無法量測到 IC 上的電位，因此無法直接得到 IC 上的眼圖，只能量測到封裝的外部，因此未來的研究可以藉由推導圖 4.7 中，PKG 及 PCB 兩者 S 參數的接點的電位，來得到封裝外部的眼圖，進而與量測的眼圖互相比較。

參考文獻



- [1] JEDEC DDR5 SDRAM [Online]. Available: <https://www.jedec.org/standards-documents/docs/jesd79-5b>
- [2] R. Shi, W. Yu, Y. Zhu, C. -K. Cheng, and E. S. Kuh, "Efficient and accurate eye diagram prediction for high speed signaling," in *2008 IEEE/ACM Int. Conf. Computer-Aided Design*, San Jose, CA, USA, 2008, pp. 655-661
- [3] B. K. Casper, M. Haycock, and R. Mooney, "An accurate and efficient analysis method for multi-Gb/s chip-to-chip signaling schemes," in *2002 Symp. VLSI Cir. (Cat. No.02CH37302)*, Honolulu, HI, USA, 2002, pp. 54-57
- [4] J. Zhang, X. Zhang, and J. Ma, "Simulation design of system-level power integrity and signal integrity of vehicle chip DDR," in *2022 Asia-Pacific Int. Symp. Electromagn. Compat. (APEMC)*, Beijing, China, 2022, pp. 509-511
- [5] T. Kato, S. Yamamoto, T. Sudo, Y. Ono, E. Takahashi, and T. Yamada, "Signal integrity characterization of high-speed DDR interface," in *2011 IEEE Electr. Design Adv. Packag. Syst. Symp. (EDAPS)*, Hanzhou, China, 2011, pp. 1-4
- [6] K.-I. Oh, L.-S. Kim, K.-I. Park, Y.-H. Jun, and K. Kim, "A 5-Gb/s/pin transceiver for DDR memory interface with a crosstalk suppression scheme," in *2008 IEEE Custom Integrated Cir. Conf.*, San Jose, CA, 2008, pp. 639-642
- [7] P.-Y. Weng, C.-H. Cheng, T.-L. Wu, C.-H. Chen, J. Chen, E. Kuo, C.-L. Liao, and B. Mutnury, "Enhanced power and signal integrity through layout optimization of high-speed memory systems," in *2019 Electr. Design Adv. Packag. Syst. (EDAPS)*, Kaohsiung, Taiwan, 2019, pp. 1-3
- [8] S.-Y. Huang, Y.-S. Cheng, K.-Y. Yang, and R.-B. Wu, "Fast prediction and optimal design for eye-height performance of mismatched transmission lines," *IEEE Trans. Compon., Packag. Manuf. Technol.*, vol. 4, no. 5, pp. 896-904
- [9] K. Scharff, H.-D. Brüns, and C. Schuster, "Efficient crosstalk analysis of differential links on printed circuit boards up to 100 GHz," *IEEE Trans. Electromagn. Compat.*, vol. 61, no. 6, pp. 1849-1859, Dec. 2019
- [10] K. Scharff, H.-D. Brüns, and C. Schuster, "Performance metrics for crosstalk on printed circuit boards in frequency domain," in *2019 IEEE 23rd Workshop Signal Power Integrity (SPI)*, Chambéry, France, 2019, pp. 1-4
- [11] H.-H. Zou, P.-J. Ma, J.-Y. Shi, K. Li, and Z.-X. Di, "The optimization and application

- of DDR controller based on multi-core system," in *2012 IEEE 11th Int. Conf. Solid-State Integrated Cir. Technol.*, Xi'an, China, 2012, pp. 1-3
- [12] R. Wei, C. Li, C. Chen, G. Sun, and M. He, "Memory access optimization of a neural network accelerator based on memory controller," *Electron.* 2021; 10(4):438.
- [13] B. Dannan, "Signal integrity characterization of via subs on high speed DDR4 channels," *DesignCon*, Jan. 2020.
- [14] S. N. Wong, "An algorithmic study of DDR3 SDRAM on-die termination switch timings," in *2012 IEEE Workshop Microelectron. Electron Dev.*, Boise, ID, USA, 2012, pp. 1-4
- [15] EFRAM. "On-die termination (ODT) / What is different between dynamic ODT and dynamic OCT when interfacing DDR3 SDRAM with Stratix III or Stratix IV FPGAs?" [Online]. Available: <https://m.blog.naver.com/PostView.naver?isHttpsRedirect=true&blogId=framkang&logNo=220456911948>
- [16] 張瑋儒，脈衝振幅調變於高速串列解列系統中眼圖分析與等化設計，國立台灣大學碩士論文，2018年8月
- [17] Elektron. (2006). Pseudorandom binary sequence generator [Online]. Available: https://en.wikipedia.org/wiki/Pseudorandom_binary_sequence#/media/File:PRBS_15_generator.png
- [18] D. M. Pozar, *Microwave Engineering*. 4th ed., Wiley, 2011. (Chapter 4)
- [19] H. Lee, J. Hwang, and H. Lee, "Optimizing ODT condition and Driver's turn-on resistance to achieve SI of LPDDR dual rank configuration," in *2019 IEEE 21st Electron. Packag. Technol. Conf. (EPTC)*, Singapore, 2019, pp. 608-612
- [20] H.-H. Chuang, personal communication, June 1, 2023.
- [21] C.-C. Chou, personal communication, 2023.