

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Department or Graduate Institute of Electronics Engineering

College of Electrical Engineering & Computer Science

National Taiwan University

Master thesis

40 奈米部份解離絕緣體上矽金氧半元件浮動基體效
應之雙載子電晶體模型

Modeling the Parasitic Bipolar Device in the 40nm PD
SOI NMOS Device Considering the Floating Body Effect



陳嘉興

Chia-Hsing Chen

指導教授：郭正邦 博士

Advisor: James-B Kuo, Ph.D

中華民國 99 年 6 月

June 2010

國立臺灣大學
電子工程學研究所

碩士論文

奈米部份解離絕緣體上矽金氧半元件浮動基體效應之雙載子電晶體模型

陳嘉興 撰



國立臺灣大學（碩）博士學位論文
口試委員會審定書

40 奈米部份解離絕緣體上矽金氧半元件浮動基體效
應之雙載子電晶體模型

Modeling the Parasitic Bipolar Device in the 40nm PD
SOI NMOS Device Considering the Floating Body
Effect

本論文係 陳嘉興 R97943084 在國立臺灣大學電子工程
學研究所完成之碩士學位論文，於民國 99 年 6 月 26 日承下
列考試委員審查通過及口試及格，特此證明

口試委員：

郭正邦

(指導教授)

葉信

陳正雄

系主任、所長

吳志士

**Modeling the Parasitic Bipolar Device in
the 40nm PD SOI NMOS
Device Considering the Floating Body
Effect**

By

CHIA-HSING CHEN

THESIS

Submitted in partial fulfillment of the requirement
for the degree of Master of Science in Electronics
Engineering
at National Taiwan University
Taipei, Taiwan, R.O.C.

June. 2010

Approved by :

Chue Lin Yeh Cheng David Chen

Advised by :

James B. Kuo

Approved by Director :

Sheng Li Lu

致 謝

首先要感謝指導老師郭正邦教授這兩年以來對學生的教導，使我不僅在學問上有所啟發，在待人處世上也獲益良多。

本篇論文寫作的期間遇到許多挫折，最終得以順利完成，歸功於指導老師的照顧及關心，在這裡由衷地感謝。其次是實驗室的學長、學弟們在這段期間的幫助、扶持和勉勵，幫助我順利克服許多困難。

最後我要感謝我的家人，在我求學的這段期間的支持和照顧與栽培，謝謝你們。



中文摘要

在本論文中，描述使用 40 奈米部份解離絕緣體上矽金氧半元件 (partially-depleted silicon on insulator device) 在不同頻率下之導通 (turn-on) 與關閉 (turn-off) 的暫態分析 (transient analysis)。

第一章中介紹絕緣體上矽金氧半 (SOI) 元件及其元件特性，並對部份解離絕緣體上矽金氧半元件 (PDSOI) 進行探討。

在第二章將建立一個適用於暫態分析的等效電路模型，在更高的上升時間 (rise-time) 下，汲極電流會因內部寄生雙載子電晶體 (parasitic bipolar transistor) 之電流增益 (Current Gain) 增大而變大，較小的位移電流與實驗數據可以驗證。

在第三章將討論在不同的下降時間 (fall-time) 下，部份解離絕緣體上矽金氧半元件之其暫態的分析。在更高的下降時間 (fall-time) 下內部寄生雙載子電晶體 (parasitic bipolar transistor) 之 $M-1$ 會相對變小，藉由模擬元件內部載子分佈情形，當操作頻率降低時，撞擊游離效應將不明顯。

第四章為論文總結與未來工作

ABSTRACT

This thesis reports modeling the parasitic bipolar device in the 40nm PD SOI NMOS device considering the floating body effect. Using a unique extraction method, the function of the parasitic bipolar device during DC and transient operations could be modeled.

During the turn-on transient by imposing a step voltage from 0V to 2V at the gate, the case with a slower rise time shows a faster turn-on in the drain current due to a stronger function of the parasitic bipolar device from smaller displacement currents through the gate oxide, as reflected in the current gain, as verified by the experimentally measured results.

During the turn-off transient by imposing a step voltage from 2V to 0V at the gate, the case with a faster fall time shows a faster turn-off in the drain current due to a stronger function of the parasitic bipolar device. With a slower fall time shows a bigger multiplication factor imply stronger impact ionization, Verified by the experimentally measured data and the 2D simulation results, Chapter 4 is conclusion and future work.

目 錄

口試委員會審定書.....	i
誌謝.....	iii
中文摘要.....	iv
英文摘要.....	v
Chapter 1 導論.....	1
1.1 絕緣體上矽金氧半元件(silicon on isulator ; SOI CMOS)簡介.....	2
1.2 部分解離絕緣體上矽金氧半元件(PDSOI).....	3
1.3 電流傳導機制(Current Conduction Mechanism).....	5
1.4 論文架構.....	6
Chapter 2 部分解離絕緣體上矽 N 型金氧半元件之 turn-on 暫態分析.....	7
2.1 考慮撞擊游離(impact ionization)之汲極電流模型.....	8
2.1.1 元件架構.....	8
2.1.2 直流分析.....	9
2.1.3 汲極電流模型.....	10
2.2 暫態(transient analysis)電流模型推導.....	15
2.2.1 Gummel-Poon 模型.....	15
2.2.2 考慮寄生電容之電流精簡模型.....	17

2.3	不同頻率下之電流增益 (Beta)與 M-1 之 rise-time 分析.....	19
2.4	模型驗證.....	22
2.5	結論.....	29
Chapter 3	部分解離絕緣體上矽 N 型金氧半元件之 turn-off 暫態分析.....	30
3.1	不同頻率下之電流增益 (Beta)與 M-1 之 fall-time 分析.....	31
3.2	模型驗證.....	33
3.3	結論.....	39
Chapter 4	總結與未來工作.....	41
參考書目	43



圖目錄

Chapter 1

圖 1.1：傳統金氧半元件(bulk)之剖面圖

圖 1.2：絕緣體上矽金氧半元件(SOI)的剖面圖

圖 1.3：部份解離絕緣體上矽金氧半元件之剖面圖

Chapter 2

圖 2.1：40 nm 部份解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件剖面圖

圖 2.2：為 40nm PD SOI NMOS 元件的汲極電流對汲極電壓關係圖

圖 2.3：部份解離等效部份解離絕緣體上矽(PD SOI)等效電流模型

圖 2.4 寄生雙載子電晶體之 $M-1$ 與電流增益(Current Gain)在汲極電壓為 2V 時對閘極電壓的關係圖

圖 2.5：簡化後之 Gummel-Poon 模型

圖 2.6：部份解離等效部份解離絕緣體上矽(PD SOI)等效電流模型

圖 2.7：當閘極電壓為 0V 到 2V，上升時間為 100ns 與 10ns 之汲極電流與輸入閘極電壓

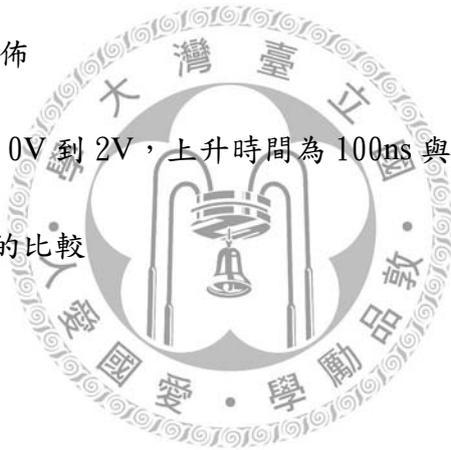
圖 2.8 : 部分解離絕緣體上金氧半元件之寄生雙載子電晶體 turn-on 暫態分析電流增益 (Current Gain) 與乘增因子 (multiplication factor) 在不同的上升時間

圖 2.9.1 : 當閘極電壓為 0V 到 2V, 上升時間為 10ns 在 (a) 開始與 (b) 結束瞬間之二維電洞電流分佈

圖 2.10.1 : 當閘極電壓為 0V 到 2V, 上升時間為 (a) 100ns 與 (b) 10ns 在上升結束時之二維電洞濃度分佈

圖 2.10.2 : 當閘極電壓為 0V 到 2V, 上升時間為 (a) 100ns 與 (b) 10ns 在上升結束時之二維電子濃度分佈

圖 2.11 : 當閘極電壓為 0V 到 2V, 上升時間為 100ns 與 10ns 之 dQ_s/dt 、 dQ_d/dt 對上升時間 (rise-time) 的比較



Chapter 3

圖 3.1 : 當閘極電壓為 2V 到 0V, 下降時間為 100ns 與 10ns 之汲極電流與輸入閘極電壓

圖 3.2: 部分解離絕緣體上金氧半元件之寄生雙載子電晶體 turn-off 暫態分析電流增益 (Current Gain) 與乘增因子 (multiplication factor) 在不同的下降時間

圖 3.3 : 當閘極電壓為 0V 到 2V, 下降時間為 (a) 10ns 與 (b) 100ns 在下降結束瞬

間之二維電子濃度分佈

圖 3.4.1 : 當閘極電壓為 0V 到 2V，下降時間為 10ns 在(a)開始與(b)結束瞬間

之二維電洞電流分佈

圖 3.4.2 : 當閘極電壓為 0V 到 2V，下降時間為 100ns 在(a)開始與(b)結束瞬間

之二維電洞電流分佈

圖 3.5 : 當閘極電壓為 0V 到 2V，上升時間為 100ns 與 10ns 之 dQ_s/dt 、 dQ_d/dt

對上升時間(fall-time)的比較



Chapter1

導論

Introduction

絕緣體上矽(Siliconon - Insulator - SOI)金氧半元件是以絕緣體和其上的一層單晶矽為基材加工製造出來的半導體元件，由與比一般的CMOS元件多了一層潛埋氧化層(buried oxide)，所以元件之間不再共用一層基底(substrate)，潛埋氧化層(buried oxide)的結構可提供良好的絕緣能力，使得絕緣體上矽金氧半元件的漏電流變得相當小，此外絕緣體上矽金氧半元件技術和之前傳統的金氧半元件(bulk)相比[1]，除了具有漏電流小的優點外，還有臨界電壓較小、抗輻射能力強、寄生電容小、二次效應(second-order effect)小、沒有latch-up現象、功率消耗低、速度快、和現有超大型積體電路(VLSI)設計技術相容等許多優點。在未來的電路設計上，可能會大幅採用此種製程技術。

在本章中，首先大略介紹絕緣體上矽金氧半元件，其次為部份解離絕緣體上矽金氧半元件，接著介紹絕緣體上矽金氧半元件在寄生雙載子電晶體導通時內部的電流傳導機制。

1.1 絕緣體上矽金氧半元件

圖 1.1 所示為傳統金氧半元件(bulk)之剖面圖，圖 1.2 所示為絕緣體上矽金氧半元件(SOI)之剖面圖。SOI 元件的潛埋氧化層可使 N 型金氧半元件及 P 型金氧半元件之 p 型及 n 型的汲極源極區域在元件設計時直接接觸，以提高元件密度減少電路設計時的面積消耗。同時較低的漏電流和寄生電容，使絕緣體上矽金氧半元件使用在電路設計下的功率損耗較少，速度也較快[2]。

另外由於絕緣體上矽金氧半元件(SOI)存在有潛埋氧化層作為矽薄膜層(thin-film)和基板之間的隔離，絕緣體上矽金氧半元件的高溫漏電流情形相較於傳統金氧半元件也改善了許多。除此之外，當元件的操作溫度改變逐漸升高時，SOI 元件的輸出電導(output conductance)也有相對的改善。和傳統的金氧半元件相比，SOI 元件臨界電壓的變動量大概比傳統金氧半元件小約二到三倍，這代表絕緣體上矽金氧半元件(SOI)在高溫環境下的效能將優於傳統矽金氧半元件。

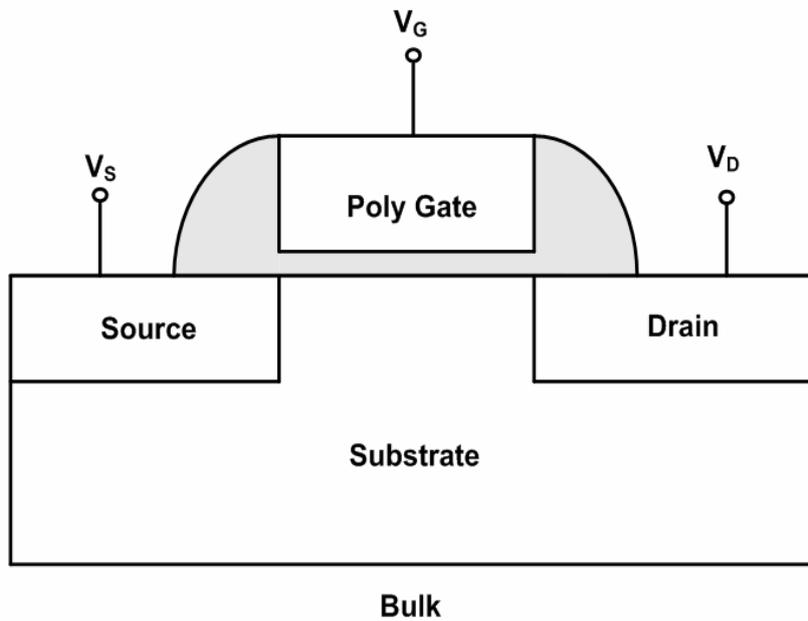


圖 1.1：傳統金氧半元件(bulk)之剖面圖

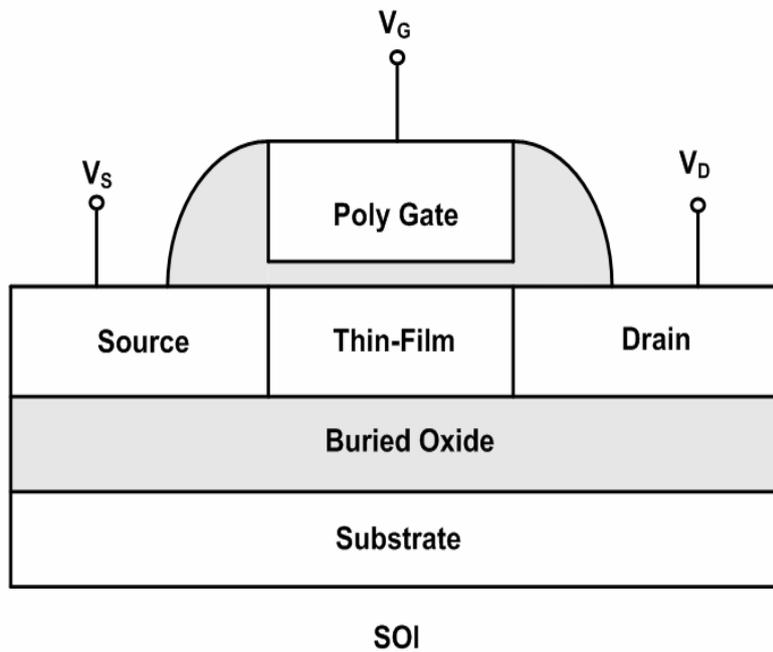


圖 1.2：絕緣體上矽金氧半元件(SOI)的剖面圖

1.2 部分解離絕緣體上矽金氧半元件(PD SOI)

絕緣體上矽(SOI)金氧半元件可以分為厚膜(thick thin-film)與薄膜(thin

thin-film)兩種。厚膜元件只有矽薄膜層上方的部份產生空乏，矽薄膜層的下方保持中性，此元件稱為部份解離絕緣體上矽金氧半元件(partially-depleted SOI；PD SOI)圖. 1.3 所示， 部分解離絕緣體上矽金氧半元件(partially-depleted SOI)其優點在於因為矽薄膜層(thin-film)不完全解離，所以部分絕緣體上矽金氧半元件的臨界電壓(threshold voltage)不受矽薄膜層厚度的影響，有較穩定的臨界電壓。

除此之外，部分解離絕緣體上矽金氧半元件的優點還包括因為矽薄膜層不需特別要求厚度精準，提供工業製造上大量生產，元件容易設計、多重臨界電壓(multi-threshold)選擇性，較小的二次效應等；

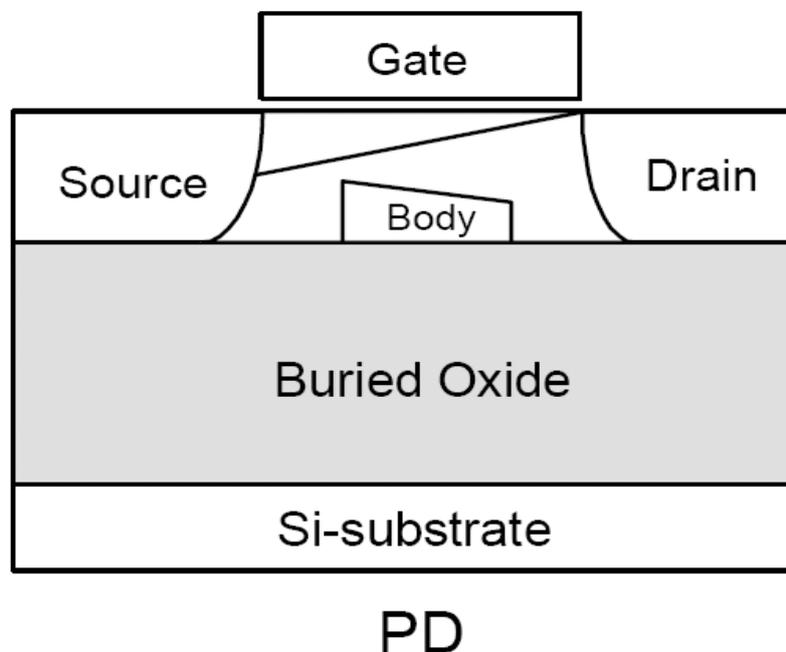


圖 1.3：部份解離絕緣體上矽金氧半元件之剖面圖

1.3 電流傳導機制 (Current Conduction Mechanism)

當元件操作在飽和區間(saturation region)時，在氧化層/矽(SiO_2/Si)表面的反轉層內，會有由電子群漂移所形成的通道電流。在接近汲極端的高電場區域，即後夾止區域(post pinch-off)，因存在大的橫向電場(lateral electric field)，傳導電子將會受靠近汲極的橫向電場作用而加速向汲極端撞擊晶格使電子得到足夠的游離能，脫離原子產生自由的電子電洞對(electron-hole pair)，而這些新產生出來的自由載子又受到內建電場加速繼續撞擊晶格產生更多電子電洞對，如此循環擴大稱之為撞擊游離(impact ionization) [3]，又稱為雪崩效應(avalanche effect)，在發生撞擊游離過程當中電子往汲極移動而電洞會向下往 buried oxide 移動並累積於中性基體中，但是部分解離絕緣體上矽金氧半元件在製程後上層電路與下層絕緣基板會產生電容，由於是意外產生，且對上層電路會造成一個寄生的雙載子電晶體，在中性區域此效應被稱為浮動基體效應(floating-body effect)，當基體電壓越來越高使得寄生雙載子電晶體基-射接面導通，由於部分解離絕緣體上矽金氧半元件因為不完全解離的矽薄膜層產生了浮動基體(floating body) [4]，所產生的多餘電流無法由基底排掉，將由上層的汲極吸收造成汲極電流變大，此現象為電流突增效應(kink effect)，為部分解離絕緣體上矽金氧半比傳統矽金氧半元件不理想的物理限制。

1.4 論文架構

此章討論絕緣體上矽金氧半(SOI)元件與傳統金氧半元件(bulk)的比較，SOI 具有元件密度高、臨界電壓較小、抗輻射能力強、寄生電容小、二次效應(second-order effect)小、沒有 latch-up 現象、功率消耗低、速度快、適合操作在高溫環境、和 VLSI 設計技術相容等許多優點。並且介紹部份解離絕緣體上矽(PD SOI)在飽和區的電流傳導機制，並且建立一個汲極電流模型來描述埋藏氧化層中寄生雙載子電晶體(parasitic bipolar)和游離撞擊對絕緣體上矽金氧半(SOI)元件的影響，由於是考慮在直流的環境之下，所以元件內所有的寄生電容皆可視為斷路，在接下來的章節將會討論在暫態的環境下，汲極電流模型將如何修改以符合高頻環境下的變化。



Chapter 2

部份解離絕緣體上矽 N 型金氧半 元件之 turn-on 暫態分析

Turn-on transient analysis of PD SOI NMOS device

本章中將以二維模擬器(medic) [8] 對一個 40 奈米部份解離絕緣體上矽 (PD SOI) 作暫態分析。當元件操作於飽和區時，其元件內部之電流傳導機制如。當元件操作在飽和區間 (saturation region) 且存在大的橫向電場時。在接近汲極端的高電場區域會發生碰撞游離 (impact ionization)，漂移的電子撞擊晶格而產生電子電洞對。產生的電子群電洞群會因雪崩效應而大量產生，之後受電場影響電子群往汲極移動，電洞群往源極移動而形成電子電洞電流 (I_h)，此即為撞擊游離電流 (impact ionization current)。一部分的撞擊游離電流會因垂直電場，而直接垂直流向潛埋氧化層 (buried oxide) 形成基極電流，累積在潛埋氧化層上薄膜層 (thin film) 內而觸發潛埋氧化層 (buried oxide) 上的寄生雙載子電晶體 (parasitic bipolar) 導通。在寄生雙載子電晶體內一部分由電子群所組成的集極電流 (collector current)，會因垂直電場而向高電場處流動。此電子群也會撞擊晶格，因此亦會

與通道電流機制相同，進而有電子電洞對的產生。本章將針對部份解離絕緣體上矽金氧半元件，由直流等效電流模型出發，提出一個適用於暫態分析的改良等效電路模型，在不同的 turn-on 速度下分析暫態汲極電流與時間的關係，配合實驗結果與模擬驗證模型加以分析討論元件內部的特性。

2.1 飽和區汲極電流模型 (Drain Current Model at Saturation)

2.1.1 元件結構



圖 2.1 顯示有效通道長度(effective channel length)40 nm 部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之剖面圖，薄膜層(thin-film)的厚度為 70 nm 並參雜 p 型雜質，雜質濃度為 $2.5 \times 10^{18} \text{ cm}^{-3}$ ，邊牆(sidewall spacer)下方有 65 nm 長的 n 型輕參雜區域(n-type LDD)，參雜濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ ，通道長度(channel length)為 60 nm，埋藏氧化(buried oxide)層厚度為 145 nm，材料上使用實際厚度(EOT)為 1.5 nm 的 SiO_2 ，並使用二維模擬器 Medici [8]來幫助我們萃取暫態電流與內部電荷。

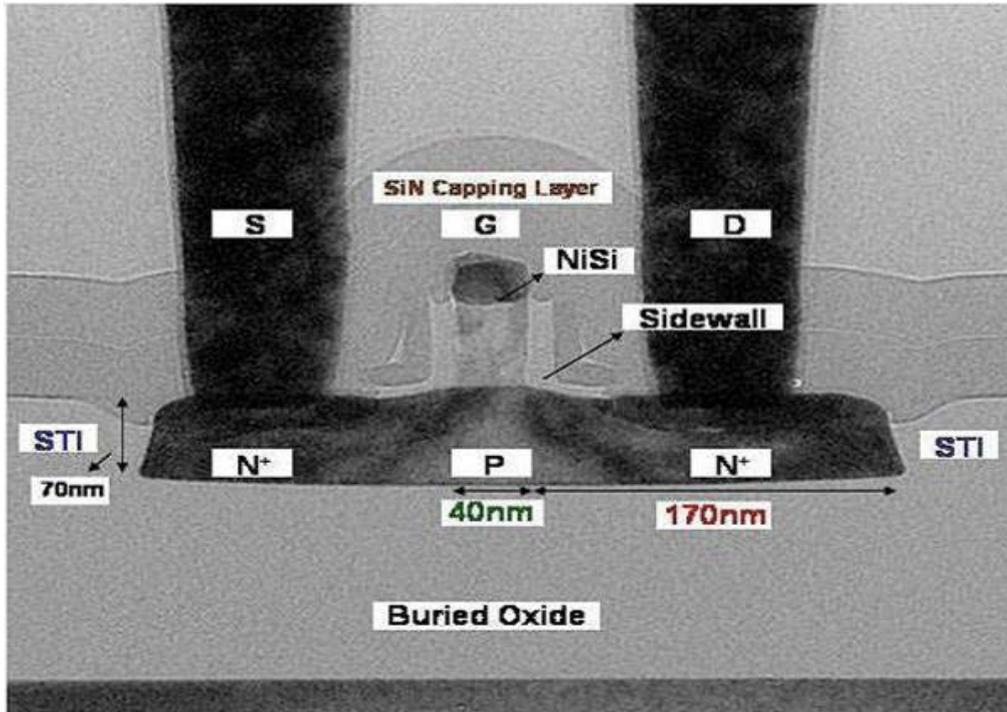


圖 2.1 :40 nm 部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之

2.1.2 直流特性

如圖 2.2 為 40 nm PD SOI NMOS 元件的汲極電流對汲極電壓關係圖，其 V_G 分別為 0.5V、1.0V、1.5V 與 2.0V，由於在雙載子電晶體導通瞬間，會使基體-源極電壓 (Body-Source Voltage) 產生劇烈變化。所以當開極電壓 (Gate Voltage) 小時，其過飽和區 (post saturation region) 越大，亦即載子發生碰撞的區域變大，電洞的累積較快，突增現象 (Kink effect) 會提早發生 [5]

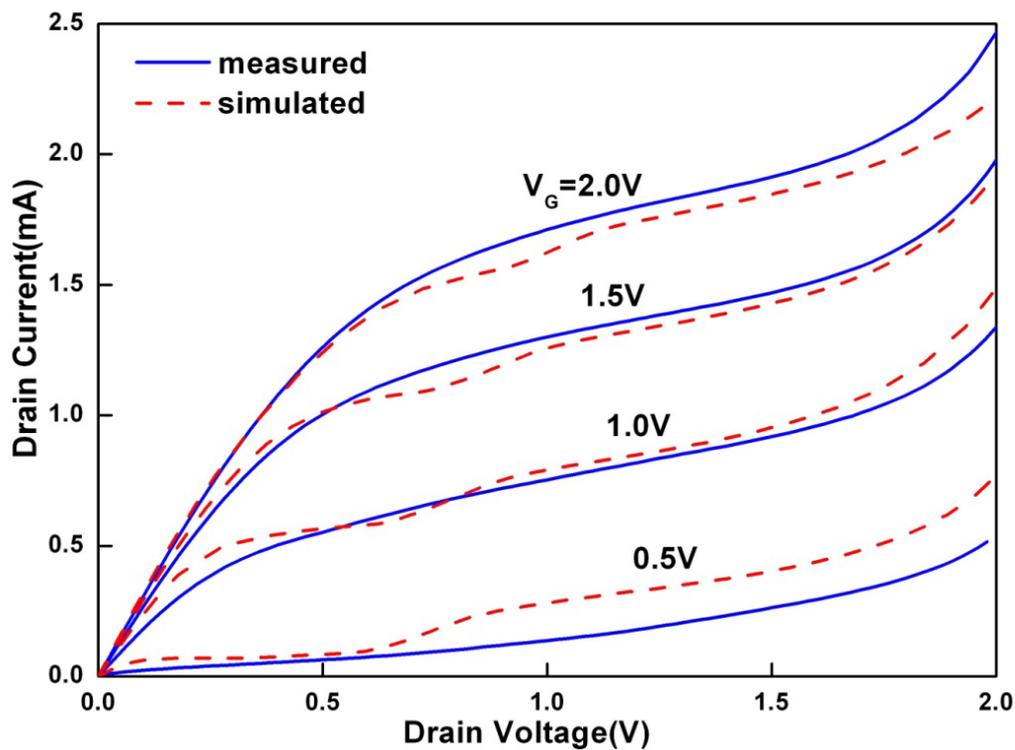


圖 2.2: 為 40nm PD SOI NMOS 元件的汲極電流對汲極電壓關係圖

2.1.3 汲極電流模型

由第一章第 3 節所介紹的電流傳導機制可知，部分解離絕緣體上矽 N 型金氧半元件 (PD SOI NMOS) 在飽和區將可以分為上層的金氧半元件 (MOS) 與下層的寄生雙載子電晶體 (parasitic bipolar)，但是光是這樣並不足以精準的描述一個真正的絕緣體上矽模型，為了將高電場區的碰撞游離 (impact ionization) 考慮進來，於是適當的加入 K' 等其他係數，期望描述一個絕緣體上矽模型在直流環境下的表現，得到如圖 2.3 之可知等效部份解離絕緣體上矽 (PD SOI) 等效電流模型。

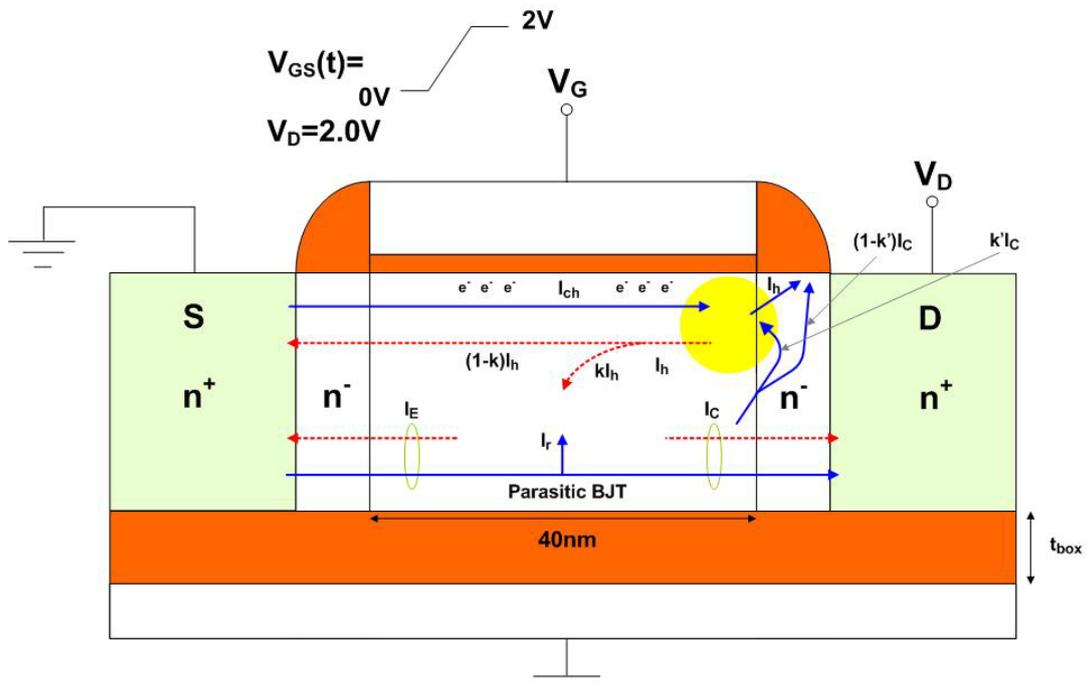


圖 2.3: 部分解離等效部份解離絕緣體上矽(PD SOI)等效電流模型

部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)操作在飽和區間

(saturation region)時，其汲極電流分別是由以下電流所共同組成的[11]：

$$I_D = I_{ch} + I_h + I_c \quad (2.1)$$

其中

I_D =汲極電流(drain current)

I_{ch} =表面通道電流(surface channel current)

I_h =電子群電洞群會因雪崩效應而大量產生，之後受電場影響電子群往汲極移動，

電洞群往源極移動而形成電子電洞電流(I_h)，此即為撞擊游離電流(impact ionization current)。

I_c =寄生雙載子電晶體(parasitic bipolar transistor)之集極電流 (collector current)

接下來我們來分析元件內的源極電流(source current)(I_S)如同圖 2.3 所示，所加起來的結果[18]；

$$I_S = I_{ch} + (1-K)I_h + I_E \quad (2.2)$$

其中

I_{ch} =表面通道電流(surface channel current)

I_h =一部分的碰撞游離電流(impact ionization current)

I_c =寄生雙載子電晶體(parasitic bipolar transistor)的射極電流(emitter current)

K =形容有多少碰撞游離電流(impact ionization current)流入寄生雙載子電晶體(parasitic bipolar transistor)的基極(base)， K 除了會影響崩潰電壓(Breakdown Voltage)也會改變突增效應(Kink Effect)。

碰撞解離電流(impact ionization current)是表面通道電流(surface channel current)(I_{ch})、以及一部份通過高電場區的集極電流 (collector current)($K I_c$)之共同的函數，所以可表示為[18]：

$$I_h = (M-1)(I_{ch} + K I_c) \quad (2.3)$$

K' 代表有多少比例的集極電流 (Collector Current) 回流到高電場區域，所以

$K'I_C$ 代表有多少 I_C 流入到碰撞解離 (impact ionization) 的區間。

$(M-1)(I_{ch})$ 為上方金氧半電容元件來導通寄生雙載子電晶體 (parasitic bipolar transistor) 的貢獻比例 [10]，因為在雙載子電晶體要導通之前，集極電流

(Collector Current) 很小。

其中， M 是指元件內的乘增因素 (multiplication factor) [11]：

$$M - 1 = \alpha(V_D - V_{DSAT}) \exp\left(-\frac{\beta}{V_D - V_{DSAT}}\right) \quad (2.4)$$

而 α 與 β 為製程相關的調整參數 (fitting parameter)，

V_{DSAT} 是汲極電壓 (drain voltage) 正好到達飽和區 (saturation region) 的值

以直流的情形去考量，若元件到達穩定狀態 (steady state) 時，此時源極電流

(source current) 跟汲極電流 (drain current) 會相等，即 $I_D = I_S$ 。所以根據這個條

件可知，汲極電流 (drain current) 的公式應為 [11]：

$$I_D = GI_{ch} + HI_{CBO} \quad (2.5)$$

$$G = 1 + \frac{(M-1)(1-(1-K)\alpha_0)}{1-(1+KK'(M-1))\alpha_0}$$

$$H = \frac{1+K'(M-1)}{1-(1+KK'(M-1))\alpha_0}$$

使用二維元件軟體 (medici) 萃取過程其中汲極電流 I_S 以及汲極電流 I_D 均採用模

擬時考慮撞擊游離 (impact ionization) 模型所得的汲極電流， I_{ch} 採用模擬時不考

慮撞擊游離(impact ionization)模型所得的汲極電流，電流 $(1-K)I_h$ 採用模擬時考
 慮撞擊游離(impact ionization)模型於源極(source)端所蒐集到的源極電洞電流
 (source hole current)，碰撞游離電流(impact ionization current)(I_h)可直接由模
 擬而得。根據公式聯立可求出在如圖 2.4 直流環境下的 M-1 跟電流增益(Current
 Gain)，當閘極電壓減少，因後夾止區域(post pinch-off)變大，撞擊游離(impact
 ionization)更嚴重，造成 M-1 值變大。由圖 2.4 知 β_0 與 M-1 的趨勢相反，但是
 就高汲極電壓之下，寄生雙載子電晶體(parasitic bipolar transistor)效應比撞擊游
 離(impact ionization)效應強，固崩潰電壓(Breakdown Voltage)會與閘極電壓有些
 許相關，可解釋當閘極電壓變小，崩潰電壓(Breakdown Voltage)會延後發生。

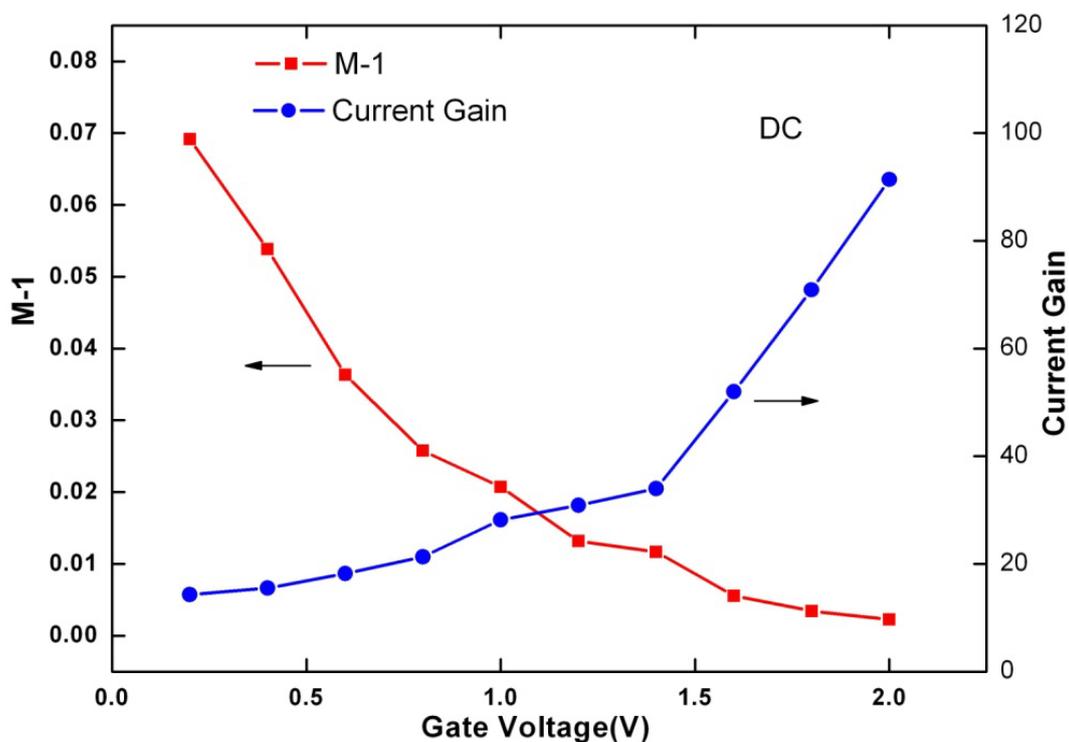


圖 2.4 :寄生雙載子電晶體之M-1 與電流增益(Current Gain)在汲極電壓為2V時
 對閘極電壓的關係圖

2.2 暫態(transient analysis)電流模型推導

在直流分析中，元件內部的寄生電容皆可以視作為斷路，所以之前的討論皆不考慮寄生電容所引起的效應，根據電磁理論，當外加電壓為時間的變數時，會使內部的電場也為時變，雖然並沒有實際的電荷移動，但是電場的變化會引起感應電荷(inductive charge)的產生，進而形成位移電流(displacement current)，由公式

$$\mathbf{J}_D = \epsilon_r \epsilon_0 \frac{\partial \mathbf{E}}{\partial t} = \frac{\partial \mathbf{D}}{\partial t} \quad (2.6)$$

其中

ϵ_0 = 真空中的介電係數(permittivity of free space)

ϵ_r = 材料中的相對介電係數(relative permittivity)

\mathbf{E} = 電場強度(electric field intensity)

由位移電流(displacement current)在乘上電場的面積之後，就可以計算出寄生電容上的感應電荷(inductive charge)影響[6]，

$$I_D = \frac{\partial Q_D}{\partial t} \quad (2.6)$$

藉由導入以上的感應電流分析，將可以把金氧半電容元件 (MOS)中的電容[7]加入分析。

2.2.1 Gummel-Poon 模型

Bipolar 元件最早之模型為 Ebers-Moll model，此模型為直流模型，用此模型可

用簡單的等校電路解釋 base 中雙載子之複合(recombination)現象，並能解釋電流增益(Current Gain)之發生，但由於 Ebers-Moll model 無法用於暫態(transient)分析，所以需要使用 Gummel-Poon 來分析暫態。

Gummel-Poon 模型又叫 charge control 模型，係加入電荷模型至直流模型用來分析元件之暫態行為。Gummel-Poon 模型比一般的 Eber-Moll 模型多了四個非線性電容。

四個非線性之電容代表電荷 Q_F 、 Q_R 、 Q_{VE} 、 Q_{VC} ， Q_F 是 forward mobile charge， Q_R 是 reverse mobile charge， Q_{VE} 、 Q_{VC} 分別是 base-collector、base-emitter junction 內部空乏區(depletion region)之間的空間電荷(space charge)，為了簡化計算，將簡化此空間電荷(space charge)，圖 2.5 為簡化過後的 Gummel-Poon 模型

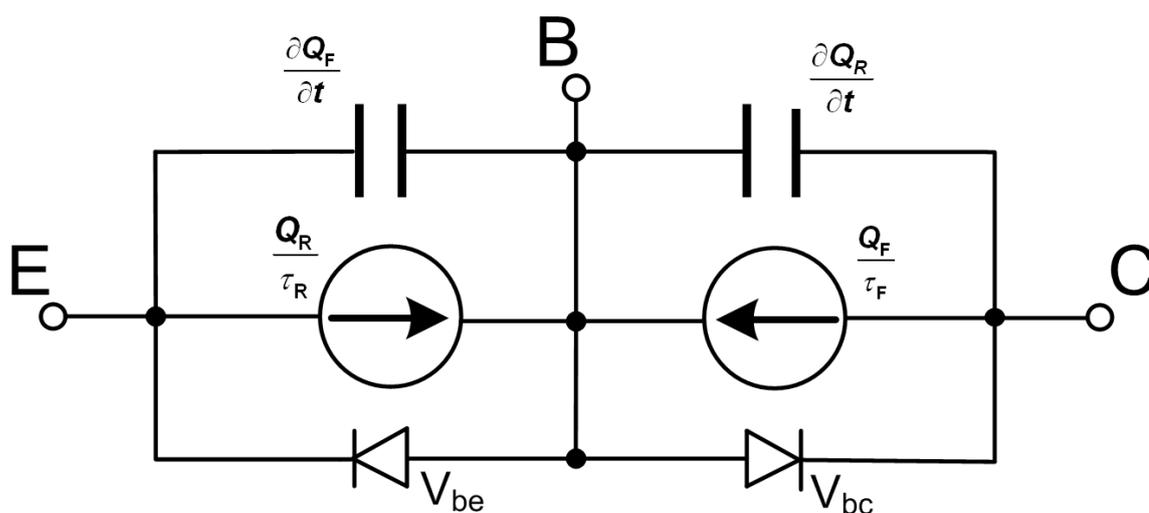


圖 2.5 : 簡化後之 Gummel-Poon 模型

Q_F 的分析可簡化為集極電流 (collector current) I_C 與基極傳輸時間 (forward transit time) τ_F 之乘積

$$Q_F = \tau_F I_C \quad (2.7)$$

同理 Q_R 是由 base-collector junction 所產生在基極(base)中之總電子量, Q_R 可表示為基極-集極界面(base-collector junction)所生之電流關係式,

$$Q_R = \tau_R I_E \quad (2.8)$$

τ_R (reverse transit time) 是由集極(collector)至射極(emitter)所需的時間。可視為 τ_R 為集極(collector)和射極(emitter)顛倒之基極傳輸時間(base transit time)。



2.2.2 考慮寄生電容之電流精簡模型

在上一節我們考慮了暫態中薄膜(thin-film)底層電荷對寄生雙載子元件的影響, 接下來便是要加入薄膜(thin-film)上層金氧半電晶體的電荷在暫態中的影響, 以下分析為將空乏區(depletion region)之空間電荷(space charge)分離為端點電荷, Q_D 是劃歸至汲極端之通道電子量、 Q_S 為靠近源極之通道電子量, $Q_D + Q_S$ 就是通道內的全部電子量, 我們由公式可之利用積分方法由總通道的電子量乘上

比重(weight)從 Q_1 分離出汲極電荷與源極電荷，以 Q_s 為例，越靠近源極(source) 比重越大。在靠近源極(source) 比重越大，離源極(source) 比重小，依此積分法類推可得 Q_D

$$Q_s = -\int_0^L \left(1 - \frac{y}{L}\right) Q_1(y, t) dy \quad (2.9)$$

$$Q_D = -\int_0^L \left(\frac{y}{L}\right) Q_1(y, t) dy \quad (2.10)$$

根據所推導的精簡 Gummel-Poon 模型，再加上的原本的直流電流模型，可以得到一個如圖 2.6 之完整的部分解離絕緣體上矽金氧半元件(PD SOI)等效電路模型。

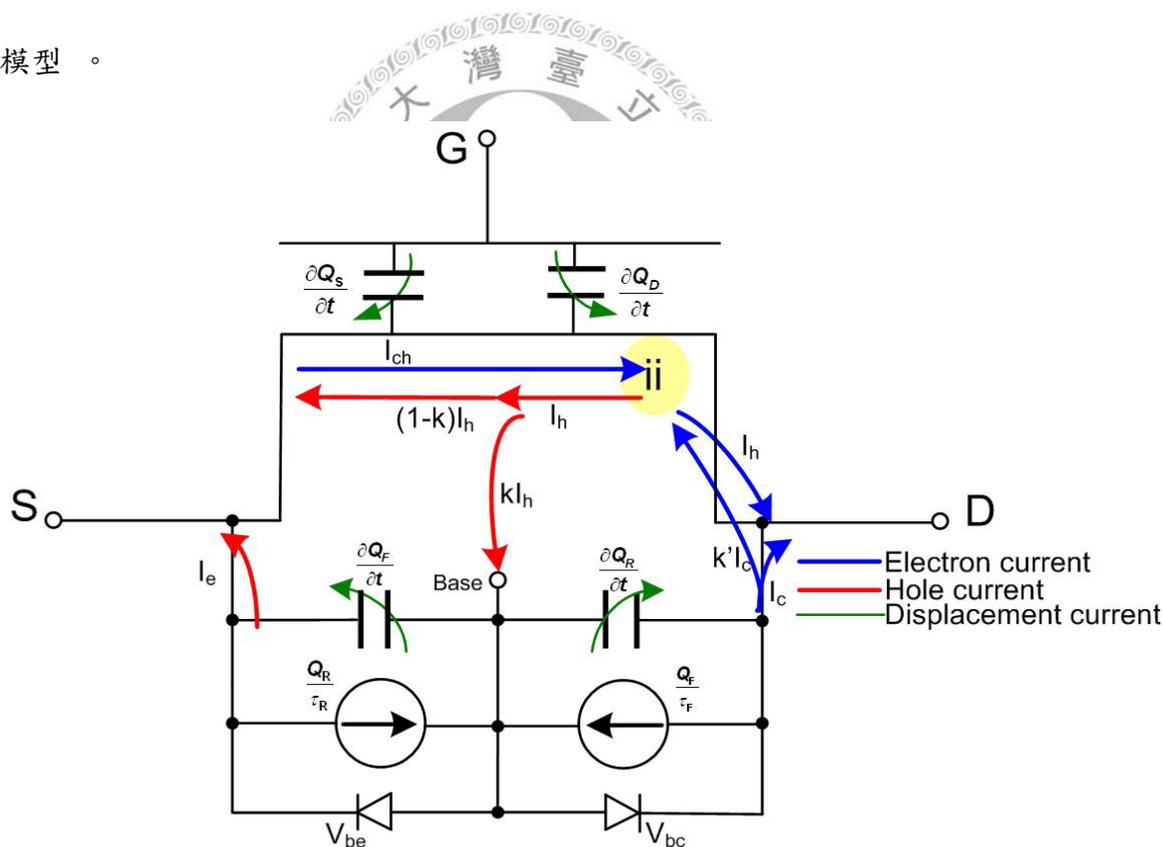


圖 2.6: 部分解離等效部份解離絕緣體上矽(PD SOI)等效電流模型

根據這個等效電流模型，可以列出聯立方程組求解元件內部寄生雙載子電晶體的

集極電流(collector current)與射極電流(emitter current)，進而求出內部寄生雙載子電晶體的電流增益(Current Gain)與元件的 $M-1$ [18]，由等效電路圖 2.6 可得知[12]

$$I_D = I_{ch} + I_h + I_C + \frac{dQ_D}{dt} \quad (2.11)$$

$$I_S = I_{ch} + (1-K)I_h + I_E + \frac{dQ_S}{dt} \quad (2.12)$$

$$I_h = (M-1)(I_{ch} + K'I_C) \quad (2.13)$$



2.3 不同頻率下之電流增益 (Beta)與 $M-1$ 之 rise-time 分析

為了實際比較不同上升時間下的開極電壓下所影響的汲極電流，我們實作了上昇週期各為 10ns 與 100ns 的開極輸入波形，由於波形產生器所生的波形並非完美的上升曲線，所以在比較圖 2.7 上一並放出。

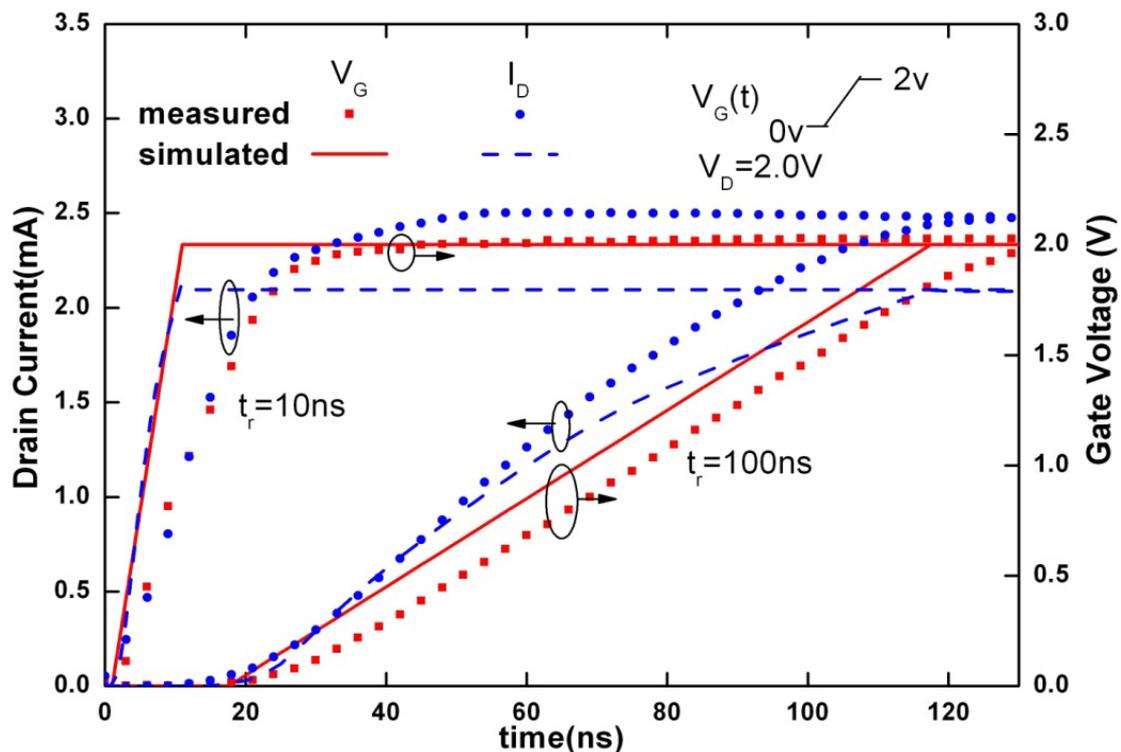


圖 2.7 :當閘極電壓為 0V 到 2V，上升時間為 100ns 與 10ns 之汲極電流與輸入

閘極電壓

由圖 2.7 可知，當輸入的上升時間為 100ns 時，因導通所產生的汲極電流上升速度在正規化之後，與上升時間為 10ns 的汲極電流相比，可發現若輸入的上升時間較大的時候，在上升途中汲極電流產生的量是比較大的，由圖中量測結果與模擬比較，點線為量測結果，實線與虛線為模擬結果，在跟前後的上升波形比較後，可發現在輸入的上升時間較大的情況下可看出汲極電流上升的比給定的閘極電壓還要快，經量測後可驗證此現象同樣也會發生。

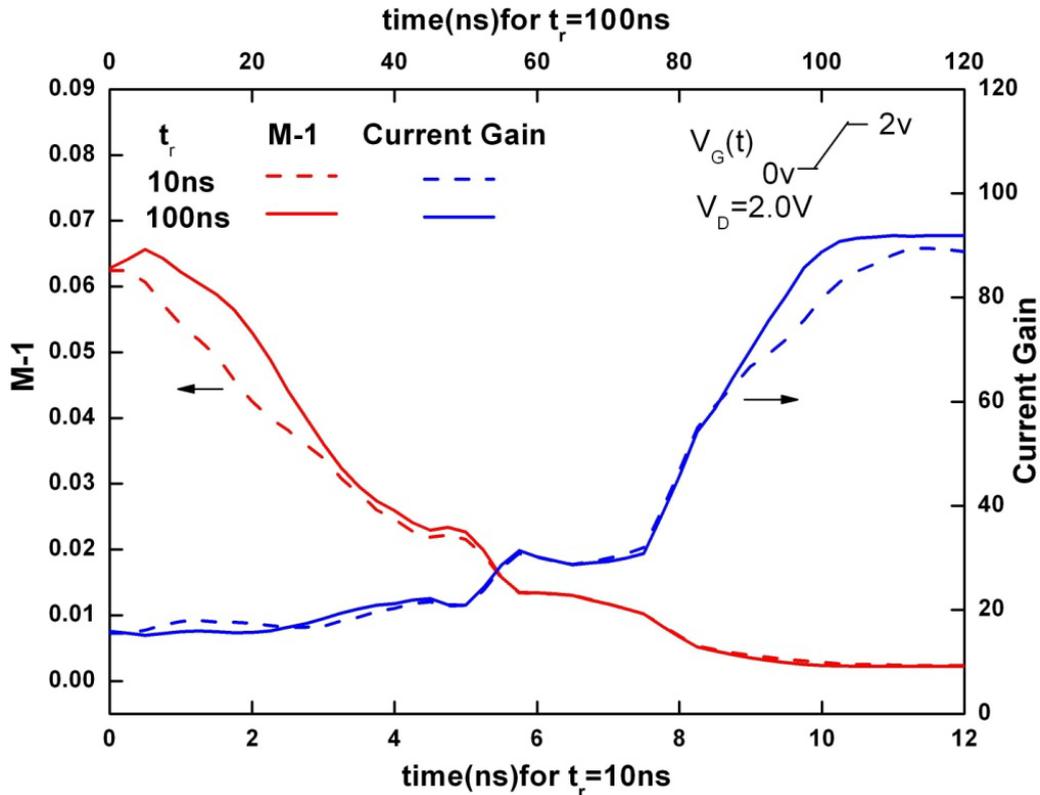


圖 2.8 : 部分解離絕緣體上金氧半元件之寄生雙載子電晶體 turn-on 暫態分析電流增益 (Current Gain) 與乘增因子 (multiplication factor) 在不同的上升時間

以上討論了在汲極電流在模擬與量測下的比較，因為懷疑電流的不同可能是由於撞擊游離電流流到底層所產生的影響所致，所以我們萃取了元件之寄生雙載子電晶體 turn-on 暫態分析電流增益 (Current Gain) 與乘增因子 (multiplication factor) 在不同的上升時間的變化圖 2.8，由圖 2.8 可看出當給定的上升時間為 10ns 及 100ns 時，在 turn-on 剛開始時，此時寄生雙載子元件還未導通，所以此時的電流增益 (Current Gain) 相差不大，當閘極電壓慢慢變大時，此時寄生雙載子電晶體 [9] 會慢慢導通，所以底下的電流增益 (Current Gain) 會逐漸上升，直到

上升時間結束，此時可發現當上升時間會影響底層寄生雙載子電晶體的電流增益 (Current Gain)，當上升時間大的時候，元件底部的雙載子電晶體的電流增益 (Current Gain) 會比上升時間短的電流增益 (Current Gain) 大。由圖 2.8 可看出當時間在 turn-on 結束的時候，電流增益 (Current Gain) 差別越大，M-1 也是類似的情況，當上升時間大的時候，元件的 M-1 會比上升時間短的 M-1 大，尤其是在上升時間剛開始的時候，上升時間大的 M-1 曲線會比上升時間小的 M-1 曲線高，由於 M-1 與撞擊游離 (impact ionization) 效應有關，在閘極電壓小的時候，此時撞擊游離 (impact ionization) 的效應大於寄生雙載子電晶體的影響，所以通道上層的電洞電流比較強，在上升時間大的時候，薄膜層 (thin-film) 有足夠的時間將電洞電流傳給薄膜底下的基底。



2.4 模型驗證

觀察圖 2.8 的計算結果，得知為了電流增益與 M-1 在導通瞬間與結束瞬間會因上升時間不同而產生差異，為了更深入的探討導通瞬間與結束瞬間寄生雙載子電晶體在元件內部的載子濃度變化，我們使用 Medici 來模擬薄膜層 (thin-film) 內部的二維電子濃度密度的導通情況與元件內部薄膜的電流情況藉此探討以上電流增益與 M-1 的物理成因，圖 2.9 為當閘極電壓為 0V 到 2V，上升時間為 10ns

在(a)開始與(b)結束瞬間之二維電洞電流分佈，參考圖 2.9(a)的上升時間薄膜層(thin-film) 二維電洞電流向量圖，可知當汲極電壓為 2V 時候，在靠汲極端的高電場區會因碰撞游離而產生電洞流，由於在剛開始 turn-on 狀態下閘極電壓為 0.2V，經由撞擊游離(impact ionization)所產生的電洞流向下，在接近汲極端的高電場區域，即後夾止區域(post pinch-off)，因存在大的橫向電場(lateral electric field)，分子的共價鍵被打斷產生出多餘的電子電洞對，這些累積的電洞群會與電子群向下流進基體(body)內進行復合。圖 2.9(b)為 turn-on 結束，雙載子電晶體導通，內部到達穩定狀態(steady state)時，由後夾止區域(post pinch-off)產生的電洞流會向上進入源極端。在寄生雙載子電晶體(parasitic bipolar transistor)內，一部分由電洞群所組成的射極電流(emitter current)會向源極處流動[14]，圖 2.10.1 為當閘極電壓為 0V 到 2V，上升時間為(a)100ns 與(b)10ns 在上升剛開始時之二維電洞濃度分佈，

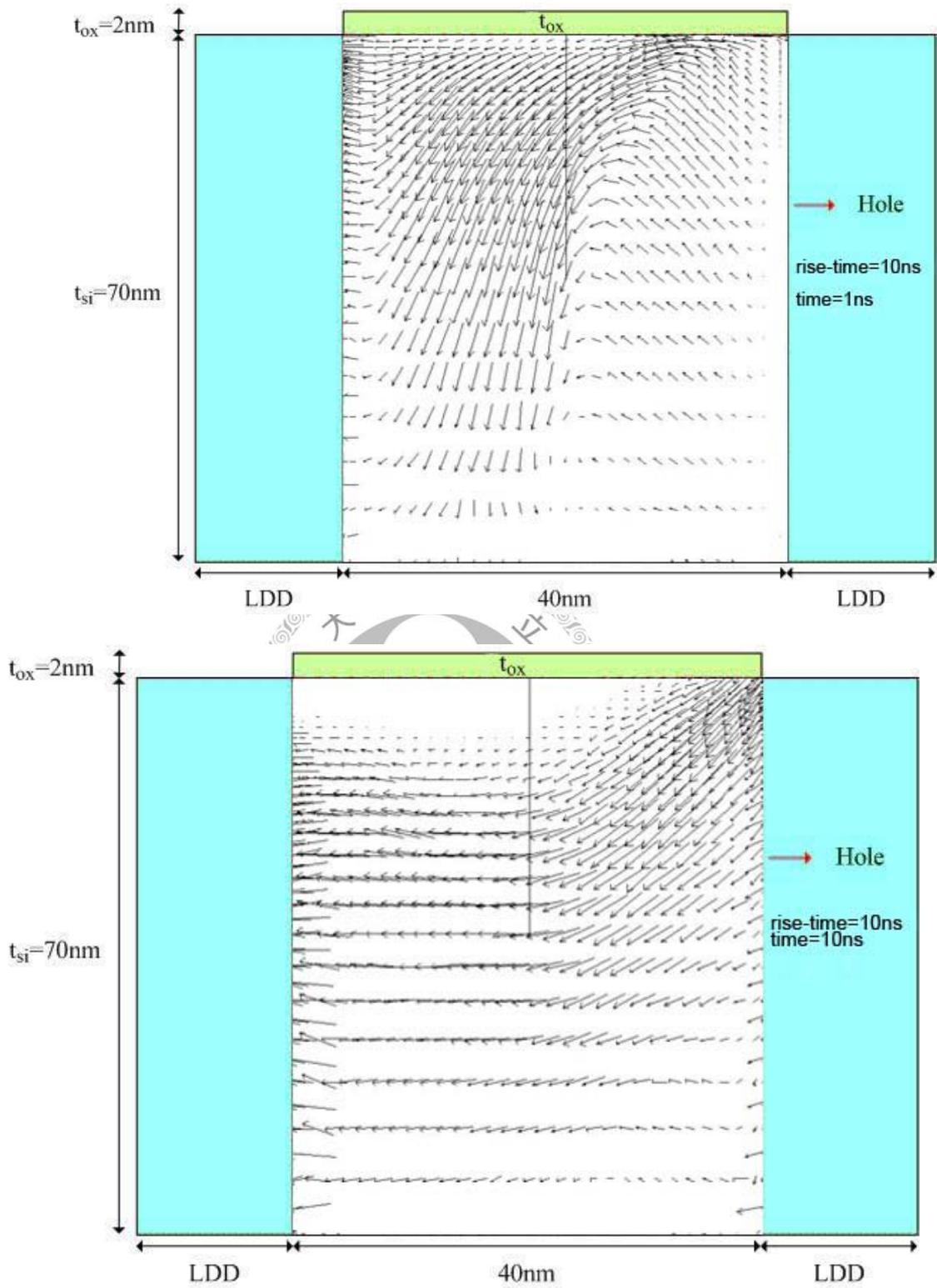
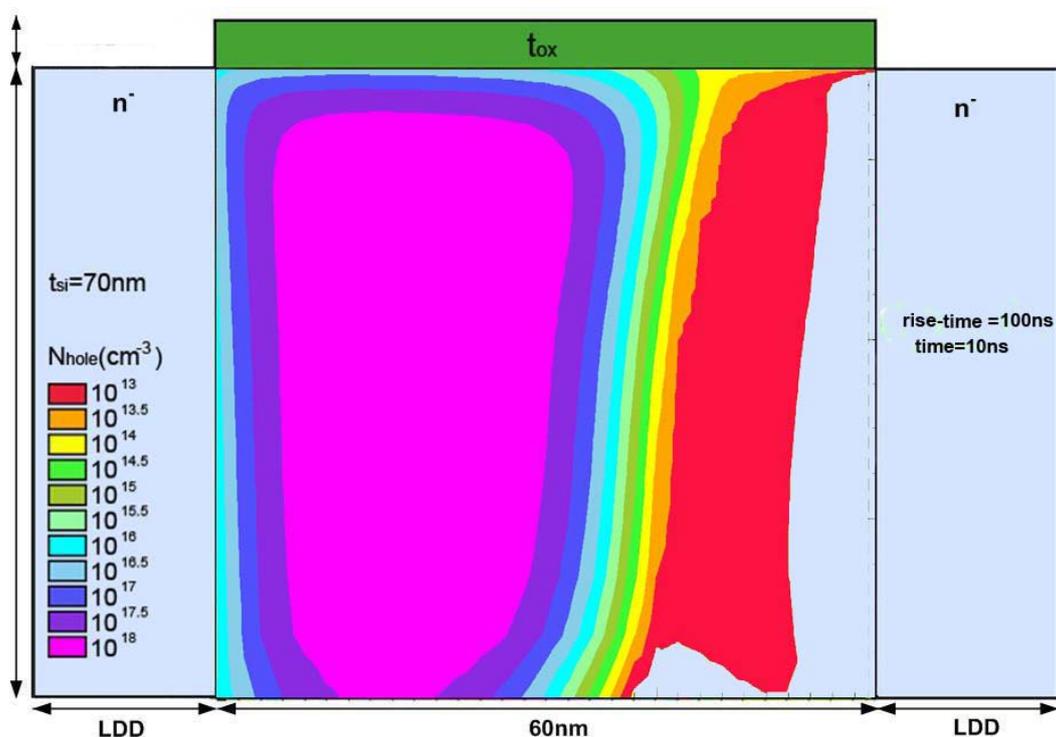


圖 2.9 : 當閘極電壓為 0V 到 2V，上升時間為 10ns 在 (a) 開始與 (b) 結束瞬間之

二維電洞電流分佈

由圖 2.10.1(a)與 2.10.1(b)比較可看出當上升時間大的時候，薄膜右邊的電洞分佈範圍比上升時間大，這可以推論當 turn-on 剛開始的時候，此時閘極電壓小，寄生雙載子電晶體尚未導通，撞擊游離的效應主宰電流，所以當上升時間大的時候薄膜右邊的 punch-off 區間易受高電場影響，產生多餘的電子電洞對，使電洞密度分布的範圍變廣，由於撞擊游離效應強，所以可以推論 M-1 也比較大。



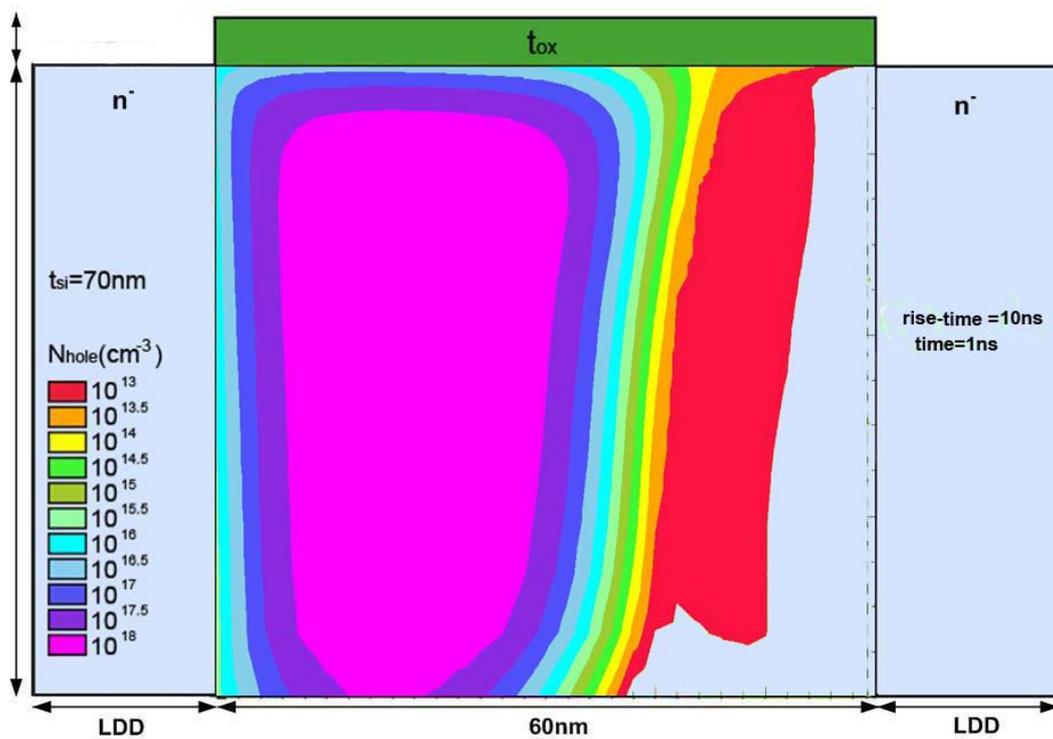
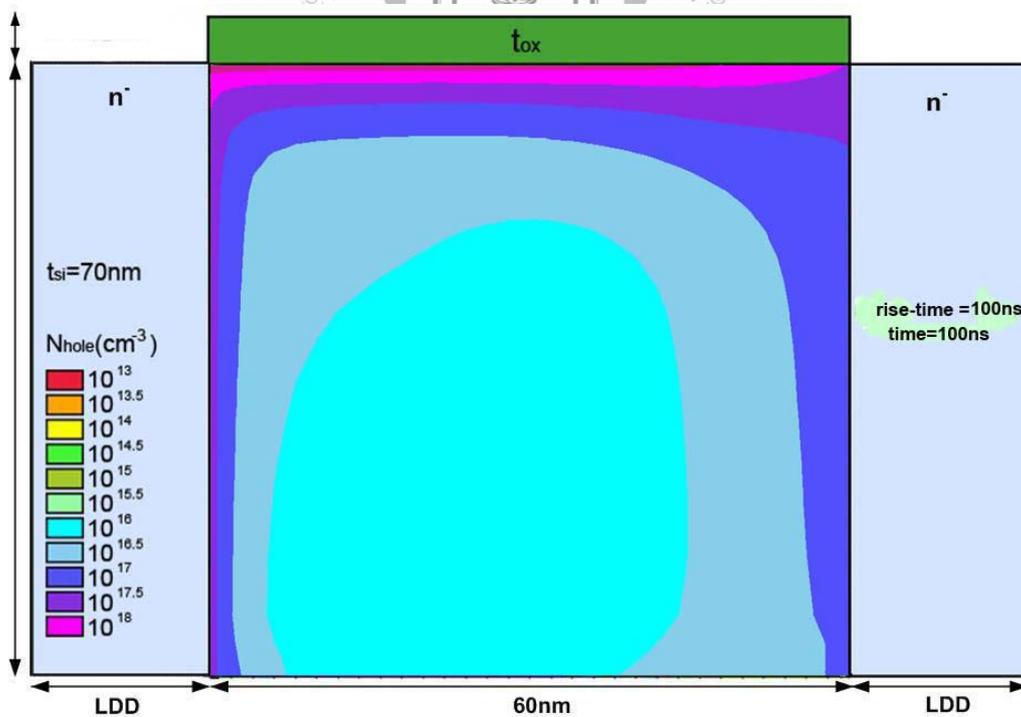


圖 2.10.1 : 當閘極電壓為 0V 到 2V，上升時間為 (a) 100ns 與 (b) 10ns 在上升剛開始時之二維電洞濃度分佈



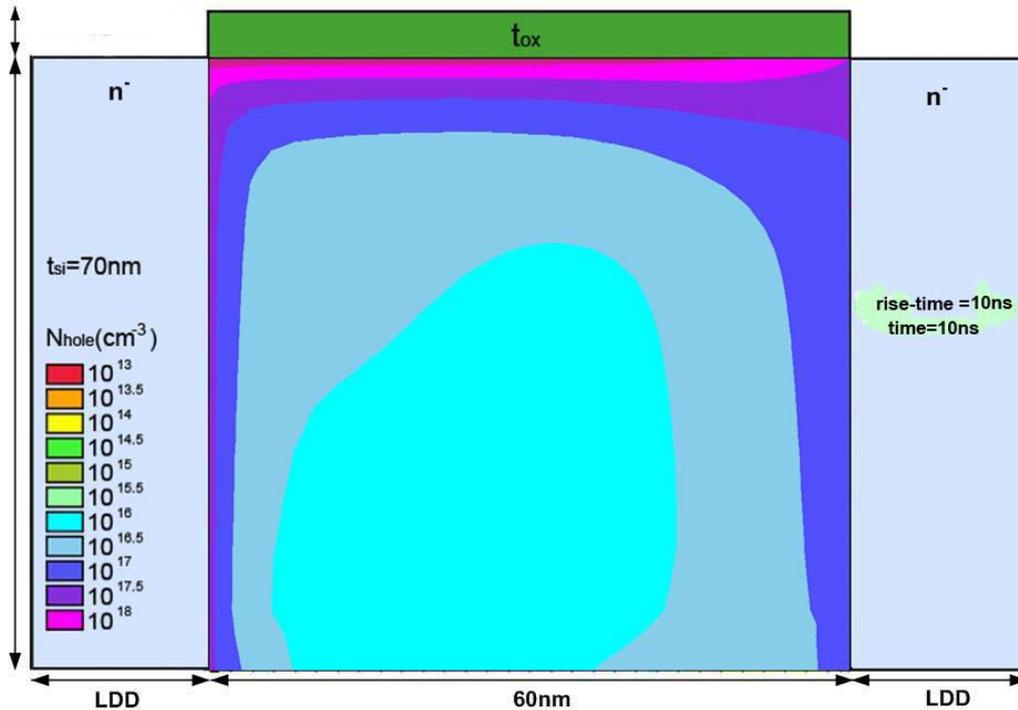


圖 2.10.2 : 當閘極電壓為 0V 到 2V，上升時間為 (a)100ns 與 (b)10ns 在上升結

束時之二維電子濃度分佈

如圖 2.10.2 所示為上升時間為 100ns 和上升時間為 10ns 之電子濃度分佈，由圖 (2.10.2) 看出上升時間為 100ns 的電子濃度密度比較小，代表電洞濃度密度大，內部有比較強的寄生雙載子電晶體 (parasitic bipolar transistor) 效應 [13]，所以汲極電流在上升時間大的狀態下會比較大，圖 2.11 為上升時間為 100ns 與 10ns 之 dQ_s/dt 、 dQ_d/dt 對上升時間 (rise-time) 的比較，可看出， Q_s 與 Q_d 隨上升時間而變大，因為閘極漏電流 (gate tunneling leakage) 由上而下，因為汲極端高電場所所以 Q_d 變化量大於 Q_s ，當閘極電壓上升到某個程度之後，靠近汲極端的閘極漏電流 (gate tunneling leakage) 由下而上，所以 dQ_d/dt 轉而變小，源極端與汲極端寄

生電阻所產生位移電流(displacement current)將會因上升時間變大而變小，根據如此在過飽和區(post-saturation)位於薄膜(thin-film)底層會有更多的電洞將因撞擊游離(impact ionization)被產生出來，因此可表示比較強的寄生雙載子電晶體(parasitic bipolar transistor)將會使汲極電流上升。

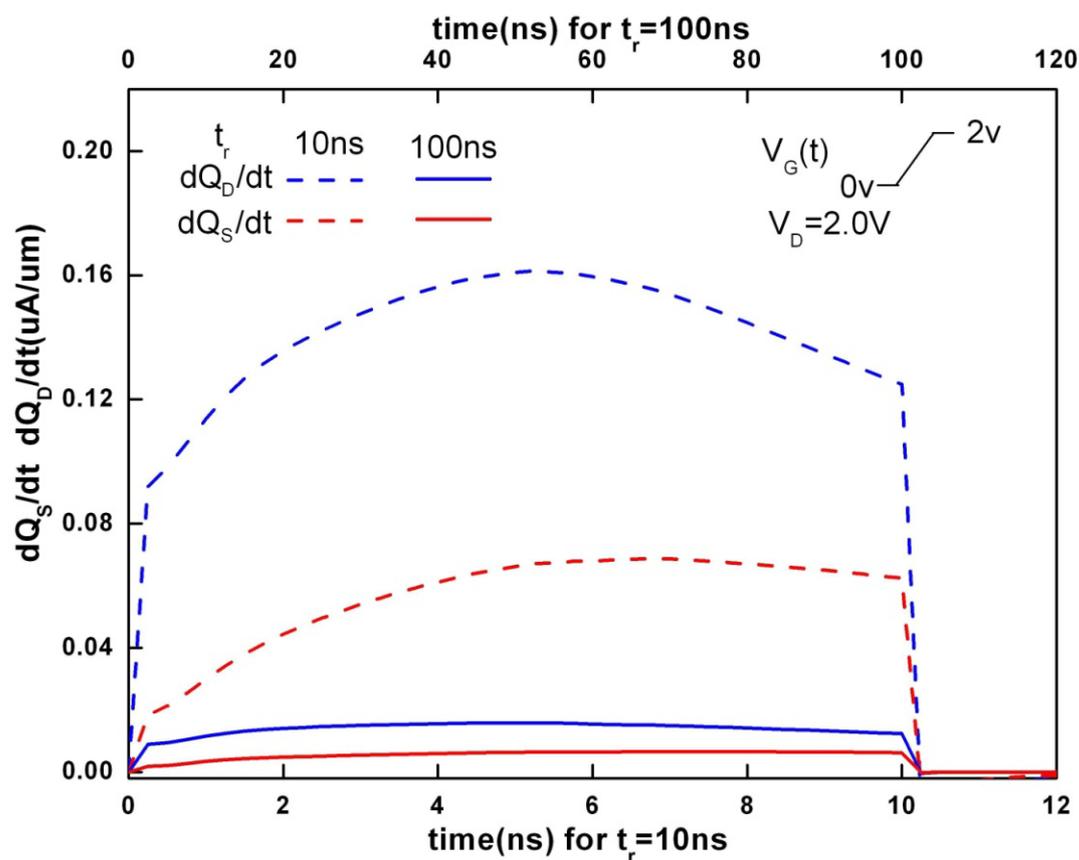


圖 2.11 :當閘極電壓為 0V 到 2V，上升時間為 100ns 與 10ns 之 dQ_S/dt 、 dQ_D/dt

對上升時間(rise-time)的比較

2.5 討論

此章節討論 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件在考慮浮體效應(floating body effect)下的寄生雙載子電晶體(parasitic bipolar transistor)的上升暫態效應，利用新推導的解離絕緣體上矽金氧半元件浮動基體效應之雙載子電晶體暫態等效電路模型，再加入寄生電容的位移電流(displacement current)，利用二維元件模擬軟體可以順利的萃取出寄生雙載子電晶體(parasitic bipolar transistor)的參數，在與實驗數據比較之下，當閘極電壓為 0V 到 2V，汲極電壓為 2V 的情況下，上升時間大的閘極電壓將會有比較強的寄生雙載子電晶體(parasitic bipolar transistor)效應，此效應之電流增益(Current Gain)會反映在薄膜(thin-film)上層通道的汲極電流與位移電流(displacement current)之上。上層的金氧半電容元件內部的 Q_s 與 Q_d 隨上升時間而變大，其中 dQ_d/dt 比 dQ_s/dt 大，因為汲極端加入了高電壓使感應電荷(inductive charge)的變化更加明顯，上升速度越快， dQ_s/dt 、 dQ_d/dt 變化的也越大。

Chapter 3

部分解離絕緣體上矽 N 型金氧半 元件之 turn-off 暫態分析

Turn-off transient analysis of PD SOI NMOS device

在前章討論過因閘極電壓上升產生的寄生雙載子電晶體效應(parasitic bipolar transistor)受閘極電壓上升所影響，本章主要在討論 SOI 元件暫態分析元件關閉時產生的效應，在採用不同的下降時間汲極電流(Drain current)的變化，因考慮浮體效應(Floating Body Effect)對元件關閉時電流產生的影響[15]。當閘極電壓越小，相對的汲極電流也變小，因撞擊游離(impact ionization)產生的電洞電流相對也較變小，浮動基體(floating body)中電洞的累積也較慢，所以汲極電流需較長的時間才能達到穩態。而且當閘極電壓小時，電流以撞擊游離(impact ionization)為主，此效應當更加明顯，本章將會介紹在不同下降時間下，汲極電流變化的情況，以及寄生雙載子電晶體(parasitic bipolar transistor)的影響，並與實際實驗結果比較。

益(Current Gain)會快速下降至關閉，由圖(3.1)可知，點線為量測結果，實線與虛線為模擬結果，當輸入的下降時間為 100ns 時的情況下可看出汲極電流下降的比給定的閘極電壓還要慢，由圖中實驗結果與模擬比較，同樣的趨勢同樣也會發生於實驗數據，因此可推斷寄生雙載子電晶體(parasitic bipolar transistor)的關閉速度會受 turn-off 速度影響。

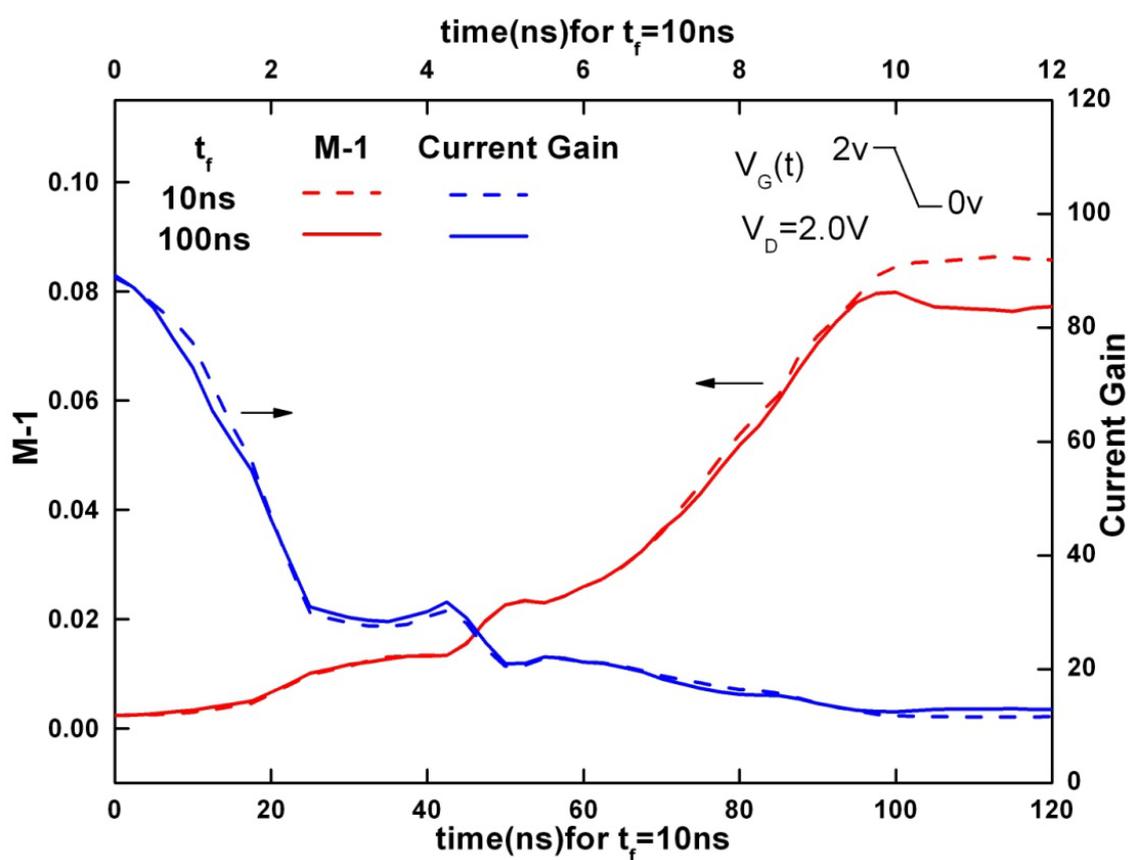


圖 3.2: 部分解離絕緣體上金氧半元件之寄生雙載子電晶體 turn-off 暫態分析電流增益 (Current Gain)與乘增因子(multiplication factor) 在不同的下降時間

借助二維模擬器 Medici[8]來分析內部的雙載子電晶體效能，結果如圖 3.2 為 turn-off 暫態分析，比較下降時間分別為 10ns 與 100ns 的情形，與 turn-on 相比，下降時間的電流增益(Current Gain)並沒有明顯改變，只在 turn-off 剛剛開始時有些許差別，M-1 在 turn-off 結束時，下降時間 10ns 的 M-1 比 100ns 的情形大，M-1 與撞擊游離(impact ionization)相關，由此可看出當下降時間小的時候，閘極電壓變化劇烈，到了 turn-off 結束時，元件進入截止區(cut-off region)，通道中仍然受汲極方向的高電場作用，10ns 的情形撞擊游離(impact ionization)比較強，所以 M-1 比較大。

3.2 模型驗證

根據上一節的結論，我們從模擬寄生雙載子電晶體(parasitic bipolar transistor)的特性中到 turn-off 的速度將會影響元件的 M-1，接著本節將藉由模擬薄膜層(thin-film)的二維載子分布驗證內部的少數載子情形，圖 3.3 是元件內部薄膜層(thin-film)的電洞密度分佈，可看出當下降時間為 10ns 薄膜層上方的少數載子電洞濃度比 100ns 的情況來的大，因此在其他條件皆相同之下可說明 turn-off 速度會影響在過飽和區中經由撞擊游離(impact ionization)所產生的電洞群。

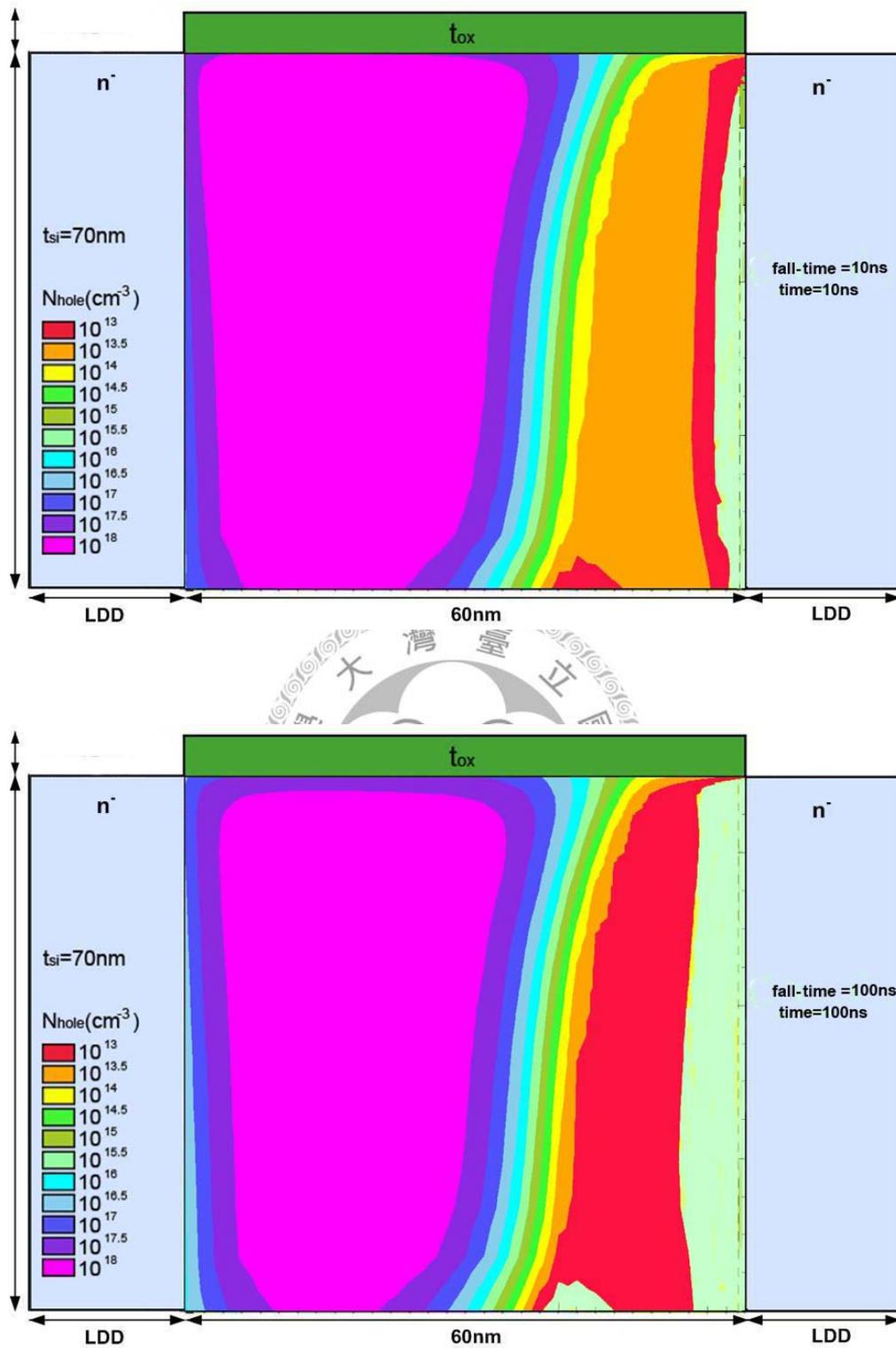


圖 3.3 :當閘極電壓為 0V 到 2V，下降時間為(a)10ns 與(b)100ns 在下降結束瞬

間之二維電子濃度分佈

這些電洞群會與進入源極端的電洞群相同。在寄生雙載子電晶體(parasitic bipolar transistor)內，一部分集極電流(collector current)會向高電場處流動。圖 3.4.1 : 當閘極電壓為 2V 到 0V，下降時間為 10ns 在(a)開始與(b)結束瞬間之二維電洞電流分佈，參考圖 3.4.1(a)可知當汲極電壓為 2V 時候，在靠汲極端的高電場區會因碰撞游離而產生電洞流，由於在剛開始 turn-off 狀態下閘極電壓大，所以電洞流向，寄生雙載子電晶體(parasitic bipolar transistor)被觸發，這些累積的電洞群會與電子群在基體(body)內進行復合。圖 3.4(b)為 turn-off 結束，雙載子電晶體關閉，內部到達穩定狀態(steady state)時，此時閘極電壓為 0V，經由撞擊游離(impact ionization)所產生的電洞群會向上進入源極端。在寄生雙載子電晶體(parasitic bipolar transistor)內，圖 3.4.1 為當閘極電壓為 2V 到 0V，下降時間為 10ns 在(a)開始與(b)結束瞬間之二維電洞電流分佈，期下降時間為圖 3.4.1 之十倍，由圖 3.4.1(a)和圖 3.4.2(a)看出在 turn-off 剛開始電洞電流分布並無明顯差異，到了在 turn-off 結束時瞬間點圖 3.4.1(a)和圖 3.4.2(b)由薄膜底層的電流向量看來，下降時間為 10ns 的電洞流是由下而上，下降時間為 100ns 的電洞流上升的方向則是接近水平，

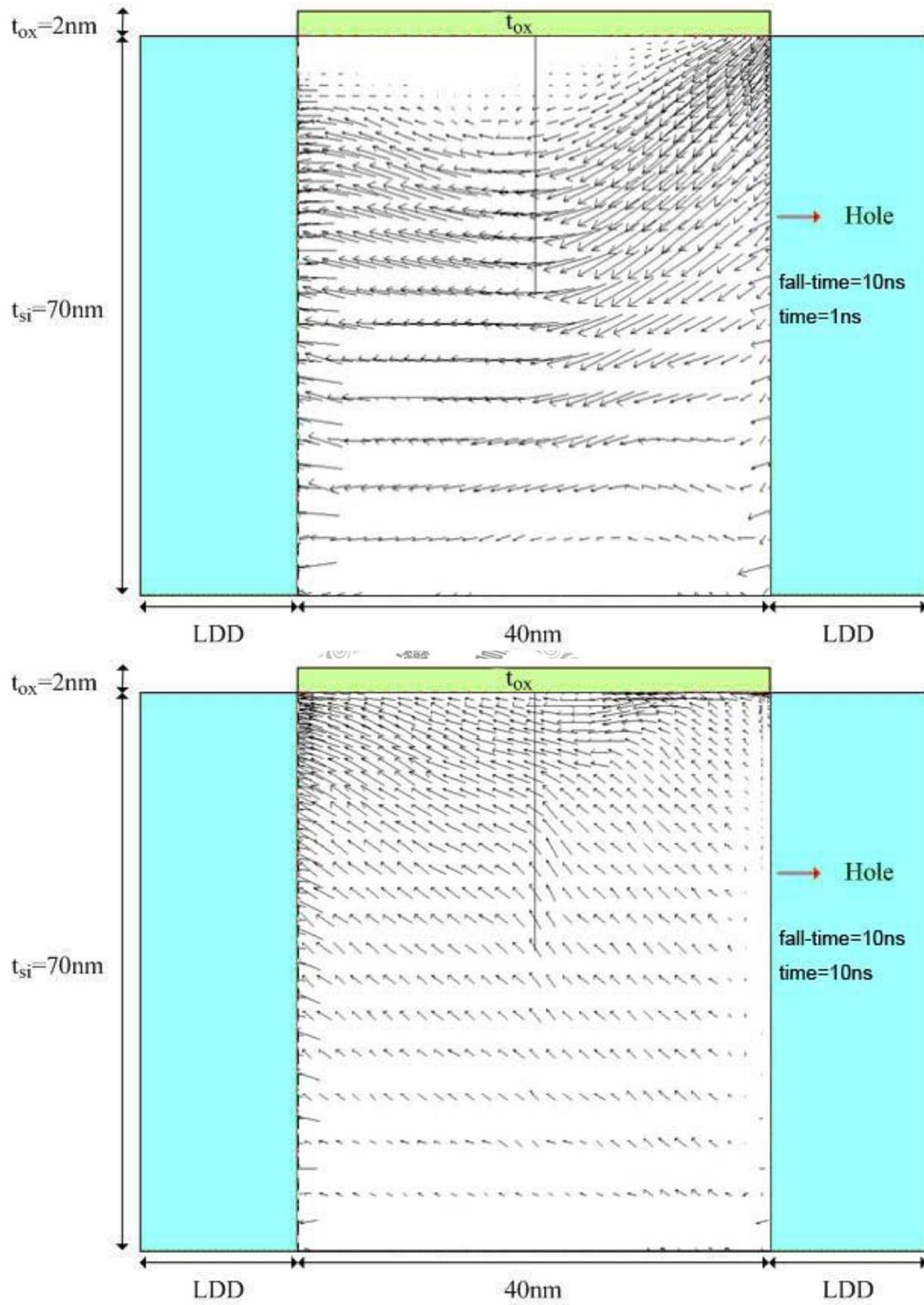


圖 3.4.1 : 當閘極電壓為 2V 到 0V，下降時間為 10ns 在(a)開始與(b)結束瞬間

之二維電洞電流分佈

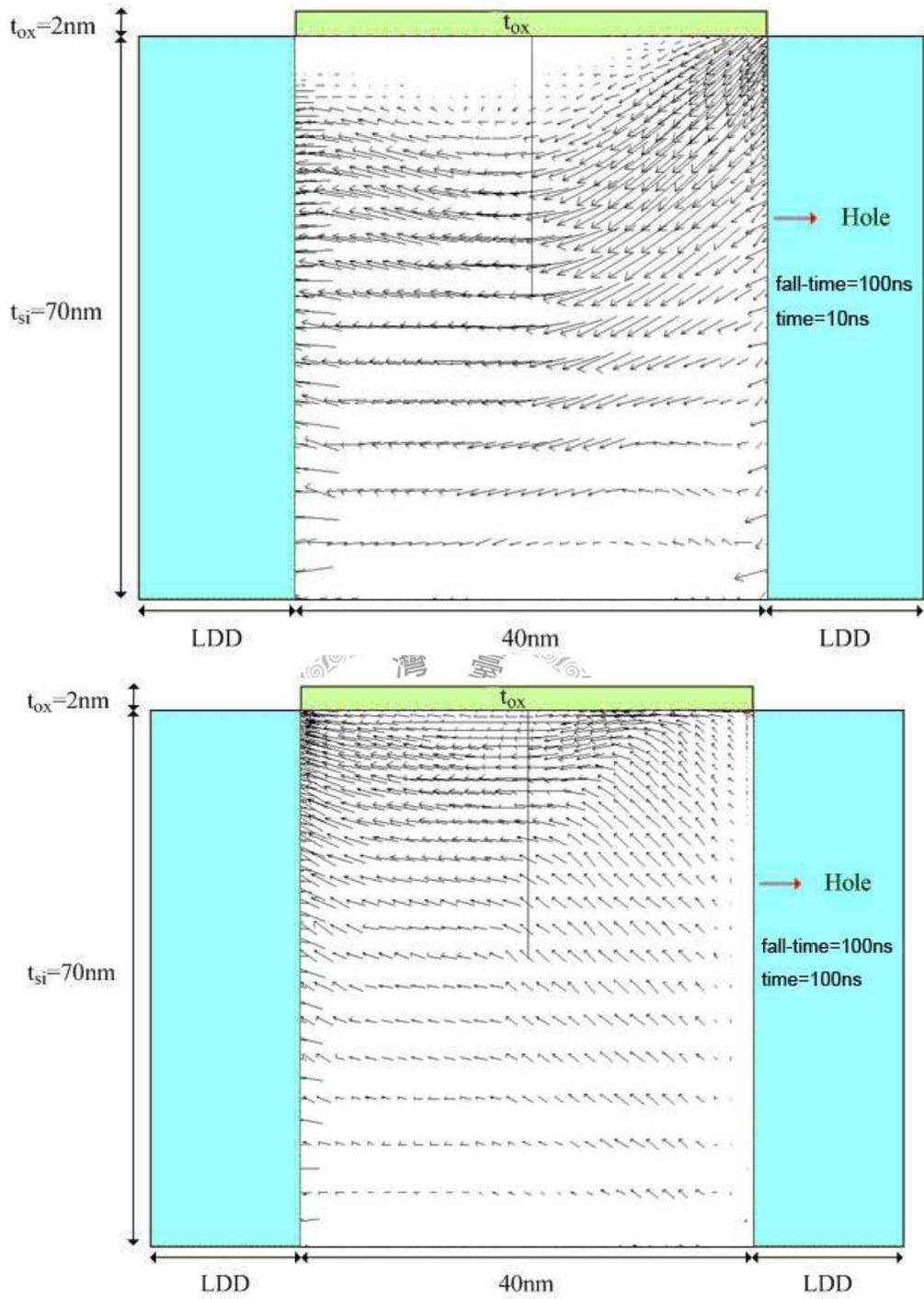


圖 3.4.2 :當閘極電壓為 2V 到 0V，下降時間為 100ns 在(a)開始與(b)結束瞬間

之二維電洞電流分佈

表示圖 3.4.1(b)在薄膜底層產生的電洞電流方向為通道上層圖 3.4.2(b) 在薄膜底層產生的電洞電流方向為源極端，我們推斷在下降時間為 10ns 的情況下，因底層電洞流往通道加速撞擊游離所以 M-1 會上升，圖 3.5 為薄膜上層金氧半導體內部感應電荷(inductive charge)因 turn-off 造成的變化，因汲極電壓大，相對電壓差變化大，所以 Qd 產生的位移電流(displacement current)大於 Qs 產生的，考慮閘極漏電流(gate tunneling leakage)在靠近源極端為由上往下注入到通道內，亦即多晶矽閘極內電荷數量變少，所以 dQ_s/dt 的變化趨勢曲線會往下掉，靠近基極端為閘極漏電流(gate tunneling leakage)由下而上， dQ_s/dt 的曲線會往上，因為 turn-off 速度越快，Qs 與 Qd 造成的影響越大，與 turn-on 的情形類似。



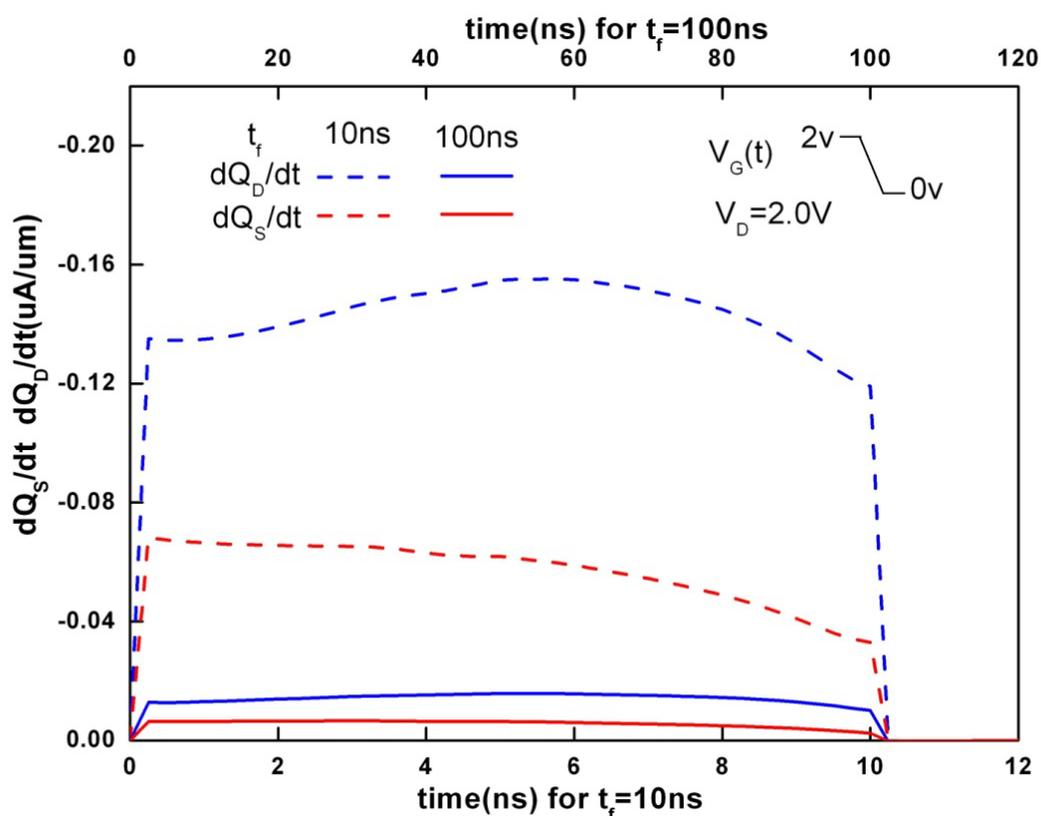


圖 3.5 當閘極電壓為 0V 到 2V，上升時間為 100ns 與 10ns 之 dQ_s/dt 、 dQ_d/dt 對上升時間(fall-time)的比較

3.3 結論

此章節討論40nm部分解離絕緣體上矽N型金氧半(PD SOI NMOS)元件在考慮浮體效應(floating body effect)的turn-off效應，在考慮了薄膜(thin-film)上層通道的寄生電容產生的位移電流(displacement current)改良的暫態等效電路模型，之後驗證了當turn-off速度加快後，寄生雙載子電晶體(parasitic bipolar transistor)

在turn-off結束後的撞擊游離(impact ionization)將會增強，撞擊出新的電子電洞對， $M-1$ 上升，在與實驗數據比較之下，隨著turn-off速度加快，汲極電流下降的速度比起閘極電壓也會變快。



Chapter 4

總結與未來工作

Conclusion & Future work

本論文提出一個用於暫態的部份解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件等效電路模型，採用了 Gummel-Poon 模型作為等效雙載子電晶體，加上了 Q_s 、 Q_d 產生的位移電流(displacement current)，探討在不同的 turn-on 與 turn-off 速度下，寄生雙載子電晶體對汲極電流的影響，若是閘極電壓上升時間大，內部的寄生雙載子電晶體越強，內部電流增益(Current Gain)造成在上升結束時汲極電流上升速度增加， $M-1$ 隨上升時間變大而增加，但是只在 turn-on 剛開始時較明顯，另外 dQ_s/dt 、 dQ_d/dt 隨上升時間而增加，代表 turn-on 速度越快，閘極漏電流(gate tunneling leakage)越大，閘極電壓上升時間變小，在 turn-off 結束時 $M-1$ 會變大，代表過飽和區的碰撞游離效應大 dQ_s/dt 隨下降時間而減少， dQ_s/dt 隨下降時間而變大，因薄膜層(thin-film)內部的少數載子濃度變大，產生了多餘的電子電洞對往源極方向流出，由模擬看出寄生雙載子電晶體(parasitic bipolar transistor)在下降時間增加時，在元件 turn-off 剛開始時變化明顯，但進入截止區之後雙載子電晶體電流增益(Current Gain)便與下降時間無關。

在分析單顆元件的 turn-on 與 turn-off 後，未來工作的部分可以加入另一顆矽 P 型的元件組成反向器，分析再加入不同頻率波形後，輸出端的波形與延遲時間[17]，測試在連續輸入波形下產生的記憶效應。另外，根據 ITRS 預測，未來氧化層厚度可能繼續減小，漏電流效益將越來越明顯[18]，可以通道寬度繼續縮小到 $0.1\mu\text{m}$ 以下，將必須考慮其他量子效應，這些將會是未來的工作目標。



參考書目

- [1] A. O. Adan, T. Naka, A. Kagisawa, and H. Shimizu, "SOI as Mainstream IC Technology," *SOI Conf. Dig.*, 9-12, 1998.
- [2] K. F. Goser, C. Pacha, A. Kanstein, and M. L. Rossmann, "Aspects of Systems and Circuits for Nanoelectronics," *Proc. Of IEEE*, 85(4), 558-576, 1997.
- [3] S. S. Chen and J. B. Kuo, "An Analytical CAD Kink Effect Model of Partially-Depleted SOI NMOS Devices Operating in Strong Inversion," *Solid State Electronics*, Vol. 41, No. 3, pp. 447-458, March 1997.
- [4] J. B. Kuo, "Low-Voltage SOI CMOS Devices and Circuits," Wiley, New York, 2001.
- [5] H. J. Hung, J. B. Kuo, D. Chen, C. T. Tsai and C. S. Yeh, "Shallow Trench Isolation-Related Narrow Channel Effect on the Kink Effect Behavior of 40nm PD SOI NMOS Device," *Solid State Electronics*, Vol. 54, No. 1, Jan. 2010
- [6] David K. Cheng "Field and wave electromagnetics , "Pearson,1989
- [7] K. Kumagai, H. Iwaki, A. Yoshino and S. Kurosawa, "A 3D Analysis of Source/Drain Capacitance in SOI MOSFET for Practical Circuit Design," *IEEE SOI Conf. Proc.* pp. 15-16, Oct. 1994.
- [8] Taurus Medici User Guide, Synopsys Inc., Mountain View, CA, 144 Oct. 2005.

- [9] D. E. Ward and R. W. Dutton, "A Charge-Oriented Model for MOS Transistor Capacitances," *IEEE J. Solid-State Circuits*, Vol.13,p.703-708, Oct 1978.
- [10]J. B. Kuo *et al.*, "Analytical bandgap-narrowing-related current-gain model for BJT devices operating at 77 K," *Solid State Electron.*, vol. 35, no. 6, pp. 785–790, Jun. 1992.
- [11]K. W. Su and J. B. Kuo, "A Non-Local Impact Ionization/Lattice Temperature Model for VLSI Double-Gate Ultrathin SOI NMOS Devices," *IEEE Trans. Electron Devices*, Vol. 44, No. 2, pp. 324-330, Feb.1997.
- [12]I. S. Lin, J. B. Kuo, D. Chen, C. S. Yeh, and C. T. Tsai, "STI-induced mechanical stress-related Kink effect of 40nm PD SOI NMOS devices," *EIROSOI*, pp. 81-82, Cork, Jan. 2008.
- [13]J. Y. Choi, J. G. Fossum, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET'S," *IEEE Trans. Electron Devices*, Vol. 38, pp. 1384-1391, 1991.
- [14]Quyng Q, Cai J, Ning T H and Johnson J B 2002 "A simulation study on thin SOI bipolar transistors with fully or partially depleted collector," *IEEE BCTM*. 1 28–31

- [15]Cai J and Ning T H 2004 Bipolar transistor on thin SOI:concept, status and prospect *Proc. of IEEE Int. Conf. on Solid State and IC Technology* pp 2102–7
- [16]E. V. Ploeg, C.T. Nguyen, S. S. Wong and J. D. Plummer, “Parasitic Bipolar Gain in Fully Depleted n-Channel SOI MOSFET’S,” *IEEE Trans. Electron Devices*, Vol. 41, pp. 970-977, 1994.
- [17] N. Weste and D. Harris,” CMOS VLSI Design, A Circuits and Systems Perspective,” 3 rd Ed., Addison-Wesley, 2005.
- [18] YG Chen, JB Kuo, Z Yu, RW Dutton,” An analytical drain current model for short-channel fully-depleted ultrathin silicon-on-insulator NMOS devices,” *Solid-State Electronics*, 1995
- [19] ITRS, <http://www.itrs.net/Common/2007Update/2007Update.htm>.