

國立臺灣大學電機資訊學院電信工程學研究所

碩士論文

Graduate Institute of Communication Engineering  
College of Electrical Engineering and Computer Science  
National Taiwan University  
Master Thesis



整合環形陣列天線之射頻收發器設計與系統特性驗證

RF Transceiver Design and System Characteristic  
Verification with Integrated Circular Array

鄭登耀

Den-Yao Zheng

指導教授：周錫增 博士

Advisor: Hsi-Tseng Chou, Ph.D.

中華民國 110 年 2 月

February 2021



## 中文摘要



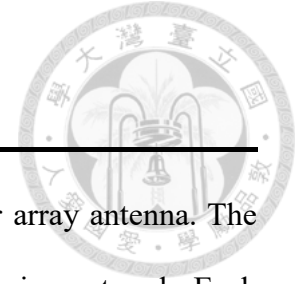
本論文整合環形陣列天線之射頻收發器設計，環形陣列天線由 23 個子陣列和波束成形網路組合而成，每個子陣列由八個韋瓦第天線和一個一分八路 T 型功率分配器組成，工作頻率操作於 10 GHz，每個子陣列增益為 11.43 dBi，而波束成形網路由二維龍伯透鏡實現，環型陣列天線的增益為 19.2 dBi，可產生  $36^\circ$ 、 $24^\circ$ 、 $12^\circ$ 、 $0^\circ$ 、 $-12^\circ$ 、 $-24^\circ$ 、 $-36^\circ$  的掃瞄角度。

射頻收發器可分為升降頻電路、切換電路和鎖相迴路振盪器所構成，升降頻電路由混頻器、可變增益放大器、中頻放大器、功率放大器和低雜訊放大器構成，射頻端操作頻率為 8 GHz 到 12 GHz，中頻端操作頻率為 3 GHz 到 4.5 GHz，訊號從中頻升到射頻提供 32dB 的增益，訊號從射頻降到中頻提供 30dB 的增益；切換電路由兩個單刀雙擲開關和兩個單刀四擲開關組成，可以使用微控制器或是指撥開關控制傳輸路徑，於 10GHz 的損耗為 5.8dB；鎖相迴路振盪器輸出頻率從 3.4GHz 到 6.8GHz，內部共有 13 個暫存器，可透過為控制器修改暫存器內容，設定輸出頻率。

將環形陣列天線和射頻收發器整合量測，驗證電子式水平掃描的功能，確認升降頻電路能給予環形陣列天線額外增益，並使用軟體無線電驗證數位通訊傳輸的可行性。

**關鍵字：**環形陣列、波束成型系統、電子式波束掃描、射頻收發器

# ABSTRACT



This paper integrates the RF transceiver design of the circular array antenna. The circular array antenna is composed of 23 sub-arrays and a beamforming network. Each sub-array is composed of eight Vivaldi antennas and an eight-way T-type power divider. The frequency is operating at 10 GHz, and the gain of each sub-array is 11.43 dBi. The beamforming network is realized by a 2D Luneburg lens. The gain of the ring array antenna is 19.2 dBi, which can scan angles of  $36^\circ$ ,  $24^\circ$ ,  $12^\circ$ ,  $0^\circ$ ,  $-12^\circ$ ,  $-24^\circ$ ,  $-36^\circ$ .

The RF transceiver can be divided into up/down converter, switching circuit and phase-locked oscillator. The up/down converter is composed of mixer, variable gain amplifier, IF amplifier, power amplifier and low noise amplifier. The RF is operating at 8 GHz to 12 GHz, and the IF is operating at 3 GHz to 4.5 GHz. The signal rises from the IF to the RF to provide a gain of 32dB, and the signal falls from the RF to the IF to provide a gain of 30dB; the switch circuit consists of two SPDT switch and two SP4T switches can be used to control the transmission path by using a microcontroller or a DIP switch. The loss at 10GHz is 5.8dB; The output frequency of the phase-locked loop oscillator is from 3.4GHz to 6.8GHz. There are 13 registers. The output frequency can be set by modifying the contents of the register for the microcontroller.

Integrate measurement with circular array antenna and RF transceiver to verify the function of electronic horizontal scanning. The up/down converter circuit can give the circular array antenna additional gain. Use SDR to verify the feasibility of digital communication transmission.


**Index Terms—Circular array, beamforming system, electronic beam scanning, RF transceiver**

# 目錄



---

中文摘要 .....	i
ABSTRACT .....	ii
目錄 .....	iii
圖目錄 .....	v
表格目錄 .....	xii
<b>Chapter 1 緒論 .....</b>	<b>1</b>
1.1 研究動機 .....	1
1.2 論文貢獻 .....	2
1.3 章節介紹 .....	4
<b>Chapter 2 環狀陣列天線設計 .....</b>	<b>5</b>
2.1 韋瓦第天線介紹 .....	5
2.2 韋瓦第單元天線設計 .....	7
2.3 微帶線基本理論 .....	10
2.4 一分八等功率分配器 .....	11
2.5 線性子陣列 .....	14
2.6 二維龍伯透鏡 .....	20
2.7 環狀陣列之輻射場型 .....	27
<b>Chapter 3 升降頻系統電路設計 .....</b>	<b>31</b>
3.1 電路架構 .....	31
3.2 晶片相關參數 .....	32
3.3 晶片選擇與考量 .....	38



3.4	印刷電路板部件設置 .....	44
3.5	升降頻電路設計 .....	50
3.6	切換電路設計 .....	65
3.7	鎖相振盪電路設計 .....	76
3.8	電磁模擬結果 .....	87
<b>Chapter 4</b>	<b>升降頻電路量測結果 .....</b>	<b>91</b>
4.1	升降頻電路量測結果 .....	92
4.2	切換電路量測結果 .....	102
4.3	鎖相振盪電路量測結果 .....	106
<b>Chapter 5</b>	<b>系統整合量測結果 .....</b>	<b>107</b>
5.1	場型與增益測試 .....	107
5.2	SDR : C1056B 系統量測 .....	111
5.3	USRP 系統量測 .....	115
<b>Chapter 6</b>	<b>結論 .....</b>	<b>117</b>
	<b>參考文獻 .....</b>	<b>119</b>

# 圖目錄



圖 1.1 UTM 研究與開發中測試的一些技術和概念[3].....	1
圖 1.2 X-Band 環狀陣列天線系統架構圖 .....	3
圖 2.1 TSA 不同的形式: (a) Exponential (b) Tangential (c) Parabolic (d) Linear(e) Linear-constant (f) Exponential-constant (g) Step-constant (h) Broken linear .....	6
圖 2.2 (a)天線結構圖 (b)接地層 (c)饋線層 .....	7
圖 2.3 韋瓦第單元天線反射係數 $S_{11}$ 的模擬結果.....	8
圖 2.4 韋瓦第單元天線的 E-plane 場型模擬結果.....	9
圖 2.5 韋瓦第單元天線的 H-plane 場型模擬結果 .....	9
圖 2.6 微帶線的結構示意圖 .....	10
圖 2.7 傳輸線之等效電路模型 .....	10
圖 2.8 一分二的 T 型功率分配器的結構圖.....	12
圖 2.9 一分八 T 型功率分配器結構圖.....	12
圖 2.10 一分八 T 型功率分配器之反射係數模擬圖[8].....	13
圖 2.11 一分八 T 型功率分配器之透射係數模擬圖[8].....	13
圖 2.12 N 點波源沿著 z 軸排列的幾何圖[10].....	14
圖 2.13 八個單元排列之結構圖 .....	15
圖 2.14 八個單元排列的 E-plane 場型模擬結果.....	15
圖 2.15 八個單元排列的 H-plane 場型模擬結果 .....	16
圖 2.16 線性子陣列之結構圖 .....	16
圖 2.17 疊構示意圖 .....	17

圖 2.18 線性子陣列的 E-plane 場型模擬結果.....	17
圖 2.19 線性子陣列的 H-plane 場型模擬結果 .....	17
圖 2.20 1×8 線性子陣列天線成品(a)接地層(b)饋線層 .....	18
圖 2.21 量測室架設環境 .....	19
圖 2.22 線性子陣列的 E-plane 量測場型與模擬場型.....	19
圖 2.23 線性子陣列的 H-plane 量測場型與模擬場型 .....	20
圖 2.24(a)輻射的射線路徑於連續介電常數的三維龍伯透鏡透鏡球體 (b)離散介電 材料組成三維龍伯透鏡(c)二維龍伯透鏡[10] .....	21
圖 2.25 二維龍伯透鏡結構圖 .....	22
圖 2.26 索引參照 .....	23
圖 2.27 二維龍伯透鏡束成型電路結構拆解圖[9] .....	24
圖 2.28 二維龍伯透鏡功能圖[9] .....	24
圖 2.29 二維龍伯透鏡波束成型電路實體圖(a)接頭分佈(b)內部結構[8] .....	24
圖 2.30 二維龍伯透鏡饋入端口的反射係數 .....	25
圖 2.31 二維龍伯透鏡饋入端口的隔離度 .....	26
圖 2.32 二維龍伯透鏡波束成型電路之透射係數與相位模擬圖 .....	26
圖 2.33 二維龍伯透鏡之功率與相位的模擬與實測圖[8] .....	27
圖 2.34 環狀陣列機構模擬 .....	28
圖 2.35 Ansys Circuit 整合示意圖 .....	28
圖 2.36 環狀陣列輻射場型模擬 .....	29
圖 2.37 左為環狀陣列成品，右為環狀陣列於無反射室量測情形 .....	30
圖 2.38 環狀陣列輻射場型量測與模擬 .....	30





圖 3.1 交互調變頻譜[12].....	33
圖 3.2 P1dB 和 IP3 說明圖[12].....	34
圖 3.3 相位雜訊.....	36
圖 3.4 訊號能量變化.....	37
圖 3.5 PLO 內部電路架構[13].....	42
圖 3.6 切換電路示意圖.....	43
圖 3.7 傳輸線結構.....	45
圖 3.8 CPWG 模擬結果.....	46
圖 3.9 電容器自諧振電抗幅度與頻率的關係圖[15].....	48
圖 3.10 升降頻電路配置.....	50
圖 3.11 可變增益放大器功能圖[17].....	52
圖 3.12 混頻器功能圖[18].....	53
圖 3.13 功率放大器功能圖[19].....	54
圖 3.14 低雜訊放大器功能圖[20].....	55
圖 3.15 中頻放大器功能圖[21].....	56
圖 3.16 指撥開關功能圖[22].....	57
圖 3.17 78J04T 實現 SPDT 的接線示意圖.....	57
圖 3.18 ADISimRF 的操作介面.....	58
圖 3.19 升降頻電路疊構圖.....	60
圖 3.20 同一平面電路佈局.....	61
圖 3.21 正反面電路佈局.....	61
圖 3.22 發射端的電路圖.....	62



圖 3.23 接收端的電路圖 .....	63
圖 3.24 升降頻電路之 PCB 線路佈局圖 .....	63
圖 3.25 升降頻電路頂層佈局圖 .....	64
圖 3.26 升降頻電路第二層佈局圖 .....	64
圖 3.27 升降頻電路第三層佈局圖 .....	64
圖 3.28 升降頻電路底層佈局圖 .....	64
圖 3.29 切換電路架構 .....	65
圖 3.30 升降頻電路配置 .....	66
圖 3.31 SPDT 的功能圖[24].....	67
圖 3.32 SP4T 功能圖[25].....	68
圖 3.33 切換電路的電路圖 .....	71
圖 3.34 指撥開關功能圖 .....	72
圖 3.35 切換電路之 PCB 線路佈局圖 .....	72
圖 3.36 切換電路頂層佈局圖 .....	73
圖 3.37 切換電路第二層佈局圖 .....	73
圖 3.38 切換電路第三層佈局圖 .....	73
圖 3.39 切換電路底層佈局圖 .....	73
圖 3.40 Arduino Uno 板的實體 .....	74
圖 3.41 切換電路數位控制程式碼 .....	75
圖 3.42 Arduino 指令介面 .....	75
圖 3.43 鎖相振盪器電路配置 .....	76
圖 3.44 鎖相迴路振盪器的功能圖[26] .....	77

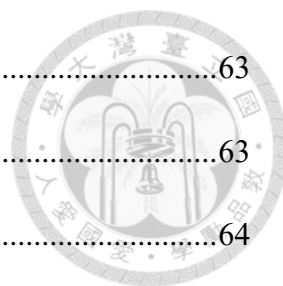


圖 3.45 低壓降線性穩壓器功能圖 .....	78
圖 3.46 鎖相迴路振盪電路疊構圖 .....	79
圖 3.47 鎖相迴路振盪電路的電路圖 .....	80
圖 3.48 鎖相迴路振盪電路之 PCB 線路佈局圖 .....	80
圖 3.49 (a)切換電路頂層佈局圖 (b)切換電路第二層佈局圖 .....	81
圖 3.50(a)切換電路第三層佈局圖 (b)切換電路底層佈局圖 .....	81
圖 3.51 資料寫入時序圖[26] .....	82
圖 3.52 輸出分頻器前的回授電路 .....	83
圖 3.53 ADF4355 控制介面 .....	84
圖 3.54 鎖相迴路電路數位控制程式碼 .....	86
圖 3.55 HFSS 3D Layout 之升降頻電路結構圖 .....	87
圖 3.56 HFSS 3D Layout 之切換電路結構圖 .....	87
圖 3.57 HFSS 3D Layout 之鎖相振盪電路結構圖 .....	88
圖 3.58 RF 線段結構 .....	88
圖 3.59 RF 線段模擬結果 .....	88
圖 3.60 RF 線段於板邊結構 .....	89
圖 3.61 RF 線段於板邊模擬結果 .....	89
圖 3.62 板邊加上接頭之結構圖 .....	90
圖 3.63 板邊加上接頭之模擬結果 .....	90
圖 4.1 升降頻電路成品 .....	91
圖 4.2 電路量測環境 .....	91
圖 4.3 LO 輸入功率 vs IF 輸出功率和諧波功率 .....	92

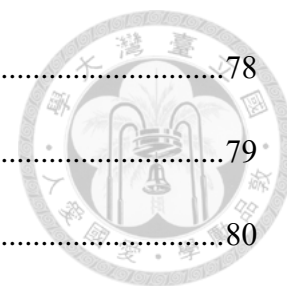
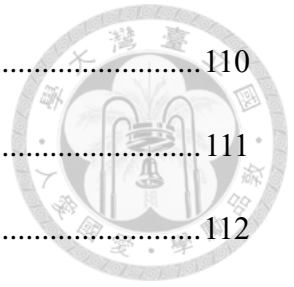




圖 4.4 RF 輸入功率 vs IF 輸出結果 .....	93
圖 4.5 頻譜儀量測結果 .....	94
圖 4.6 操作頻率 vs 增益 .....	95
圖 4.7 降頻電路 IF 端口反射損失 .....	95
圖 4.8 降頻電路 RF 端口反射損失 .....	96
圖 4.9 LO 輸入功率 vs RF 輸出功率和諧波功率 .....	97
圖 4.10 IF 輸入功率 vs RF 輸出結果 .....	98
圖 4.11 增益線性度 .....	99
圖 4.12 VGA 相對最大增益-31.5dB 的增益量測 .....	99
圖 4.13 VGA 相對最大增益-15.5dB 的增益量測 .....	100
圖 4.14 VGA 相對最大增益 0dB 的增益量測 .....	100
圖 4.15 升頻電路 IF 端口反射損失 .....	101
圖 4.16 升頻電路 RF 端口反射損失 .....	101
圖 4.17 插入損失 vs 頻率(TX 端口) .....	103
圖 4.18 插入損耗 vs 頻率(RX 端口) .....	103
圖 4.19 插入損耗和隔離度 vs 頻率 .....	104
圖 4.20 通道 RX-RF3 線路導通功能圖 .....	104
圖 4.21 陣列端口反射損耗 vs 頻率 .....	105
圖 4.22 TX/RX 端口反射損耗 vs 頻率 .....	105
圖 4.23 諧波與引腳 RFA 輸出能量 vs 輸出頻率 .....	106
圖 5.1 環狀陣列天線加上切換電路之場型量測結果 .....	108
圖 5.2 環狀陣列天線加上切換電路量測環境 .....	108

圖 5.3 量測情形 .....	110
圖 5.4 軟體無線電平台 C1056B .....	111
圖 5.5 SDR 系統量測架構圖 1 .....	112
圖 5.6 SDR 系統量測架構圖 2 .....	112
圖 5.7 星座圖量測結果 1(a)2×2(b)4×4(c)8×8 .....	113
圖 5.8 星座圖量測結果 2(a)2×2(b)4×4(c)8×8 .....	114
圖 5.9 USRP 系統量測架構圖 .....	115
圖 5.10 USRP 之發射端控制介面 .....	116
圖 5.11 USRP 之接收端控制介面 .....	116



# 表格目錄



---

表 2-1 天線設計參數.....	7
表 2-2 一分二的 T 型功率分配器的設計參數 .....	12
表 2-3 鐵氟龍透鏡結構尺寸對應表[9].....	23
表 3-1 晶片工作頻率.....	38
表 3-2 晶片參數選擇.....	39
表 3-3 被動式混頻器和主動式混頻器優缺點.....	40
表 3-4 Microstrip & CPWG 的結構比較表[9].....	44
表 3-5 傳輸線結構相關參數.....	45
表 3-6 升降頻電路材料表.....	50
表 3-7 邏輯狀態與晶片相對於最大增益之對照表[17].....	51
表 3-8 可變增益放大器規格整理[17].....	52
表 3-9 混頻器規格整理[18].....	53
表 3-10 功率放大器規格整理[19].....	54
表 3-11 低雜訊放大器規格整理[20].....	55
表 3-12 中頻放大器晶片規格[21].....	56
表 3-13 發送端晶片參數設置.....	58
表 3-14 發送端系統性能分析結果.....	59
表 3-15 接收端晶片參數設置.....	59
表 3-16 接收端系統性能分析結果.....	59
表 3-17 板子材質參數.....	60

表 3-18 切換電路材料表 .....	66
表 3-19 SPDT 於單電源模式之規格整理[24] .....	67
表 3-20 SPDT 數位切換控制真值表[24] .....	68
表 3-21 SP4T 規格整理[25] .....	69
表 3-22 SP4T 數位切換控制真值表[25] .....	69
表 3-23 切換電路的性能分析 .....	70
表 3-24 切換電路真值表 .....	70
表 3-25 切換電路數控指令表 .....	74
表 3-26 鎖相振盪器電路材料表 .....	76
表 3-27 鎖相振盪器的性能分析[26] .....	78
表 5-1 降頻增益量測結果 .....	109
表 5-2 升頻增益量測結果 .....	109



# Chapter 1 緒論



## 1.1 研究動機

無人飛行載具(Unmanned Aerial Vehicle, UAV)最早以熱汽球的形式出現，後來研發成演習訓練用的靶機，隨後開始利用無人機進行大範圍偵察任務，無人機早期是針對軍事上需求而發展，後來逐漸擴張至民生應用，受到創新技術和市場需求的影響下，在各個應用領域蓬勃發展，舉凡農業、軍事、救難、維安、科學研究等，都已經有無人飛行載具的應用踏足領域，是及具開發潛力的項目，發展也更加多元化。

無人機本身具有機動性高、隱密性高、精巧靈活的特性[1]，在應用上可以區分三大類：一、資訊收集平台或工作輔助應用，二、物品運送，三、通訊/網路中繼站及空中控制系統[2]，而這些應用皆需整合多樣的技術，包括影像辨識、雷達系統、定位系統等等，甚至近期發展的無人機飛航管理(UAS Traffic Management, UTM)系統，對不同類型的無人機即時監控管理，實現這些系統皆離不開無人機載具上的無線傳輸的技術。

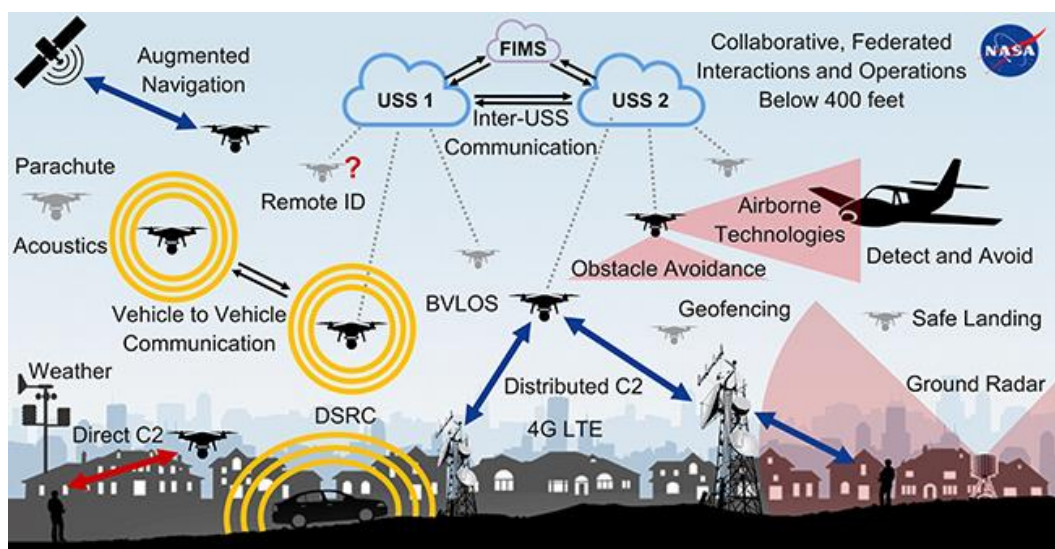


圖 1.1 UTM 研究與開發中測試的一些技術和概念[3]



## 1.2 論文貢獻

本論文提出一個用於無人機通訊的平台，整合環形陣列天線和射頻收發器，能夠實現水平方向的無線通訊或偵查的功能，配合高增益天線和電子式波束成型的功能，能夠快速切換訊號傳輸方向或雷達偵測方向，其平台架構可以分為環形陣列天線和射頻收發器兩個部分，系統架構圖見圖 1.2。

環形陣列天線可產生  $36^\circ$ 、 $24^\circ$ 、 $12^\circ$ 、 $0^\circ$ 、 $-12^\circ$ 、 $-24^\circ$ 、 $-36^\circ$  的掃描角度，由 23 支環狀排列的子陣列天線和龍伯透鏡組合而成，龍伯透鏡共有 30 個端口，其中 23 個端口作為天線端口，7 個端口作為饋電端口，於不同的饋電端口饋電，可激發 23 支子天線其中相鄰的 15 支子天線，7 個饋電端口分別對應 7 個掃描角度，提供 19.2dBi 的增益，而射頻收發器可分為升降頻電路、切換電路和鎖相迴路振盪器構成，經過驗證該射頻收發器可以提供環形陣列天線額外增益，並實現電子式掃描，透過 SDR 檢測，能將中頻訊號升頻至 X-band，在將 X-band 的訊號降至中頻訊號，仍保有完整的數據，確認無線傳輸的可行性。

往後可以以平台為基礎，繼續針對各個部件區塊進行改良，例如天線的縮小化、3D 場型合成、電源模塊製作、系統模組化等等，本論文也詳細說明製作過程，希望未來有人碰到相關題目，此篇論文能做為參考，協助實現無人機通訊系統。

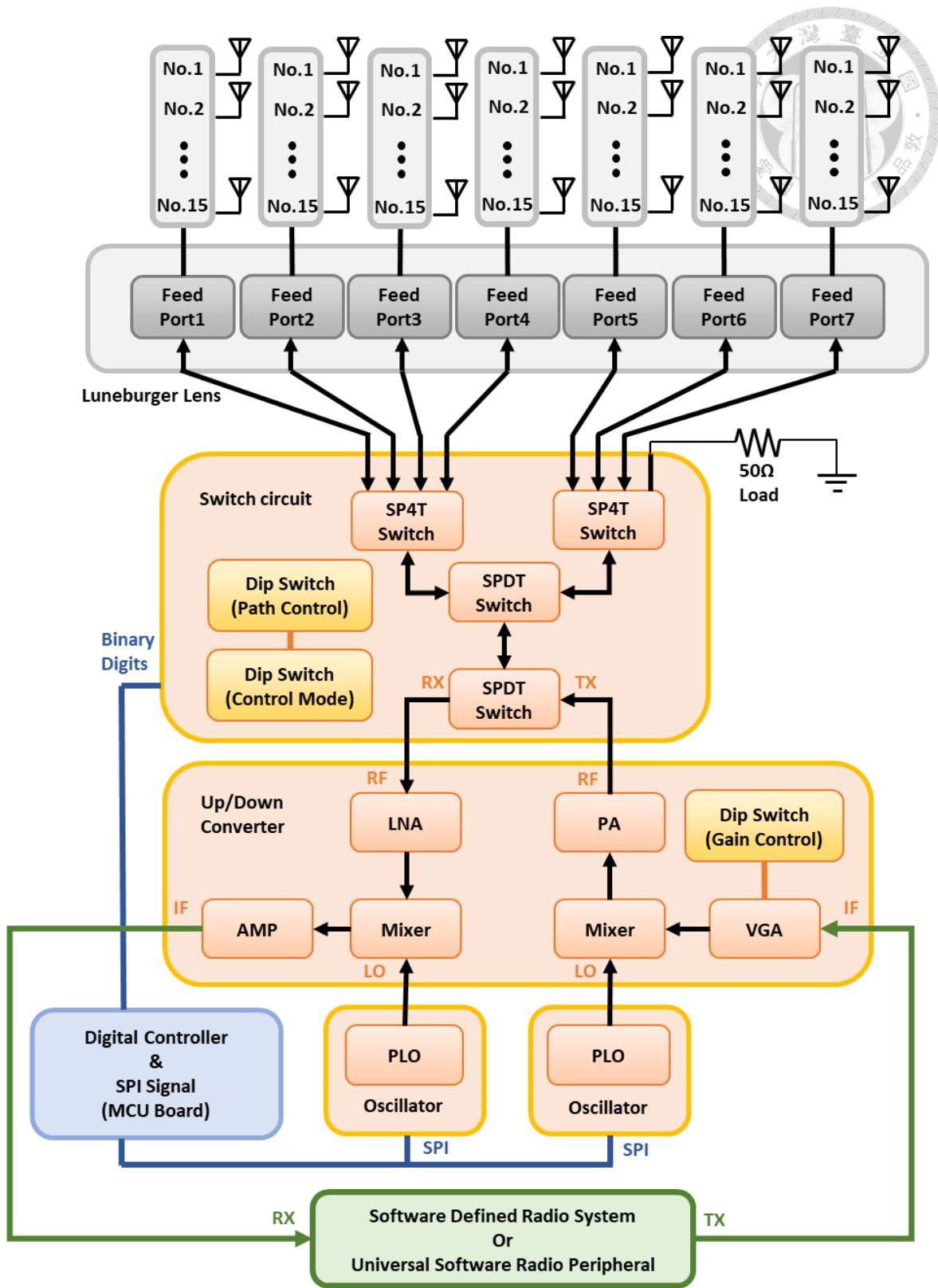


圖 1.2X-Band 環狀陣列天線系統架構圖

### 1.3 章節介紹

本文共分為六章，第一章講述研究背景和論文架構，第二章描述環形陣列天線設計，第三章探討升降頻系統的設計，第四章為升降頻電路量測結果，第五章為環形陣列天線和升降頻系統的整合量測，第六章為結論，為整篇論文進行總結。



## Chapter 2 環狀陣列天線設計



本系統的環狀陣列天線是使用張尚哲學長實作的成品，並重新模擬與量測驗證。本章將介紹環狀陣列天線的各项部件設計，包含天線單元、子陣列天線和龍伯透鏡(Luneburg Lens)，以及各組件拼裝後的環狀陣列之幅射場行模擬與量測結果。

### 2.1 韋瓦第天線介紹

韋瓦第 (Vivaldi) 天線在 1979 年首次由 Gibson 所提出錯誤! 找不到參照來源。當時設計的 Vivaldi 以常規的微波光刻薄膜技術在高介電常數基板上構建的，並將電路元件同時印刷在同一基板上以完成超寬帶的接收裝置，其操作在 8-40 GHz 的頻率範圍。

韋瓦第天線屬於漸進式縫隙線天線(Tapered Slot Antennas, TSA)的一種，漸進式縫隙線天線又稱槽口天線(notch antenna)，該類型天線接具有寬頻和終端輻射的特性，在金屬薄板上有著逐漸變寬的槽線，從饋入端開始，隨著長度的增加，寬度也跟著變寬，形成一個類似喇叭型的結構，漸進式縫隙線天線以不同的槽線變化區分多種形式，如圖 2.1(a)~(h)所示，傳統的漸進式開槽天線較常被使用的型態為線性漸進式開槽天線(linear tapered Slot Antennas, LTSA)、指數漸進式開槽天線(Vivaldi)、常數寬度開槽天線(constant width slot antenna, CWSA)，而其他類型並沒有受到太多青睞。

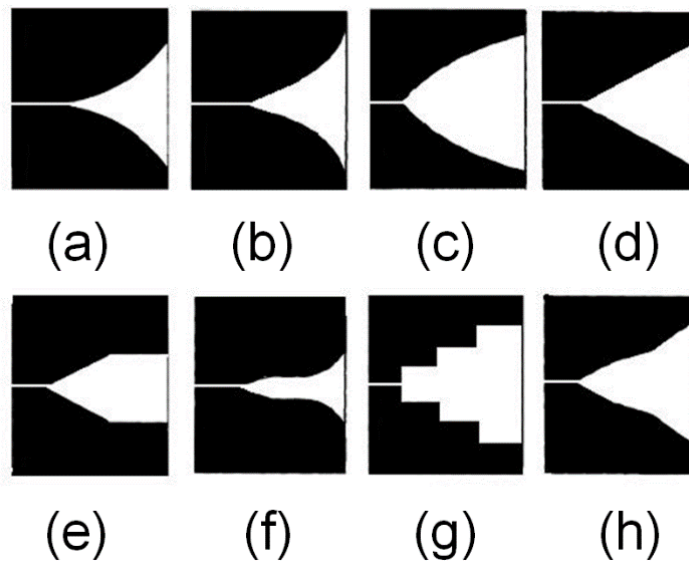


圖 2.1 TSA 不同的形式: (a) Exponential (b) Tangential (c) Parabolic (d) Linear(e) Linear-constant (f) Exponential-constant (g) Step-constant (h) Broken linear

韋瓦第天線是一個非週期連續的天線結構，理論上它具有無限的瞬時頻率帶寬，該天線具有顯著的增益和線性極化，可以使其符合恆定的增益與頻率性能，其輻射機制主要是由非諧振的行進波沿著天線彎曲路徑所產生，當錐形縫線的邊緣間距與自由空間波長相比非常小時，行進波中的能量會緊密地束縛在導體上，並且隨著錐形縫線的邊緣間距增加，行進波中的能量逐漸減弱，並且逐漸耦合至輻射場中。[5][6]

此天線的結構簡易且質量輕，製作上成本較低，容易實現，且不容易因製作的誤差而改變特性，具有高寬頻、低旁瓣波束(side lobes)、和幾乎對稱 E-平面(E-plane)及 H-平面(H-plane)場型的優點。



## 2.2 韋瓦第單元天線設計

韋瓦第單元天線的中心頻段在 10GHz，微帶線饋入阻抗  $Z_0$  為 50 歐姆，開槽曲線選擇使用橢圓曲線設計，其結構較為簡單，容易建模，基板選用的材質是 Roger4003，厚度為 20mil，介電係數為 3.38，並使用 ANSYS HFSS 進行三維全波仿真模擬。

在天線結構的設計方面，韋瓦第天線由二個平面結構所組合而成，印刷於基板之兩側，分別為接地層和饋線層，如圖 2.2，表 2-1 天線設計參數。

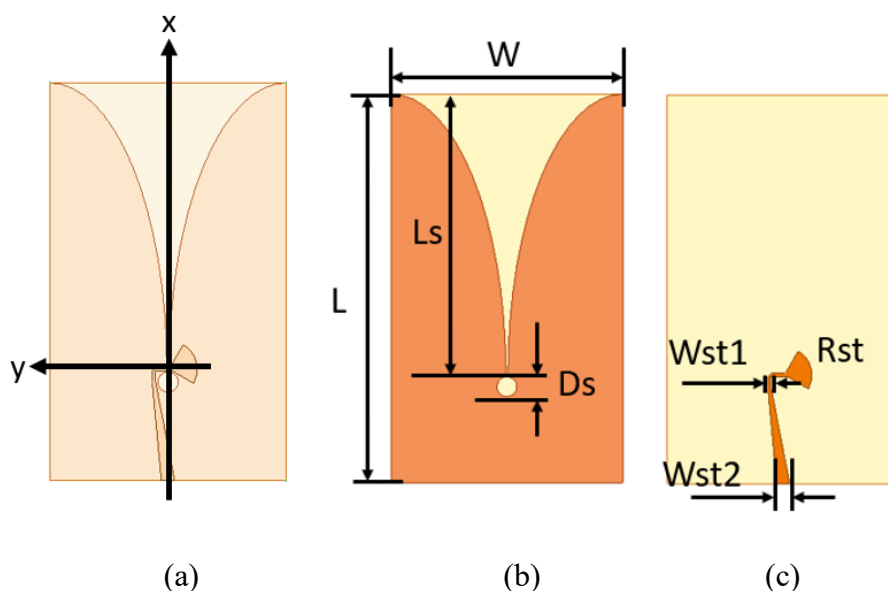


圖 2.2 (a)天線結構圖 (b)接地層 (c)饋線層

參數	說明	值(單位)
W	基板的寬度(同時也是槽口的寬度)	21 (mm)
L	基板的長度	35.2 (mm)
Ls	槽口的長度	10.4 (mm)
Ds	原形孔腔的直徑	1.797 (mm)
Wst1	饋線初始的寬度	1.176 (mm)
Wst2	饋線終端的寬度	0.3 (mm)
Rst	扇形微帶線殘斷的半徑	2.33 (mm)

表 2-1 天線設計參數

一般而言，韋瓦第天線的設計主要調整兩個影響天線幅射的參數，分別為  $L_s$  和  $W$ ，初始會將兩參數預設在最低頻率的半波長，在隨後逐步調整， $L_s$  主要影響最低頻的共振點， $W$  主要影響天線的場型，只需調整至大概寬度，發現天線端口的反射係數趨勢在預想的頻率點附近有下降趨勢，而場型也與典型的韋瓦第天線一致時，再可調整饋線結構，使整體結構達到 50 歐姆組抗匹配。

圖 2.3 韋瓦第單元天線反射係數  $S_{11}$  的模擬結果，於 8.75GHz 至 12GHz 的反射係數接低於 -10dB，於中心頻 10GHz 的反射係數為 -34dB，見圖 2.4 韋瓦第單元天線的 E-plane 場型模擬結果和圖 2.5 韋瓦第單元天線的 H-plane 場型模擬結果顯示，單元天線的模擬增益可達 6.89dBi，指向性為 6.9 dBi，輻射效率高達 99%，模擬 E-plane 的半功率束寬為 26.57 度，模擬 H-plane 的半功率束寬為 100.04 度，H-plane 具有寬束寬特性，利於水平面的場型合成。

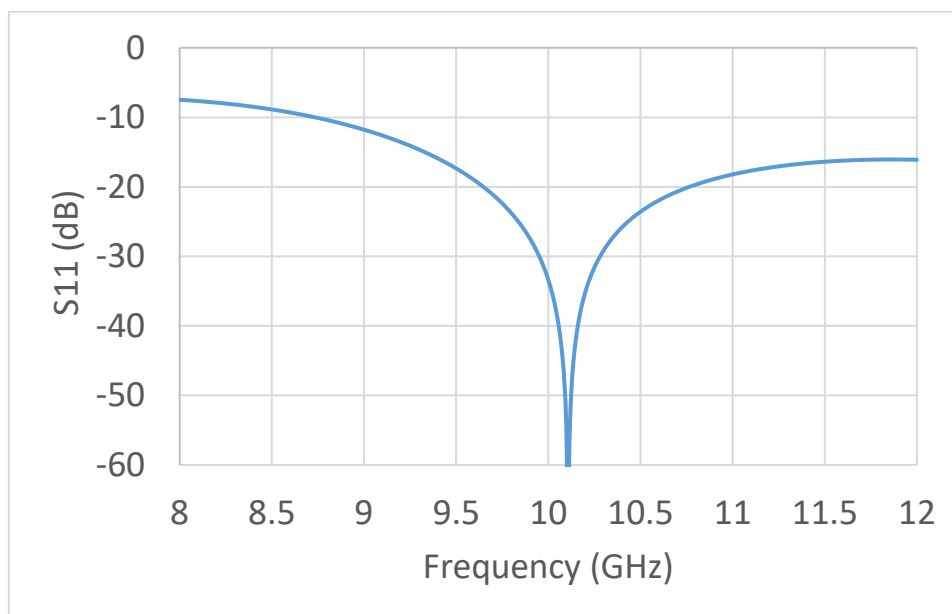


圖 2.3 韋瓦第單元天線反射係數  $S_{11}$  的模擬結果

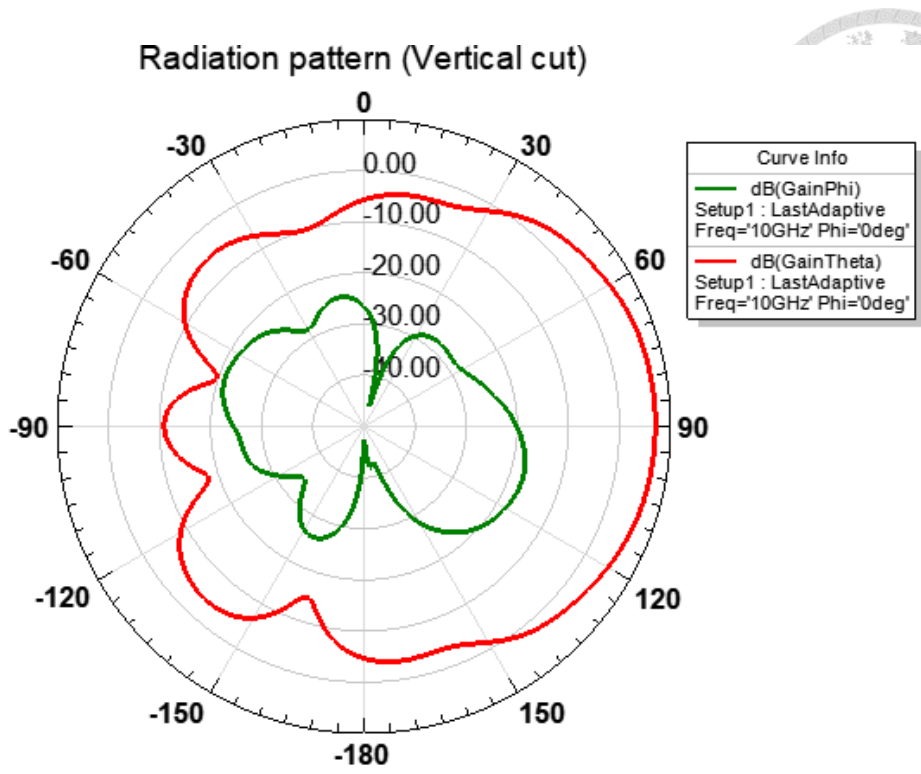


圖 2.4 韋瓦第單元天線的 E-plane 場型模擬結果

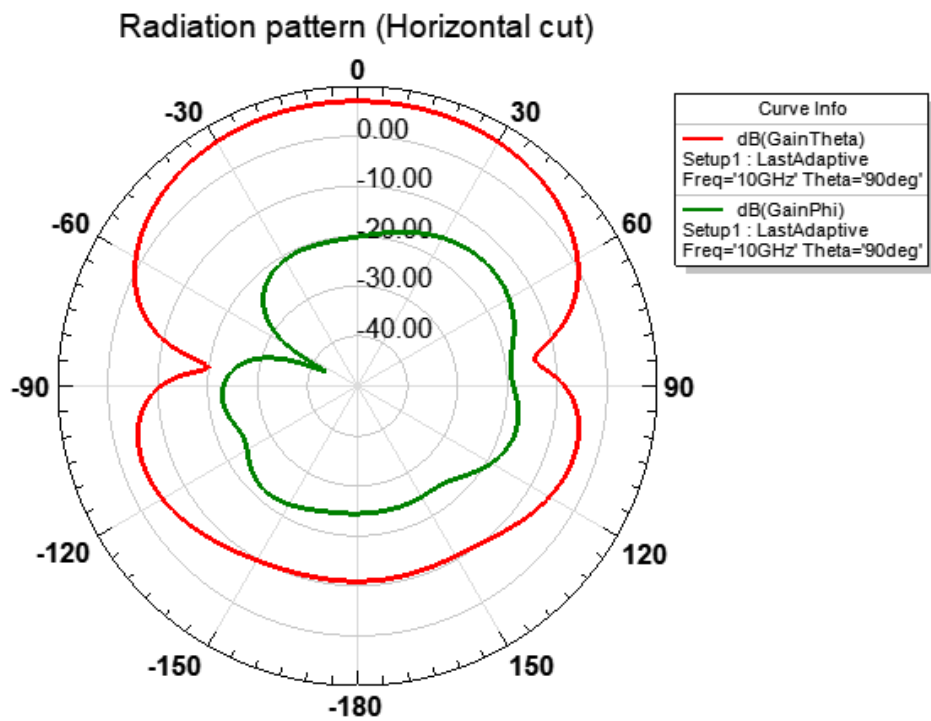


圖 2.5 韋瓦第單元天線的 H-plane 場型模擬結果





## 2.3 微帶線基本理論

微帶線(Microstrip Line)是平面電路板上最常見的結構之一，其傳輸電磁場的模態趨近 TEM，因此該結構可以近似為一個傳輸線，其具有容易設計、易於製作、方便與其他微波電路及天線整合之優點，其結構如圖 2.6 所示，其中  $w$  是微帶線寬度、 $t$  是金屬厚度， $h$  是基板厚度， $\epsilon_r$  為基板的相對介電係數，底層導體作為接地面。

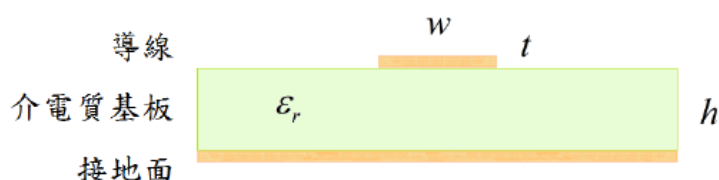


圖 2.6 微帶線的結構示意圖

依照傳輸線的物理特性，可以將整段線路等效為一集總電路加以分析，其電路模型如圖 2.7，其中  $R$  為單位長度的串聯電阻( $\Omega/m$ )、 $L$  為單位長度的串聯電感( $H/m$ )、 $G$  為單位長度的並聯電導( $S/m$ )、 $C$  為單位長度的並聯電容( $F/m$ )， $R$  來自於不完導體造成的，由於不完美導體所產生的肌膚效應(Skin Effect)，導致表面電阻的產生，使總能量傳遞過程中造成工率消耗，而  $G$  來自基板介電的損耗。

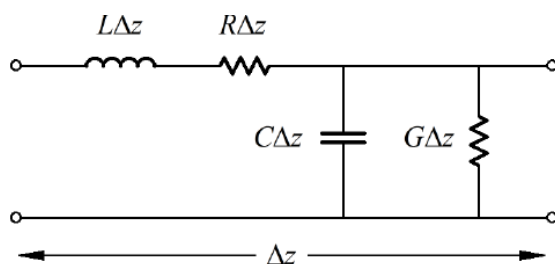


圖 2.7 傳輸線之等效電路模型

傳輸線的特性阻抗(Characteristic Impedance)定義式如下

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2-1)$$

而  $Z_0$  可由以下式子估算

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_{eff}}} \ln\left(\frac{8h}{w} + \frac{w}{4h}\right) & \text{for } w/h \leq 1 \\ \frac{120\pi}{\sqrt{\epsilon_{eff}} \left[ \frac{w}{h} + 1.393 + 0.667 \ln\left(\frac{w}{h} + 1.444\right) \right]} & \text{for } w/h \geq 1 \end{cases} \quad (2-2)$$

其中  $\epsilon_{eff}$  為電磁場同時分佈於空氣及基板中的等效介電常數，可以用以下式子估計

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12h/w}} \quad (2-3)$$

上述微帶線的評估式子皆為近似式[7]，為了講求實際的情況，最後的結構必須使用全波模擬軟體進行分析與驗證。

## 2.4 一分八等功率分配器

本天線子陣列為  $1 \times 8$  的線性子陣列，使用了一分八的 T 型功率分配器 (T-junction power divider)，實現一個輸入端連接至八個天線單元，T 型功率分配器一個簡單的九端口網路，相較於威爾金森功率分配器，較難對所有端口作到匹配，且各端口的隔離度也比較差，但在設計上較為簡單，整體結構也比較不佔面積[7]。

一分八的 T 型功率分配器總共使用了七個一分二的等功率分配器來實現，圖 2.8 一分二的 T 型功率分配器的結構圖，表 2-2 一分二的 T 型功率分配器的設計參數，該電路最終將與單元天線做結合，因此用同一板材規格設計，材質為 Roger4003，厚度為 20mil，介電係數為 3.38。



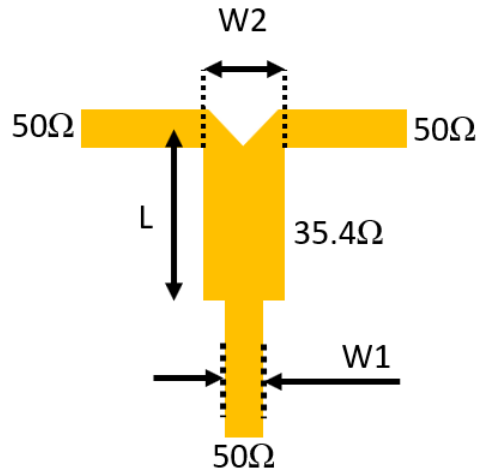


圖 2.8 一分二的 T 型功率分配器的結構圖

參數	值(單位)
L	4.6 (mm)
W1	1.18 (mm)
W2	1.96 (mm)

表 2-2 一分二的 T 型功率分配器的設計參數

圖 2.9 一分八 T 型功率分配器結構圖，反射係數模擬如圖圖 2.9 所示，其頻率在 8.85GHz 至 11.2GHz 的反射係數皆小於-10dB，於工作頻率具有低反射損耗，而且具備良好的頻寬。圖 2.11 為透射係數模擬圖，於工作頻率上，透射係數  $S_{21}$  在 -9.45dB 至 -11.5dB，雖然不到理想的 -9dB，但整體的趨勢仍然接近等功率分配器，足以用於陣列天線波束合成激發[8]。

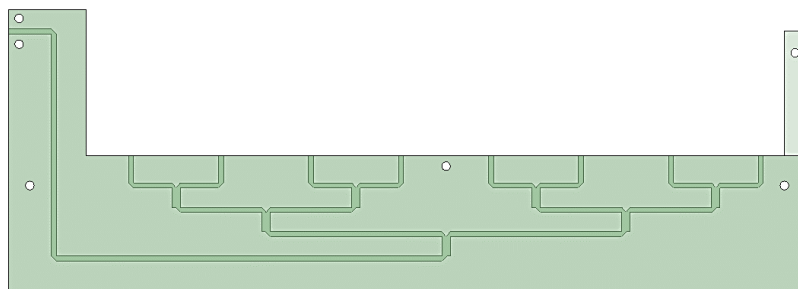


圖 2.9 一分八 T 型功率分配器結構圖

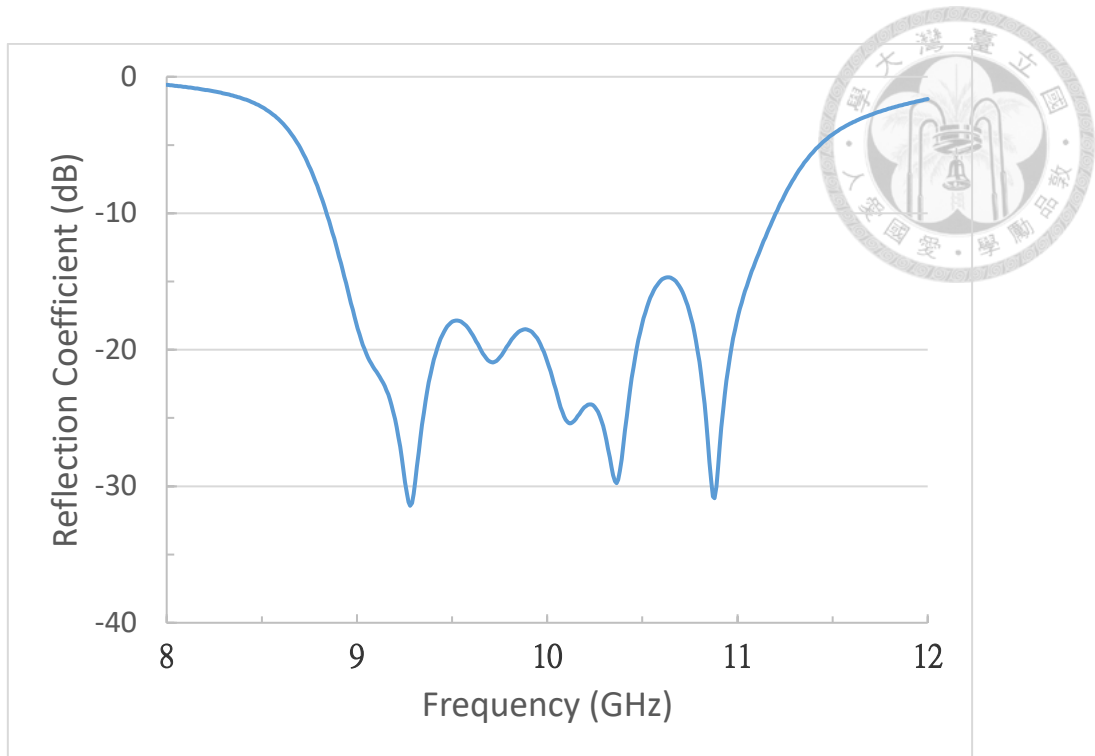


圖 2.10 一分八 T 型功率分配器之反射係數模擬圖[8]

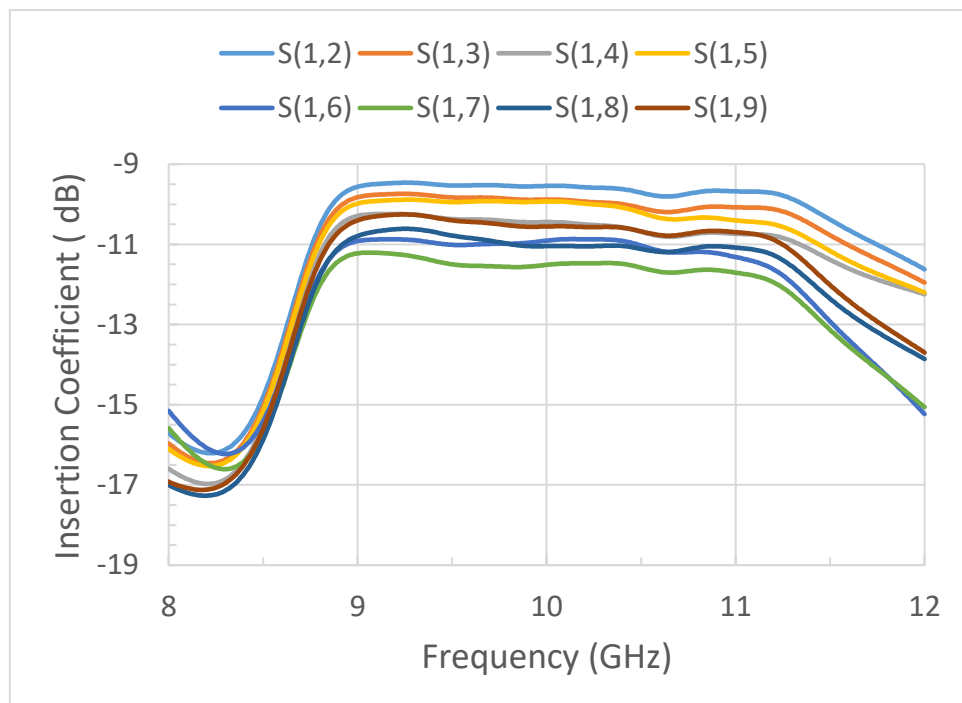


圖 2.11 一分八 T 型功率分配器之透射係數模擬圖[8]



## 2.5 線性子陣列

線性子陣列以八個天線單元間距 0.7 波長沿著 z 軸等距排列，若將天線單元視為點波源，其分佈如，其陣列因子可以寫成

$$\begin{aligned}
 AF_{linear} &= e^{j\left(\frac{7}{2}\right)\psi} \left(1 + e^{j\psi} + e^{j2\psi} + \dots + e^{j7\psi}\right) = e^{j\left(\frac{7}{2}\right)\psi} \frac{1 - e^{j8\psi}}{1 - e^{j\psi}} \quad (2-4) \\
 &= e^{j\frac{1}{2}\psi} \frac{e^{-j4\psi} - e^{j4\psi}}{1 - e^{j\psi}} = \frac{\sin 4\psi}{\sin \frac{\psi}{2}}
 \end{aligned}$$

其中

$$\psi = kd \cos \theta + \beta_z \quad (2-5)$$

$\psi$  為單位天線之間的相位差，其中  $k$  為波數(wave number)， $d$  為子陣列之間的距離， $\theta$  為原點到觀察點的連線與正  $z$  軸之間的角度， $\beta_z$  是相鄰天線單元的激發相位差，由於功率分配器每條線路提供的相位一樣，對每個單元天線同相(In phase)激發，所以  $\beta_z = 0^\circ$ 。從式子觀察，當  $\theta$  為 90 度時，其  $AF_{linear} = 8 (= 9\text{dB})$ ，也就是以八個單元排列的線性子陣列相較於一個單元，理論上最大增益可以增加 9dB。

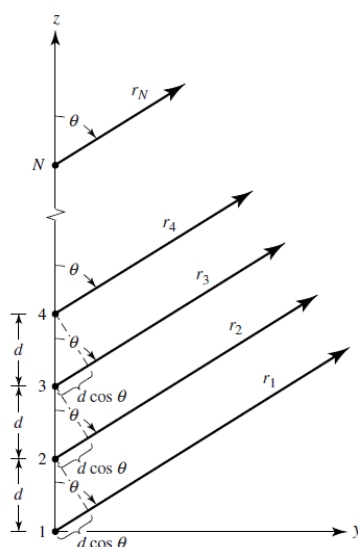


圖 2.12 N 點波源沿著 z 軸排列的幾何圖[11]

圖 2.13 為八個單元排列之結構圖，見圖 2.14 和圖 2.15，分別為 8 個單元排

列的 E-plane 和 H-plane 場型模擬結果，模擬增益為 16.05dBi，指向性為 16.07dBi，輻射效率也高達 99%，與單元天線相比，增益增加了 9.16dB，與理想值的 9dB 十分接近，E-plane 的場型因為天線陣列沿著正 z 軸排列的關係，垂直方向的指向性提高，垂直切面束寬變窄，模擬 E-plane 的半工率束寬變為 9.12 度，而模擬 H-plane 的半工率束寬仍保有 99.6 度，水平切面場型則不受垂直陣列擺放影響，與單元天線的水平切面的場型趨勢幾乎一致。

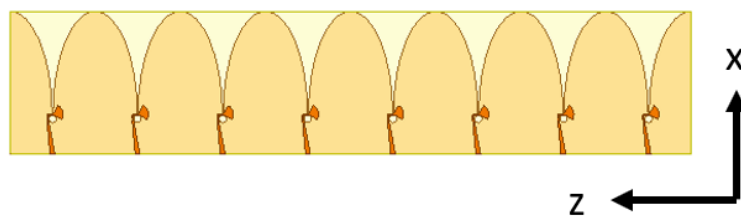


圖 2.13 八個單元排列之結構圖

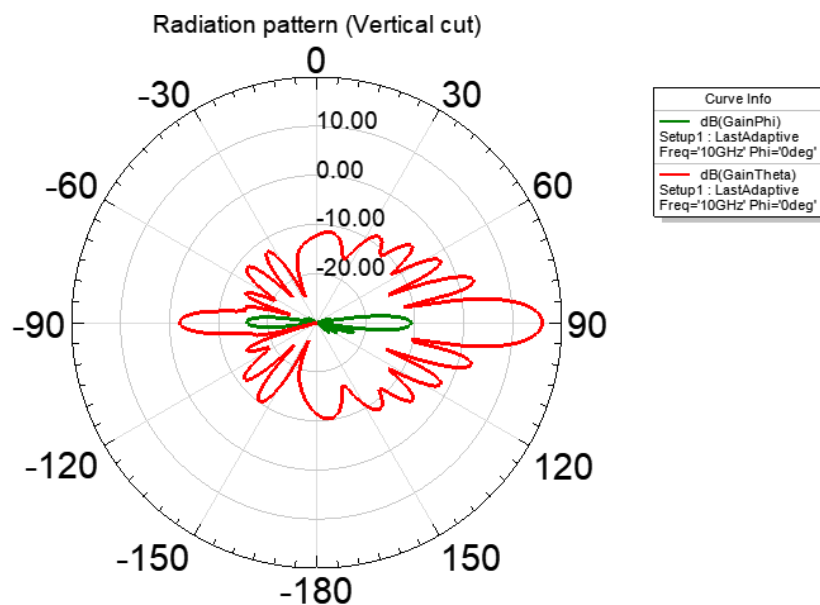


圖 2.14 八個單元排列的 E-plane 場型模擬結果

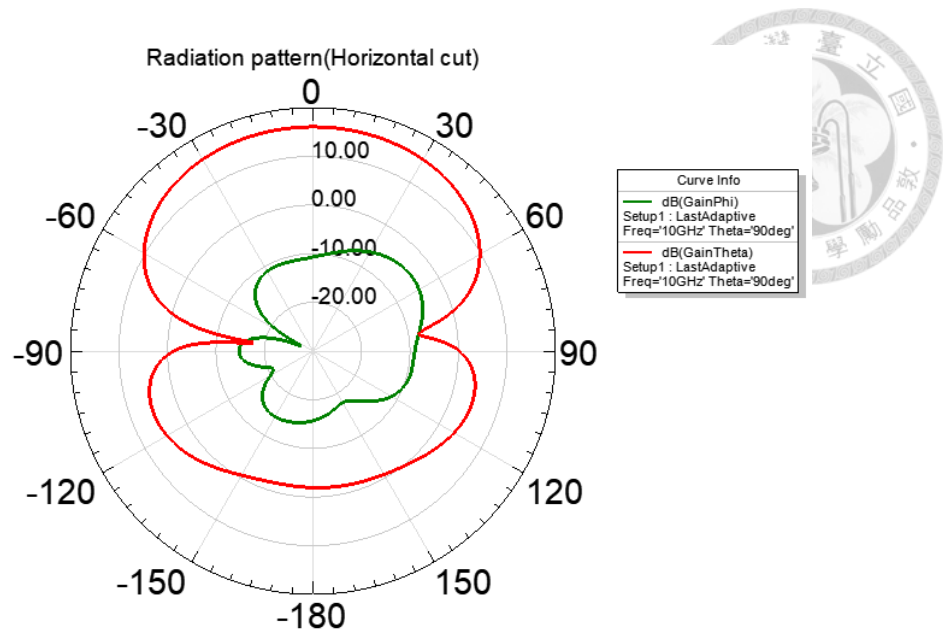


圖 2.15 八個單元排列的 H-plane 場型模擬結果

圖 2.16 線性子陣列之結構圖，將設計好的一分八 T 型功率分配和 SMA 接頭與八個天線單元結合模擬，為了增加板子整體的機械支撐立，於板子的地層疊合了 FR4 板，疊構示意圖如圖 2.7，模擬增益為 13.45dBi，指向性為 14.91dBi，輻射效率為 72.8%，相較於只有八個單元排列的模擬增益少了 2.55dB，雖然天線場型與八個單元排列的場型十分相近，因接地層結構的改變，使得指向性卻掉了 1.16dB，考量八個單元排列的輻射效率良好，因此估計功率分配器的走線和 SAM 接頭的阻抗不匹配所造成的能量損耗 1.46 dB，場型方面，模擬 E-plane 和模擬 H-plane 的場型趨勢與八個單元排列的模擬場型趨勢十分相近，模擬 E-plane 的半功率束寬為 9.22 度，模擬 H-plane 的半功率束寬為 96.71 度。

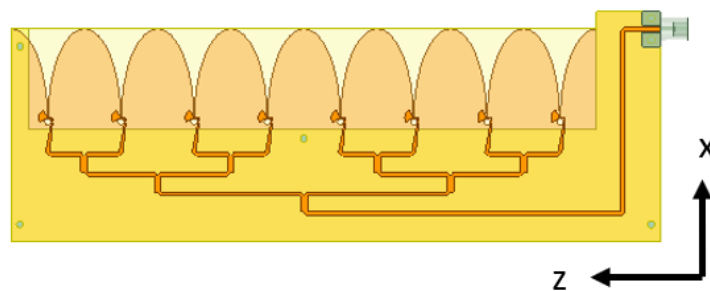


圖 2.16 線性子陣列之結構圖

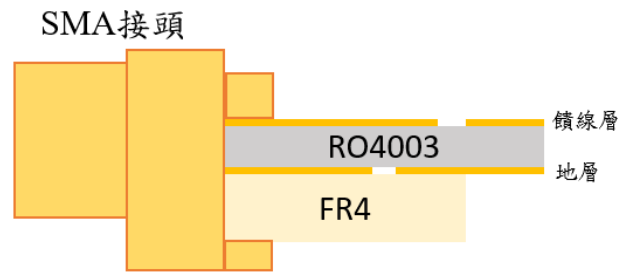


圖 2.17 疊構示意圖

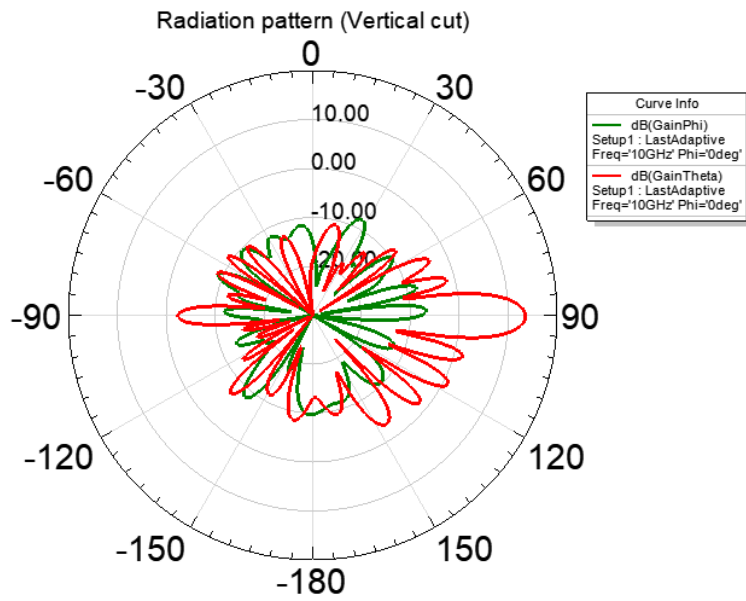


圖 2.18 線性子陣列的 E-plane 場型模擬結果

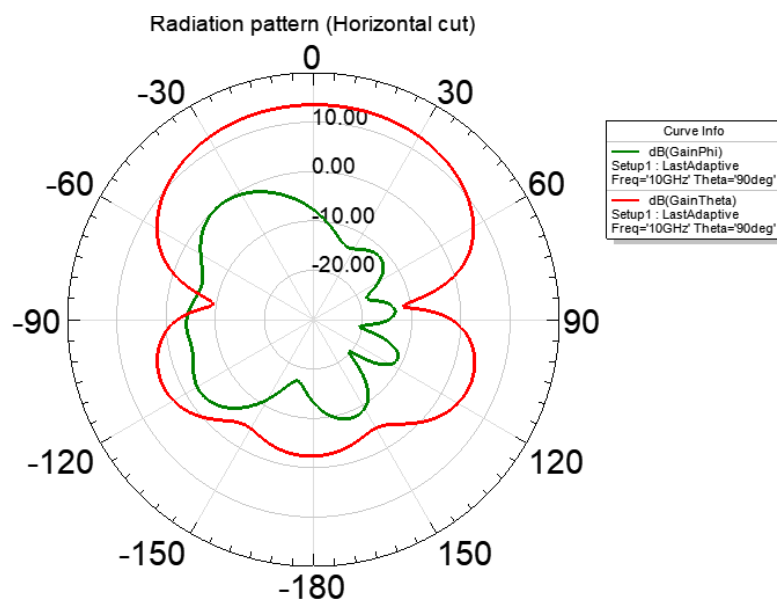


圖 2.19 線性子陣列的 H-plane 場型模擬結果



本天線於台大 527 無反射室量測，系統為 NSI2000，圖 2.21 量測室架設環境，圖 2.22 和圖 2.23 分別為線性子陣列的 E-plane 和 H-plane 的量測結果，量測增益為 11.43dBi，量測指向性為 14.52dBi，輻射效率為 49.07% (-3.09dB)，E-plane 的半工率波束為 9 度，H-plane 的半工率波束為 94 度，場型和指向性與線性子陣列的模擬幾乎一致，但增益卻足足少了 2.02dB，推估模擬的輻射效率被高估。

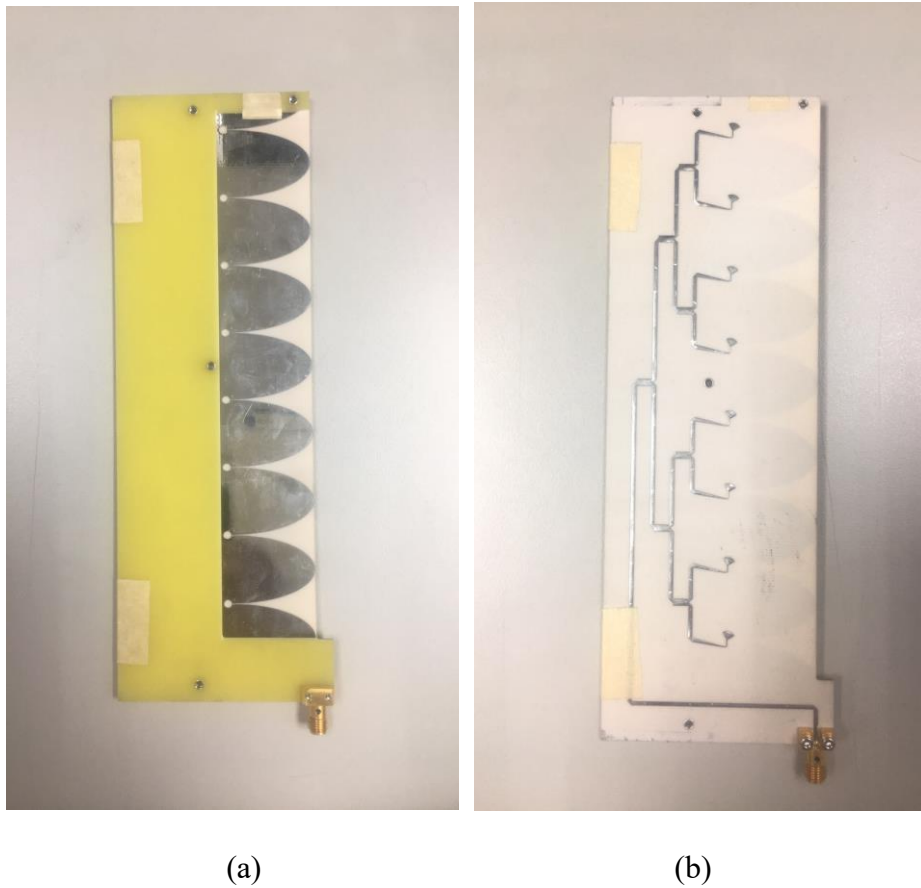


圖 2.20 1×8 線性子陣列天線成品(a)接地層(b)饋線層

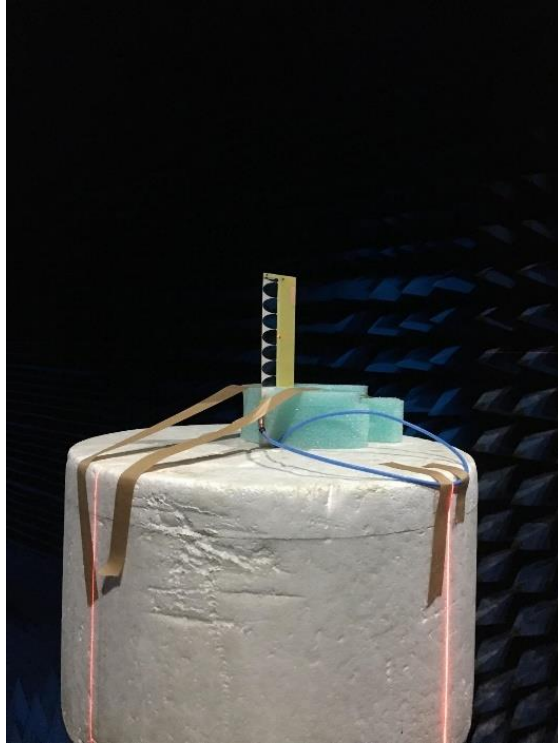


圖 2.21 量測室架設環境

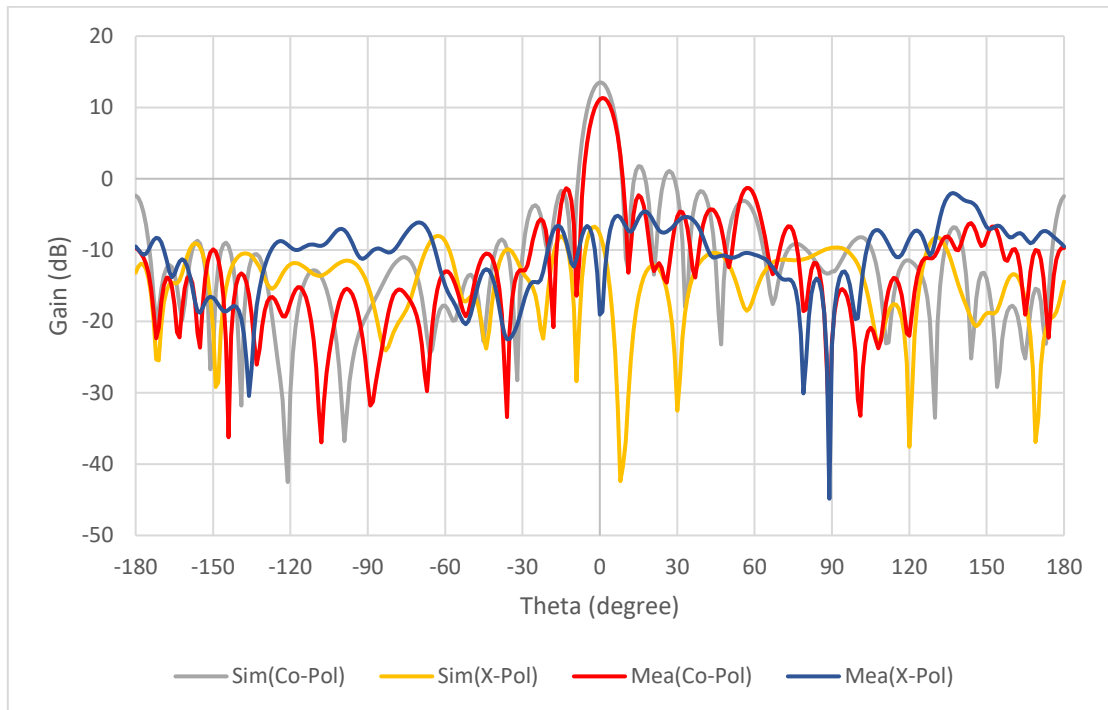


圖 2.22 線性子陣列的 E-plane 量測場型與模擬場型

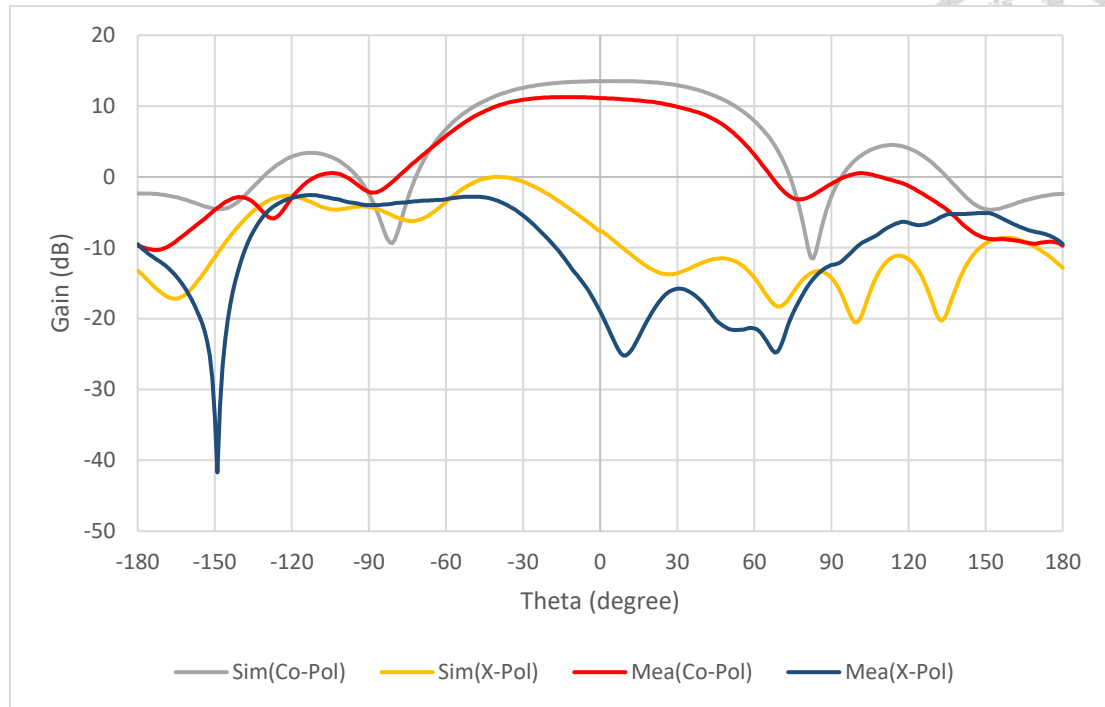


圖 2.23 線性子陣列的 H-plane 量測場型與模擬場型

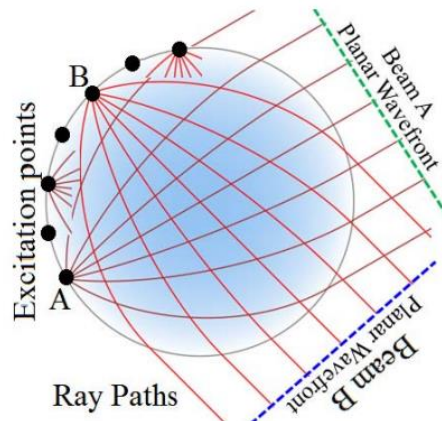
## 2.6 二維龍伯透鏡

環狀陣列的波成型網路(Beamforming networks)以二維龍伯透鏡(2-D Luneburg lens)實現，二維龍伯透鏡本身是圓柱對稱且薄型的結構，有利於與環形排列的天線陣列整合。龍伯透鏡的基本原理就是透過不同介電常數的材質做為透鏡本身，當電磁波入射不同介質界面時，會因為折射率的變化，進而使電磁波行進方向改變，如圖 2.24(a)所示。傳統三維龍伯透鏡透鏡的介電材料具有連續的介電常數，其介電常數從中心到外圍邊界的變化如下公式表示

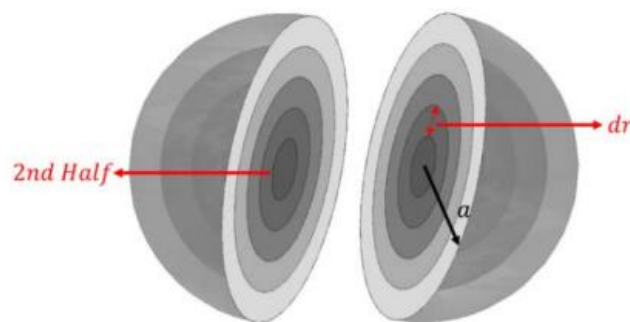
$$\epsilon_r(r) = 2 - \left(\frac{r}{a}\right)^2 \quad (2-6)$$

其中  $a$  是球體的半徑， $0 \leq r \leq a$ 。在實際應用中，連續介電係數的材料難以實現，因此實現方式是將球體離散化，變成各種厚度且不同電介質的同心球殼組成，

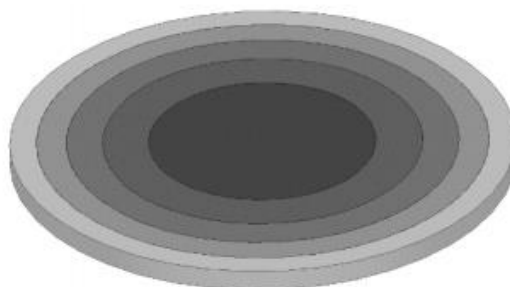
如圖 2.24(b)，二維龍伯透鏡透鏡的形成就是取通過球心的三維龍伯透鏡透平面結構，見圖 2.24(c)，球形殼成為具有小高度的同心圓柱電介質環，離散介電常數沿半徑變化，而其垂直變化假定為均勻，之後放置一對金屬平行板以將透鏡結構夾在中間，該結構等效形成的圓柱形龍伯透鏡[11]。



(a)



(b)



(c)

圖 2.24(a)輻射的射線路徑於連續介電常數的三維龍伯透鏡透鏡球體 (b)離散介電

材料組成三維龍伯透鏡(c)二維龍伯透鏡[11]

然而使用不同的電介質材料來實現電介質環是困難的，本二維龍伯透鏡是通過在平行板波導的內部插入電介質平板，這是一種比較簡單的實現方法，利用圓盤腔體內圓不同的鐵氟龍高度與空氣介質高度組合，使其環形區域的介電係數的值等效介於鐵氟龍之電係數與空氣介電係數之間，如圖 2.25 所示，由圓心向外各區間等效出離散介電環各階之介電係數理論值 $\epsilon_r$ 可利用以下公式

$$\epsilon_r = (\epsilon_{air}h_{air} + \epsilon_{teflon}h_{teflon})/h_r \quad (2-7)$$

其中  $\epsilon_r$  為等效相對介電係數， $h_r$  為基板厚度， $\epsilon_{air}$  為空氣介電係數， $h_{air}$  為空氣介質高度， $\epsilon_{teflon}$  為鐵氟龍介電係數， $h_{teflon}$  為鐵氟龍介質高度。本二維龍伯透鏡是透鏡透過 10 層不同的同心環組合而成，其結構尺寸見表 2-3，索引值對照圖 2.26。

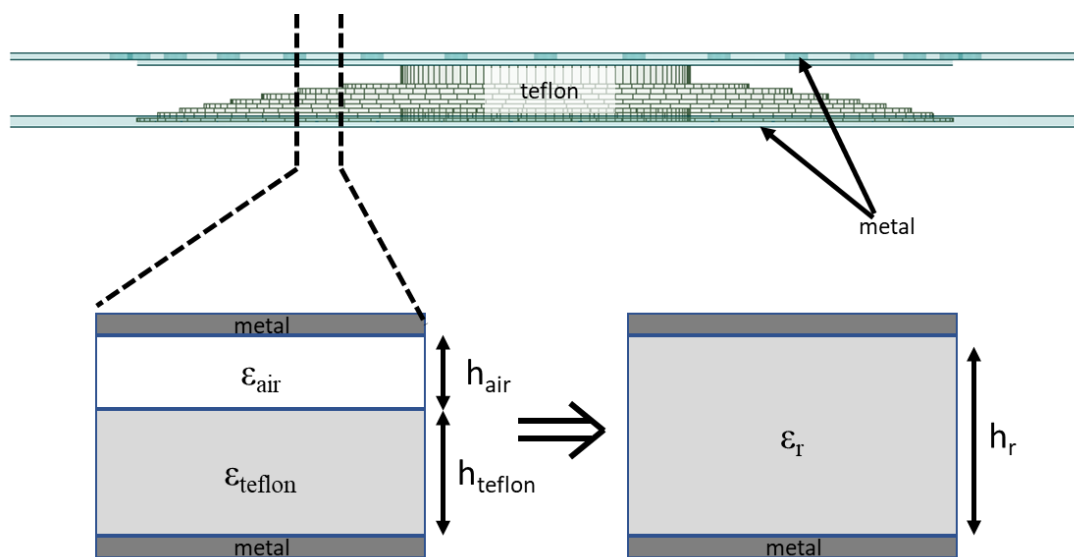


圖 2.25 二維龍伯透鏡結構圖

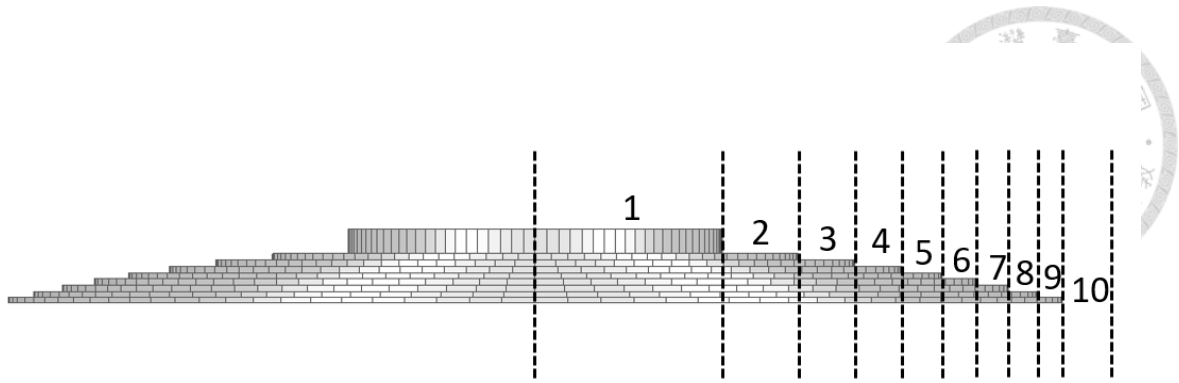


圖 2.26 索引參照

Index	1	2	3	4	5	6	7	8	9	10
Radius(mm)	25.4	35.7	43.4	49.7	55.2	59.9	64.2	98.1	71.6	air
$\epsilon_r$	1.85	1.74	1.64	1.54	1.44	1.35	1.26	1.17	1.08	
Thickness of Teflon(mm)	7.7	6.7	5.8	4.9	4	3.2	2.4	1.5	0.7	

表 2-3 鐵氟龍透鏡結構尺寸對應表[9]

見圖 2.27 二維龍伯透鏡束成型電路結構拆解圖，饋入端口結構是 SMA 連接器的探針，該探針通過直徑為 4.1 mm 的通孔從頂部金屬盤插入，距二維龍伯透鏡中心 74.9 mm，探針的直徑為 1.27mm，並包覆直徑為 4.1mm 的特氟隆以固定其位置。該引腳與地面之間間隙為 3.5mm，在其圓周上具有 30 個等角度分隔的端口，其中 7 和 23 個端口分別是饋入端口(Feed port)和陣列端口(Array port)，以激發 23 個圓形週期子陣列，饋入端口分佈在 90 度扇型區域內，每個饋入端口都可以激發面對半盤 15 個陣列端口，透過切換不同饋入端口作為掃描之應用，見圖 2.28 二維龍伯透鏡功能圖所示，其餘天線的激發則無關緊要，成品見圖 2.29，圓盤腔體的半徑為 94 mm。

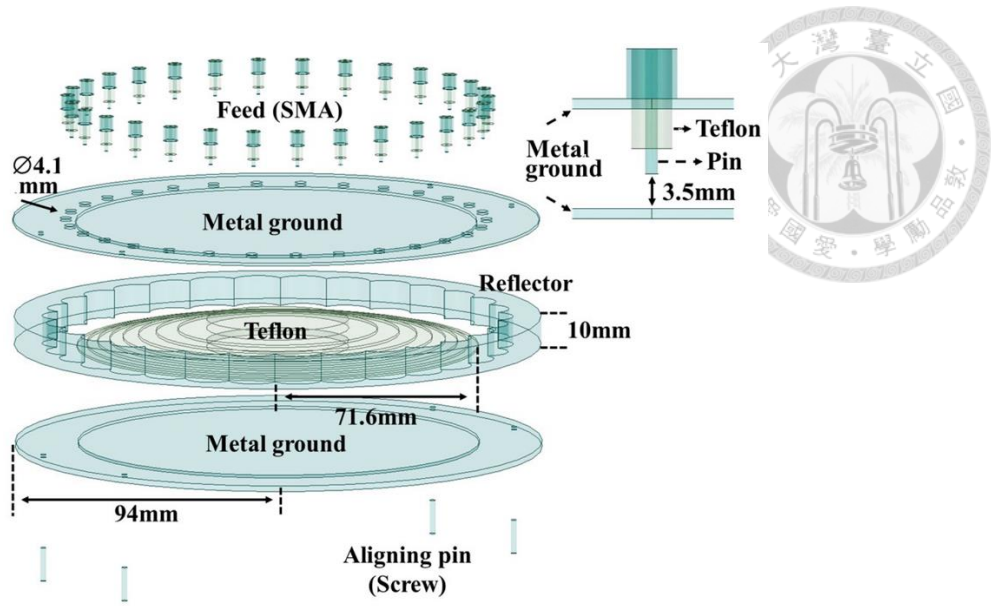


圖 2.27 二維龍伯透鏡束成型電路結構拆解圖[9]

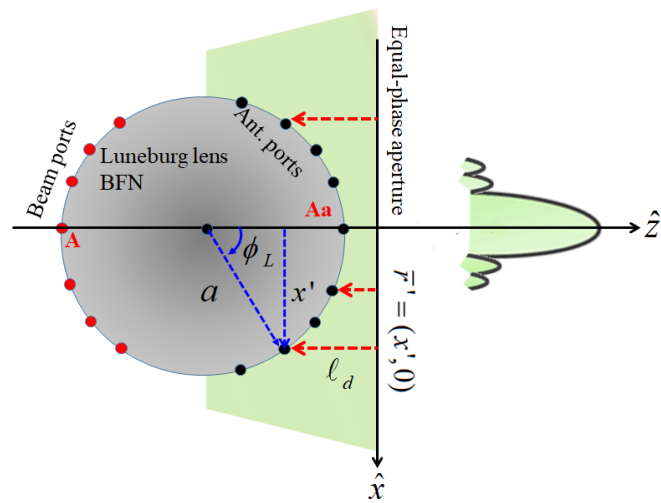


圖 2.28 二維龍伯透鏡功能圖[9]

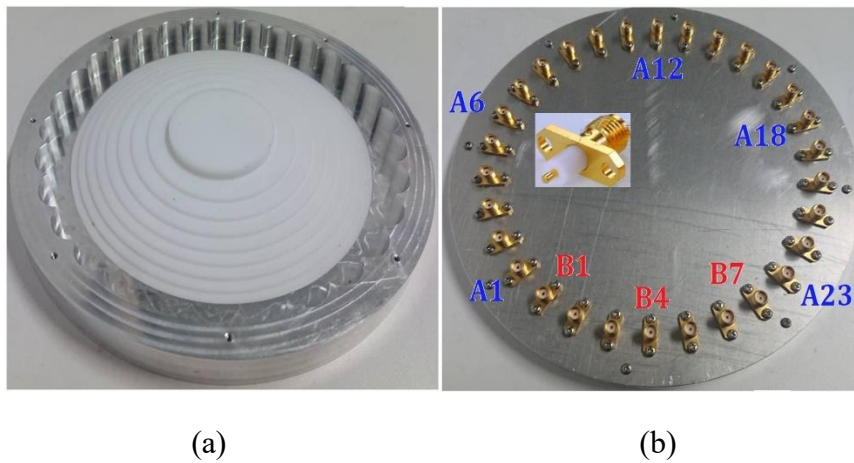


圖 2.29 二維龍伯透鏡波束成型電路實體圖(a)接頭分佈(b)內部結構[8]



於 HFSS 模擬的饋入端口的反射係數如圖 2.30 所示，其隔離度如圖 2.31 所示，由於是對稱結構，僅顯示半邊端口的結果，端口代號對應參考圖 2.29，頻寬超過 4 GHz 且隔離度小，在中心頻率 10 GHz 的反射係數  $S_{11}$  接近 -17 dB，同時於操作頻寬 8.5GHz 至 11.8 GHz 之反射係數  $S_{11}$  值皆在 -10 dB 以下，具有 3.3GHz 的頻寬，對於最近的兩個端口 B4 和 B5，它們在低頻和高頻下的隔離度分別小於 -12 dB 和 -15 dB，B4 和較遠的波束端口之間的隔離度優於 -18dB。

從饋入端口 B4 激發陣列端口的模擬相位和幅度如圖 2.32 所示，顯示前面的端口 A5~A19，其測量結果與模擬結果相近，幅度具有對稱性且呈現錐形分佈，對於廣角的陣列端口，其幅度下降超過 10 dB，對於低於 A5 和高於 A19 的其餘端口，幅度甚至更小，功率效率大約為 86.25%(-0.58 dB)。

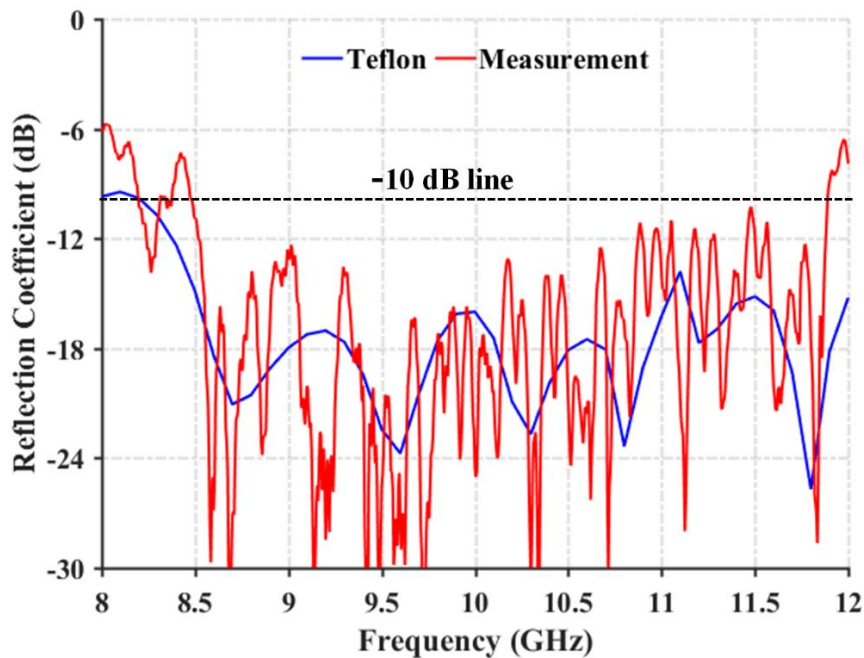


圖 2.30 二維龍伯透鏡饋入端口的反射係數



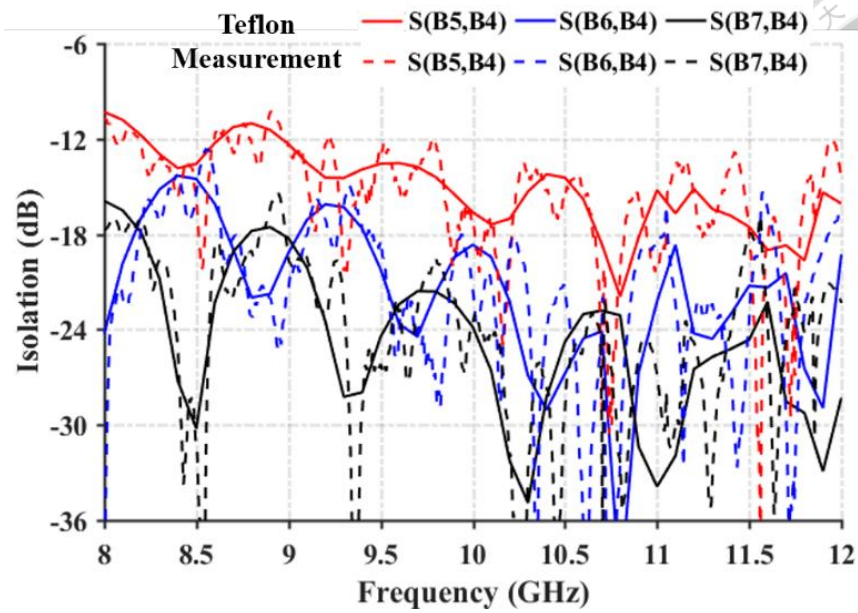
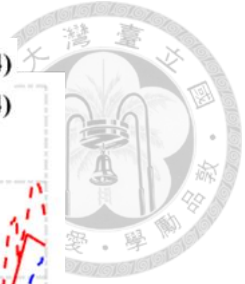


圖 2.31 二維龍伯透鏡饋入端口的隔離度

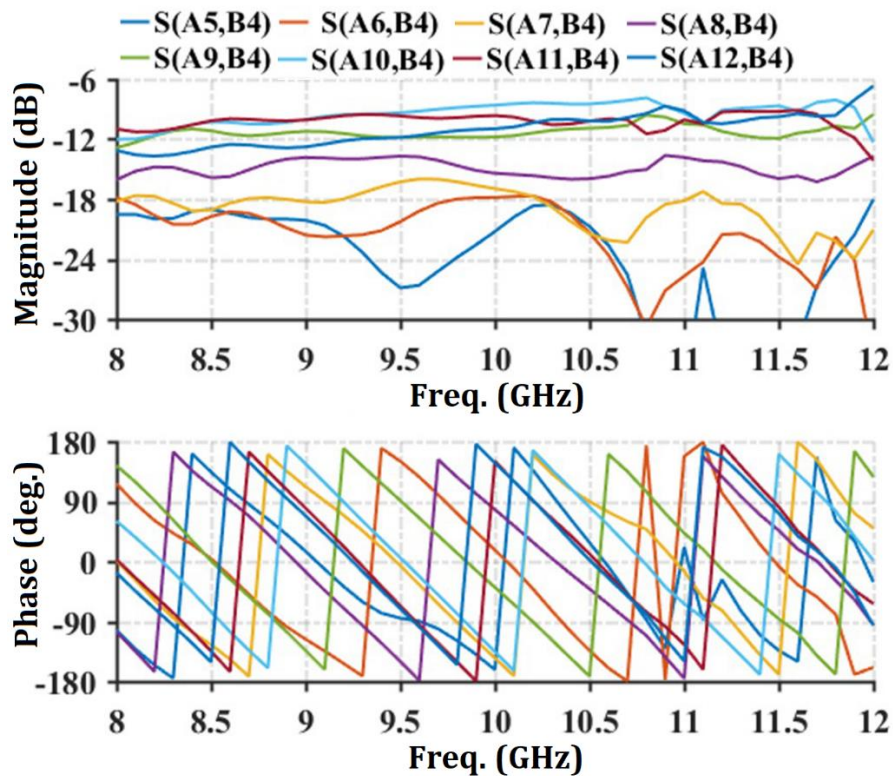


圖 2.32 二維龍伯透鏡波束成型電路之透射係數與相位模擬圖

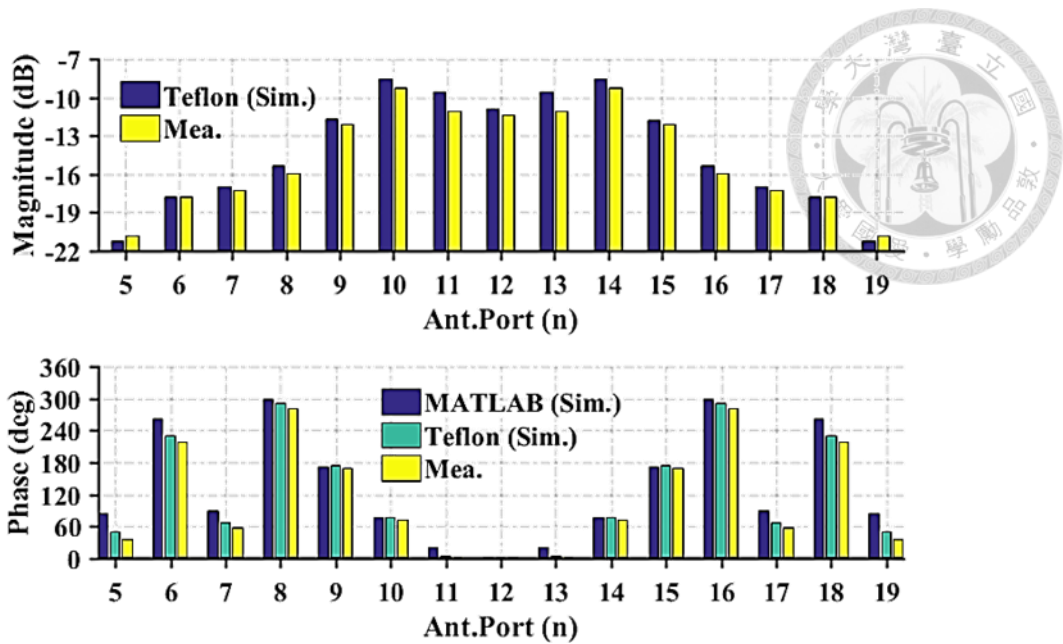


圖 2.33 二維龍伯透鏡之功率與相位的模擬與實測圖[8]

## 2.7 環狀陣列之輻射場型

將 23 個子陣列天線以角度 12 度環型排列模擬，環狀陣列天線直徑為 19 公分，每個子陣列的間距約為半波長(15.8mm)，如圖 2.34，由於受限於電腦的硬體限制，因此無法將陣列天線與二維龍伯透鏡整合模擬，因此透過 Ansys Circuit 將二維龍伯透鏡和環狀陣列天線於 HFSS 模擬整合，Ansys Circuit 會將 HFSS 的三維仿真結果取其 S 參數，透過類電路布局的方式，將於 HFSS 模擬的 23 支子天線與二維龍伯透相接，然後激發二維龍伯透鏡其中一個端口，於陣列端得到的功率和相位會直接輸入至環狀陣列模擬的激發源，藉此得出天線場型以及增益，如圖 2.35。

環狀陣列輻射場型模擬見圖 2.36，模擬增益為 21.5dBi，指向性為 23.3dBi，輻射效率為 69.8%(-1.5 dB)，推估是子陣列天線彼此間的耦合造成輻射效率下降，其中有-0.56dB 的效率是二維龍伯透鏡造成的，其饋入端口 B1 到 B7 所對應的波束角度各別為 36°、24°、12°、0°、-12°、-24°、-36°，H-plane 的半功率束寬為 10 度。

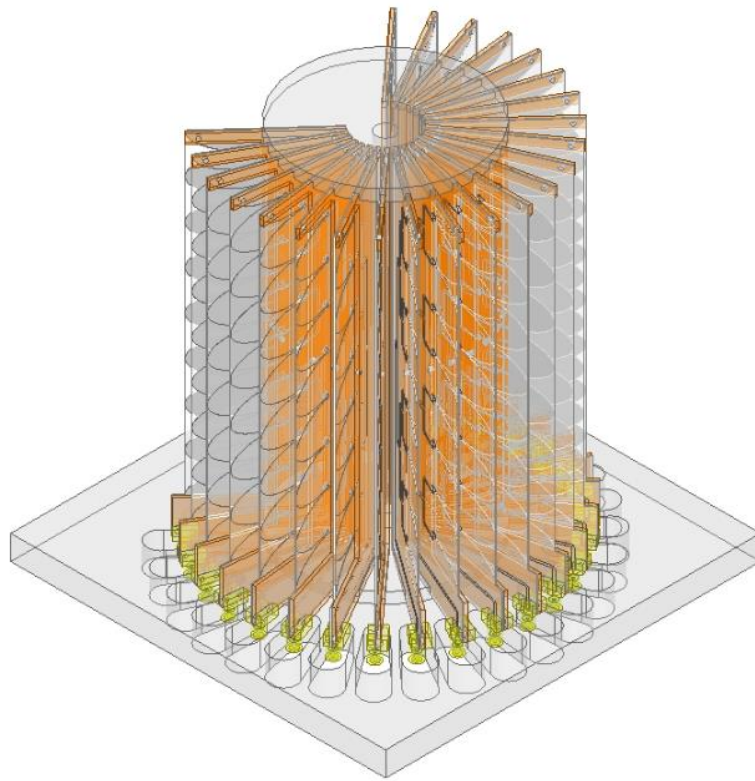


圖 2.34 環狀陣列機構模擬

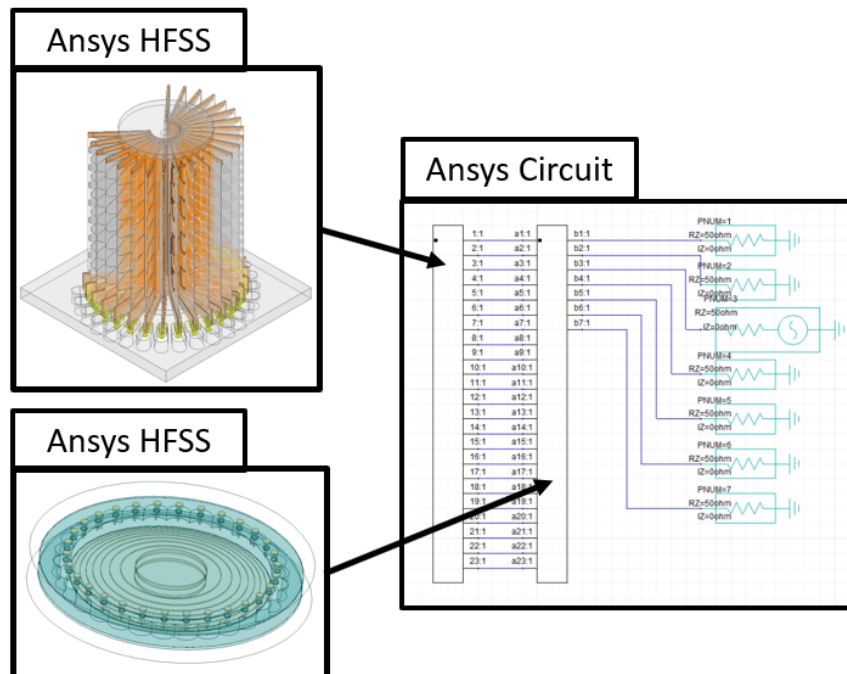


圖 2.35 Ansys Circuit 整合示意圖

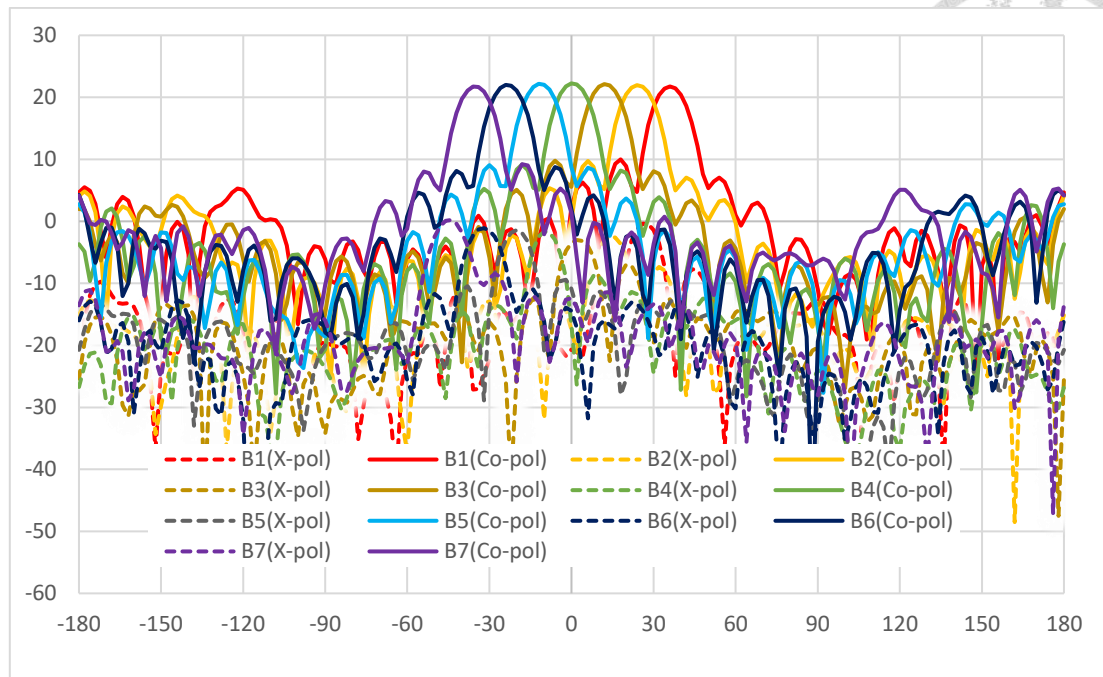


圖 2.36 環狀陣列輻射場型模擬

環狀陣列的成品如圖 2.37 左圖，將二維龍伯透鏡的 23 個陣列端口經由等長度的同軸線接至子陣列，其於 7 個饋入端口分別上電，於台大 527 的無反射室量測場型，其場型的量測結果見圖 2.38，量測增益為 19.2 dBi，指向性為 23.46 dBi，輻射效率為 37.49%(-4.26 dB)，H-plane 的半功率束寬為 11 度，量測到的指向性和半功率束寬十分相近，初步假設所得到的場型應該是非常相近，但增益足足比模擬多掉了 2.76 dB，扣除同軸線的損耗為 0.5dB，與模擬相比增益足足減少 2.26 dB，這與子陣列的模擬與量測的增益落差(2.02 dB)相近，因此推估該誤差可能是因為模擬高估增益所造成的。



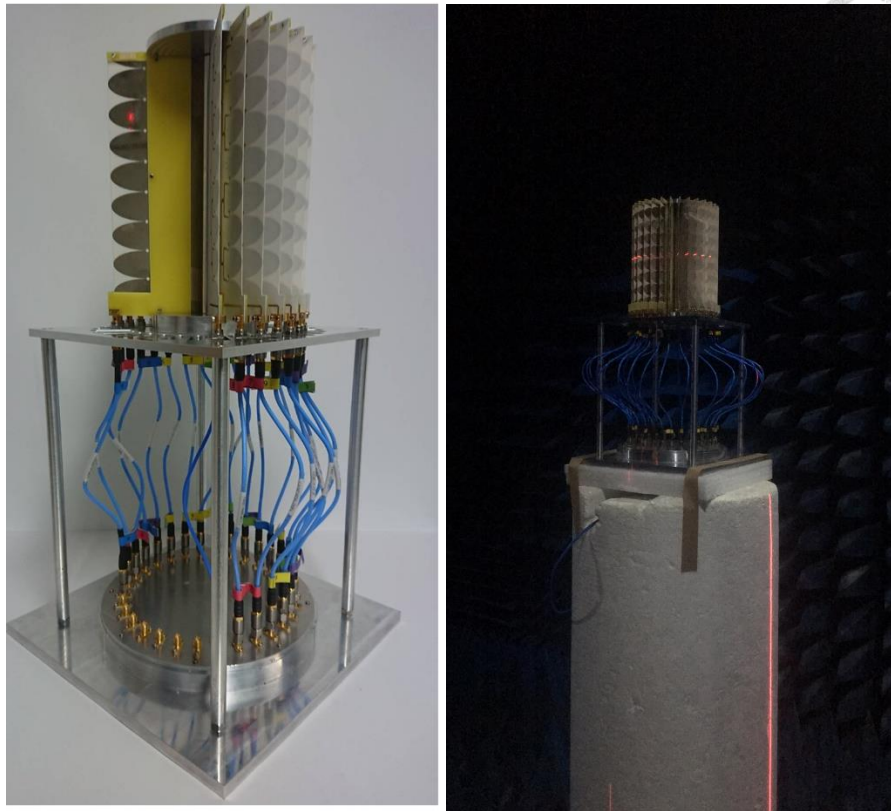


圖 2.37 左為環狀陣列成品，右為環狀陣列於無反射室量測情形

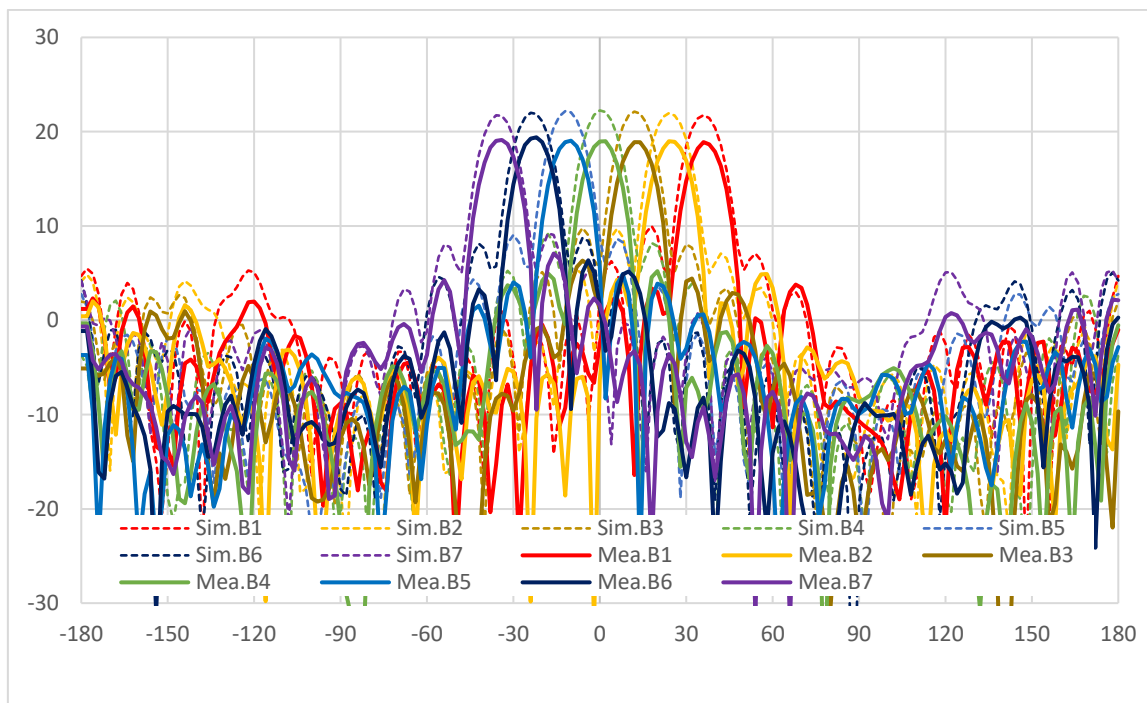


圖 2.38 環狀陣列輻射場型量測與模擬

## Chapter 3 升降頻系統電路設計



本章節介紹升降頻系統的架構，主要分升降頻電路、切換電路和鎖相迴路振盪器(Phase-Locked Oscillator, PLO)，並探討晶片選擇和 PCB 的布局，並展示其電路特性，最後說明使用微控制器實現其功能。

### 3.1 電路架構

本系統主要分為三塊電路組合而成，分別為切換電路、升降頻（Up/down converter）電路和鎖相振盪器，其切換電路的切換控制和鎖相振盪器的頻率設定，皆由 Arduino Uno 板來控制。

切換電路的目標為建立升降頻電路和二維龍伯透鏡之饋入端的傳輸路徑，在升降頻段路端可以選擇發送路徑或接收路徑，在天線的激發端可以連接不同端口，以決定該系統的掃描方向，該切換電路是由兩個 SPDT 晶片和兩個 SP4T 晶片組合而成。

升降頻電路又分為兩個子電路，一是升頻電路，二是降頻電路，升頻電路功能是把軟體無線電系統所發送的訊號(頻段為 Sub6GHz)升至 Xband(8GHz–12GHz)，該升頻電路則由可調增益功率放大器(Variable Gain Amplifier, VGA)、主動式混頻器(Active Mixer)和功率放大器(Power Amplifier, PA)三種晶片組合而成，而降頻電路的功能則是把天線接收到的訊號降頻至 Sub6GHz 在送進軟體無線電系統，其降頻電路是由低雜訊放大器(Low Noise Amplifier, LNA)、主動式混頻器(Active Mixer)、功率放大器三種晶片組合而成。

鎖相振盪器功能則是提供穩混頻器乾淨且穩定的單頻弦波。



## 3.2 晶片相關參數

本小節將說明可以描述晶片規格或系統規格的重要參數，這些參數是挑選晶片和分析系統重要的依據，分別有 1 dB 壓縮點、三階截取點、雜訊指數、相位雜訊和射頻穩定時間。

### 3.2.1 1 dB 壓縮點(1 dB compression point, P1dB)

放大器通常在特定頻率範圍內提供恆定增益。如果我們在圖表上表示放大器的輸入功率對上輸出功率，則得到一條直線（線性關係），即

$$\text{輸出功率} = \text{輸入功率} + \text{增益}$$

隨著輸入功率的增加，放大器的輸出功率不再增加增益值，即放大器的輸出功率開始飽和，1dB 壓縮點（P1dB）是增益從其恆定值減小 1dB 輸出功率。一旦放大器達到其 P1dB，它將成為非線性設備，產生失真、諧波和互調(intermodulation)產物。放大器應始終在 1dB 壓縮點以下運行，系統設計有些人會為了保險，採用 3dB 壓縮點作為系統飽和的值。P1dB 值可以參考輸入或輸出來讀取。如果從輸出軸讀取該值，則稱為 OP1dB。從輸入軸讀取該值，該值為 IP1dB，對於任何晶片選擇都，P1dB 皆是必須考量的指標。



### 3.2.2 三階截取點 (Third-order intercept point, IP3)

在大多的數通信系統中，通道存在著許多不同頻率的信號堆疊，而信號經過放大器會彼此相互調變，進而產生失真產物，該行為稱為交互調變失真(IMD)，交互調變失真是無線電接收機設計中的主要關注點，因為在整個接收鏈中，我們無法控制天線端口處的干擾信號，因此會有多個信號通過天線端口輸入，然後在應用的頻帶中混和出互調產物，進而影響所需信號的 SNR。在發射機鏈中，通常 IP3 規範不太重要，因為發射機鏈中生成的信號通常是單一載波，並且不會產生交互調變失真。

如圖 3.1 所示，將兩個頻率  $f_1$  和  $f_2$  輸入到非線性設備會產生二階產物和三階產物，位於  $f_2+f_1$  和  $f_2-f_1$  的二階產物距離兩個單頻很遠，可以通過濾波器將其刪除，同樣可以過濾位於  $2f_1+f_2$  和  $2f_2+f_1$  的三階產物，但是  $2f_1-f_2$  和  $2f_2-f_1$  的三階產物接近原始的兩個單頻，因此很難對其進行濾除，因此它們將成為主信號的干擾。三階交互調變失真(Third order IMD, IMD3)在通信系統中成為特別麻煩的問題。

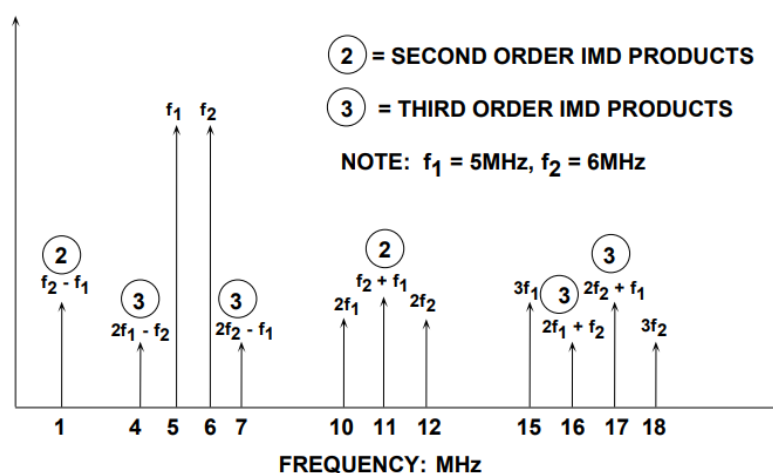


圖 3.1 交互調變頻譜[12]



IMD3 對系統造成失真的程度可以根據三階截取點來反映，三階截取點實質上表示放大器在交互調變失真發生之前可以處理多大的信號，如圖 3.1 所示，為輸入信號功率對輸出信號功率以及交互調變產物相對幅度的函數。在輸入小功率情況下，三皆產物應該要很小的，當輸入功率逐漸增加，它就會迅速增長。如果系統的非線性由冪級數近似，輸入信號功率每增加 1 dB，則 IMD3 的幅度增加 3 dB，由斜率=3 的曲線表示。第三階截距線與理想的輸出信號線延伸，這些交點稱為三階攔截點(IP3)。截距點越大，代表該系統的線性度越好，亦 IMD 越不容易產生。IP3 的值可以參考輸入或輸出來讀取。如果從輸出軸讀取該值，則稱為 OIP3。從輸入軸讀取該值，該值為 IIP3。

IP3 和 1 dB 壓縮點都是頻率的函數，因此值會隨著工作頻率的不同有所變化，在更高的頻率下失真會更嚴重，即 IP3 和 P1dB 值越低。在升降電路設計中，IP3 是選擇低雜訊放大器和混頻器的重要考量因素。

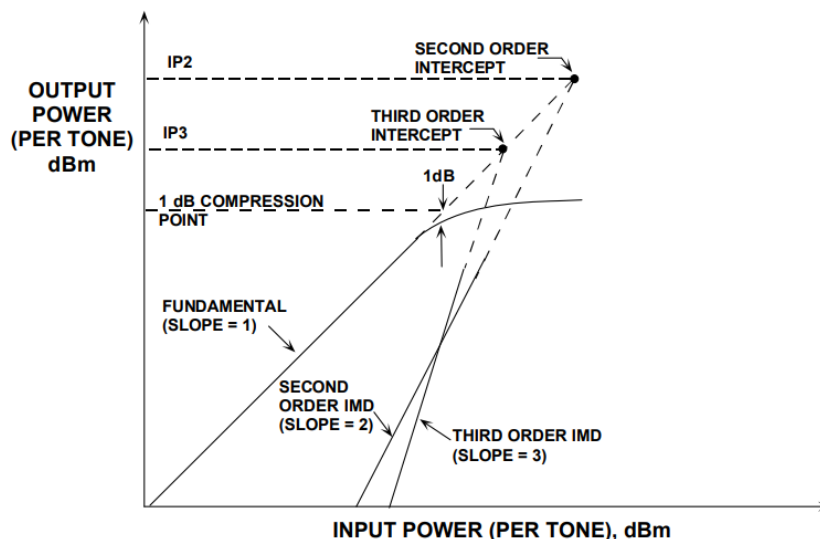


圖 3.2 P1dB 和 IP3 說明圖[12]



### 3.2.3 雜訊指數 (Noise Figure, NF)

信雜比(signal-to-noise ratio)是信號功率和雜訊功率的比，若訊號與雜訊一同進入到一個無雜訊系統的輸入端，此時信號和雜訊會一同被放大或衰減，此時在輸出端所得到的信雜比與輸入時的一樣，並不會改變，但實際上任何系統皆存在雜訊，在輸出端所量到的信雜比要下降，為了表示整個系統製造雜訊量的程度，通常使用雜訊指數判定接收器的性能，並以此方式代替信雜比，雜訊指數  $F$  定義如下：

$$F = \frac{S_i / N_i}{S_o / N_o} \geq 1$$

其中  $S_i$  和  $N_i$  是輸入信號和雜訊功率，而  $S_o$  和  $N_o$  是輸出信號和雜訊功率，雜訊指數值越低，性能越好。而在 RF 電路設計中，通常會有好幾級的元件串接在一起，例如典型的接收電路就有低雜訊放大器、混頻器、中頻放大器等等，整體系統串聯的雜訊指數計算如下

$$F_{series} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots$$

其中  $F_i$  為第  $i$  級元件的雜訊指數， $G_i$  為第  $i$  級元件的增益，串聯雜訊指數公式表明，在整個電路設計中對雜訊指數最主要影響是第一級，第一級的雜訊貢獻被後續級放大，隨著信號逐步放大，後續級對雜訊的貢獻也就越小。[7]



### 3.2.4 相位雜訊 (phase noise)

相位雜訊是由於相位抖動而在信號的兩側擴散的雜訊頻譜，相位雜訊以相對於載波的 dB 表示，通常將其表示為 dBc，例如-50dBc 意指距離載波功率低 50 分貝。之所以採用這種方法，是因為相位雜訊通常隨載波功率的變化而變化，通常相位雜訊在靠近載波處上升得更快，然後逐漸下降。

是評估本地振盪器的重要指標，相位雜訊的產生在無線電接收機應用中有重要的影響，因為它可以使通訊與雷達接收系統的性能嚴重惡化，在功率放大器方面，有些產品會強調低相位雜訊的設計。

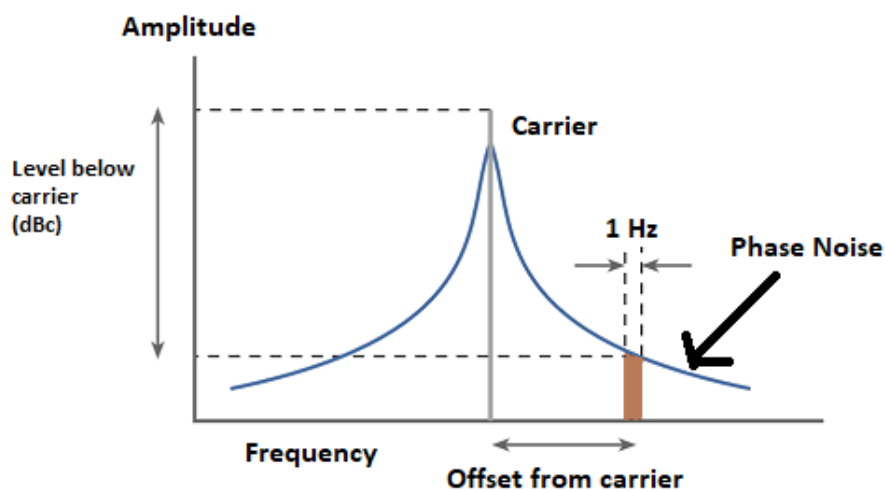


圖 3.3 相位雜訊



### 3.2.5 射頻穩定時間 (RF settling time)

當 RF 切換晶片由關閉狀態切換至導通狀態瞬間，其輸出端的能量變化參考圖 3.4， $t_1$  至  $t_2$  為數位控制電路的切換時間， $t_2$  為切換晶片的通道由關閉變為導通，隨後能量會迅速上升，上升至  $t_3$  後訊號能量會震盪，當操作時間遠大於  $t_4$  時，能量傳遞就趨於穩定，而訊號穩定的時間稱為射頻穩定時間(RF Settling Time)，它可以視為該晶片切換至工作狀態所需的時間，通常小於 0.1dB 的震盪幅度(相較於穩態時的能量輸出)就可以視為該晶片進入穩態，其期間為  $t_1$  至  $t_4$ 。

其中  $t_2$  至  $t_3$  期間稱為上升時間(Rise time,  $t_{RISE}$ )，是 10%的輸出能量到 90%的輸出能量所需要的時間，而  $t_1$  至  $t_3$  期間稱為啟動時間(On Time,  $t_{ON}$ )，是數位電路的狀態切換瞬間至 90%的輸出能量所需花費的時間，反之當通道狀態由導通變為關閉時，90%的輸出能量到 10%的輸出能量所需要的時間稱為下降時間(Fall time,  $t_{FALL}$ )，而數位電路的狀態切換瞬間至 10%的輸出能量所需花費的時間稱為關閉時間(OFF Time,  $t_{OFF}$ )。

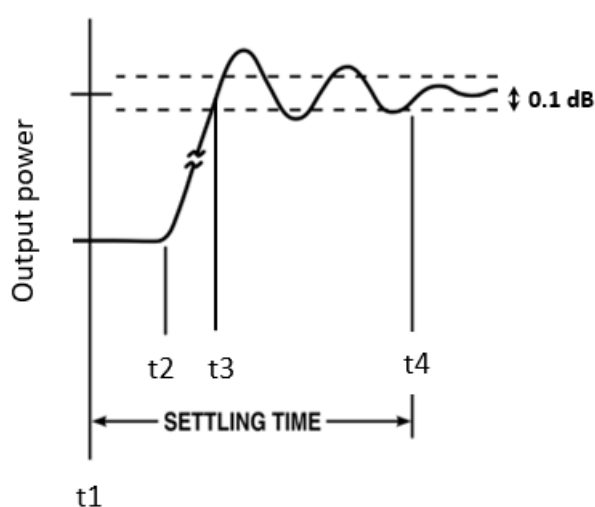


圖 3.4 訊號能量變化



### 3.3 晶片選擇與考量

在挑選晶片階段，規格越好的晶片越能滿足設計的限制，但代價就是極不合理的製作成本，所以選擇適合的晶片才是最重要的方針，而本升降頻電路目的是打造連接天線和軟體無線電的平台，並不需要造極高增益或極寬廣的工作頻率，因此沒有太多嚴苛的要求，價低低製作成本成為一個重要的考量，在此小節將討論挑選晶片的想法。

首先確定晶片的工作頻段，本系統的天線輻射頻率在 Xband，而軟體無線電的工作頻率於 6GHz 以下，因此操作在 RF 端的晶片其工作頻率滿足 X-band，而操作在 IF 端的晶片其工作頻率在 6GHz 以下某一段區間即可，而 LO 端頻率要求會因為 IF 端晶片的工作頻率而影響頻率範圍，各個晶片操作頻率見下表。

	RF	IF	LO
頻率	Xband, 8-12GHz	Sub6GHz	4-12GHz
晶片	PA、LNA、Mixer	VGA、IFAMP、Mixer	Mixer、PLO

表 3-1 晶片工作頻率

確保晶片操作於所需的工作頻段後，再來挑選晶片的規格與價格，規格部分很難全面考慮到，每一個不同功能的晶片，都有不同的挑選觀點，下表整理出挑選晶片的規格考量重點。

	Gain	P1dB	IP3	Noise Figure	Phase Noise
升頻電路					
PA	✓	✓			✓
VGA	✓	✓		✓	
Mixer		✓	✓		
降頻電路					
LNA	✓		✓	✓	
IFAMP	✓		✓		
Mixer		✓	✓		
其它					
PLO	✓	✓			✓
SPXT		✓	✓		

表 3-2 晶片參數選擇

如 3.2 節所說明的，雜續指數只在電路第一級考慮，只在降頻電路的第一級(低雜訊放大器)和升頻電路的第一級(中頻放大器)的雜續指數納入考量；交互調變的問題主要發生在接收端，所以接收端的電路需考量 IP3；發射端的電路通常希望發射功率越高越好，需要計算其 P1dB，以避免當中某個晶片飽和，而接收端預期收到的能量很小，在應用上電路不易進入飽和，P1dB 則不是考量重點，以下補充部分挑選晶片的注意事項。

### 3.3.1 發送端中頻放大器

在一般升降頻電路的使用情形下，對於該升頻電路的中頻端輸入功率是已知的，該輸入功率的大小可以由軟體無線電系統設定或是直接量測即可知道的，但不同種的軟體無線電系統，所產生的基頻功率也不近相同，考量該升降頻電路的中頻端前級電路可能結合不同的系統來應用，因此升頻電路之中頻放大器的增益是必須可調的，以此達到整體系統最佳使用效率，其最佳使用效率就是不管任何訊號能量從中頻端輸入，該升頻電路的射頻端能在訊號不失真的情形下有最大功率輸出，倘若中頻端的輸能量過大，會導致整個系統進入飽和，進而使得訊號失真或晶片毀



損，若中頻端的輸入能量過小，功率放大器無法輸出最大輸功率，導致系統消耗不必要功率，因此中頻增益放大器的增益調整範圍必須夠大，同時具備衰減和放大的功能，而且在增益調整上必須有一定的線性度和精細度。

### 3.3.2 混頻器


混頻器的晶片主要分為兩類，分別為被動式混頻器和主動式混頻器，其各自優缺點如下表。

	被動式混頻器	主動式混頻器
優點	1. LO/IF 和 LO/RF 具有較好隔離度 2. 具有較低的 NF	1. LO 端驅動功率低(內部設有緩衝放大器) 2. 輸出功率較大(有較高的 OP1dB) 3. 部分電路具有 LO 倍頻功能
缺點	LO 端驅動功率太高	需電源供應

表 3-3 被動式混頻器和主動式混頻器優缺點

在選擇混頻器時，LO 端的驅動功率為最直接考量因素，一般的鎖項振盪器(PLO)的輸出功率頻約落在 0dBm 左右，而被動式混頻器的 LO 驅動功率皆要求在 15dBm 以上，這表示若要使用被動式混頻器，則需額外再在鎖項振盪器和被動式混頻器之間放置一級驅動放大器(Drive Amplifier)，以提升鎖項振盪器驅動的能力，設計起來很麻煩，而且還多了一級電路，增加整體電路的不確定性。

而主動式混頻器雖然具有 LO 倍頻功能，允許以低一半的 LO 輸入頻率進行操作，但 LO 訊號於射頻端必然產生諸多諧波，若基頻頻率很低，所產生的諧波項(harmonic tones)會非常相近，在應用上可能調變出諸多不必要的訊號，使得頻譜十分雜亂，該功能適合使用於射頻端工作在較高的頻率，這也意味著基頻頻率會比較高，其倍頻過後每一個諧波在頻譜彼此間的間距會非常遠，進而降低訊號解調後彼



此干擾的問題，若想解決該情況，可以選擇在發射端的功率放大器(PA)和混頻器之間額外加上一級濾波器，便可有效抑制該諧波，但這也縮小了射頻端的操作頻率範圍，至於接收端，對於本地振盪器的要求是非常嚴格的，這會嚴重影響整體電路的解析能力，因此就算混頻器的 LO 端有倍頻功能，在應用上也會盡量避開使用。而現今毫米波晶片大多都設計成大型集成電路，裡面涵蓋了功率放大器、混頻器、低雜訊放大器等等，通常倍頻功能是被綁定的，但不必擔心上述狀況發生，因為內部一定有針對這類問題特別設計。

### 3.3.3 功率放大器

在整個升降頻系統中，功率放大器是最消耗功率的，為整個電路系統的熱源，所需供應的電壓和電流比其他晶片高的，一般功率放大器的設計皆有額外的腳位 V<sub>gg</sub> 調整該晶片的工作電流，使得該晶片有啟動和關閉的順序，直流供電的穩定度容易受到 V<sub>gg</sub> 偏壓和杜邦線影響，價格方面也比其他晶片高出許多，價格主要反應在操作的頻率範圍，以及是否有低相位雜訊的設計。

### 3.3.4 鎖項震盪器(PLO)

對於提供穩定訊號源給混頻器的 LO 端口，單單只有壓控振盪器是不夠的，壓控振盪器所振盪出了頻率會隨著環境溫度和電源供應的穩定度有所影響，因此晶片挑選上，一定要選擇具備鎖相迴路電路的振盪器，以避免頻率漂移的情況發生。

鎖項震盪器(PLO)是由壓控振盪器(VCO)和鎖相迴路(Phase-locked loops, PLL)組合而成的集成電路(integrated circuit)，其內部運作原理極其複雜，只需知道 PLL 內部主要有三個電路構成回授，分別是除頻器、鑒頻鑒相器(Phase Frequency



Detector, PFD)和電荷泵(Charge Pump)[13]，電路架構如圖 3.5，連接電荷泵和壓控振盪器的低通濾波器位於晶片外部，需自行設計或參考資料表的建議架構，石英晶體振盪器也位於晶片外部，作為鑿頻鑿相器的參考頻率，可自行決定石英晶體振盪器的振盪頻率。

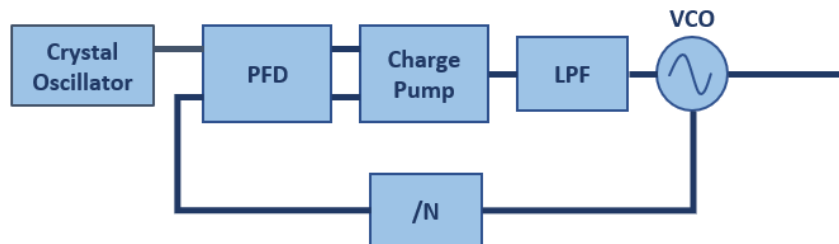


圖 3.5 PLO 內部電路架構[13]

PLO 的設置方式是將資料寫入暫存器，寫入完所有暫存器的設置，PLO 就會自動輸出所需的頻率，這意味著 PLO 是可編程的晶片，暫存器的內容十分複雜，有諸多設定牽涉到電路的運作原理，好在大多廠商都有提供輔助軟體協助計算，因此並不是太大的問題，在晶片挑選前，評估晶片後續是否方便操作是很重要的，建議選購功能較基礎的。

挑選 PLO 還有個重點，就是內部 VCO 的頻率範圍，假如該晶片規格表示輸出頻率在 VCO 製造的頻率範圍外，這表示該頻率需透過倍頻或除頻的方式合成，雖然產生出所需要的頻率，但也一定伴隨諧波，而且這些諧波的功率並不低，若諧波情形在應用上不允許，但又希望 PLO 能產生大範圍的頻率，可以選擇內部有多個 VCO 核心的 PLO，其內部也多個負責不同頻段的 VCO，這可完美解決大範圍頻率輸出所伴隨些諧波問題，這也意味著後續編程設定可能會很複雜。



### 3.3.5 切換晶片

考量到升降頻電路有機會在雷達方面應用，切換晶片的切換速度程為了一項重要的考量，本系統的切換晶片依用途可以分為兩部分，其各部分的晶片切換速度會影響後續應用，見圖 3.6 切換電路示意圖，第一是做為接收端和發射端的路徑切換，這可使用一顆 SPDT 實現，它會影響該系統量測物件的最近距離，切換速度越快，可以偵測越近的物件，第二是用於發射端或接收端到天線激發端的路徑切換，它影響系統掃描的速度，對於雷達的應用，期望接收端和發射端的路徑切換的晶片切換速度越快越好。

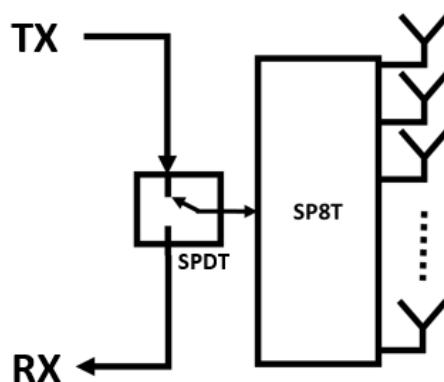


圖 3.6 切換電路示意圖

假如雷達與待測物距離為 300m，訊號來回的路徑為 600m，而電磁波在空氣中傳播速度趨近光速( $3 \times 10^8$  m/sec)，可以計算出訊號行進時間為 2 us，也就是當訊號發送後，接收端和發射端路徑切換的切換晶片須於 2 us 內完成路徑的切換，切換速度這會是選擇切換晶片很重要的參數。



### 3.4 印刷電路板部件設置

印刷電路板的布局設計有諸多小細節需要注意，在此小結將仔細說明 RF 走線設計、直流偏壓走線寬度、散熱盤設置、陣列導通孔設置、鋪銅設置。

#### 3.4.1 RF 走線結構

從 Analog Device 的布局手冊[14]建議選擇使用 Roger's 4350 材料的接地共面波導 (CPWG) 系統作為傳輸線方法。其內容提供了 50 歐姆阻抗 CPWG 結構和微帶線結構於操作頻率 10GHz 的比較，見下表 3-4 Microstrip & CPWG 的結構比較表。

	微帶線	CPWG(10 mil gap)
線寬	1.12mm	0.79mm
等效介電係數	2.73	2.16
1/4 波長	4.52mm	5.11mm
基板材質: RO4350 厚度:0.51mm		

表 3-4 Microstrip & CPWG 的結構比較表[14]

雖然微帶線和 CPWG 為傳輸線結構，但 CPWG 結構相較微帶線結構的線寬減少 30%，這使傳輸線的線寬與晶片腳位線寬度更加接近，降低了線路之間阻抗不連續的問題，而且 CPWG 允許 RF 線之間有較大的接地層，從而增強了隔離度並減少了洩漏。由於使用 CPWG，因此必須具有沿 RF 傳輸線連接頂部和底部接地層的通孔，以實現模型化的傳輸線性能。此外，通孔的邊緣應與接地平面的邊緣相距傳輸線 1 個孔徑的距離。

本系統 RF 走線參考評估板的設計，使用相同板材和傳輸線結構，其傳輸線結構如下圖 3.7 所示，相關參數見下表 3-5。

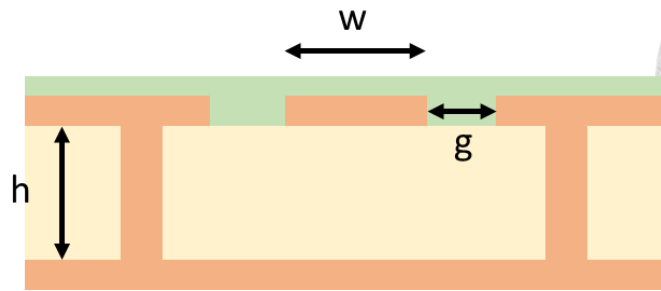


圖 3.7 傳輸線結構

材質	RO4350
介電係數	3.66
w	0.406mm(16 mils)
g	0.33mm(13 mils)
h	0.254mm
hole size	0.2mm

表 3-5 傳輸線結構相關參數

在設計過程中，模擬是重要的一環，但更建議直接參考晶片評估板的 PCB 布局，可以將其傳輸線結構直接使用，其原因有二，第一是評估板的電路布局圖 RF 走線的結構是最接近官方的預設，二是在模擬 GCPW 的結構不論該結構如何變化，模擬結果都不會差太多，圖 3.8 為一段 9 公分 GCPW 結構於不同線寬與間隙的模擬結果，線寬分別為 0.2mm、0.4mm、0.6mm 和 0.8mm，間隙分別為 0.1mm、0.2mm 和 0.3mm，是一組線寬和間隙變化很大的組合，可以發現其 S12 的並沒有很顯著的差距，最差的 S12 也只有 -2.5dB，況且實際設計的傳輸線長度不太有機會拉到 9 公分長度，所以模擬實際布局設計的走線長度，其 S12 的變化會更小，如果選擇損耗最小結構(width = 0.6mm、gap = 0.3mm)作為 RF 走線參考，這會面臨是在晶片的焊盤寬度與 RF 走線寬度會有落差(本電路所使用晶片的焊盤寬度大約在 0.3mm 左右)，若不設計一段遞減傳輸線路(Tapered transmission line)做銜接，RF 走線會因為太寬而碰到相鄰兩邊的焊盤，在此就需要在做一次的遞減傳輸線路設

計，因此選擇最好的傳輸線模擬結果未必是最符合設計需求，所以模擬傳輸線很難得到什麼決定性的結論，建議直接參考官方測試板的布局設計。

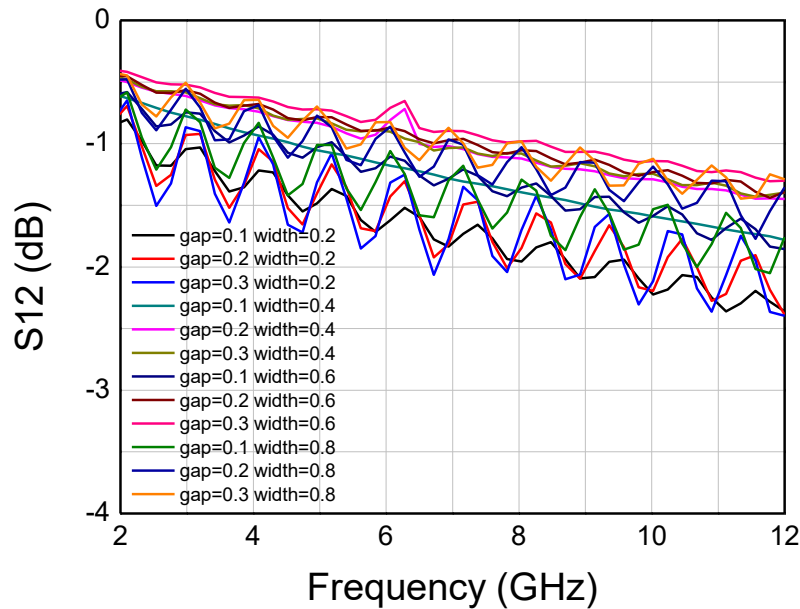


圖 3.8 CPWG 模擬結果

並不是否定模擬的重要性，只不建議只模擬引腳與引腳之間的 RF 走線，極大部分的情況是需要模擬的，以下列出幾種情況：一是若官方尚未提供晶片的電路布局圖，此時根本沒有參考的結構，就必須模擬了，二是若線段有被動電路相連，例如濾波器、功率分配器、天線等等，因為 RF 線段可能需要使用不同線寬做後端被動電路匹配，線段會提供一些寄生效應，這在某些被動電路特別敏感，這些情況就必須依照模擬來調整，三是當設計頻段進入毫米波，走線損耗會非常明顯，其模擬結果具有極大的參考價值。



### 3.4.2 直流偏壓走線寬度

直流偏壓走線的設計只考慮兩個部分，一是走線的線寬，二是旁路電容設置。首先討論走線的線寬，設計的最大原則就是越寬越好，若空間允許甚至可鋪設區塊的金屬作為電源供應路徑，該設計除了可以乘載較大的電流，亦可減低線路阻的值，避免壓降問題和降低功率損耗，而走線的寬度最低標準，可於網上提供 PCB 走線寬度計算工具來查詢，計算公式都參照 IPC-2221 規範，公式如下。

$$A = \frac{I}{\sqrt[k \times T^b]} \quad (3-1)$$

接著，計算寬度：

$$W = \frac{A}{t \times 1.378} \quad (3-2)$$

其中 A 為區域面積(mil<sup>2</sup>)，I 為電流(A)，T 為溫度(°C)，t 為銅厚(oz)，而內層導體：k=0.024、b=0.44、c=0.725，外層導體：k=0.048、b=0.44、c=0.725。

接著討論旁路電容的設置，由晶片資料表提供的電路配置建議和評估板上的電路圖所有晶片的電源線都有三顆不同等級容值的電容並連，主要目的是過濾直流電源上的雜訊，下圖顯示了不同電容值的電抗與頻率響應，分別為 4.7uF、10nF 和 100pF，其電容值大約是百倍的變化，若使用具有純淨和精確輸出的高性能線性穩壓器(Low Dropout, LDO)，可不需要在直流偏壓走線上使用所有並聯電容。

晶片如果具有多數個需供應相同電壓的電源引腳，則可以將電源引腳連接在一起，僅使用一個 4.7 uF 鉭質電容和一個 10 nF 貼片電容，以節省電路布局空間，亦可達到過濾雜訊的效果。最低容值的電容器必須放置在靠近每個電源引腳的位置，為了防止 RF 洩漏逸出到直流偏壓線上[15][16]。

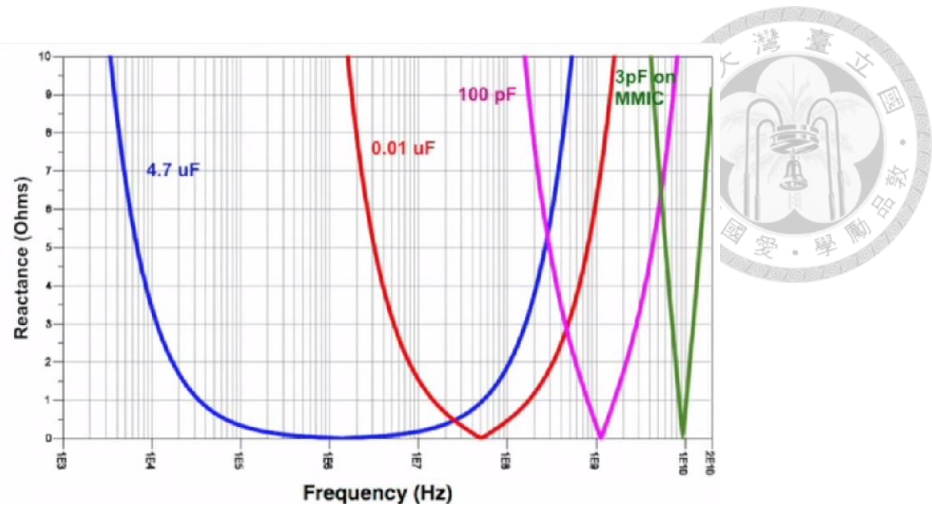


圖 3.9 電容器自諧振電抗幅度與頻率的關係圖[15]

### 3.4.3 散熱盤(Exposed Pad, EPAD)設置

大多數的晶片封裝都設有散熱盤，其位於晶片中心底部面積最大的焊盤，目的是將晶片製造出的熱傳導至板子周圍，使板子局部溫度均勻上升，製造出的熱隨後消散於 EPAD，建議 EPAD 下至少有 3\*3 的過孔矩陣，且確保每個過孔與各個板層的地相接，以便保有良好的熱通道。

並非所有的晶片都存在過熱問題，依照目前實作經驗，可以將 0.5 瓦作為一個分界，若晶片工作功率小於 0.5 瓦，其晶片可以不必增加過孔於 EPAD 下方，這能使板層內部有更多的走線空間，假如晶片工作功率大於 0.5 瓦，則需留意晶片發熱問題，目前主要有兩種方法處理散熱問題，一是增加過孔數量於晶片周圍，產生更多散熱通道，二是安裝散熱片於晶片上方或加上風扇保持空氣流通，安置額外的硬體於 PCB 上牽涉 PCB 機構設計，所以在設計 PCB 時就考慮到機構問題，而非一昧的專注在電氣設計上，所有流程需遵守 DFM 的思維。



### 3.4.4 陣列導通孔設置

對於板子上佈置的導通孔具有幾種作用，第一種導通孔佈置於 RF 訊號線周圍，它圍繞著線路成排狀的形式，它用於幫助減少 RF 信號路徑中的電磁干擾，第二種導通孔會密集分布於晶片的 EPAD 下方或晶片附近，目的是為了提供晶片散熱通道，提高熱傳導至銅面的效率，第三種導通孔均勻分佈板子的空位，除了可通過板子結構建立牢固的垂直連接，還可用於將死銅區域垂直連接起來，否則這些死銅區域會與其它銅區隔離，並且能有效阻擋高頻信號於板層間的傳導，以直流的角度來看，這些導通孔都可以提供電流迴流的路徑，而且多個陣列 via 設置有助於地迴路的分流，因此不必擔心乘載電流的問題。[23]

### 3.4.5 鋪銅設置

鋪銅意為於 PCB 空位處大面積的鋪設銅面，而這樣的設置具有幾個優點，以高頻信號的角度來看，對不同層之間的信號傳遞提供額外的屏蔽防護和雜訊抑制，從散熱觀點分析，整板鋪銅提高了 PCB 的散熱能力，從製成角度分析，因為 PCB 的板面分佈更加均勻，在 PCB 壓合時能有效避免板彎，而以直流角度來說，能有效大幅減低地迴路的內阻，以避免 PCB 地迴路造成壓降。





### 3.5 升降頻電路設計

本升降頻電路可以拆成升頻電路和降頻電路，分別打樣於 PCB 板的正面與背面，如圖 3.10 升降頻電路配置，橘色框的 Switch 是控制 VGA 的增益和 PA 的功率偵測(Power Detector)引腳，藍色則是控制接收端和發射端 Mixer 的啟動功能和倍頻功能，本章節將介紹各元件的性能，並說明電路的配置想法。

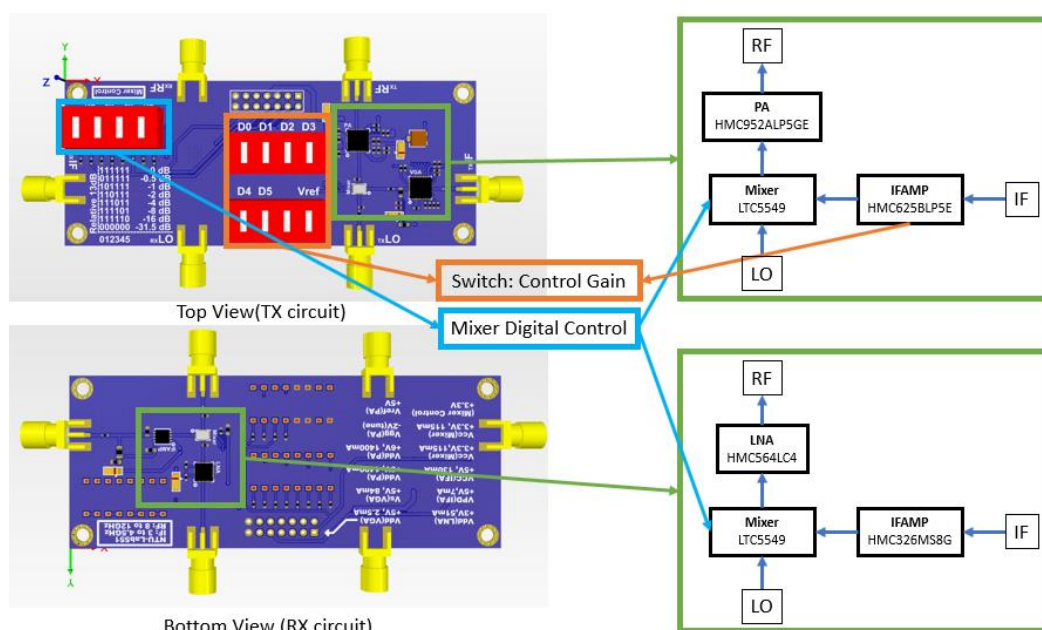


圖 3.10 升降頻電路配置

#### 3.5.1 元件介紹

本小節內容承接 3.3 晶片選則與考量，將對各個元件做介紹，以利於後續對整體系統性能分析和電路佈局的說明，元件見表 3-6 升降頻電路材料表。

Component	Number	Freq RF(GHz)	Qty
VGA	HMC625BLP5E	3GHz to 4.5GHz	1
Mixer	LTC5549	6GHz to 14 GHz	2
PA	HMC952ALP5GE	5GHz to 12GHz	1
LNA	HMC564LC4	7GHz to 14 GHz	1
IFAmp	HMC326MS8G	DC to 5GHz	1
DIP switch	78J04T	DC	3
Variable Resistor	PVG3K203C01	DC	1

表 3-6 升降頻電路材料表



## 可變增益放大器(Variable Gain Amplifier, VGA)

升頻電路的中頻放大器選用 Analog Device 的 HMC625BLP5E，它是一款數控可變增益放大器，其工作頻率範圍為 DC 至 5 GHz，並且可以進行編程，以 0.5 dB 的步進提供從 13.5 dB 的衰減到 18 dB 的增益。HMC625BLP5E，是一款數控可變增益放大器，其工作頻率範圍為 DC 至 5 GHz，並且可以進行編程，以 0.5 dB 的步進提供從 13.5 dB 的衰減到 18 dB 的增益，其中控制方式又分為兩種，一是透過序列周邊介面(Serial Peripheral Interface, SPI)方式控制，第二是邏輯狀態控制的方式，由 D0-D5 的腳位進行控制，其邏輯狀態對應增益如下表所示，本電路的設計採用第二種控制方式，表 3-7 邏輯狀態與晶片相對於最大增益之對照表，圖 3.11 為該晶片的腳位配置圖，表 3-8 晶片參數規格整理[17]。

Control Voltage Input						Gain Relative to Maximum Gain
D5	D4	D3	D2	D1	D0	
High	High	High	High	High	High	-0dB
High	High	High	High	High	Low	-0.5dB
High	High	High	High	Low	High	-1dB
High	High	High	Low	High	High	-2dB
High	High	Low	High	High	High	-4dB
High	Low	High	High	High	High	-8dB
Low	High	High	High	High	High	-16dB
Low	Low	Low	Low	Low	Low	-31.5dB

表 3-7 邏輯狀態與晶片相對於最大增益之對照表[17]

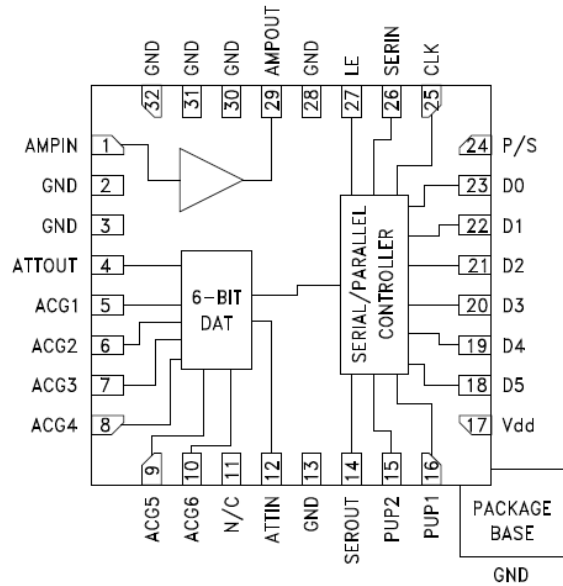


圖 3.11 可變增益放大器功能圖[17]

Parameter	Typical value	Units
Gain (Maximum Gain State)	18 (DC - 3.0 GHz) 13 (3.0 - 5.0 GHz)	dB
OP1dB	19 (DC - 3.0 GHz) 16 (3.0 - 5.0 GHz)	dBm
Output Third Order Intercept Point (OIP3)	32	dBm
Gain Control Range	31.5 (Gain Control in 0.5 dB Steps)	dB
Noise Figure	6	dB
Supply Voltage	5	V
Supply Current	87.5	mA

表 3-8 可變增益放大器規格整理[17]

### 混頻器(Mixer)

本升降頻電路的混頻器採用 Linear Technology 公司的 LTC5549，是一款可用於上變頻或下變頻，射頻端口設計用於 2GHz 至 14GHz 頻段，而 IF 端口則操作在 500MHz 至 6GHz，集成的 LO 內部設有緩衝放大器支持 1GHz 至 12GHz 的 LO 頻率，僅需要 0dBm 的 LO 功率即可驅動晶片運作，並可以通過數位控制啟用內部 LO 倍頻器，允許一半的 LO 輸入頻率操作，圖 3.12 混頻器功能圖，表 3-9 混頻器規格整理[18]。

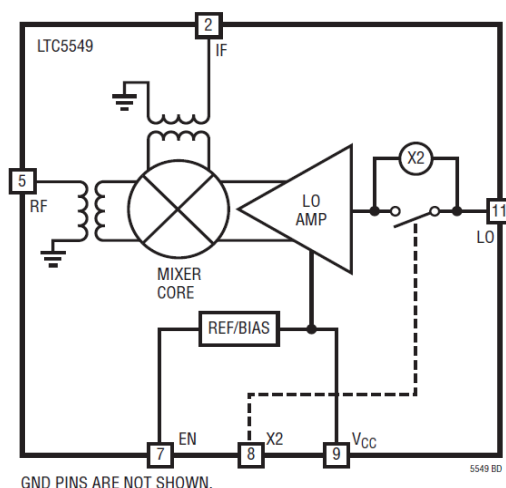


圖 3.12 混頻器功能圖[18]

Parameter	Typical value	Units
LO to RF Leakage	<-30	dBm
LO to IF Leakage	<-27	dBm
Supply Voltage	3.3	V
Supply Current	115	mA
Downmixer Application with LO Doubler Off		
Conversion Loss	7.8 - 9.4	dB
SSB Noise Figure	7.9 - 10.4	dB
Input 1dB Compression	14.3	dBm
Input 3rd Order Intercept	22.8-26	dBm
Upmixer Application with LO Doubler Off		
Conversion Loss	7.7 - 10.7	dB
SSB Noise Figure	7.8 - 11.1	dB
Input 1dB Compression	15.5	dBm
Input 3rd Order Intercept	19.9-26	dBm

表 3-9 混頻器規格整理[18]

## 功率放大器(Power Amplifier, PA)

HMC952ALP5GE 是一款四級放大器，它具有四個 Vdd 和四個 Vgg 分別控制每一級放大器，具有溫度補償的功率檢測功能，但該功能尚未應用至升降頻系統中，該放大器的工作頻率在 8 至 14 GHz 之間，提供 32dB 的增益和 34.5dBm 的飽和輸出功率，亦具有高達 43 dBm 的 IP3，非常適合線性應用，例如點對點和點對多點



無線電，或者衛星應用，圖 3.13 功率放大器功能圖[19]，表 3-10 功率放大器規格整理[19]。官方建議的晶片啟動順序：

1. 設置 Vgg 到 -2V
2. 設置 Vdd 到資料表給的典型電壓值(6V)
3. 調整 Vgg 直到總電流 Idd 到資料表給的典型值
4. 反向操作即為關閉之步驟

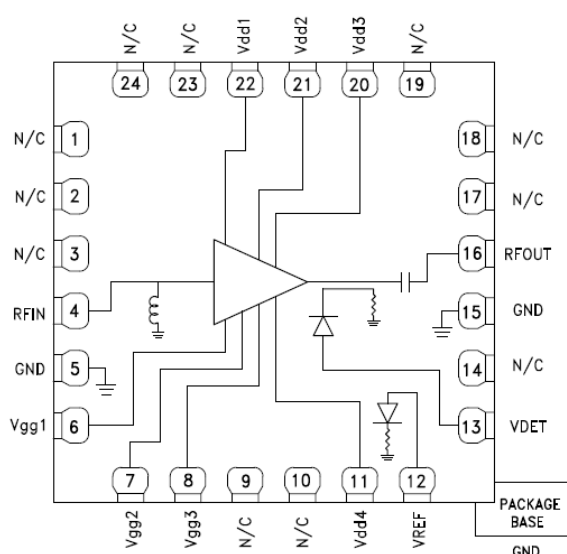


圖 3.13 功率放大器功能圖[19]

Parameter	Typical value			Units
	8-9	9-13	13-14	
Frequency Range	8-9	9-13	13-14	GHz
Gain	31	32	30.5	dB
Output Power for 1 dB Compression (P1dB)	33	33	34	dBm
Output Third Order Intercept (IP 3)	43			dBm
Noise figure	5			dB
Supply Voltage	6			V
Supply Current	1400			mA

表 3-10 功率放大器規格整理[19]



## 低雜訊放大器 (Low Noise Amplifier, LNA)

HMC564LC4 是高動態範圍低噪聲放大器，在 7 至 14 GHz 的頻率範圍內工作，在整個工作頻段內具有非常平坦的小信號增益和低噪聲係數。這種自偏壓的 LNA 具有穩定的輸出功率，非常適合微波無線電，圖 3.14 低雜訊放大器功能圖，表

3-11 低雜訊放大器規格整理[20]。

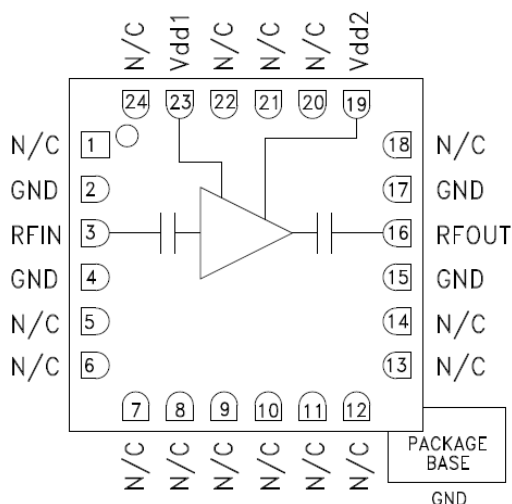


圖 3.14 低雜訊放大器功能圖[20]

Parameter	Typical value	Units
Frequency Range	7 – 14	GHz
Gain	17	dB
Output Power for 1 dB Compression (P1dB)	13	dBm
Output Third Order Intercept (IP 3)	25	dBm
Noise figure	1.8	dB
Supply Voltage	3	V
Supply Current	51	mA

表 3-11 低雜訊放大器規格整理[20]



## 中頻放大器(Intermediate Frequency Amplifier, IFAMP)

HMC326MS8G 是工作在 3.0 至 4.5 GHz 之間的驅動放大器，該放大器採用低成本表面貼裝 8 引線封裝和裸露底座進行封裝，以改善 RF 和熱性能，不使用放大器時，可以使用掉電功能來節省電流。內部電路匹配經過優化，可提供大於 40% 的 PAE，圖 3.15 中頻放大器功能圖[21]，表 3-12 中頻放大器晶片規格[21]。

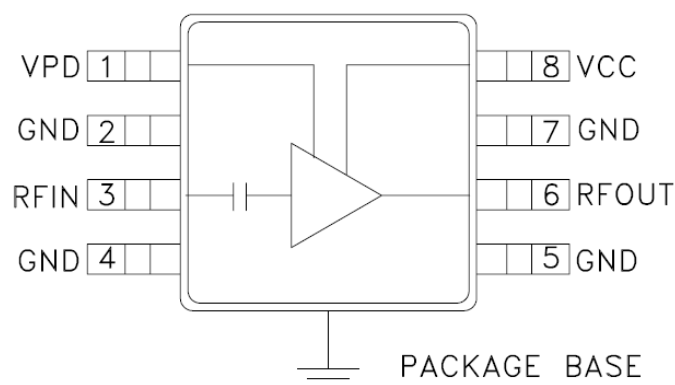


圖 3.15 中頻放大器功能圖[21]

Parameter	Typical value	Units
Frequency Range	3.0 – 4.5	GHz
Gain	21	dB
Output Power for 1 dB Compression (P1dB)	23.5	dBm
Output Third Order Intercept (IP 3)	36	dBm
Noise figure	5	dB
Supply Voltage	5	V
Supply Current	130	mA

表 3-12 中頻放大器晶片規格[21]



## 指撥開關

指撥開關使用的是 Grayhill 公司的 78J04T，每一個開關可以切換 2 個隔離線路，如圖 3.16 指撥開關功能圖所示，該指撥開關只需將電路其中一端相連接，即可完美實現單軸雙切(Single Pole Double Throw, SPDT)的功能，這是一般單軸單切(Single Pole Single Throw, SPST)的指撥開關無法辦到的，它可以實現讓數位控制選擇接高電位或低電位，而非連通或斷路，其接法如圖 3.17 所示。圖 3.17 78J04T 實現 SPDT 的接線示意圖

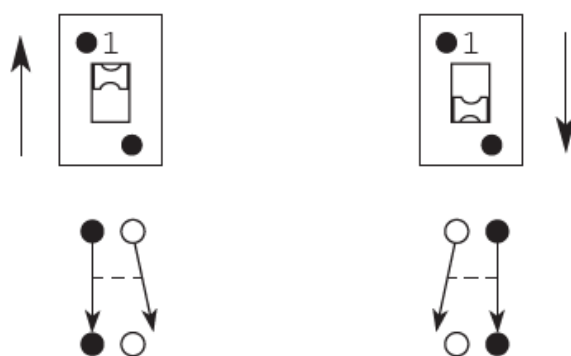


圖 3.16 指撥開關功能圖[22]

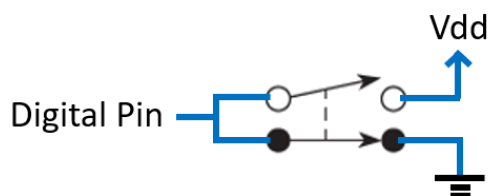


圖 3.17 78J04T 實現 SPDT 的接線示意圖





### 3.5.2 性能分析

了解所有的晶片規格後，可以使用 Analog Device 公司的輔助軟件 ADISimRF。對電路鏈進行計算，以協助計算整個電路串接後的總增益、P1dB、IP3 和雜訊指數等等數據，ADISimRF 軟件存有有該公司大部分的晶片數據，只需輸入所需的使用頻段，即可得到晶片位於該頻段的規格，也可以手動輸入不在資料庫的晶片規格，

圖 3.18 ADISimRF 的操作介面。

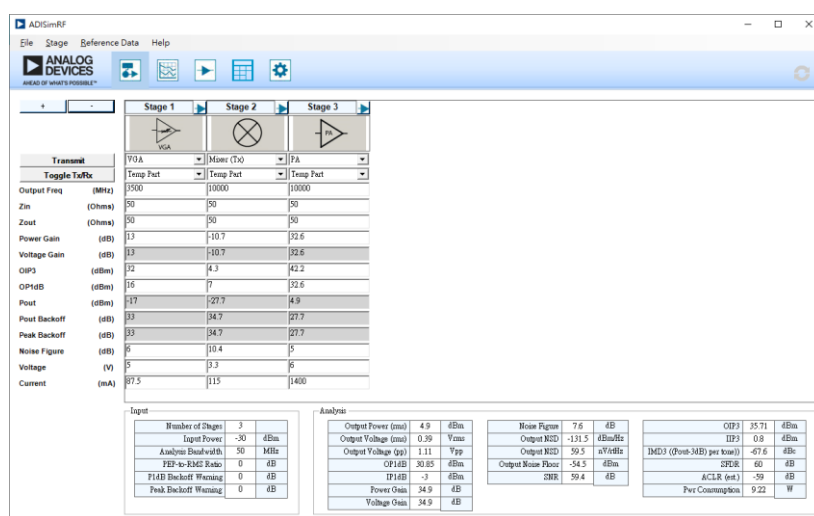
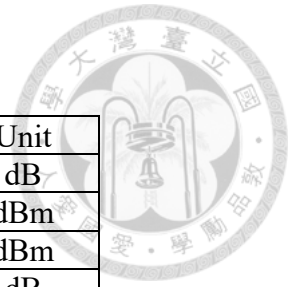


圖 3.18 ADISimRF 的操作介面

電路評估環境為 IF 操作於 3.5GHz 和 RF 操作於 10GHz 的估計值，表 3-13 發送端晶片參數設置，表 3-14 發送端系統性能分析結果，表 3-13 發送端晶片參數設置，表 3-14 發送端系統性能分析結果。

	Stage1	Stage2	Stage3
	VGA	Mixer	PA
Power Gain (dB)	13	-10.7	32.6
OIP3 (dBm)	32	4.3	42.2
OP1dB (dBm)	16	7	32.6
Noise Figure (dB)	6	10.4	5
Voltage (V)	5	3.3	6
Current (mA)	87.5	115	1400

表 3-13 發送端晶片參數設置



	Analysis	Unit
Power Gain	34.9	dB
OP1dB	35.71	dBm
IP1dB	0.8	dBm
Noise Figure	7.6	dB
OIP3	35.71	dBm
IIP3	0.8	dBm
Current (mA)	1602.5	mA
Power Consumption	9.22	W

表 3-14 發送端系統性能分析結果

	Stage1	Stage2	Stage3
	LNA	Mixer	IFAMP
Power Gain (dB)	17.5	-10.7	21
IIP3 (dBm)	8.3	-21.4	2.5
IP1dB (dBm)	-3.5	15.5	15
Noise Figure (dB)	1.9	11.1	5
Voltage (V)	3	3.3	5
Current (mA)	51	115	130

表 3-15 接收端晶片參數設置

	Analysis	Unit
Power Gain	28.5	dB
OP1dB	21.48	dBm
IP1dB	-6	dBm
Noise Figure	3.31	dB
OIP3	22.8	dBm
IIP3	-5.7	dBm
Current (mA)	296	mA
Power Consumption	1.18	W

表 3-16 接收端系統性能分析結果

### 3.5.3 板層疊構

本升降頻電路使用四層板，由三層板材疊構而成，其中上下板層為 core 層(Core Layer)，作為 RF 走線的板層，使用材質為 RO4350，厚度為 0.254mm (材質與厚度的選擇是根據官方評估板的設計)，其中間板層為 pp 層(Prepreg Layer)，接合上下兩層所使用，材質為 TU-768，厚度為 0.889mm，升降頻電路疊構見圖 3.19，材質參數見下表 3-17，中間的板材由廠商協助配置的，為了降低成本選擇較為便宜的



板材進行製作，該板層並不影響到 RF 電路，其配置過後的總厚度為 1.58mm，其總厚度為 1.73mm，適配夾板式 SMA 接頭。

盲孔的製作只允許 L1 層至 L2 層和 L3 層至 L4 層，這是因為所使用的製成是機械鑽孔壓合，若想製作 L1 層至 L3 層或 L2 層至 L4 層需使用雷射鑽孔壓合，其製作成本會比原先多出兩到三成，因此在設計允許且不影響電器特性的情況下，選擇機械鑽孔壓合較為合適。

PCB Stack Up				
Layer	Type		Thickness (mil)	
Top side solder mask			0.70	mils
L1	TOP		copper+plating	1.60 mils
M1	Via1	Via2	RO4350B	10.00 mils
L2			copper	1.30 mils
M2			TU-768	35.00 mils
L3			copper	1.30 mils
M3		Via3	RO4350B	10.00 mils
L4	Bottom		copper+plating	1.60 mils
Top side solder mask			0.70	mils
TOTAL			62.20	mils
			1.58	mm

圖 3.19 升降頻電路疊構圖

材料	介電係數	損耗正切	板子種類
RO4350B	3.48	0.0037	Core
TU-768	4.3	0.018	prepreg

表 3-17 板子材質參數



### 3.5.4 電路佈局

電路的佈局嚴格遵守 3.4 節的內容，此外設計方面盡可能的縮小面積以減少不必要的傳輸線走線距離，也將電源線和數位控制線匯集成一個 2×7 的排針，以利於後續上電的便利，作為單一天線收發的的升降頻電路，為了方便與切換電路的接收端與發射端相連，本升降頻電路的 RF 端須設計在板子同一側邊，考量混頻器的引腳位置，若接收端與發射端的混頻器需安置在同一層，勢必有一端的引腳需透過繞線方式到板邊，如圖 3.20 同一平面電路佈局，不僅增加不必要的面積走線，也使得 DIP 封裝(dual in-line package)的排針與 Switch 元件沒足夠空間配置，並排過近的 IF 和 LO 也會使後續的系統整合不方便，因此選擇雙面打樣元件的方式，讓其中一端的電路佈置於背板，以解決上述情形，也讓整個電路具有對稱性，以利於後續操作，如圖 3.21 正反面電路佈局。

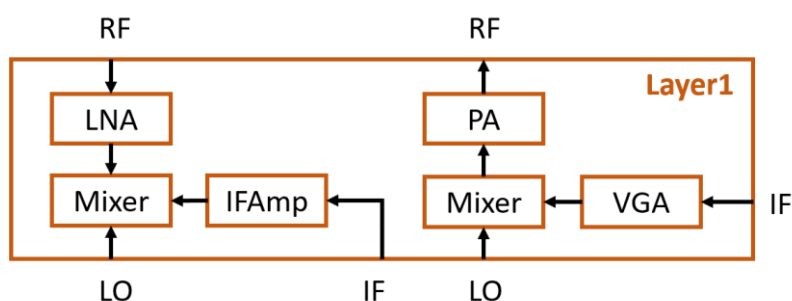


圖 3.20 同一平面電路佈局

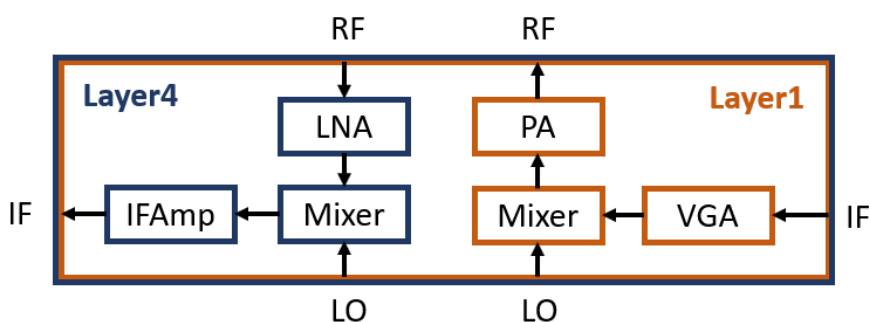


圖 3.21 正反面電路佈局

升降頻電路的電路圖如圖 3.22 和圖 3.23 所示，VGA 和混頻器的數位控制線連接至 Switch 元件，該原件可以選擇讓晶片的引腳接至電源端或是地(Ground)，保守估計一個排線的耐流為 1000 mA，而功率放大器的電流供應就需 1400 mA，因此在排針上設計兩個端口作為功率放大器的電源供應，其目的是分流，然而整體電路最大的電流迴路發生在地線，總電流約莫 1900 mA，排針上亦有兩個端口用於地線，亦為提供分流用途。

功率放大器的電源引腳 Vdd(包含 Vdd1、Vdd2、Vdd3 和 Vdd4，共四個引腳)共用同一組電壓源，而引腳 Vgg(包含 Vgg1、Vgg2、Vgg3 和 Vgg4，共四個引腳)也一起共用同一個電壓源，其中電源與引腳 Vgg 之間設有一可變電阻，其目的是藉由分壓的方式調整對該引腳的電壓供應，調整幅度為 Vgg(電源供應的電壓值)到 0V。

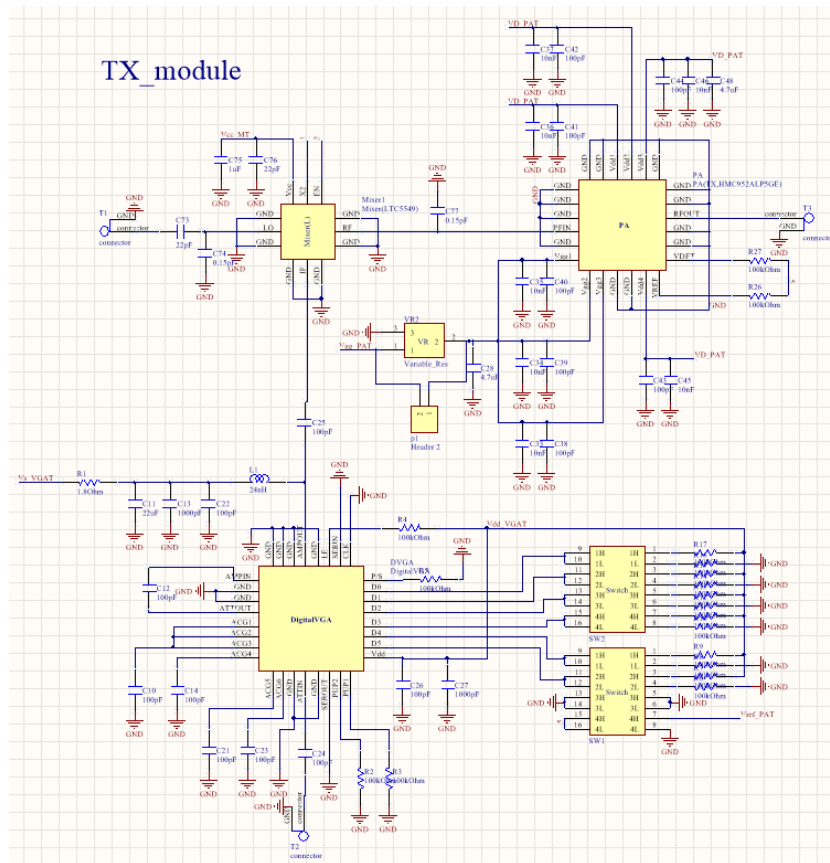


圖 3.22 發射端的電路圖

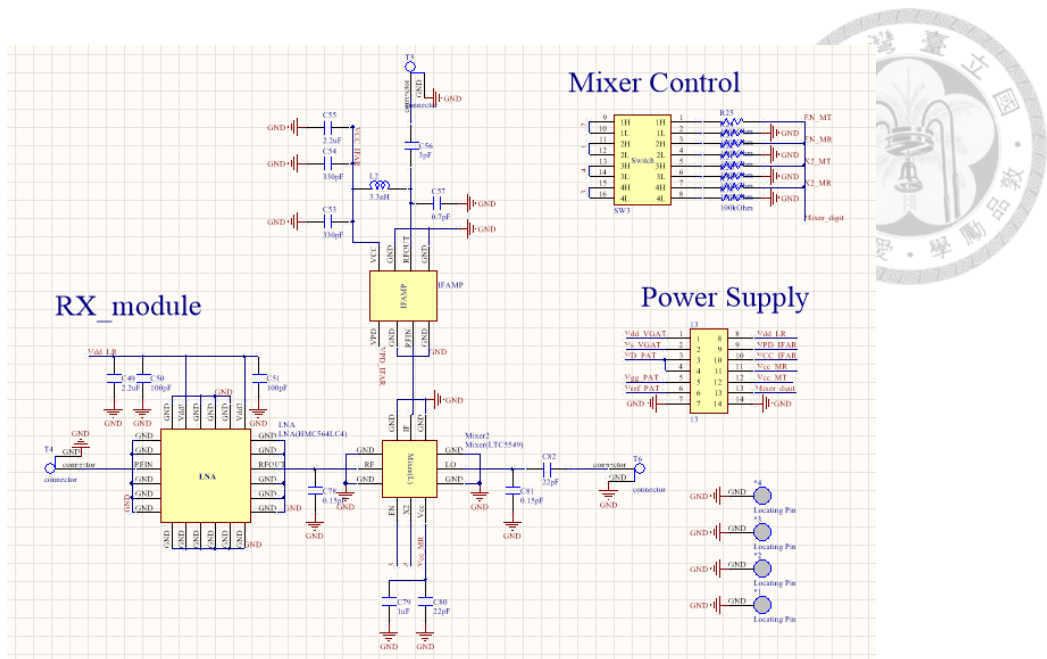


圖 3.23 接收端的電路圖

見圖 3.24 升降頻電路之 PCB 線路佈局圖，發射電路設計在頂層(第一層)，而接收電路設計在底層(第四層)，對於發射電路的 RF 訊號而言，線路在頂層，而第二層作為 RF 線路的地所使用，因此第三層和第四層是被隔絕的，可以利用該區域進行發射電路的位和電源的走線，反之對於接收電路的 RF 訊號，第一層和第二層是被隔絕的，該區域可以作為接收電路的數位和電源的走線使用。

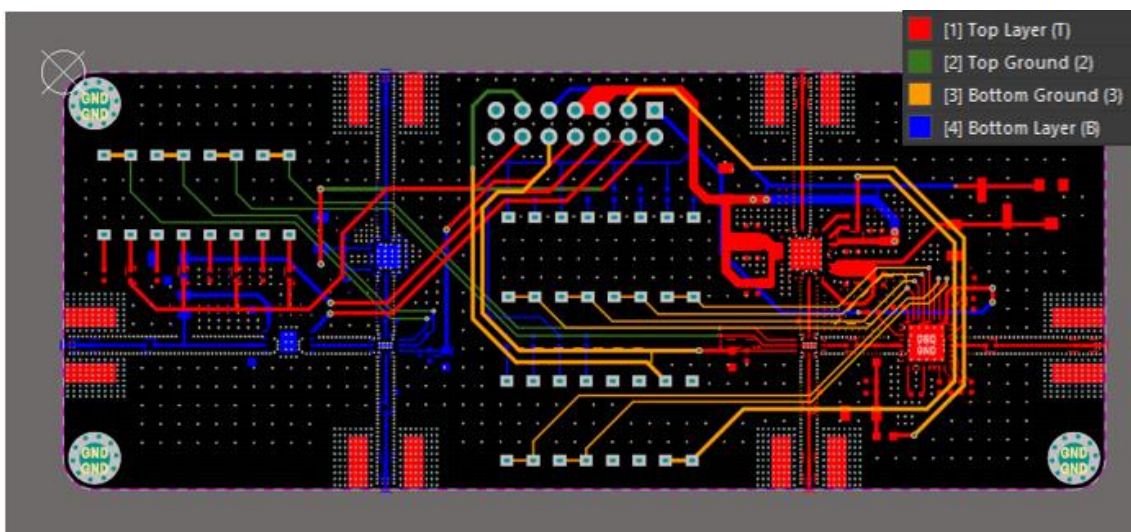


圖 3.24 升降頻電路之 PCB 線路佈局圖



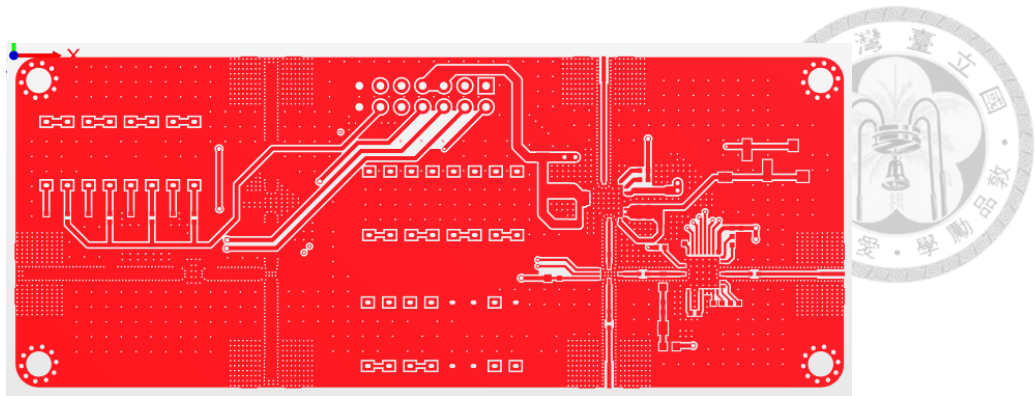


圖 3.25 升降頻電路頂層佈局圖

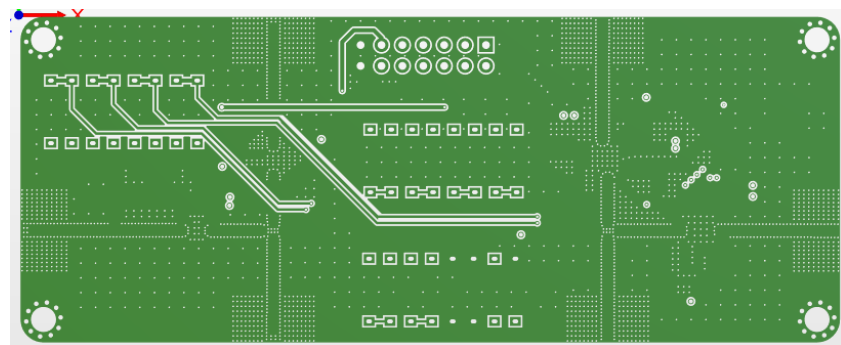


圖 3.26 升降頻電路第二層佈局圖

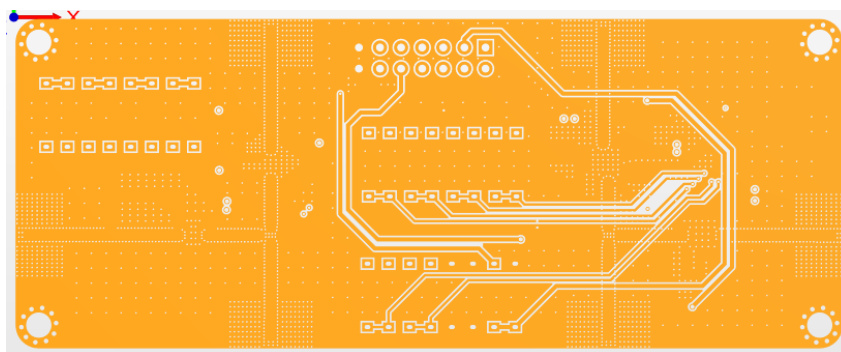


圖 3.27 升降頻電路第三層佈局圖

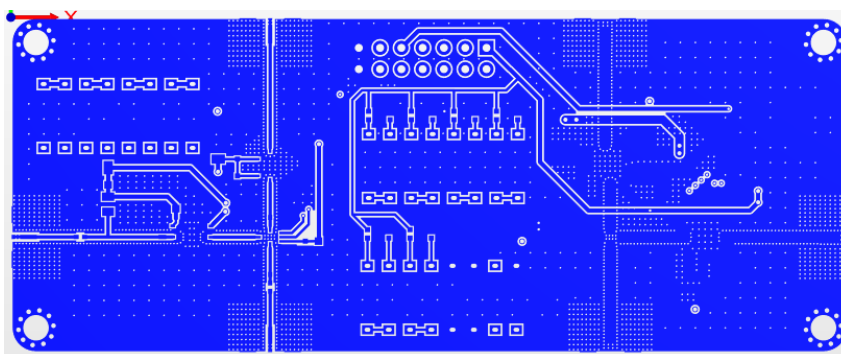


圖 3.28 升降頻電路底層佈局圖



### 3.6 切換電路設計

本切換電路的設計是為了實現 DP8T(Double Pole 7 Throw)的功能，共 14 條獨立路徑，分別是 TX 端口對應 7 個天線激發端口和 RX 端口對應 7 個天線激發端口，如圖 3.29 所示，該電路由兩顆 SPDT 和兩顆 SP4T 實現，由 4 位元的數位控制來切換不同路徑，具有兩種切換線路的方式，一是藉由指撥開關撥動來選擇，二是使用 MCU 進行控制。指撥開關的切換路徑方式是為了後續量測方便所設計的，與 VGA 指撥開關控制增益的設計目的一樣。

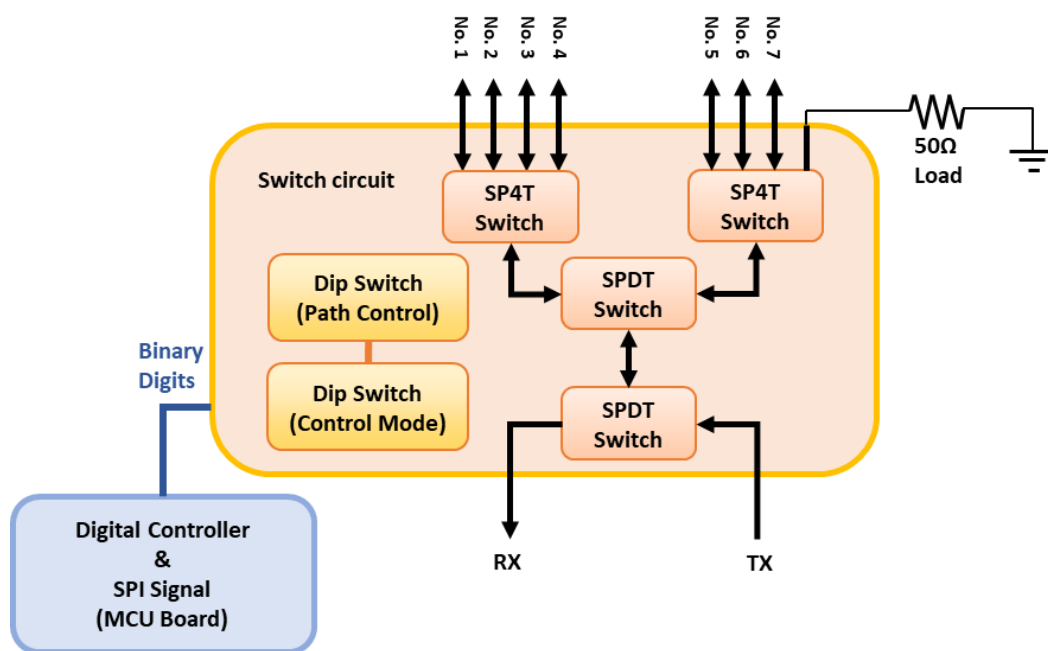


圖 3.29 切換電路架構



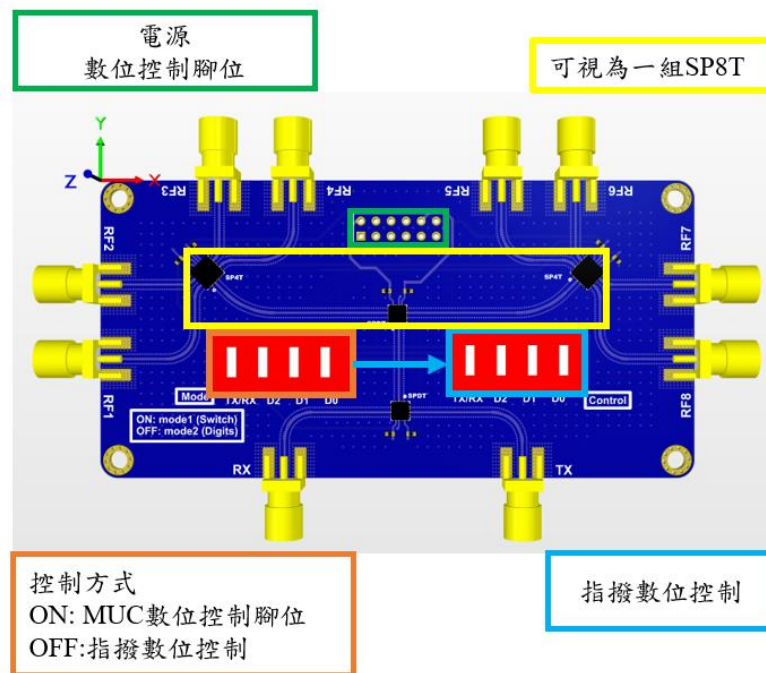


圖 3.30 升降頻電路配置

### 3.6.1 元件介紹

本小節內容承接 3.3 晶片選則與考量，所使用的元件見表 3-6 升降頻電路材料表。

Component	Number	Freq RF(GHz)	Qty
SPDT	ADRF5019	100MHz to 13GHz	2
SP4T	ADRF5040	DC to 12GHz	2
DIP switch	78J04T	DC	3

表 3-18 切換電路材料表

#### 單刀雙擲(Single pole double throw, SPDT)

SPDT 晶片採用 Analog Device 公司的 ADRF5019，它的工作頻率為 100 MHz 至 13 GHz，為了保持較高的隔離度，ADRF5019 開關需要+3.3 V 和-2.5 V 雙電源電壓和正控制電壓輸入，但是 ADRF5019 也具備單電源的工作模式，也就是說可在施加單個正電源電壓(Vdd)的情況下工作，負電源電壓(Vss)接地，該模式主要影響 P1dB 和 IP3，即使在單電源工作模式下，ADRF5019 也保有 100 MHz 至 13 GHz

的工作頻率，並保持良好的功率處理性能，因此會了簡化電源供應，該晶片工作於單電源模式，圖 3.31 SPDT 的功能圖，表 3-19 SPDT 於單電源模式之規格整理，其中引腳 LS(Logic state)和  $V_{CTRL}$  為數位控制腳位，表 3-20 SPDT 數位切換控制真值表。

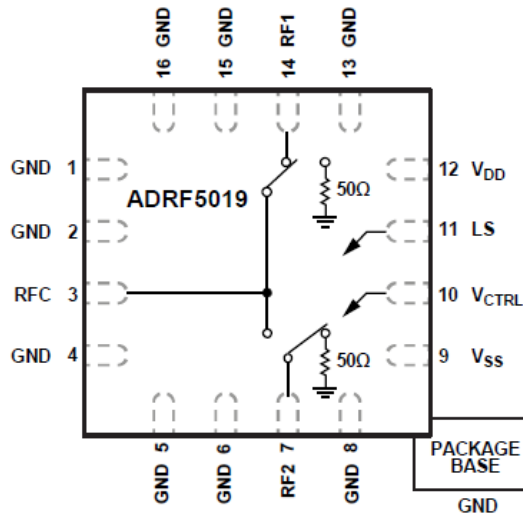


圖 3.31 SPDT 的功能圖[24]

Parameter	Typical value	Units
Frequency Range	100 - 13000	MHz
IP1dB	28	dBm
Input Third Order Intercept Point (IIP3)	55	dBm
Insertion Loss		dB
8GHz	0.8	
13GHz	1.5	
Return Loss		dB
8GHz	22	
13GHz	9	
Isolation		dB
8GHz	45	
13GHz	25	
Rise Time and Fall Time (10% to 90% of RF output)	180	ns
On Time and Off Time (50% of triggered VCTL to 90% of RF output)	285	ns
RF Settling Time		ns
0.1dB	300	
0.05dB	375	
Supply Voltage	3.3	V
Supply Current	80	uA

表 3-19 SPDT 於單電源模式之規格整理[24]

Digital Control Inputs		RF Paths	
LS	V <sub>CTRL</sub>	RF1	RF2
1	0	ON	OFF
1	1	OFF	ON
0	0	OFF	ON
0	1	ON	OFF

表 3-20 SPDT 數位切換控制真值表[24]

### 單刀四擲(Single pole four throw, SP4T)

SP4T 晶片採用 Analog Device 公司的 ADRF5040，工作頻率為 9 kHz 至 12.0 GHz 範圍，具有高隔離度和低插入損耗，開關使用 3.3 V 和 0 V 的正控制電壓工作，需要+3.3 V 和-3.3 V 電源，圖 3.32 SP4T 功能圖，表 3-21 SP4T 規格整理，表 3-22 SP4T 數位切換控制真值表。

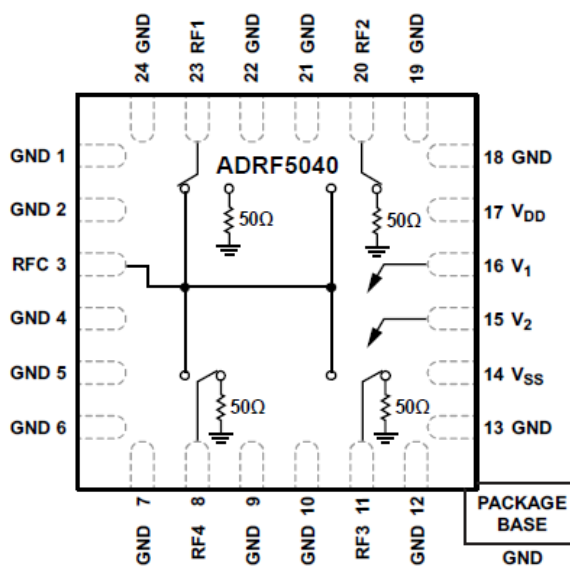


圖 3.32 SP4T 功能圖[25]

Parameter	Typical value	Units
Frequency Range	100 - 12000	MHz
IP1dB	37	dBm
Input Third Order Intercept Point (IIP3)	53	dBm
Insertion Loss		
8GHz	0.8	dB
12GHz	2	
Return Loss		
8GHz	21	dB
12GHz	8	
Isolation		
8GHz	34	dB
12GHz	20	
Rise Time and Fall Time (10% to 90% of RF output)	1.3	us
On Time and Off Time (50% of triggered VCTL to 90% of RF output)	3.5	us
RF Settling Time		
0.1dB	7	us
0.05dB	9	
Supply Voltage	3.3 & -3.3	V
Supply Current	20	uA

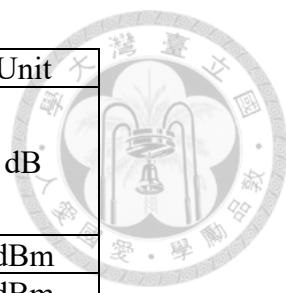
表 3-21 SP4T 規格整理[25]

Digital Control Inputs		Signal Path State
LS	VCTRL	
0	0	RFC to RF1
0	1	RFC to RF2
1	0	RFC to RF3
1	1	RFC to RF4

表 3-22 SP4T 數位切換控制真值表[25]

### 3.6.2 性能分析

將表 3-19 SPDT 於單電源模式之規格整理[24]和表 3-21 SP4T 規格整理[25]的參數輸入至輔助軟件 ADISimRF 進行電路的鏈結計算得結果見表 3-23，參照表 3-14 發送端系統性能分析結果，切換電路的 IP1dB 沒有高於發送端的 OP1dB，這表示發送端有最大功率輸出至切換電路，切換電路會因為輸入的能量過大導致系統飽和，但差距 7.76dB 對整體系統不太有重大影響，是可以接受的範圍，表 3-24 切換電路真值表。



	Analysis	Unit
Power Gain		
8GHz	-3.2	dB
10GHz	-4.2	
12GHz	-6.6	
OP1dB	23.74	dBm
IP1dB	29	dBm
OIP3	27.95	dBm
IIP3	32.5	dBm
Current (mA)	0	A
Power Consumption	0	W

表 3-23 切換電路的性能分析

Truth Table				
	TX/RX	V0	V1	V2
TX to RF1	0	0	0	0
TX to RF2	0	0	1	0
TX to RF3	0	0	0	1
TX to RF4	0	0	1	1
TX to RF5	0	1	0	0
TX to RF6	0	1	1	0
TX to RF7	0	1	0	1
TX to RF8	0	1	1	1
RX to RF1	1	0	0	0
RX to RF2	1	0	1	0
RX to RF3	1	0	0	1
RX to RF4	1	0	1	1
RX to RF5	1	1	0	0
RX to RF6	1	1	1	0
RX to RF7	1	1	0	1
RX to RF8	1	1	1	1

表 3-24 切換電路真值表

### 3.6.3 電路佈局

本電路所使用的板層疊構與升降頻電路一樣，是為了節省打樣 PCB 的成本，將切換電路和升降頻電路以併板的方式製作，併板是將兩片不同設計的 PCB 電路合為一片，於板子與板子的邊界設置 V-cut 或郵票孔給板廠製作，以達到僅用一次 PCB 的製成來完成兩個 PCB 電路，最後拿到的成品可透過機械切割或手動搬摺的方式將兩片板子分離。



圖 3.33 切換電路的電路圖，SPDT 晶片的引腳 LS 接高電位，由  $V_{CTRL}$  控制切換路徑，為了減少數位控制腳位，SP4T 的數位控制引腳相接共用，也就是  $V1$  和  $V2$  數位腳位同時控制兩個晶片，但這不影響路徑切換，因為前一級的 SPDT 指允許一條路近導通，因此不會發生兩條路徑同時導通的情況。

圖 3.33 紅色框選處的兩個指撥開關，其功能見圖 3.34，其中一個指撥開關決定晶片數位引腳的高電位或低電位，另一個指撥開關決定該數位引腳使用手動指撥控制還是外接 MCU 控制。

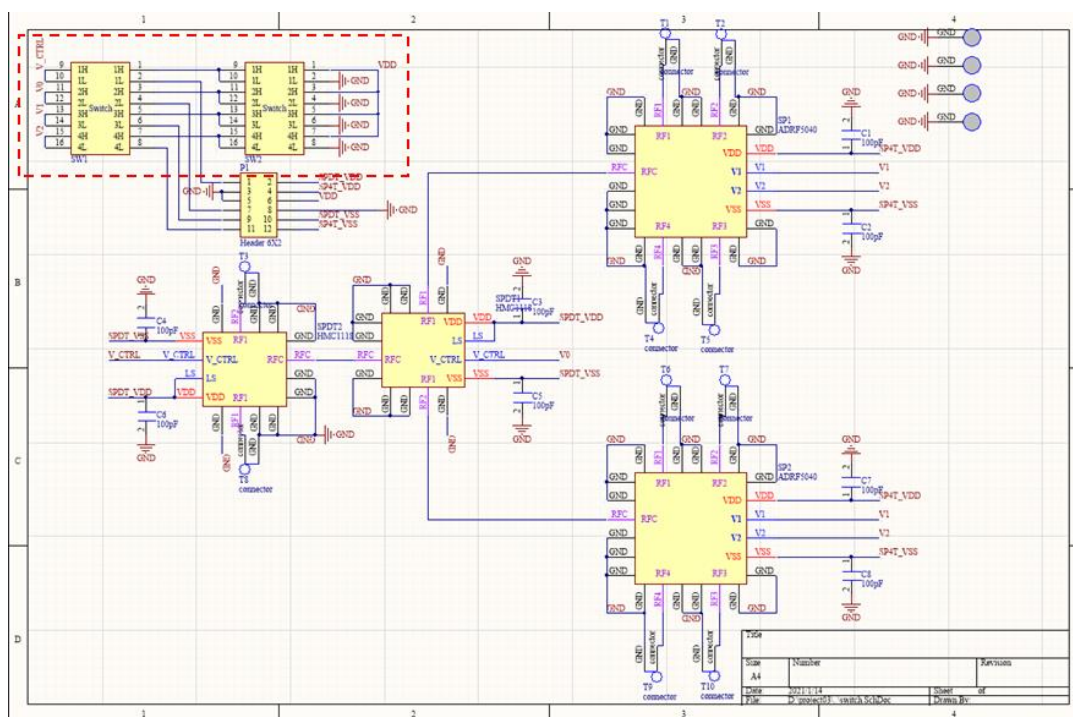


圖 3.33 切換電路的電路圖

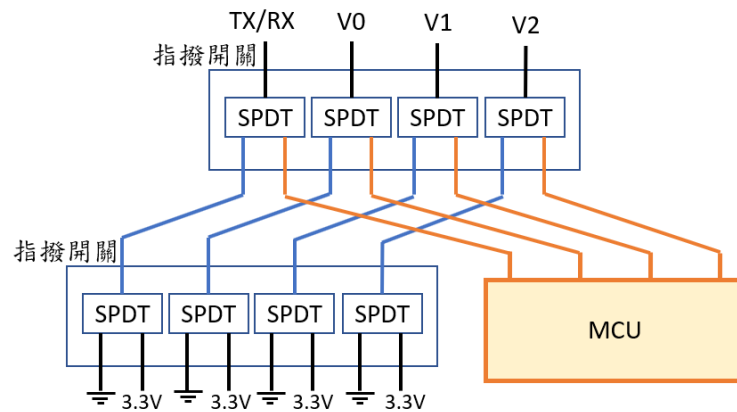


圖 3.34 指撥開關功能圖

圖 3.35 切換電路之 PCB 線路佈局圖，切換電路頂層(第一層)為 RF 訊號走線以及元件打樣所使用，第二層作為的 RF 的地，同時還隔離了第三層和第四層，因此可利用第三層和第四層作為電源和數位控制的走線，排針預留兩個 Pin 針與地相連，其中一個作為電源的地，另一個作為數位控制模組的地。

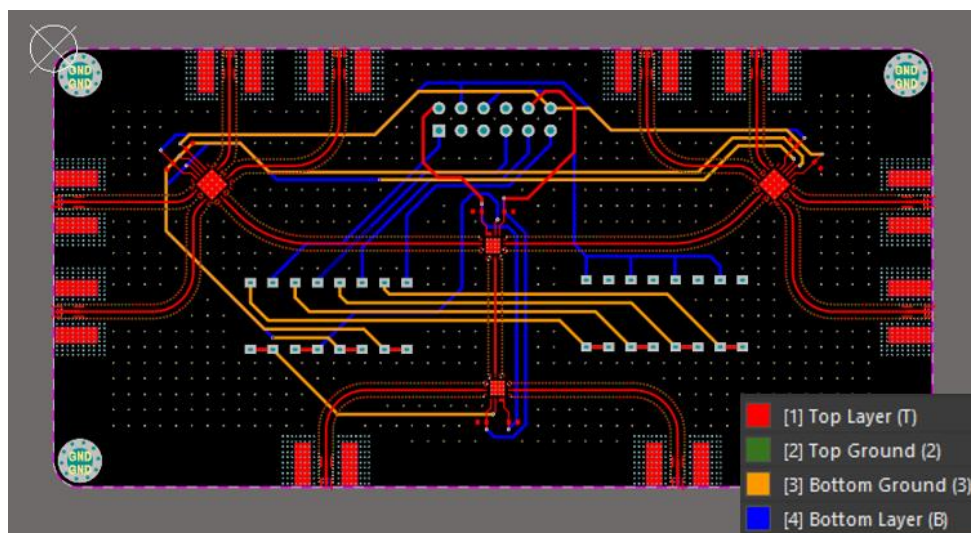


圖 3.35 切換電路之 PCB 線路佈局圖



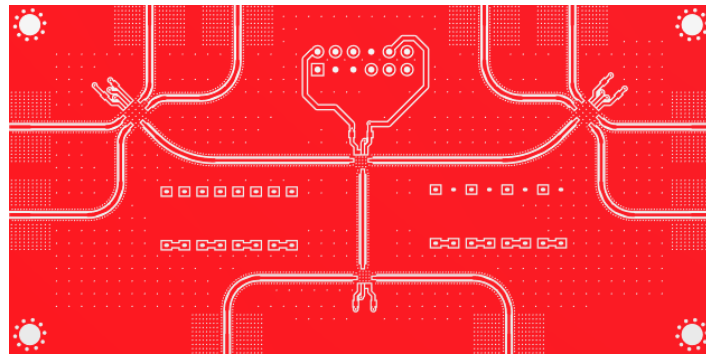


圖 3.36 切換電路頂層佈局圖

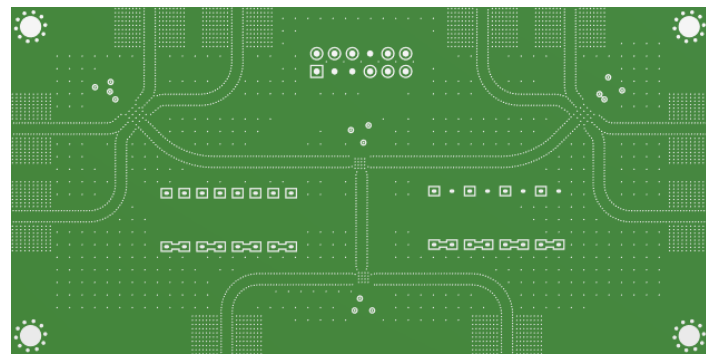


圖 3.37 切換電路第二層佈局圖

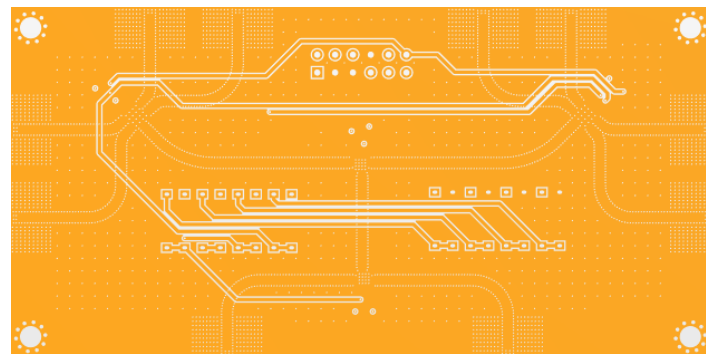


圖 3.38 切換電路第三層佈局圖

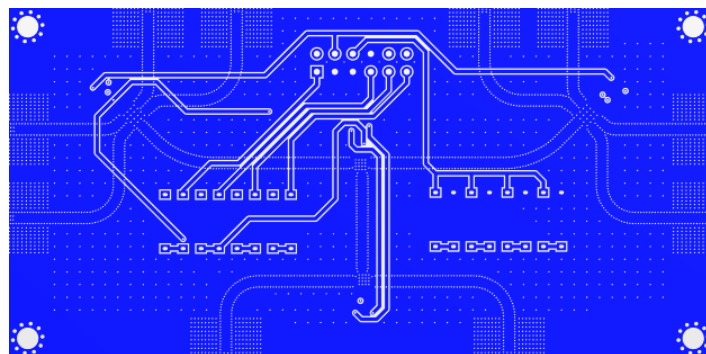


圖 3.39 切換電路底層佈局圖





### 3.6.4 數位控制

數位控制採用 Arduino Uno 板來控制切換電路的切換路徑，Arduino Uno 是一款基於 ATmega328P 的微控制器板(microcontroller board)，它有 14 個數位輸入/輸出接腳和 6 個類比輸入，選擇 Arduino Uno 板作為控制器的具有便宜、編程容易、開源的軟體和入門門檻低的優點，Arduino Uno 板的實體如圖 3.40。



圖 3.40 Arduino Uno 板的實體

圖 3.41 為切換電路的程式碼，將 Arduino Uno 板編號 3、2、1、0 的數位針腳分別對應切換電路的 TX/RX、V2、V1、V0 腳位，然後藉由電腦下指令的方式操控切換電路的導通路徑，表 3-25 切換電路數控指令表。

指令	狀態	指令	狀態
1	TX - RF1 導通	A	RX - RF1 導通
2	TX - RF2 導通	B	RX - RF2 導通
3	TX - RF3 導通	C	RX - RF3 導通
4	TX - RF4 導通	D	RX - RF4 導通
5	TX - RF5 導通	E	RX - RF4 導通
6	TX - RF6 導通	F	RX - RF5 導通
7	TX - RF7 導通	G	RX - RF6 導通
8	TX - RF8 導通	H	RX - RF7 導通

表 3-25 切換電路數控指令表

```

const int RFNum[16] = {0x00, 0x02, 0x01, 0x03, 0x04, 0x06, 0x05, 0x07,
                      0x08, 0x0A, 0x09, 0x0B, 0x0C, 0x0E, 0x0D, 0x0F};
char val;

void setup() {
  DDRB = 0x07;
  Serial.begin(9600);
  Serial.println();
  Serial.println(F("RF Switch Control"));
}

void loop() {
  if(Serial.available()){
    val = Serial.read();
    switch(val){
      case '1':
        PORTD = RFNum[0];
        Serial.println(F("TX to RF1 ON"));
        break;
      case '2':
        PORTD = RFNum[1];
        Serial.println(F("TX to RF2 ON"));
        break;
      case '3':
        PORTD = RFNum[2];
        Serial.println(F("TX to RF3 ON"));
        break;
      case '4':
        PORTD = RFNum[3];
        Serial.println(F("TX to RF4 ON"));
        break;
      case '5':
        PORTD = RFNum[4];
        Serial.println(F("TX to RF5 ON"));
        break;
      case '6':
        PORTD = RFNum[5];
        Serial.println(F("TX to RF6 ON"));
        break;
      case '7':
        PORTD = RFNum[6];
        Serial.println(F("TX to RF7 ON"));
        break;
      case '8':
        PORTD = RFNum[7];
        Serial.println(F("TX to RF8 ON"));
        break;
      case 'A':
        PORTD = RFNum[8];
        Serial.println(F("RX to RF1 ON"));
        break;
      case 'B':
        PORTD = RFNum[9];
        Serial.println(F("RX to RF2 ON"));
        break;
      case 'C':
        PORTD = RFNum[10];
        Serial.println(F("RX to RF3 ON"));
        break;
      case 'D':
        PORTD = RFNum[11];
        Serial.println(F("RX to RF4 ON"));
        break;
      case 'E':
        PORTD = RFNum[12];
        Serial.println(F("RX to RF5 ON"));
        break;
      case 'F':
        PORTD = RFNum[13];
        Serial.println(F("RX to RF6 ON"));
        break;
      case 'G':
        PORTD = RFNum[14];
        Serial.println(F("RX to RF7 ON"));
        break;
      case 'H':
        PORTD = RFNum[15];
        Serial.println(F("RX to RF8 ON"));
        break;
    }
  }
}

```



圖 3.41 切換電路數位控制程式碼

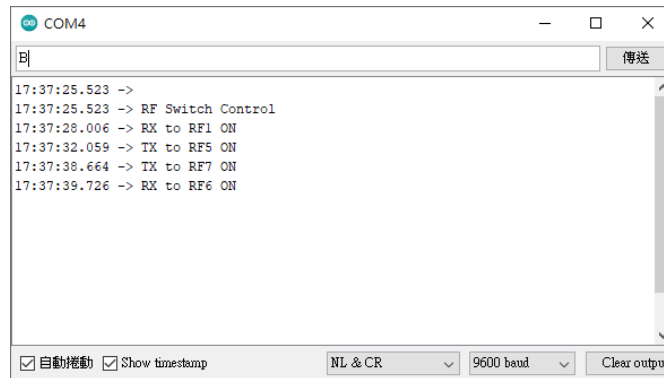


圖 3.42 Arduino 指令介面



### 3.7 鎖相振盪器電路設計

本電路是為了實現可以穩定提供乾淨的訊號給混頻器的 LO 端口，為了避免電源供應造成電路工作的不穩定，因此將低壓降線性穩壓器(Low-dropout regulator)整合在電路上，實測上，只需供應 6V 以上的電壓以驅動整個電路運作，該電路總共有兩個端口，其中以一端口可以輸出 3400MHz 至 6800MHz 的穩定訊號，而另一個端口能輸出 6800MHz 至 13600MHz 的穩定訊號。

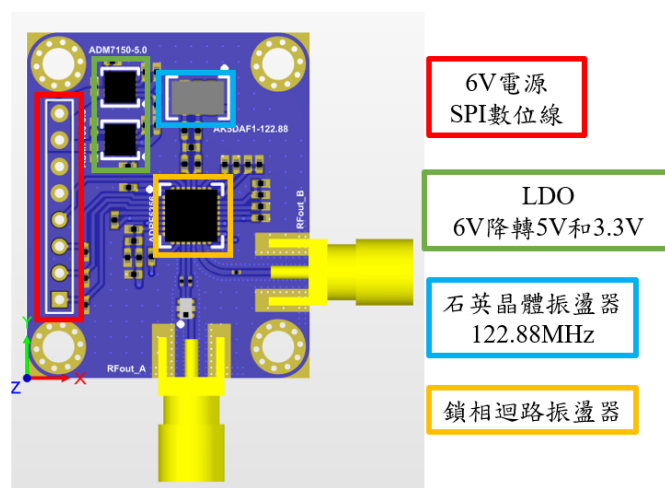


圖 3.43 鎖相振盪器電路配置

#### 3.7.1 元件介紹

鎖相振盪電路的材料見表 3-26 鎖相振盪器電路材料表。

Component	Number	Qty
PLO	ADRF5356	1
LDO regulator-3.3V	ADM7150ACPZ-3.3-R7	1
LDO regulator-5V	ADM7150ACPZ-5.0-R7	1
Crystal Oscillator	AK5DAF1-122.8800	1
Balun	HHM1595A1	1

表 3-26 鎖相振盪器電路材料表

## 鎖相迴路振盪器(Phase locked oscillator, PLO)

鎖相迴路振盪器的晶片採用 Analog Device 公司的 ADF5356，ADF5356 內部具有集成的 VCO 電路，其基本輸出頻率範圍為 3400 MHz 至 6800 MHz，寬頻的 VCO 設計允許其中一個射頻輸出(RFB)在 6.8 GHz 至 13.6 GHz 的頻率範圍內工作，而一系列分頻器允許另一個射頻輸出(RFA)工作在 53.125 MHz 至 6800 MHz 之間。此外，VCO 頻率被連接成 1、2、4、8、16、32 或 64 分頻電路，從而使用戶能夠產生低至 53.125 MHz 的 RF 輸出頻率。對於需要隔離的應用，可以將 RF 輸出級靜音。靜音功能可通過引腳和軟件控制。所有片上寄存器的控制都是通過簡單的 3 線接口進行的，ADF5356 採用 3.15 V 至 3.45 V 的模擬和數字電源供電，電荷泵和 VCO 的電源電壓為 4.75 V 至 5.25V。ADF5356 還包含硬件和軟件掉電模式。

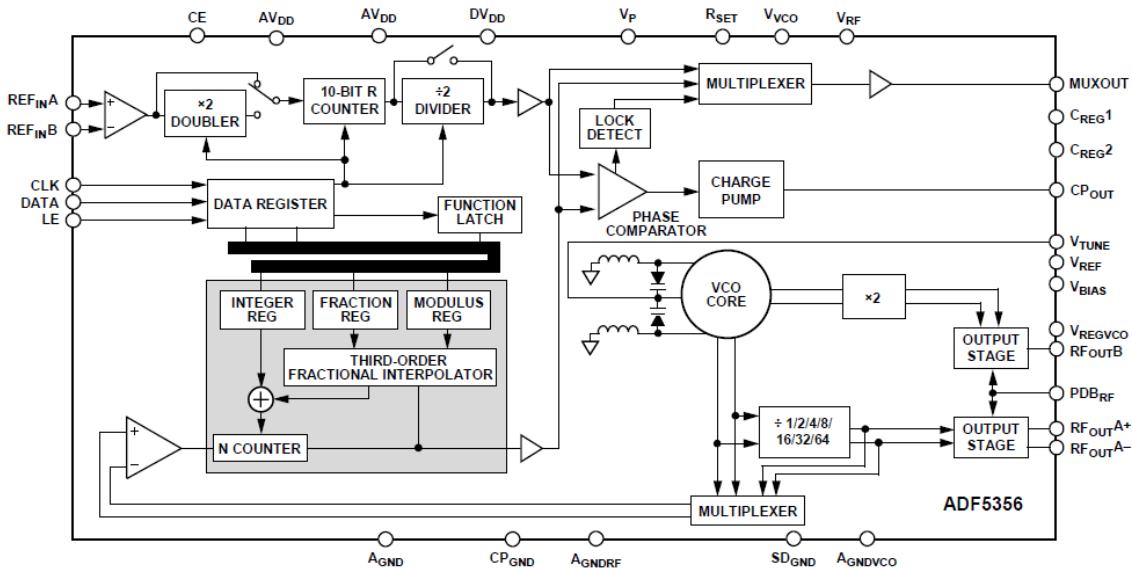


圖 3.44 鎖相迴路振盪器的功能圖[26]

Parameter	Typical value	Units
Frequency Range(RFA)	54 - 6800	MHz
Frequency Range(RFB)	6800 - 13600	MHz
Logic input High	2.9	V
Low	0.4	
Power supplies Analog power & Digital power CP and VCO Supply Voltage	3.3 5	V
Supply current Total Digital and Analog Current $I_{VCO}$	82 70	mA

表 3-277 鎖相振盪器的性能分析[26]

### 低壓降線性穩壓器(Low-dropout, LDO)

低壓降線性穩壓器是一種電壓調節元件，從較高的輸入電壓轉換成較低輸出電壓的應用，透過控制線性區調整管的傳導來調節輸出電壓，這種線性調節方式能提供精確、沒有雜訊的輸出電壓，能對負載的改變做出快速的回應，應用的功率消耗不是很大，通常要求低雜訊、低電流的環境下使用。

ADM7150 是一款低壓差 (LDO) 線性穩壓器，工作電壓範圍為 4.5 V 至 16 V，並提供高達 800 mA 的輸出電流。ADM7150 提供 1.8 V，2.8 V，3.0 V，3.3 V，4.5 V，4.8 V 和 5.0 V 固定輸出。此外，可根據要求提供 16 個 1.5 V 至 5.0 V 的固定輸出電壓。

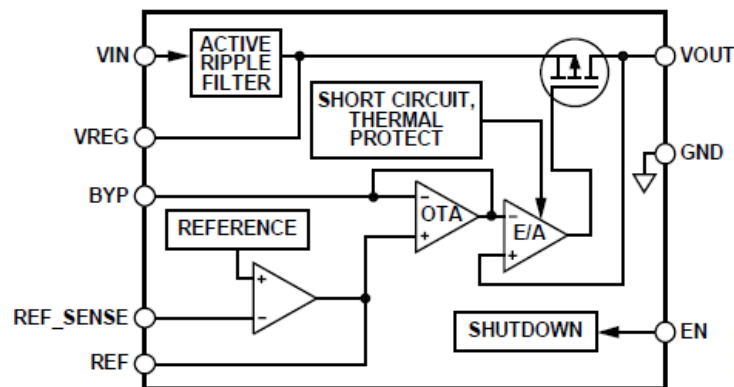


圖 3.45 低壓降線性穩壓器功能圖[27]



### 3.7.2 電路佈局

鎖項振盪器的疊構圖如下圖 3.46，第一層板層(M1)作為 RF 訊號的走線，其板子材質為 RO4350，厚度為 10mil(0.254mm)，而第二層(M2)和第三層(M3)作為數位和電源走線所使用，板子材質是 TU-768，厚度分別為 35mil 和 10mil，由於該兩層並不需要特殊的配置，因此板子材質是由廠商配置的。

圖 3.46 鎖相迴路振盪電路疊構圖

PCB Stack Up					
Layer	Type			Thickness (mil)	
Top side solder mask				0.70	mils
L1	TOP			copper+plating	1.60 mils
M1	Via1	Via2		RO4350B	10.00 mils
L2				Copper	1.40 mils
M2				TU-768	35.00 mils
L3				Copper	1.40 mils
M3			Via3		TU-768
L4	Bottom			copper+plating	1.60 mils
Bottom side solder mask				0.70	mils
TOTAL				62.40	mils
				1.58	mm

圖 3.47 鎖相迴路振盪電路的電路圖，電路架構參考 ADF5356 評估板的配置，其中端口 RFA 的輸出方式為差動輸出，因此共有兩個相位相差 180 的輸出端口，ADF5356 資料表裡提供兩個配置建議，第一種是使用單端口作為輸出端口，而另一個端口則接至終端(50Ohm 負載)，第二種是將兩個端口連接至一個平衡-不平衡轉換器(balanced to unbalanced, balun)，將兩輸出端口變為一個輸出端口，而本電路採用第二種接法，其原因為考量平衡-不平衡轉換器的損耗後，理論上兩端口的輸出功率相較單一端口輸出的工率更高。

引腳 CP<sub>OUT</sub> 至引腳 V<sub>TUNE</sub> 中間是一個濾波器電路，其電路允許自行設計，可以





使用 Analog Device 公司出的輔助軟體 ADIsimPLL 協助設計，其軟體提供方便且簡易的方式評估個架構濾波器對電器表現的影響，而本濾波器的電路架構採用資料表建議的設計。

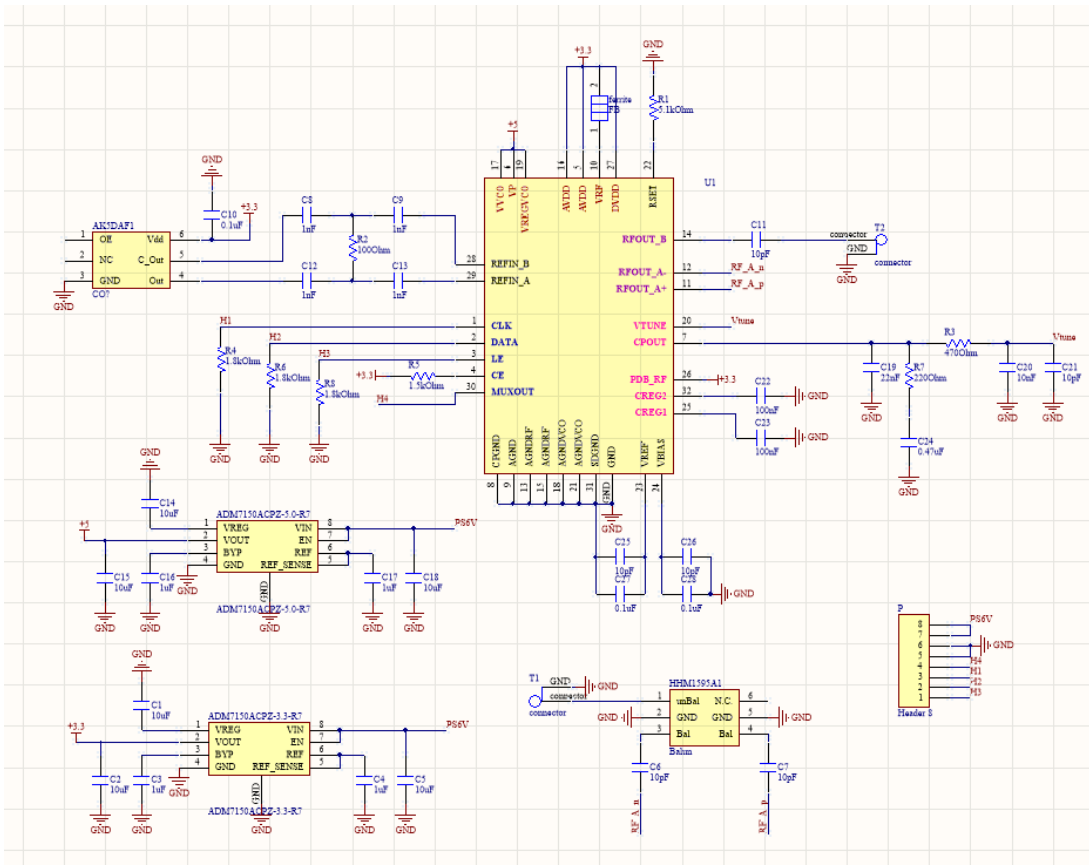


圖 3.47 鎖相迴路振盪電路的電路圖

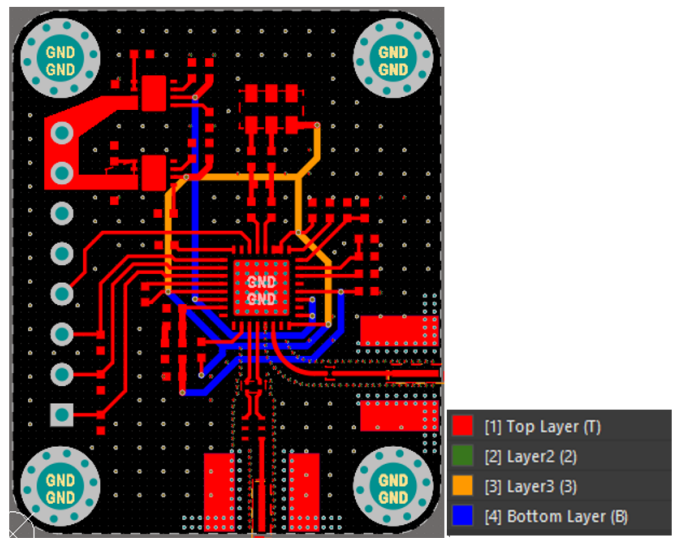


圖 3.48 鎖相迴路振盪電路之 PCB 線路佈局圖

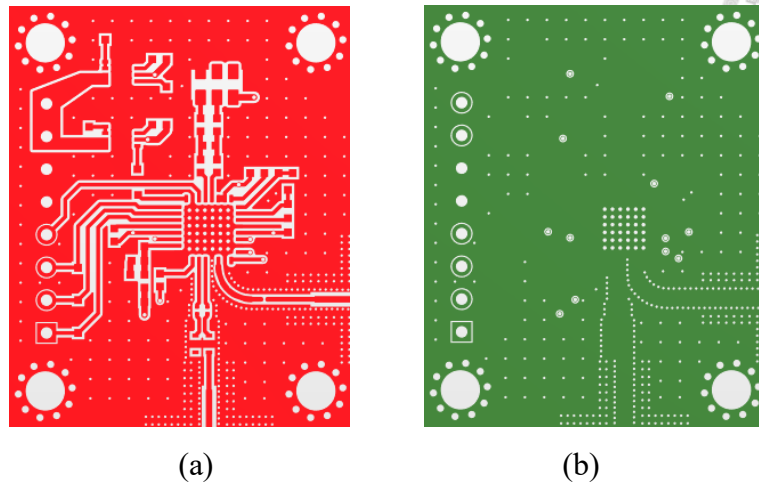
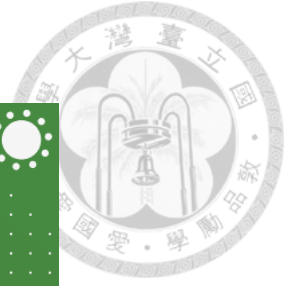


圖 3.49 (a) 切換電路頂層佈局圖 (b) 切換電路第二層佈局圖

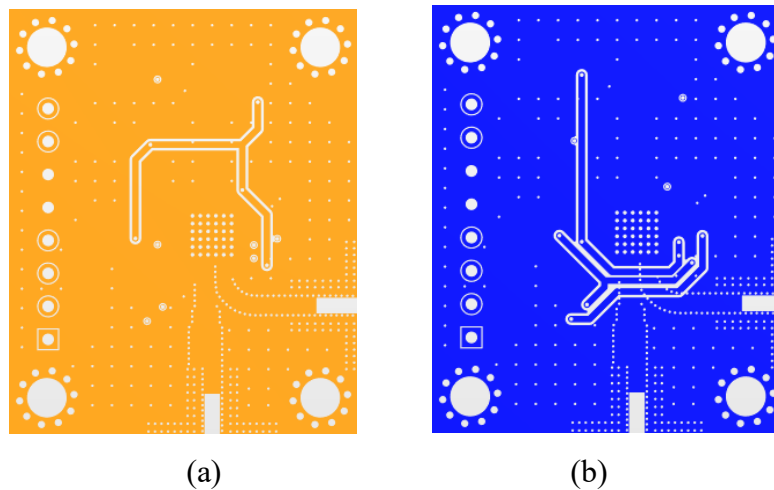


圖 3.50 (a) 切換電路第三層佈局圖 (b) 切換電路底層佈局圖

### 3.7.3 數位控制

ADF5356 內部共 13 個暫存器，每個暫存器共有 32 個位元，該 32 位為中的後 4 個位元為移位暫存器的控制位元 (C4, C3, C2 和 C1)，其狀態決定了資料存放位置，資料輸入方式為最高有效位 (the Most Significant Bit, MSB)，意思為最高位元的資料優先輸入，然後透過時脈正緣觸發判斷資料狀態並寫入暫存器，利用 LE 將資料存放至移位暫存器的控制位元所指定的暫存器位置，見圖 3.51，CLK 為時脈，DATA 為資料狀態，LE(Load enable)為啟用載入。



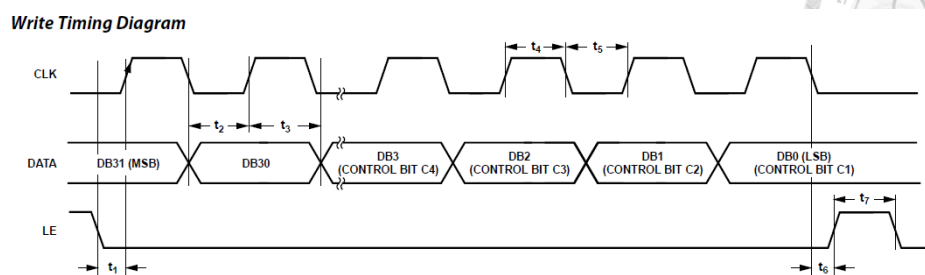
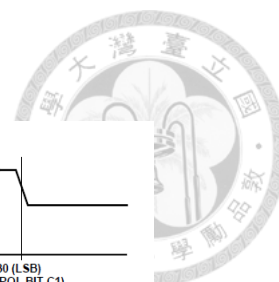


圖 3.51 資料寫入時序圖[26]

輸出頻率的控制包括一個 10 位元除法計數器(RF Divider)，一個 16 位整數 N 計數器(INT)，一個 24 位小數計數器(FRAC1)，一個 28 位輔助小數計數器(FRAC2) 和一個 28 位輔助模數計數器(MOD2)，使用以下方程式對 ADF5356 頻率合成器進行編程：

$$f_{RFOUT} = \left( \left( \left( INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times f_{PDF} \right) / Divider \right) \quad (3-3)$$

其中  $f_{RFOUT}$  為輸出頻率， $INT$  為整數除法因子(integer division factor)， $FRAC1$  為小數因子， $FRAC2$  為輔助小數因子， $MOD2$  為輔助模數因子， $MOD1$  為 24 位元固定的模數因子， $Divider$  為對 VCO 頻率進行分頻的輸出分頻器，其中鑒頻鑒相器(Phase frequency detector)之頻率  $f_{PDF}$  可以以下式表示：

$$f_{PDF} = f_{REFIN} \times \frac{1+D}{R \times (1+T)} \quad (3-4)$$

$f_{REFIN}$  為參考輸入頻率， $D$  為參考倍頻器， $R$  為參考頻率之除法因子， $T$  為參考除數(0 or 1)。

假如在需要 2112.8 MHz 的射頻輸出頻率( $f_{RFOUT}$ )，並使用 122.88 MHz 參考頻率輸入( $f_{REFIN}$ )，因為 ADF5356 內部的 VCO 頻率( $f_{VCO}$ )在 3400 MHz 至 6800 MHz 的頻率範圍內工作。必須使用除 2 的 RF 分頻器 ( $f_{VCO} = 4225.6 \text{ MHz}$ ，



$f_{RFOUT} = f_{VCO} / Divider = 4225.6 \text{ MHz} / 2 = 2112.8 \text{ MHz}$ ), 將 122.88 MHz 參考信號除以 2, 以生成 61.44MHz 的鑿頻鑿相器之頻率( $f_{PFD}$ ), 所需的通道間隔為 200 kHz( $f_{CHSP}$ ), VCO 輸出在輸出分壓器之前回授路徑參見圖 3.52。

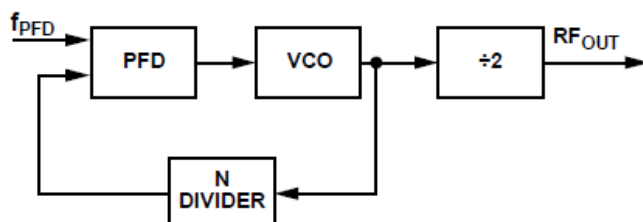


圖 3.52 輸出分頻器前的回授電路

根據上述的條件由公式 3-5 求出振盪器輸出頻率( $f_{VCO}$ )和鑿頻鑿相器之頻率( $f_{PFD}$ )的比例( $N$ ), 將該比例( $N$ )的整數部分和小數部分分別令為  $INT$  (見公式 3-6)和  $FRAC$  (見公式 3-7), 再將  $FRAC$  和  $MOD1$  相乘, 並將相乘後的整數部分和小數部分分別令為  $FRAC1$  (見公式 3-8)和  $Remainder$  (見公式 3-9), 把鑿頻鑿相器之頻率( $f_{PFD}$ )除以鑿頻鑿相器之頻率( $f_{PFD}$ )和通道間隔之頻率( $f_{CHSP}$ )的最大公因數得出  $MOD2$  (見公式 3-11), 最後將  $Remainder$  和  $MOD2$  相乘得  $FRAC2$ 。

$$N = f_{VCO} / f_{PFD} = 4225.6 / 61.44 = 68.776041666666667 \quad (3-5)$$

$$INT = \text{int}(N) = 68 \quad (3-6)$$

$$FRAC = \text{frac}(N) = 0.776041666666667 \quad (3-7)$$

$$MOD1 = 16777216 \quad (3-8)$$

$$FRAC1 = \text{int}(MOD1 \times FRAC) = 13019818 \quad (3-9)$$

$$Remainder = \text{frac}(MOD1 \times FRAC) = 0.6666666667 \text{ or } 2/3 \quad (3-10)$$

$$\begin{aligned} MOD2 &= f_{PFD} / GCD(f_{PFD}, f_{CHSP}) \\ &= 61.44\text{MHz} / GCD(61.44\text{MHz}, 200\text{kHz}) \\ &= 1536 \end{aligned} \quad (3-11)$$



$$FRAC2 = Remainder \times 1536 = 1024 \quad (3-12)$$

其中  $f_{PDF}$  可由公式(3-4)算出，見下公式 3-13

$$f_{PDF} = 122.88\text{MHz} \times \frac{1+0}{2 \times (1+0)} = 61.44\text{MHz} \quad (3-13)$$

求出所有的因子後，可以由公式 3-3 算出 2112.8MHz，見下公式 3-14

$$2112.8\text{MHz} = \left( \left( 68 + \frac{13019818 + \frac{1024}{1536}}{16777216} \right) \times 61.44 \right) / 2 \quad (3-14)$$

而 Analog Device 公司也有針對鎖相迴路振盪器系列產品的推出輔助程式 ADF4355，該輔助程式原先是作為鎖相迴路振盪器之評估板的控制介面，可以透過該程式使電腦與評估板相連，藉由該控制介面設定鎖相迴路振盪器的工作頻率，由於該程式可以從所需的輸出頻率回推所有的合成因子，甚至將暫存器的資料一併列出，因此解決了手動求解的複雜度，控制介面見圖 3.53。

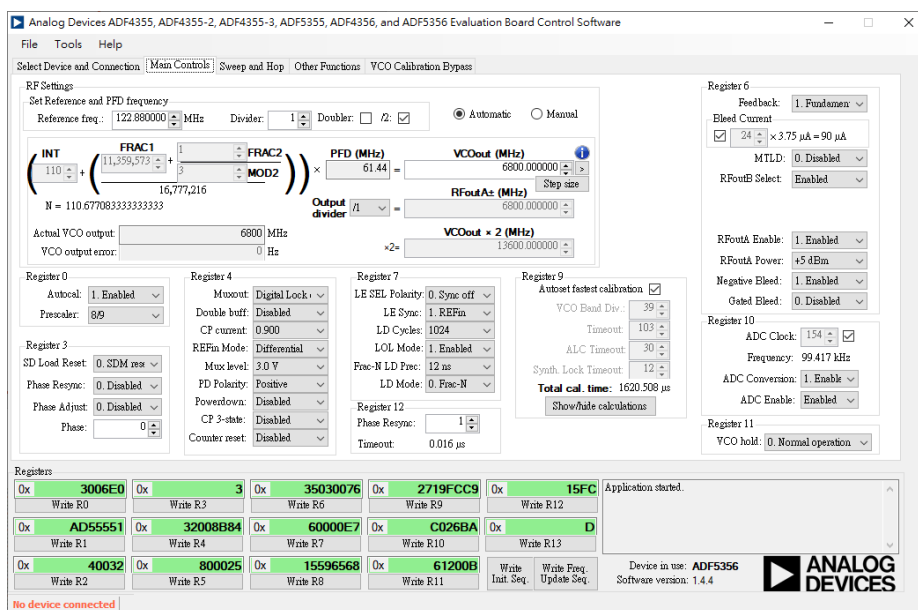


圖 3.53 ADF4355 控制介面



鎖相振盪器的數位控制由 Arduino 板實現，將輔助程式 ADF4355 所計算出的資料寫入至暫存器，初始上電時，必須按順序對 ADF5356 暫存器進行編程，編程順序如下：

暫存器 13 → 暫存器 12 → 暫存器 11 → 暫存器 10 → 暫存器 9 → 暫存器 8 → 暫存器 7 → 暫存器 6 → 暫存器 5 → 暫存器 4 → 暫存器 3 → 暫存器 2 → 暫存器 1 → 確保在暫存器 10 到暫存器 0 的寫入時間經過了超過 16 個 ADC 時鐘週期(例如：如果 ADC 時脈=99.417 kHz，需等待  $16/99,417$  秒= 161us) → 暫存器 0。

頻率的更新需要更新暫存器 2 和暫存器 13 中的小數值(FRAC2)和模數值(MOD2)，以及暫存器 1 中的小數值(FRAC1)和暫存器 0 中的整數值(INT)，建議先更新暫存器 10 來執行與溫度有關的 VTUNE 校準。對於暫存器的寫入順序必須如下：

暫存器 13 → 暫存器 10 → 暫存器 2 → 暫存器 1 → 確保在暫存器 10 到暫存器 0 的寫入時間經過了超過 16 個 ADC 時鐘週期 → 暫存器 0。

圖 3.54 為鎖相迴路電路數位控制程式碼，使用 Arduino 內部 SPI 的函式庫來完成實現，透過 4 個 SPI.transfer()將 32 位元的資料寫入至 ADF5356 暫存器中，其中 Arduino Uno 板編號 9、11、13 的數位針腳分別對應鎖相迴路電路的 LE、DATA、CLK 腳位。

```

#include <SPI.h>

//Pin13 is (SPI)clock
//Pin11 is (SPI)Data
const byte LE = 9;//(SPI)Latch Enable

const unsigned long reg[] = { 0x300690, //R0
                              0xCB55551, //R1
                              0x40032, //R2
                              0x3, //R3
                              0x32008B84, //R4
                              0x800025, //R5
                              0x35030476, //R6
                              0x60000E7, //R7
                              0x15596568, //R8
                              0x2719FCC9, //R9
                              0xC026BA, //R10
                              0x61200B, //R11
                              0x15FC, //R12
                              0xD}; //R13

void setup() {
  pinMode(SS, OUTPUT);
  pinMode(LE, OUTPUT);
  digitalWrite(LE, HIGH);
  SPI.begin();
  SPI.setBitOrder(MSBFIRST);
  SPI.setClockDivider(SPI_CLOCK_DIV8);
  SPI.setDataMode(SPI_MODE0);

  Serial.begin(9600);
  Serial.println();
  Serial.println(F("PLL Setting"));
}

void loop() {
  if(Serial.available()){000000
    char val = Serial.read();
    switch(val){
      case 'P':
        int i;
        for(i=13; i>=0; i--){
          myloadreg(reg[i]);
          delayMicroseconds(50);
        }
        Serial.println("Done!");
        break;
    }
  }
}

void myloadreg(const unsigned long Data) {
  digitalWrite(LE, LOW);
  SPI.transfer(Data>>24);
  SPI.transfer(Data>>16);
  SPI.transfer(Data>>8);
  SPI.transfer(Data>>0);
  digitalWrite(LE, HIGH);
}

```



圖 3.54 鎖相迴路電路數位控制程式碼



### 3.8 電磁模擬結果

為了得到更貼近實際狀況的模擬，將 Altium Designer 設計的電路佈局圖導入 Ansys HFSS 3D Layout，這是一款針對板層結構的三維電磁模擬軟體，所導入的結構圖見圖 3.55、圖 3.56 和圖 3.57，由於整塊板子的結構相當複雜，因此需要節省模擬軟體運算資源，將部分區塊做某切割分別模擬。

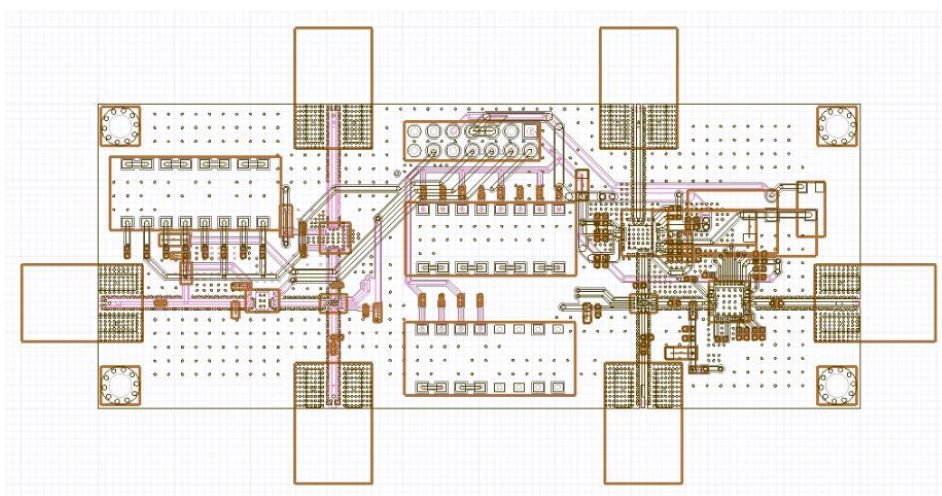


圖 3.55 HFSS 3D Layout 之升降頻電路結構圖

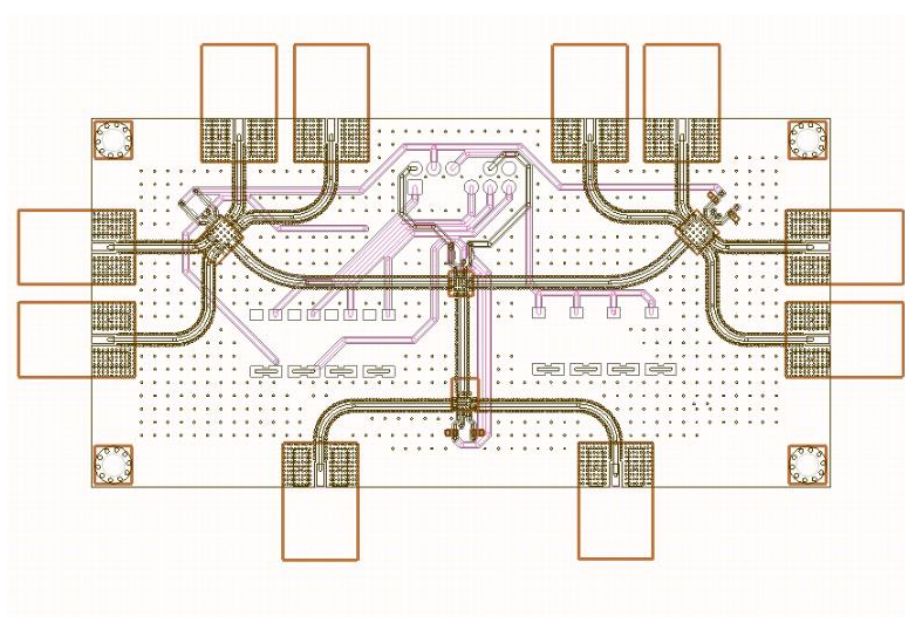


圖 3.56 HFSS 3D Layout 之切換電路結構圖



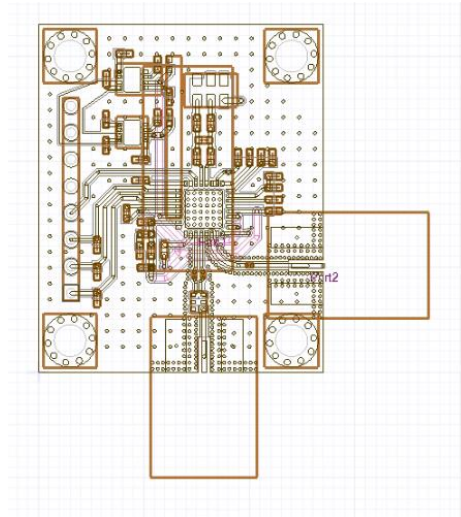


圖 3.57 HFSS 3D Layout 之鎖相振盪電路結構圖

圖 3.38 為切換電路某區塊結構的傳輸線，以 RF 傳輸線來看，該結構是比較具代表性的，因為其走線長度是所有電路設計最長的，其走線長度為 3.14 公分，模擬結果見圖 3.59，該線段的 S12 只有 -0.27 的損耗，S11 和 S22 階低於 -19dB。

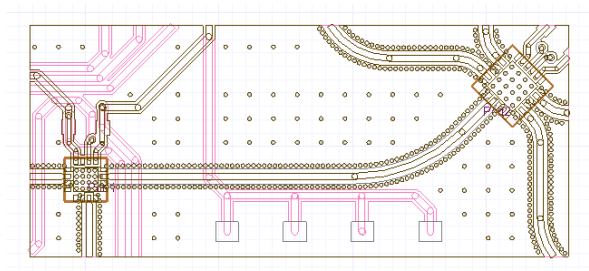


圖 3.58 RF 線段結構

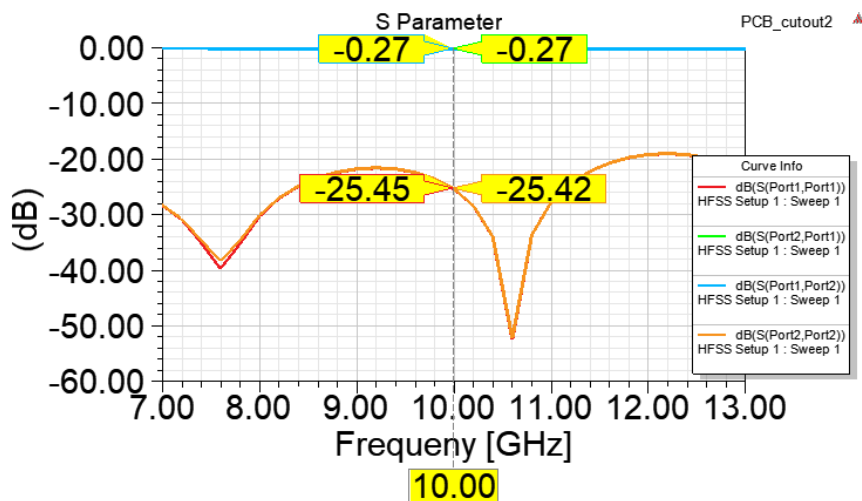


圖 3.59 RF 線段模擬結果

圖 3.60 為 RF 線段於板邊的結構，一般為了讓 SMA 接頭的針頭有足夠的焊點，會有一小段比較寬的線段存在於板邊，同時可以控制其寬度來做為 SMA 接頭和 RF 線段的阻抗匹配，但依照先前模擬經驗，阻抗不匹配大多是線段存在不連續的結構所造成的，因此建議線段維持同樣寬度至板邊，而接頭的針頭寬度也盡可能與線寬一致，這樣也能有良好的匹配效果，圖 3.61 為模擬結果。

將 HFSS 3D Layout 的結構圖轉成 HFSS，並加上 SMA 接頭，於板邊上接頭的結構圖見圖 3.62，其模擬結果見圖 3.63，所有頻段的 S11 皆低於-15dB，而 S21 也只有-0.25dB 的損耗。

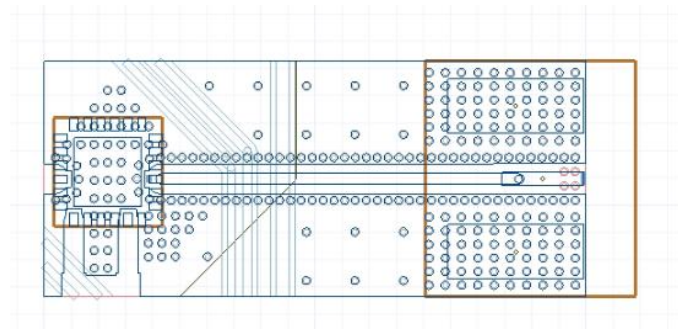


圖 3.60 RF 線段於板邊結構

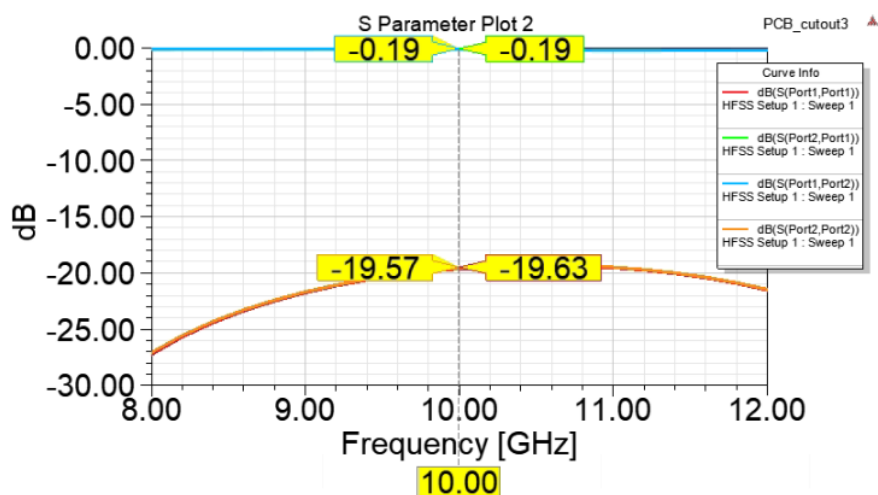


圖 3.61 RF 線段於板邊模擬結果



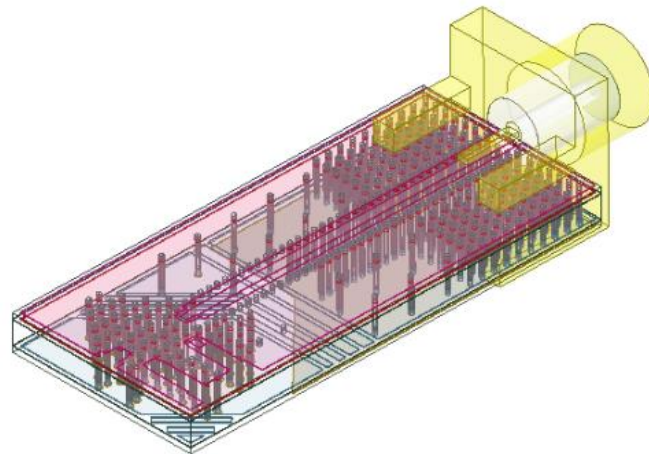


圖 3.62 板邊加上接頭之結構圖

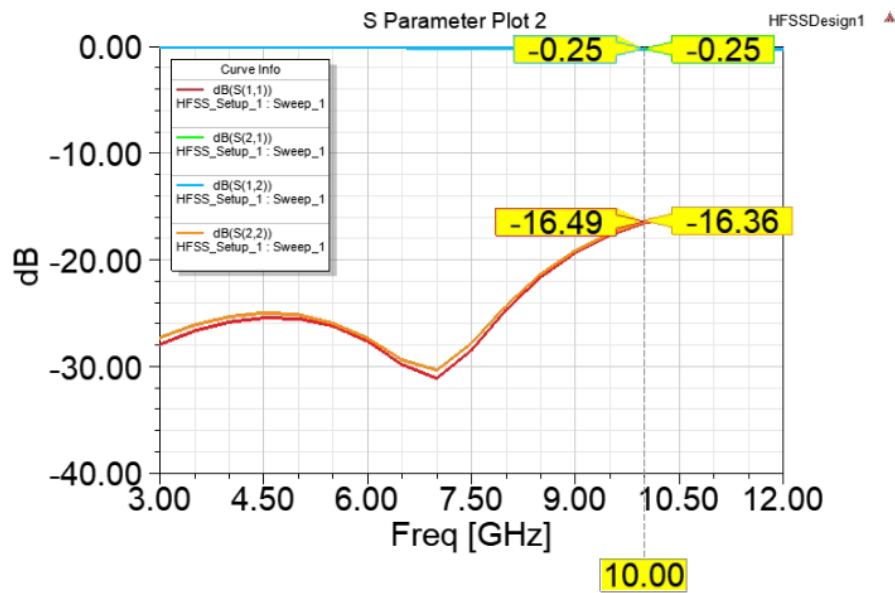


圖 3.63 板邊加上接頭之模擬結果

## Chapter 4 升降頻電路量測結果



本章節展示各個電路的量測結果，分別為升降頻電路、切換電路和鎖相振盪電路，最後將三個電路相連接測試其性能，並將量測結果與第三章所估算的電路性能比對討論，圖 4.1 為升降頻電路成品，圖 4.2 電路量測環境。

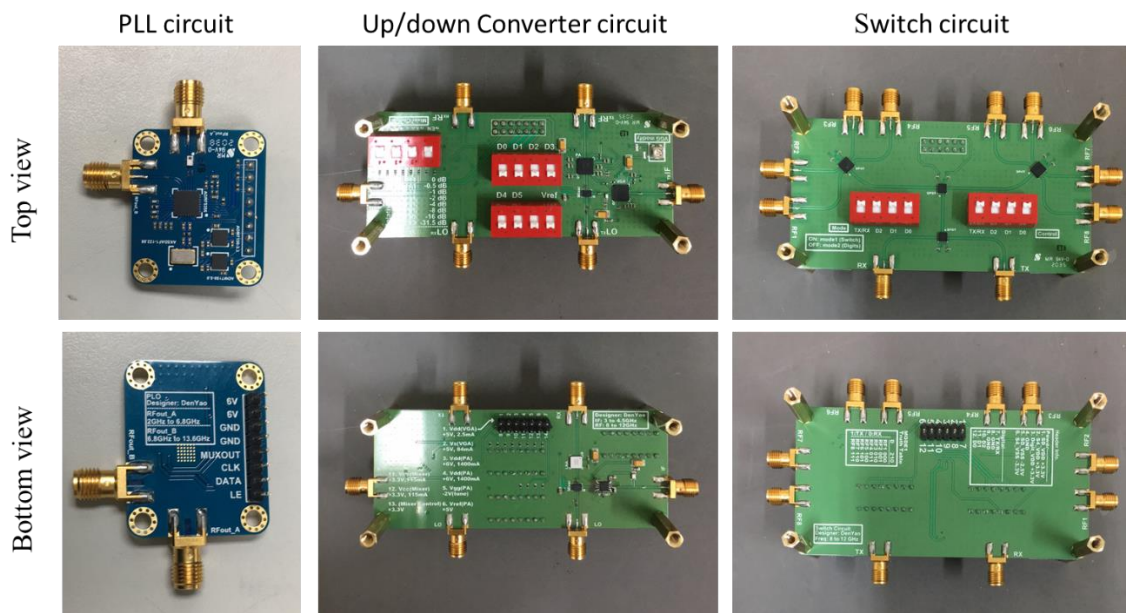


圖 4.1 升降頻電路成品

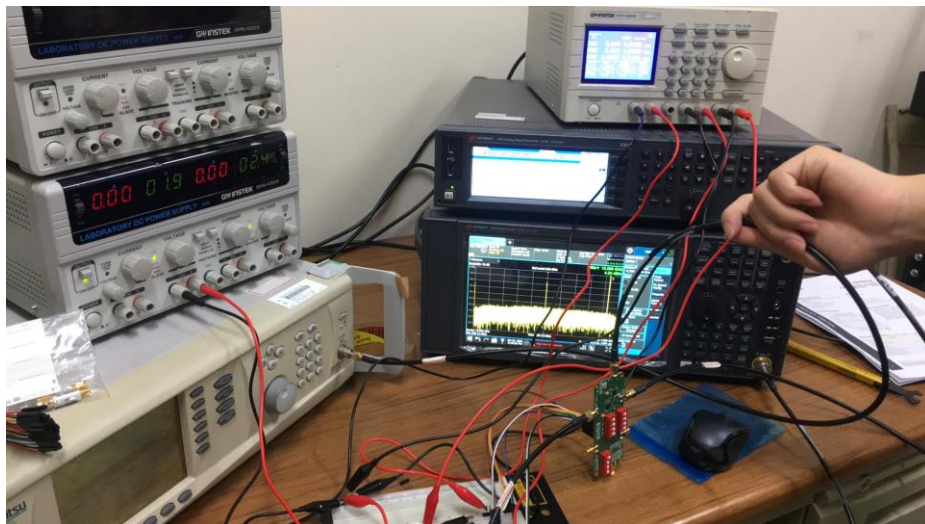


圖 4.2 電路量測環境



## 4.1 升降頻電路量測結果

### 4.1.1 降頻電路量測結果

將降頻電路上電後，分別使用兩台訊號產生器和一台頻譜分析儀量測降頻電路，其中一個信號產生器作為穩定的 LO 訊號源，另一個訊號產生器則做為 RF 的訊號，在由 IF 端接至頻譜分析儀，觀察其量測結果。

首先探討 LO 輸入功率大小是對其降頻電路系統的表現，將 RF 輸入 10GHz 且能量 -35dBm 的訊號，而 LO 輸入 6.5GHz 並調整其輸入的功率大小，於 IF 端量測的結果見圖 4.3，LO 輸入功率的範圍為 -20dBm 至 7dBm，可以觀察其整體的增益不隨 LO 輸入能量改變，這是預料外的結果，因為混頻器資料表上 LO 端口建議的輸入功率為 -6dBm 至 6dBm，理論上 LO 輸入功率低於 -6dBm 的表現是無法保證的，因此該結果表示實際上混頻器對 LO 輸入能量的容許範圍比資料表所建議的更大，而諧波功率大小接低於 -35dBm。

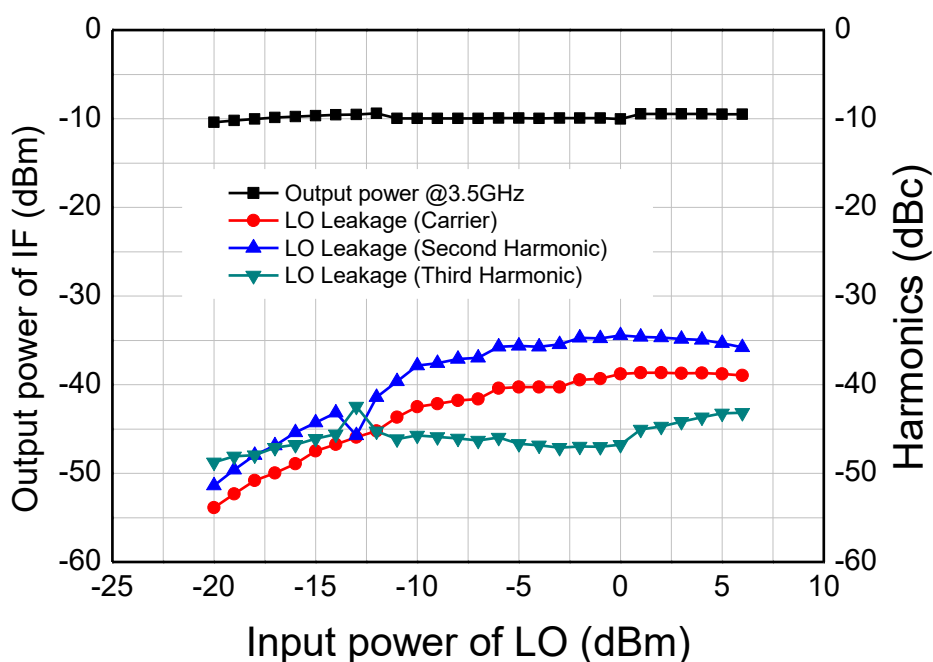


圖 4.3 LO 輸入功率 vs IF 輸出功率和諧波功率

接著固定 LO 的輸入訊號(頻率為 6.5GHz，輸入功率為 0dBm)，調整 RF 輸入功率的大小(頻率為 10GHz)，並觀察其量測結果，見圖 4.4，當 RF 訊號輸入-20dBm 時，系統進入飽和，隨著輸入能量的增加，輸出功率基本上只維持在 9dBm 上下，因此推的該系統的 OP1dB 為 9dBm，IP1dB 為-20dBm，這與表 3-16 所評估的 OP1dB 和 IP1dB 皆差了 15dB，這與預計的差非常多，再來觀察飽和以前的增益表現，可以明顯看出 RF 輸入功率低於-20dBm 所量到的增益約 31dB，而且十分穩定，而二階諧波與主要訊號穩定 30dB 的落差，在此補充說明，量測到的功率若小於-65dBm 是不可考的，因為-65dBm 已經是雜訊的基準線了，之後的做圖亦套用此概念。

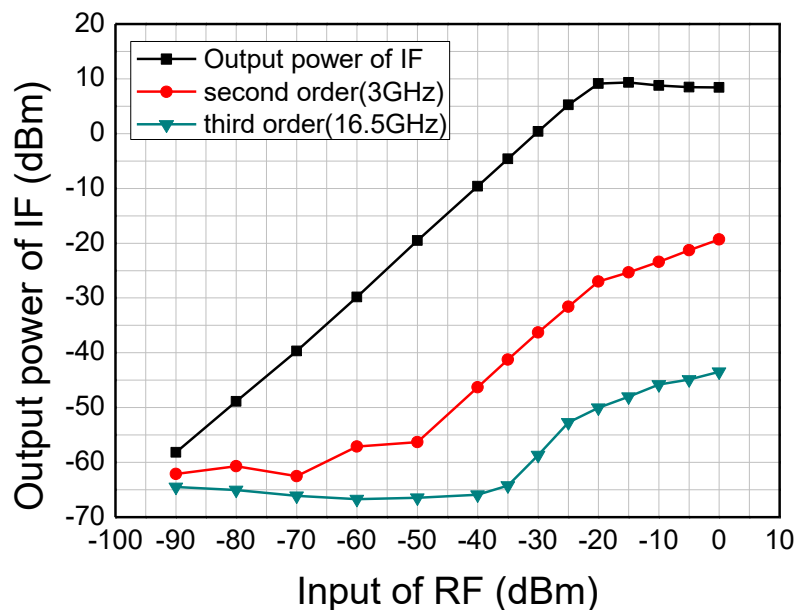


圖 4.4 RF 輸入功率 vs IF 輸出結果

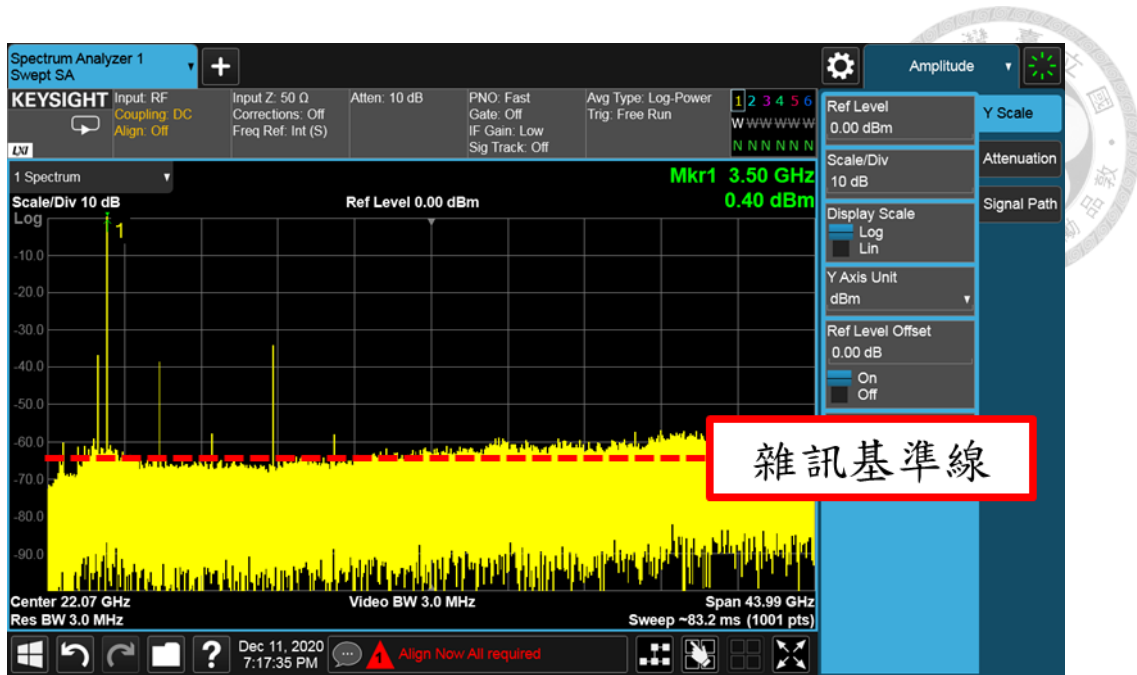


圖 4.5 頻譜儀量測結果

降頻電路的中頻放大器主要影響 IF 的增益，低雜訊放大器的增益主要影響 RF 增益，為了觀察訊號在不同操作頻率下的增益，將 RF 輸入功率設為 -40dBm，並改變輸入頻率，從 7GHz 到 14GHz，而 LO 的輸入功率為 0dBm，輸入頻率隨 RF 頻率改變，使其降頻至 3GHz、3.5GHz、4GHz 和 4.5GHz。例如，降頻後的 IF 頻率在 3GHz，RF 頻率( $f_{RF}$ )和 LO 頻率( $f_{LO}$ )關係如下式子：

$$f_{RF} - f_{LO} = 3GHz \quad (4-1)$$

量測結果如圖 4.6，以橫向來看，可以發現當 RF 輸入頻率越高，整體電路的增益越低，RF 變化幅度約是 6.5dB，從縱向來看，IF 的輸出頻率越高，增益也有明顯下降，IF 變化幅度大概約有 3.8dB。

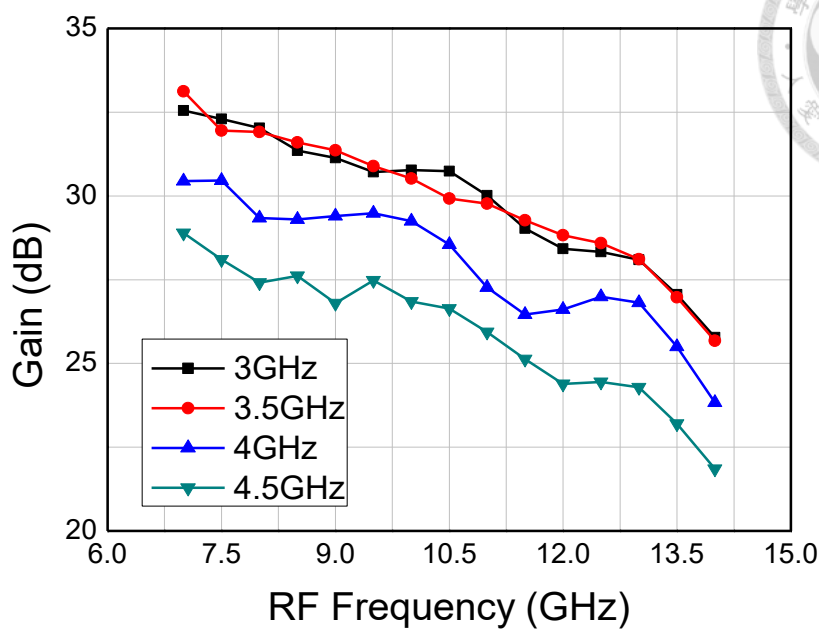


圖 4.6 操作頻率 vs 增益

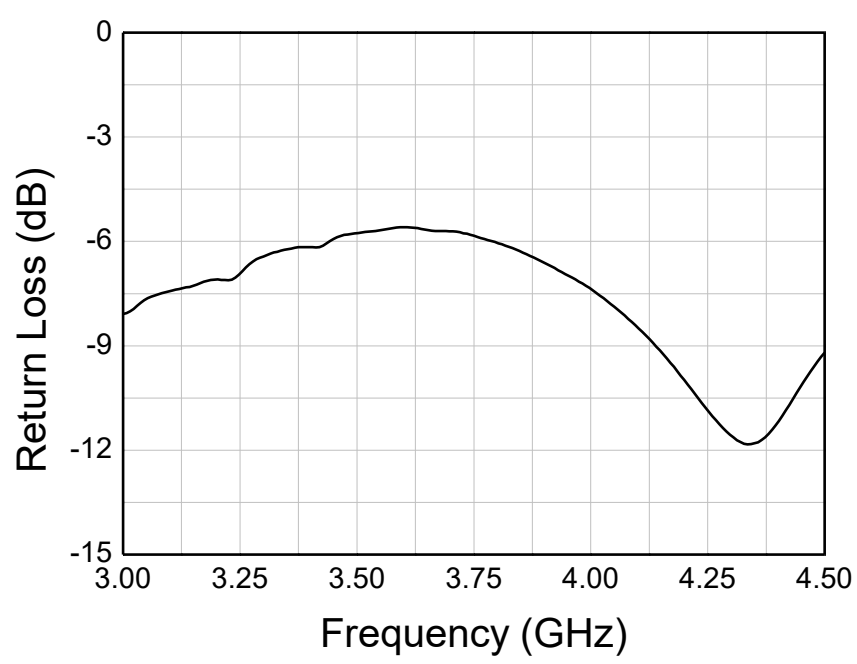


圖 4.7 降頻電路 IF 端口反射損失

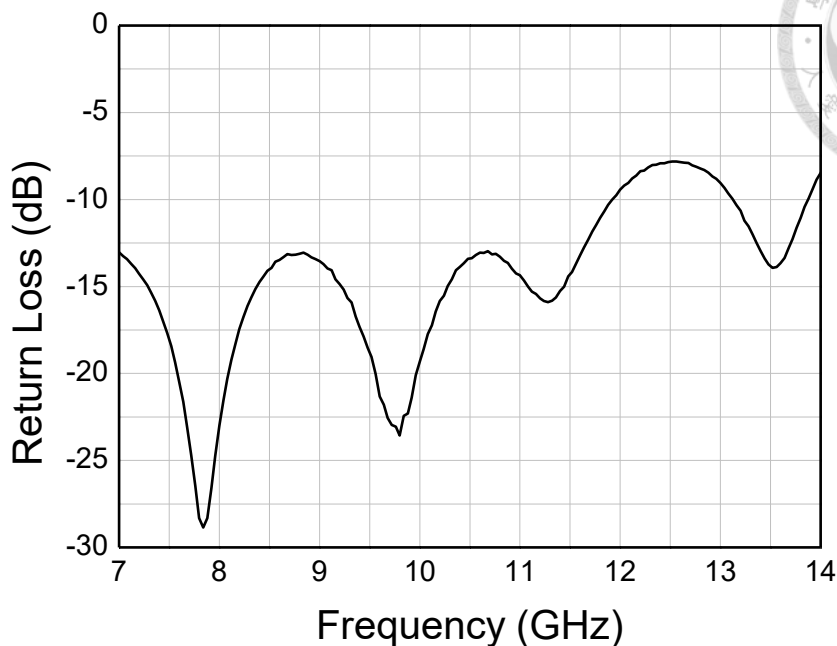


圖 4.8 降頻電路 RF 端口反射損失

#### 4.1.2 升頻電路量測結果

升頻電路上電後，使用兩台訊號產生器和一台頻譜分析儀量測升頻電路，其中一個訊號產生器作為穩定的 LO 訊號，而另一個訊號產生器做為 IF 的輸入訊號，RF 端接至頻譜分析儀，觀察其量測結果。

先探討 LO 輸入功率大小是對升頻電路系統的表現，將 IF 輸入頻率 3.5GHz，功率 -20dBm 的訊號，LO 輸入 6.5GHz 並調整輸入的功率的大小，可變增益放大器的增益量調最低，於 RF 端量測的結果見，LO 輸入功率的範圍為 -20dBm 至 7dBm，整體的增益不隨 LO 輸入功率改變，與降頻電路所量測的結果一致，比較需要注意的是，LO 的訊號漏至 RF 端的量有點大，考量 PA 可提供約 30dB 的增益，回推混頻器約有 -50dBm 的載波洩漏至 RF 端，有 -20dB 的二階諧波洩漏，其二階諧波洩漏的能量比想像中大許多，二階諧波洩漏現象，混頻器的資料表未提供相關說明。



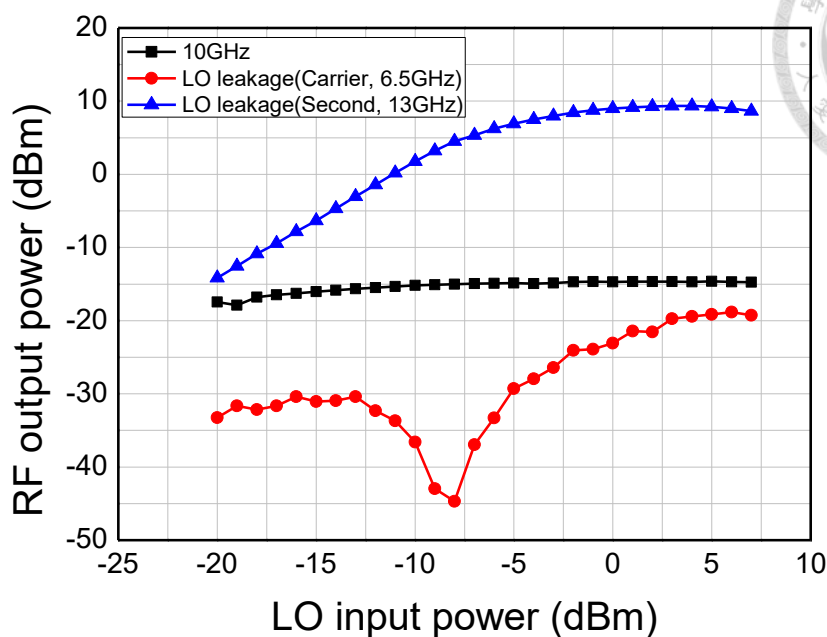


圖 4.9 LO 輸入功率 vs RF 輸出功率和諧波功率

固定 LO 的輸入訊號(頻率為 6.5GHz，輸入功率為 0dBm)，調整 IF 輸入功率的大小並固定頻率為 3.5GHz，分別將可變增益放大器的相對最大增益量調為 0dB、-15.5dB、-31.5dB，並觀察其量測結果，見圖 4.4，黑線、紅線、藍線分別對應相對最大增益 0dB、-15.5dB、-31.5dB，可以明顯觀察出，OP1dB 大約為 16dBm，而 IP1dB 會隨著可變增益放大器的增益調動而有所改變，當相對最大增益量為 0dB 時，IP1dB 約為-20dBm，量測增益為 33dB，相對最大增益量為-15.5dB 時，IP1dB 約為-5dBm，量測增益為 20dB，相對最大增益量為-31.5dB 時，IP1dB 約為 10dBm，量測增益為 5dB，與表 3-14 所評估的(最大)增益幾乎一樣，但 OP1dB 相差了約 15dB，相差的量與降頻電路評估的落差差不多，由於無法針對單一晶片確認其性能表現是否與資料表一致，很難斷定該落差是由哪部分所造成的，不過升頻電路和降頻電路增益的表現與估一的幾乎差不多，所以猜測可能是混頻器的 OP1dB 被高估了，實際測試結果可能沒有資料表表示的那麼高。



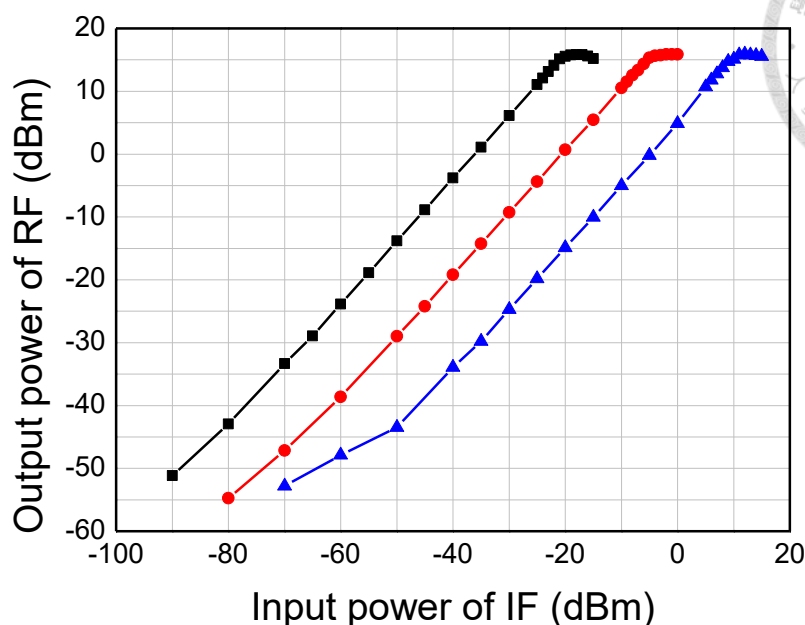
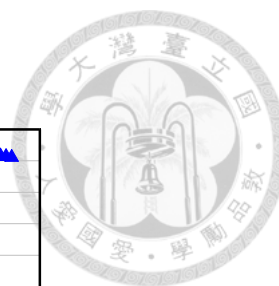


圖 4.10 IF 輸入功率 vs RF 輸出結果

接下來測試可變增益放大器對升電路的增益表現，藉由指撥開關調整可變增益放大器的增益，量測升頻電路的增益，由圖 4.11 看出增益調控具有 30dB 的範圍，其線性度也十分理想。而與驗證降頻電路一樣的道理，PA 主要影響 RF 的增益，可變增益放大器主要影響中頻增益，將 IF 輸入不同頻段(從 0.7GHz 至 5.2GHz)，LO 輸入頻率隨 IF 變化，使得 RF 輸出頻率為 8GHz、10 GHz、12 GHz、14 GHz，量測 RF 的輸出功率後，並推測其電路總增益，如圖 4.12、圖 4.13、圖 4.14 分別對應可變增益放大器之相對最大增益為-31.5dB、-15.5dB、0dB 量測結果，由橫向觀察，可以發現中頻頻率由 0.7GHz 至 5.2GHz 大約有 10dB 的落差，而縱向來看，射頻頻率由 8GHz 至 12GHz 大約有 10dB 的落差，理想上這三張圖的線段趨勢應該要一致，然後所得的增益相差約 15dB，但圖 4.12 和圖 4.13、圖 4.14 有明顯差距，原因是量測時，該電路直流供電不穩定所導致，由其是杜邦座和排針的連接，容易因輕微的擠壓或拉扯而變直流供電。

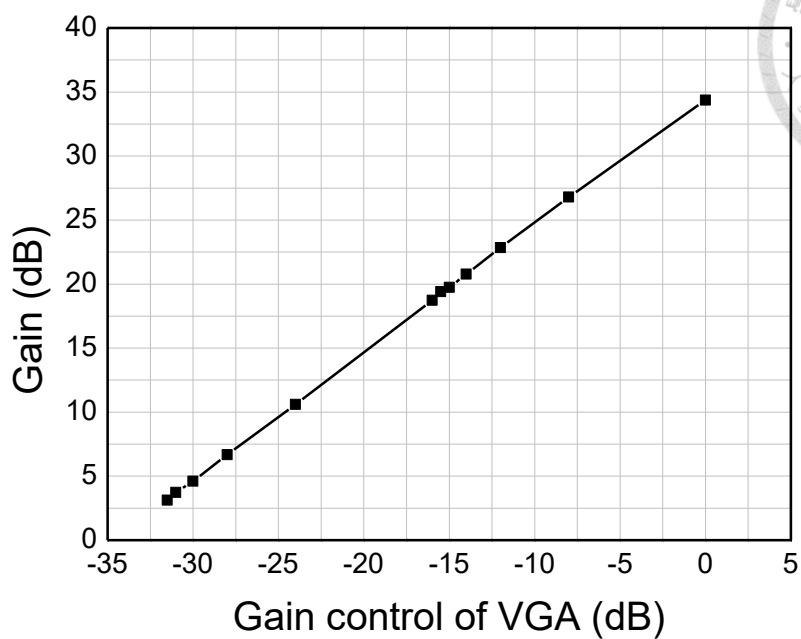
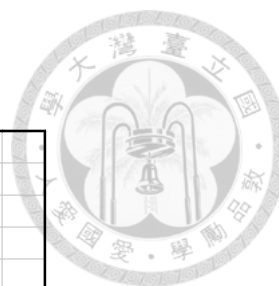


圖 4.11 增益線性度

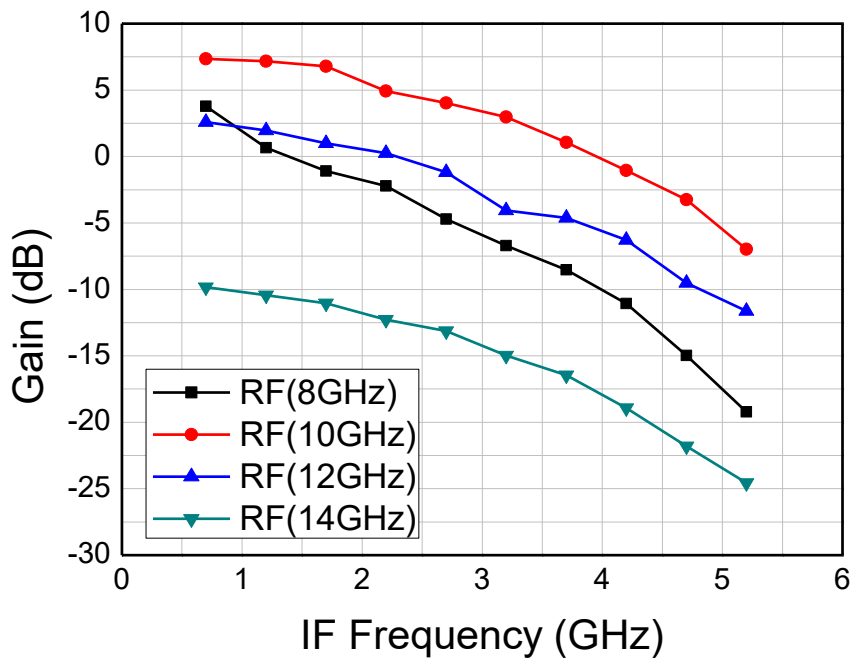


圖 4.12 VGA 相對最大增益-31.5dB 的增益量測

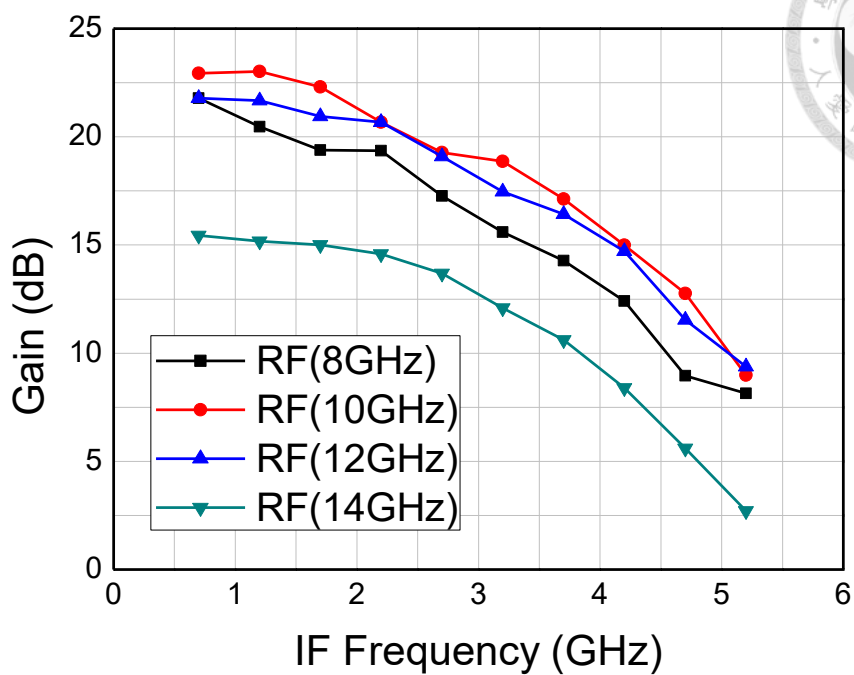


圖 4.13 VGA 相對最大增益-15.5dB 的增益量測

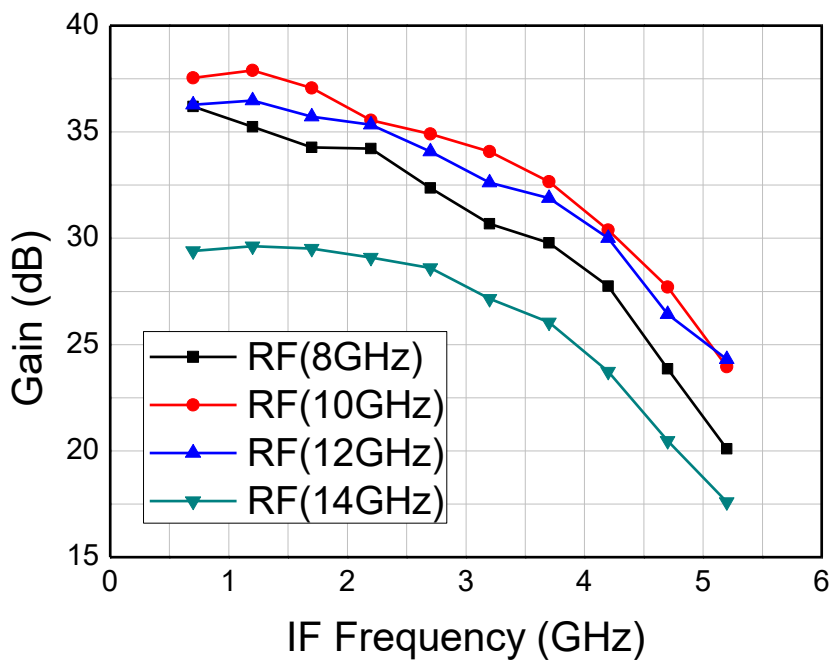


圖 4.14 VGA 相對最大增益 0dB 的增益量測

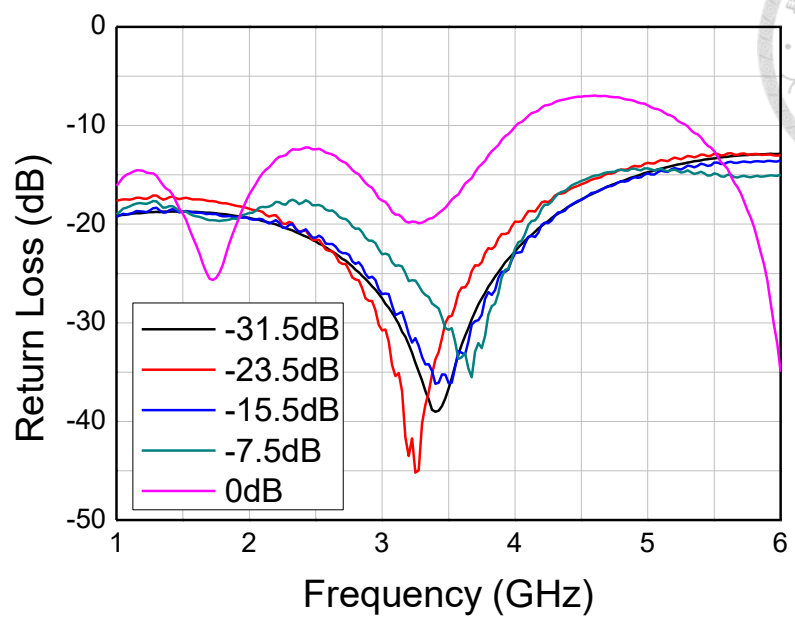
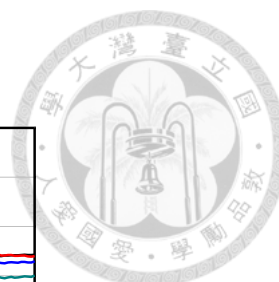


圖 4.15 升頻電路 IF 端口反射損失

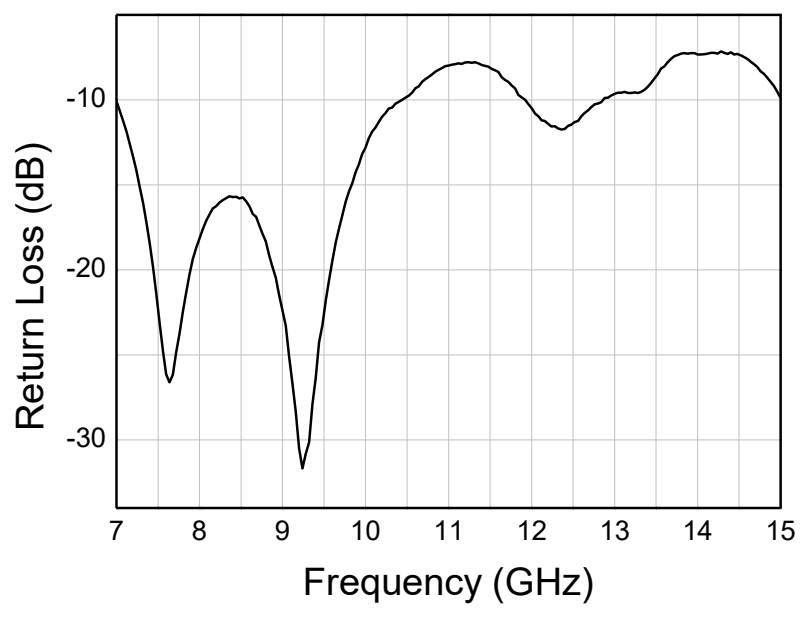


圖 4.16 升頻電路 RF 端口反射損失



## 4.2 切換電路量測結果

切換電路上電後，透過網路分析儀量測輸出端口的反射損耗、插入損耗和端口與端口之間的隔離度。

見圖 4.17 和圖 4.18 分別為 TX 端口至 8 個 RF 端口的路徑損耗和 RX 端口至 8 個 RF 端口的路徑損耗，共 16 條訊號傳遞路徑的結果，其趨勢幾乎一致，可以看出越高頻路徑的損耗越嚴重，於 8GHz 的透射損失約為-4.6dB，10GHz 的透射損失約為-5.8dB，12GHz 的透射損失約為-8dB，將此結果與 3.6.3 小節的表 3-23 對照，推估約多出 1.5dB 的損耗，為線路造成的損耗，該損耗量是合理的。

圖 4.19 為 RX - RF3 導通時所量測的結果，在所應用的頻段(8GHz - 12GHz)可以明顯看出至少都有 20dB 以上的隔離度，端口 RF1、RF2、RF4 與端口 RF3 是同一個 SP4T 晶片接出來的引腳，而端口 RF5、RF6、RF7 和 RF8 是另一個 SP4T 晶片接出來的引腳，端口 RF5、RF6 和 RF8 因前一級還有 SPDT 做隔離，因此明顯看出其隔離效果優於端口 RF1、RF2、RF4，至於 RF7 隔離度較差是因為 SP4T 的通道是導通的，因此其隔離度只靠前一級的 SPDT 晶片提供，RX - RF3 導通的電路功能圖如圖 4.20 所示。

圖 4.22 和圖 4.23 分別為陣列端口和 TX/RX 端口通道導通時的反射損耗，所有端口的反射損耗幾乎都在-10dB 以下。

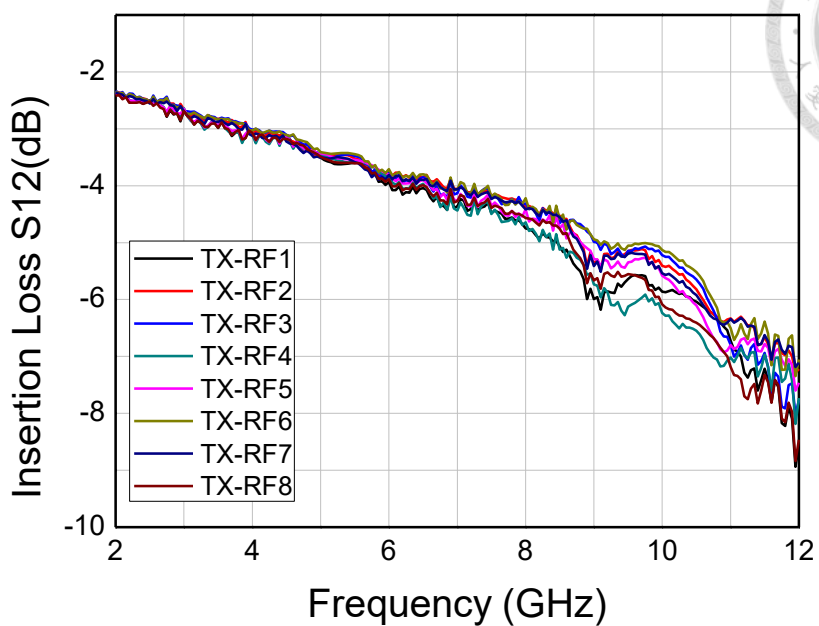
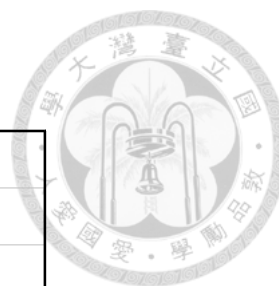


圖 4.17 插入損失 vs 頻率(TX 端口)

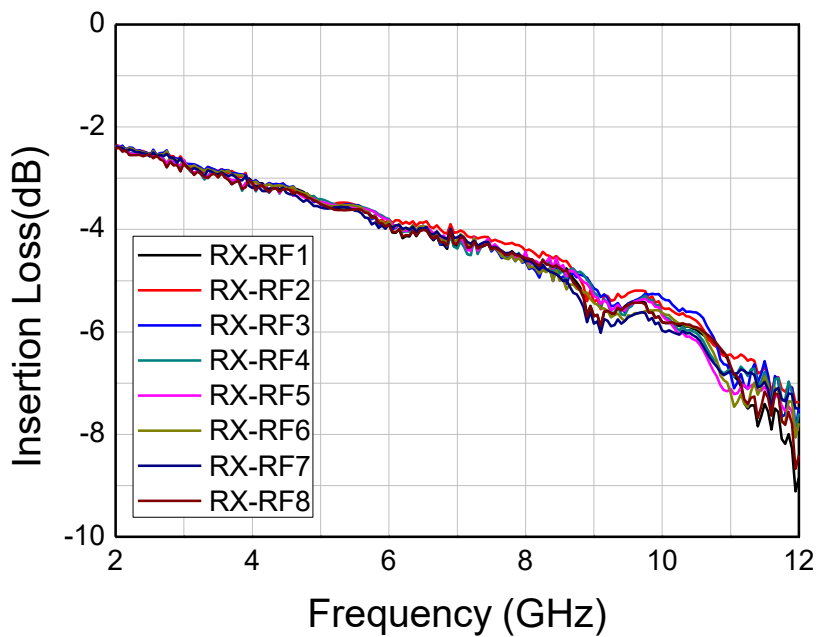


圖 4.18 插入損失 vs 頻率(RX 端口)

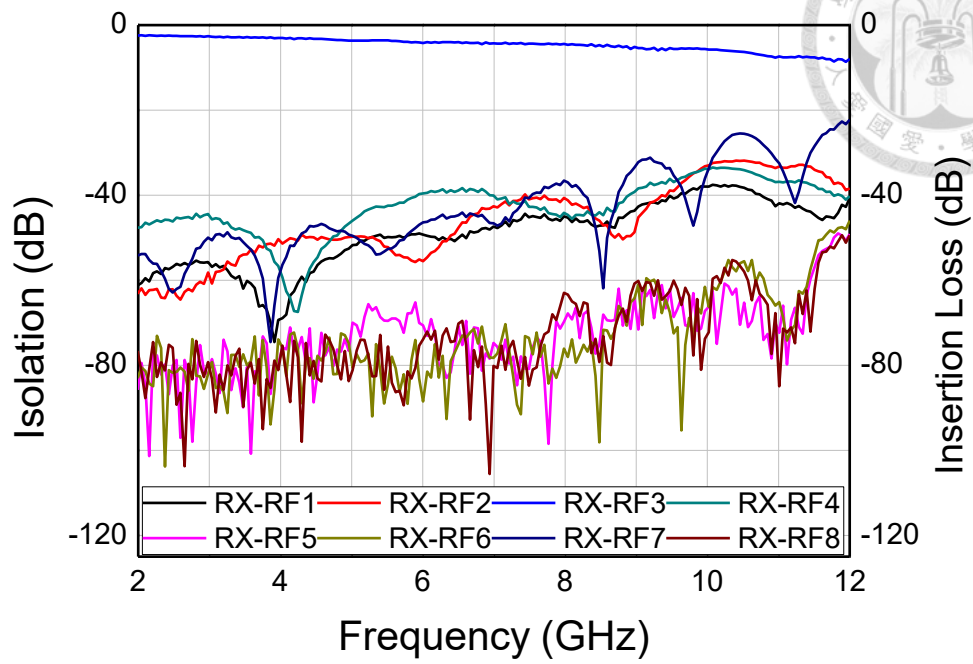


圖 4.19 插入損耗和隔離度 vs 頻率

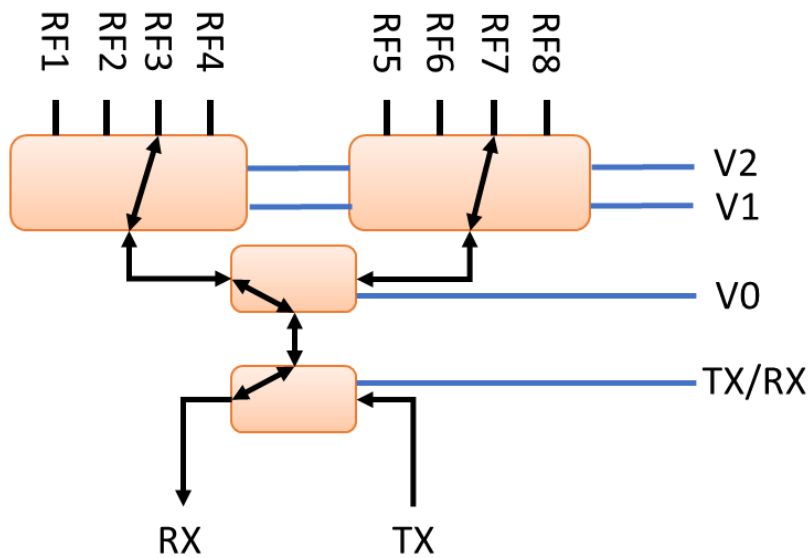


圖 4.20 通道 RX-RF3 線路導通功能圖

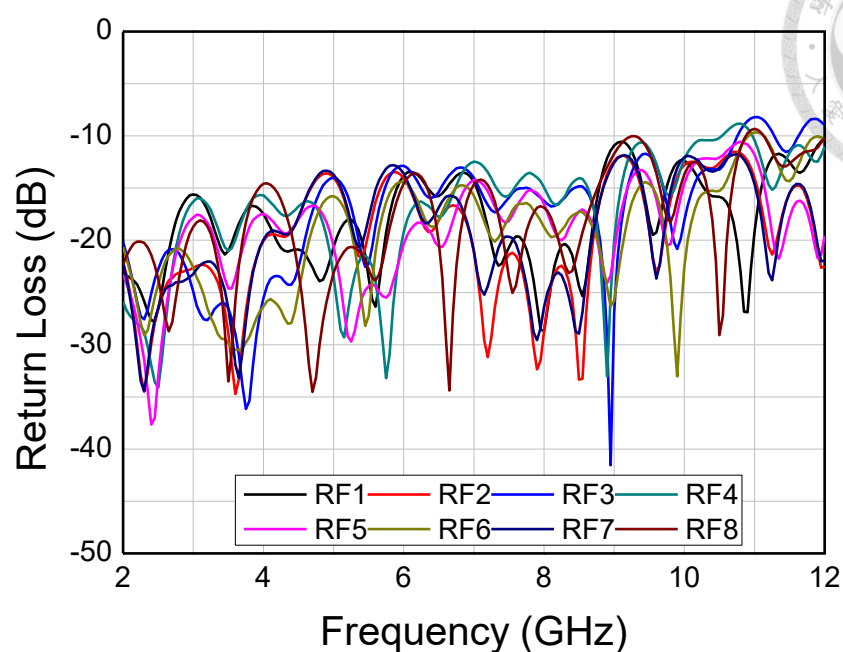
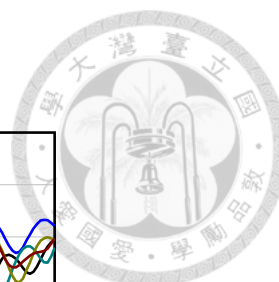


圖 4.21 陣列端口反射損耗 vs 頻率

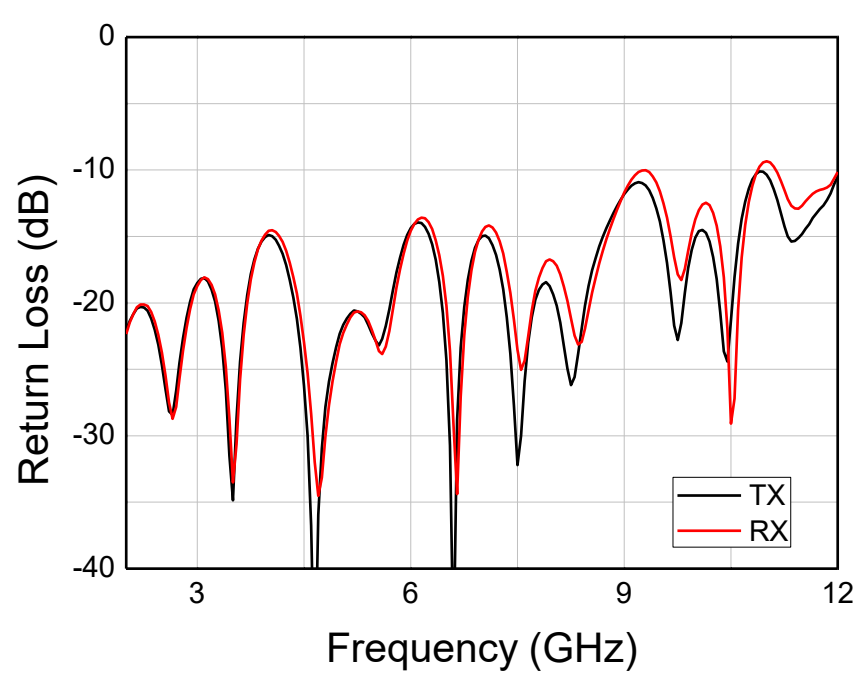


圖 4.22 TX/RX 端口反射損耗 vs 頻率





### 4.3 鎖相振盪電路量測結果

圖 4.23 為鎖相迴路振盪器的輸出結果，透過 Arduino 控制該電路產生不同頻率的訊號，並於輸出端口 RFA 進行量測，量測的頻率範圍為 3.4 GHz 到 6.8 GHz，雖然資料表有說明該端口可從最低 53.125 MHz 至 6.8 GHz 的頻率輸出，但 3.4 GHz 以下的輸出頻率全靠電路內部除頻器所產生而成，因此會產生非常多的諧波，而且這些諧波於頻譜上的距離十分相近，應用上無法使用，因此不予以量測，由圖可觀察，當輸出較高頻率的訊號時，輸出增益會減少，在 3.4 GHz 時的輸出頻率有 5.84dBm 的功率輸出，但在 6.375GHz 的時後僅剩-6.09dBm 的功率輸出，而-6dBm 是混頻器 LO 端最低輸入功率的要求，因此該結果勉強可以接受，而二階諧波的輸出相比幾乎都低於-20dBc，而三階諧波的輸出全低於-30dBc。

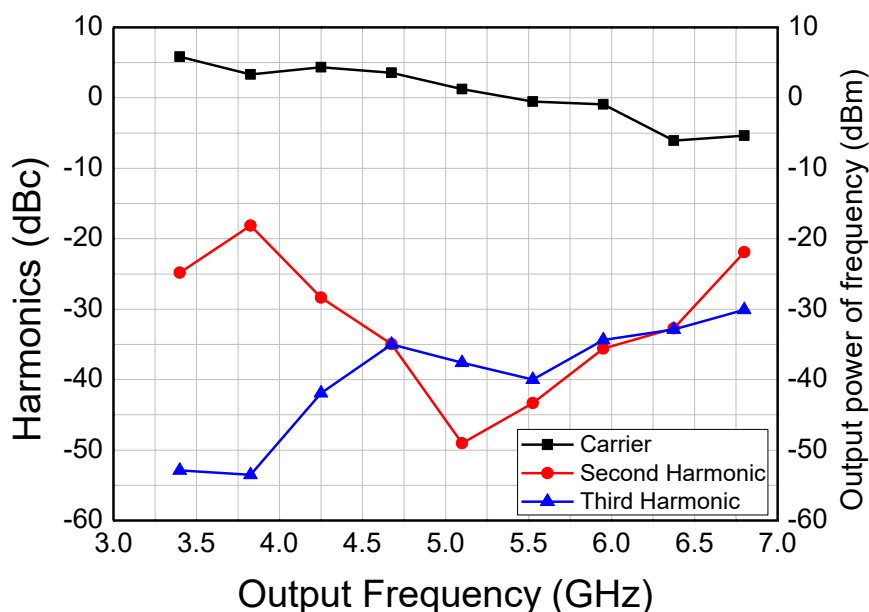


圖 4.23 諧波與引腳 RFA 輸出能量 vs 輸出頻率

## Chapter 5 系統整合量測結果



此章節為整個系統組裝後的量測與驗證，分別做了場型與增益的量測、SDR 系統量測和 USRP 系統量測。

### 5.1 場型與增益測試

環狀陣列天線量測的場型結果於 2.7 節展示，由於台大 527 室的無反射室無法對電路進行上電，因此無法接上升降頻電路量測，而且該量測系統是將量測到的 S 參數做後運算，所以量到經過升降過後的頻率，該系統也無法做資料計算，除非使用遠場量測，但遠場量測難以實現，因此將場型與增益分開測試，首先將整個升降頻系統分為升降頻電路和切換電路，然後將切換電路和環狀陣列天線組裝起來，上電方式靠 3V 乾電池供電，並量測場型，來驗證波束掃描的功能，而增益的量測是與標準天線(型號：DRH0118)對打，其量測結果情形有兩種，一是環狀陣列天線加上切換電路，二是環狀陣列天線加上整個升降系統(包含切換電路、升降頻電路和鎖項迴路電路)，推算升降頻電路所給的增益。

圖 5.1 為加上切換電路的場型量測結果，虛線為環狀陣列天線量測場型，實現為加上切換電路的量測場型，量到的增益為 11.6dBi，與未接上切換電路所量到的增益相差 7.6dB，其中 5.8dB 為切換電路的損耗，0.5dB 為同軸線的損耗。

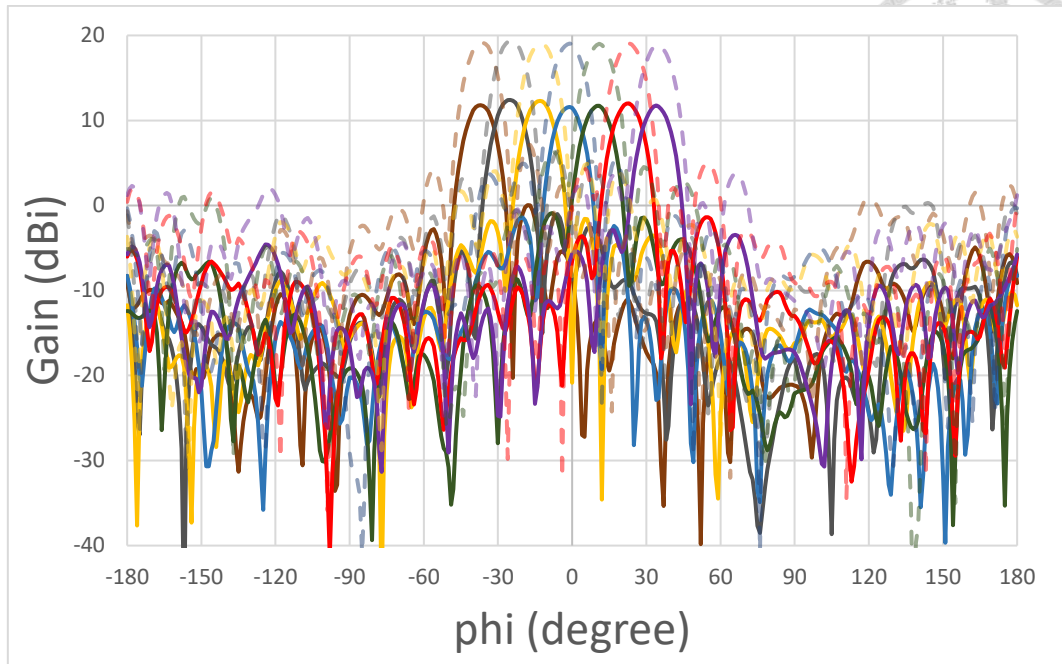


圖 5.1 環狀陣列天線加上切換電路之場型量測結果

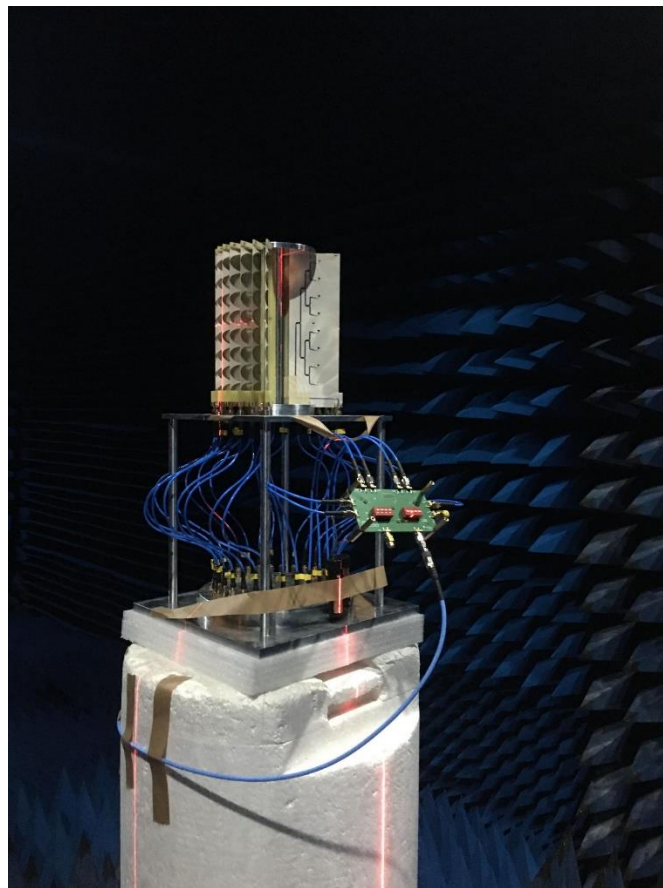


圖 5.2 環狀陣列天線加上切換電路量測環境

表 5-1 為降頻系統增益量測結果，量測情形為透果信號產生器產生 10GHz 的訊號，此訊號從標準天線輻射至環狀陣列天線(含切換電路)接收，紀錄所量到 10GHz 的訊號能量，然後再將升降頻電路和鎖相迴路電路組裝上去，也就是讓環狀陣陣天線接上完整的升降頻系統，將 10GHz 的訊號透過降頻電路降頻，然後紀錄 IF 端量的 3.5GHz 訊號的能量，並比較兩種量測結果推出降頻系統提供的增益。

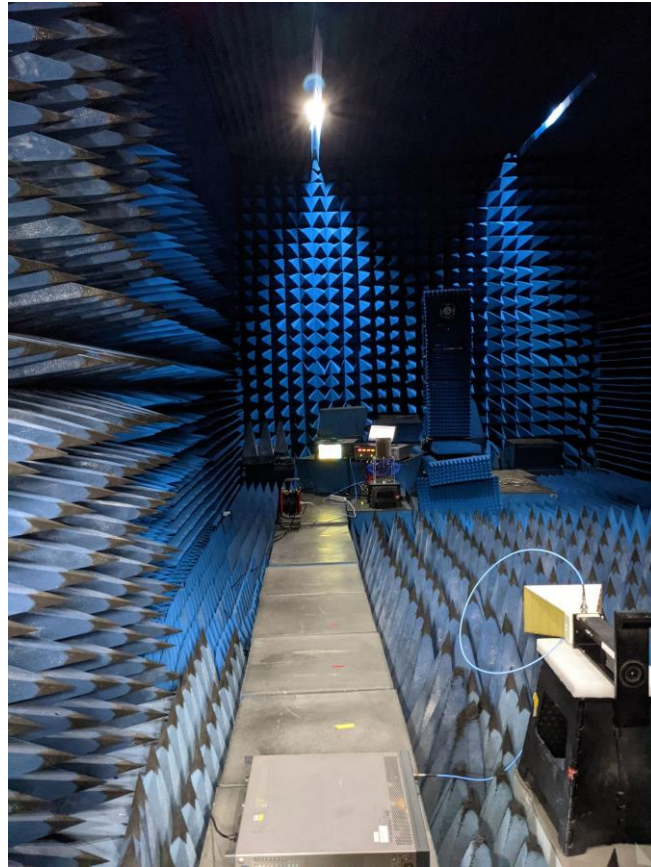
	SW1	SW2	SW4
Array + Switch circuit 10GHz	-46.97	-45.88	-47.36
Array + Up/Down System 3.5GHz	-15.98	-15.00	-17.32
RX Gain(dB)	30.99	30.88	30.04
Distance = 4.5m Output frequency = 10GHz LO frequency = 6.5GHz			

表 5-1 降頻增益量測結果

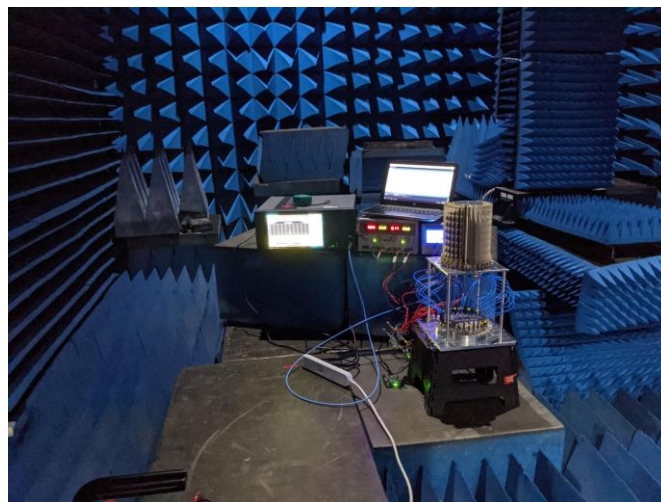
表 5-2 為升頻系統增益量測結果，透過信號產生器產生 10GHz 的信號，經由環狀陣列天線(含切換電路)輻射至標準天線接收，紀錄量到 10GHz 的訊號能量，接著將升降頻電路和鎖相迴路電路組裝上去，透過信號產生器產生 3.5GHz 的信號輸入至 IF 端，透過升頻電路將訊號升至 10GHz 藉由環狀陣列天線輻射至標準天線，並記錄標準天線所收到的能量，比較兩種量測結果推出升頻系統提供的增益。

	SW1			SW2			SW3		
Array + Switch circuit @10GHz	-63.65			-65.25			-63.62		
Gain Control	-31.5	-15.5	0	-31.5	-15.5	0	-31.5	-15.5	0
Array + Up/Down System @10GHz	-60.94	-46.44	-31.28	-59.09	-45.17	-29.71	-59.29	-45.94	-30.70
TX Gain (dB)	2.71	17.21	32.37	6.16	20.08	35.54	4.33	17.68	32.92
Distance = 4.5m Output power = 0dBm Output frequency = 3.5GHz LO frequency = 6.5GHz									

表 5-2 升頻增益量測結果



(a)



(b)

圖 5.3 量測情形



## 5.2 SDR：C1056B 系統量測

無線電是一種透過電磁輻射傳輸信息的技術的系統，過去無線電是由許多電路和電子設備組成的，並且功能已固定，製造後無法修改，而軟體無線電提供了一個無線通訊的平台，其架構捨去了傳統無線電電路中的硬體單元包括混頻器、濾波器、放大器、示波器、解調器等，取而代之主要由高速 DSP 處理晶片、FPGA 晶片、A/D 與 D/A 轉換晶片組件而成，這減少了整體設備的體積和重量，也減低了機台運作的功耗。

軟體無線電可以藉由軟體改變工作頻段、調變與解調方式和數據的格式等，而非改變硬體架構，因此軟體無線電具有配置靈活、體積小、硬體不易故障、節省成本等優點，是拿來驗證無線電傳輸的重要工具。

本軟體無線電平台採用 M<sup>3</sup>FORCE 公司的 SDR：C1056B，它是用於通信系統開發和 5G sub-6GHz 或 Wi-Fi 驗證的非常靈活的軟定義無線電(SDR)平台，C1056B SDR 平台提供了非常有用的 MATLAB / C++ API 和許多用於通信的示例代碼，以幫助快速，輕鬆地構建一個全功能的通信系統。



圖 5.4 軟體無線電平台 C1056B



將一片升降頻電路做為升頻器使用，而另一片做為降頻器使用，分別接至環狀陣列天線，和子陣列天線，設定 SDR 的中頻中心頻為 3.5GHz，然後將 SDR 平台製造的中頻訊號升頻至 10GHz，在經由天線輻射，訊號於另一端天線接收，透過降頻器將訊號還原至中頻，並由 SDR 接收比對，其中升頻電路和降頻電路的 LO 端各自鎖相振盪器，量測架構圖如圖 5.5，SDR 的調變和解調設定有 4-QAM、16-QAM 和 64-QAM，量測結果圖 5.7，可以發現誤差向量幅度(Error vector magnitude, EVM)偏低，約在 18.8dB，而另一個電路架構見圖 5.6，藉由功率分配器將鎖相振盪器製造的訊號一分為二，輸入至升頻電路和降頻電路的 LO 端，也就是升頻電路和降頻電路 LO 端使用同一個訊號源，量測結果如圖 5.8，誤差向量幅度約為 26dB，具有更好的訊號解析度。

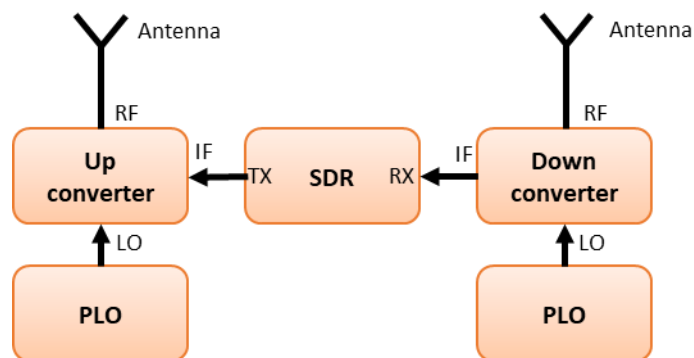


圖 5.5 SDR 系統量測架構圖 1

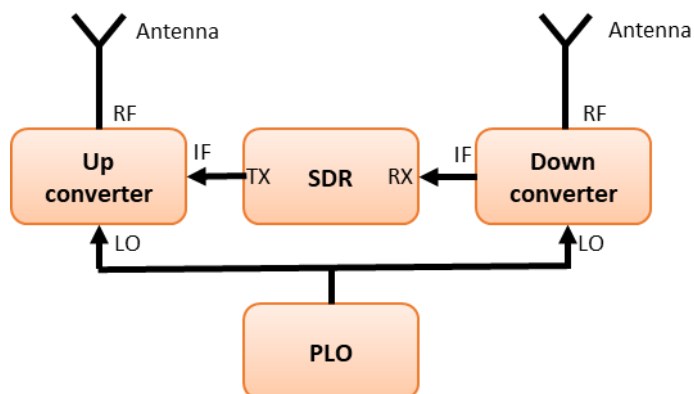
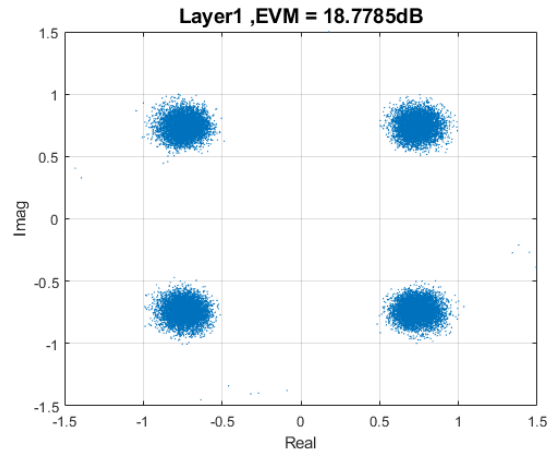
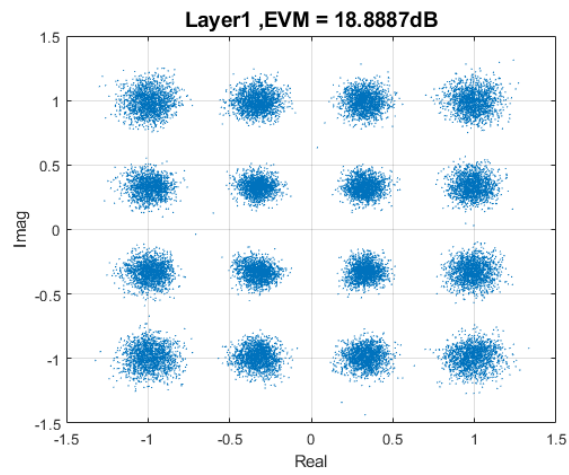


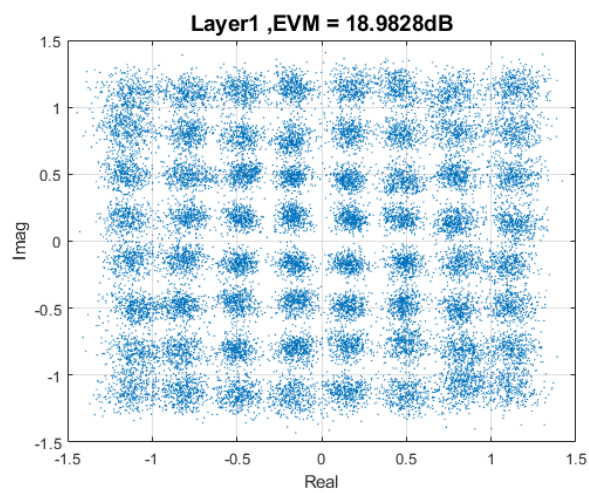
圖 5.6 SDR 系統量測架構圖 2



(a)



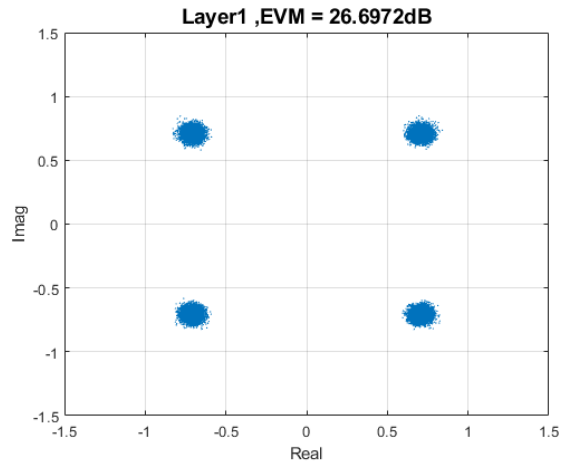
(b)



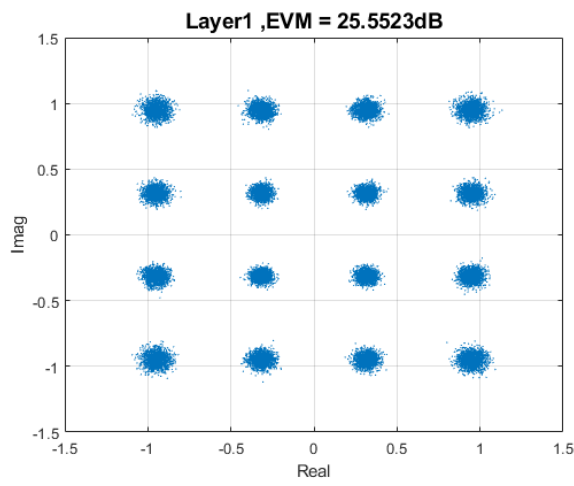
(c)

圖 5.7 星座圖量測結果 1(a)2x2(b)4x4(c)8x8

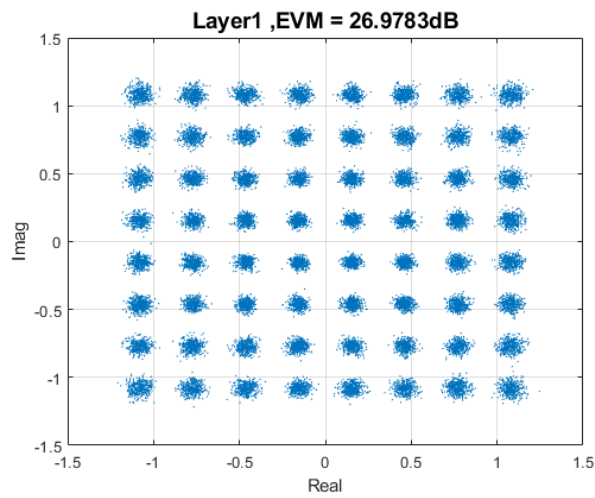




(a)



(b)



(c)

圖 5.8 星座圖量測結果 2(a)2×2(b)4×4(c)8×8



### 5.3 USRP 系統量測

通用軟體無線電設備(Universal Software Radio Peripheral, USRP)是軟體無線電的一種，是由 National Instruments 公司製造和研發的產品，其結合了主機的處理器、FPGA 和 RF 前端電路，可幫助使用者快速地、標準地自行設計無線系統，常適合開發和原型化複雜的無線設計，設計和模擬數位信號處理算法之後，可直接在真實環境中進行原型設計，FPGA 的強大處理能力特別適合需要瞬時處理寬帶數據的應用，由於其寬帶寬和靈活的 RF 前端，也非常適合諸如頻譜監測和測試之類的應用。

圖 5.9 為系統量測架構圖，之所以升頻電路和降頻電路 LO 端要共用同一個訊號源是因為 USRP 內部設定問題，若不使用同一個訊號源，依然可以解調出結果，但整體星座圖會有個項位差，使得整個系統無法做後續分析，因此共用 LO 端訊號源，圖 5.10 為 USRP 之發射端控制介面，其顯示傳輸速率為 82.1 Mbit/s，圖 5.11 為接輸端的控制介面，其接收速率與傳輸速率一樣，區塊錯誤率(Block error rate, BLER)隨時間顯示的結果皆為 0，這表示訊號經過升降頻電路、天線和自由空間傳遞十分良好，沒有錯誤產生。

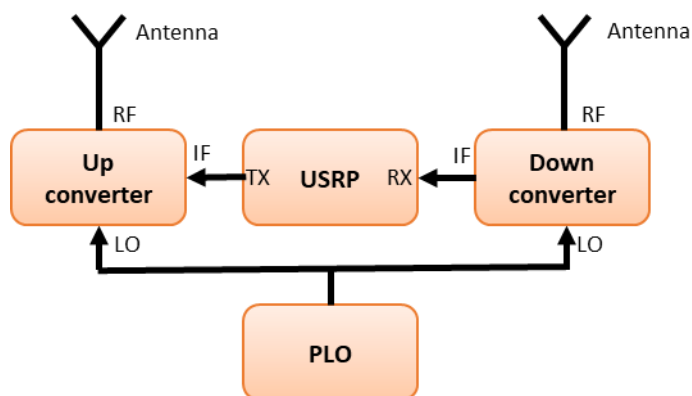


圖 5.9 USRP 系統量測架構圖

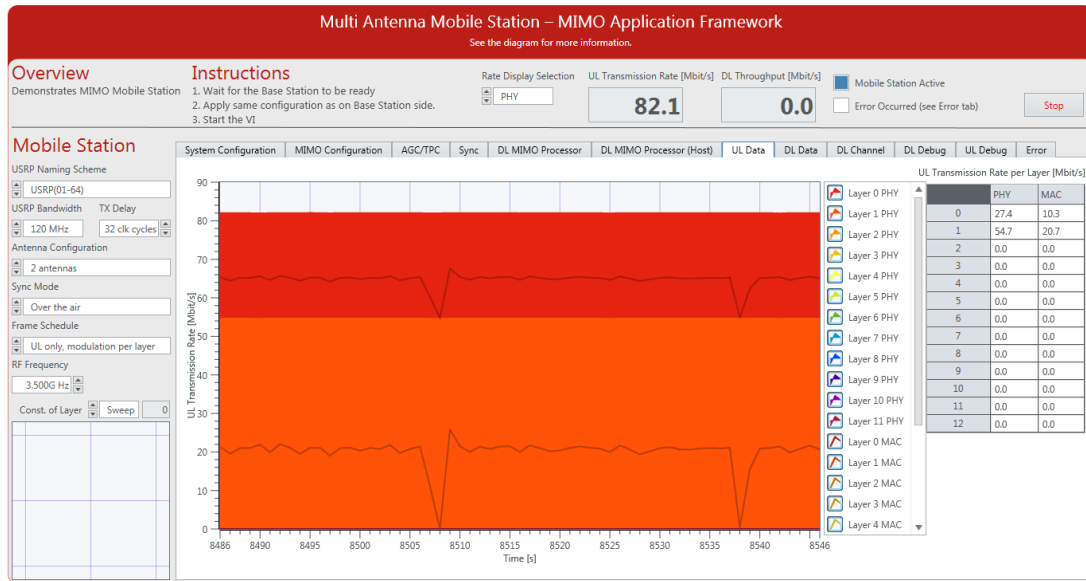


圖 5.10 USRP 之發射端控制介面

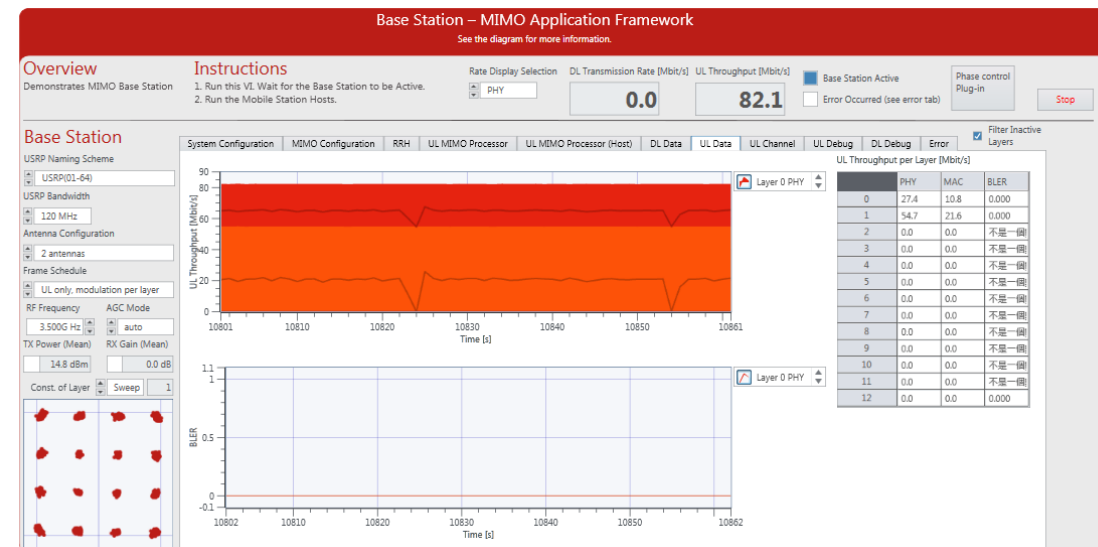


圖 5.11 USRP 之接收端控制介面

## Chapter 6 結論



環狀陣列天線頻率操作頻率為 10GHz，具由 23 個子陣列天線搭配二維龍伯透鏡組合而成，每個子陣列天線由 8 個韋瓦第單元天線和一分八路的 T 型功率分配器所構成，經由量測驗證，每個子陣列增益為 11.43dB，輻射效率為 49.07%；二維龍伯透鏡做為環狀陣列的波束成型網路，其柱對稱的結構易於與子陣列天線整合，構透過梯形鐵氟龍結構，製造不同的高低差，進而等效出不同介電質，使電磁波改變行進路徑，造成每個陣列端口產生相位差，該相位差能補償環型擺設的位置相位，二維龍伯透鏡，共有 30 個端口，其中 7 個端口做為饋電使用，另外 23 個端口為激發子陣列天線使用；環狀陣列天線經由量測，增益為 19.2 dBi，輻射效率為 37.49%，水平切面的半功率束寬為 11 度，透過對不同的饋入端口饋電，產生 36°、24°、12°、0°、-12°、-24°、-36°的掃瞄角度。

升降頻系統可分為三個子電路，分別為升降頻電路、切換電路和鎖相迴路振盪器，升降頻電路又可在分為升頻電路和降頻電路，升頻電路由混頻器、可變增益放大器和功率放大器組合而成，RF 端頻率範圍為 8GHz 到 14GHz，IF 端的頻率範圍為 1GHz 到 6GHz，從 IF 端(3.5GHz)到 RF 端(10GHz)可提供約 32dB 的增益，RF 端最大输出功率為 15dBm，可變增益放大器可調整中頻訊號的功率大小，增益調整具有 30dB 範圍，能夠配合不同的無線電軟體調整增益，以達到良好的通道品質；降頻電由混頻器、中頻放大器和低雜訊放大器組成，從 RF 端(10GHz)到 IF 端(3.5GHz)可提供約 30dB 的增益，RF 端最大輸入功率為-25dBm；切換電路電路負責切換激發環狀陣列天線的饋入端口，使整個系統達到電子式掃描，於 10GHz 路徑的損耗為 5.8dB；鎖相迴路振盪器做為 LO 端口的訊號源，能產生 3.4GHz 到 6.8GHz 的乾淨單一頻率，於 6.5GHz 的输出功率為-6dBm。


透過第五章的測試，將環狀陣列天線和切換電路結合，進行球面進場量測，驗證了電子式掃描的功能，隨後將環狀陣列天線與升降頻系統組合，與標準天線對打，驗證升降頻系統能夠提供環狀陣列天線額外增益，最後將整個系統分別使用 M<sup>3</sup>FORCE 公司的 C1056B 和 NI 公司的 USRP 測證，驗證整個系統對數位訊號傳輸的應用可行性。

## 參考文獻



- [1] 陳欣倫，UAV 納入陸戰隊情監偵運用之研究，*海軍學術雙月刊*，51(2)，27-42，2017 年。
- [2] 熊治民，台灣無人機服務應用現況與趨勢，*機械工業雜誌*，448，10-17，2020 年。
- [3] NASA, *Unmanned Aircraft Systems Traffic Management*, Retrieved from <https://utm.arc.nasa.gov/index.shtml>
- [4] P. J. Gibson, *The Vivaldi Aerial*, 9th European Microwave Conference, pp. 101-105, 1979.
- [5] K. S. Yngvesson, D. H. Schaubert, T. L. Korzeniowski, E. L. Kollberg, T. Thungren, and J. F. Johansson, *Endfire Tapered Slot Antennas on Dielectric Substrates*, IEEE Trans. Antennas and Propagation, vol. AP-33, no. 12, pp. 1392-1400, 1985.
- [6] J. Shin and D. H. Schaubert, *A Parameter Study of Stripline-Fed Vivaldi Notch-Antenna Arrays*, IEEE Transactions on Antennas and Propagation, vol. 45, no. 5, pp. 879-886, 1999.
- [7] D.M. Pozar, *Microwave Engineering*, 4th ED. New York: Wiley, 2011.
- [8] 張尚哲，陣列天線遠近場聚焦多波束輻射之龍伯透鏡波束成型電路應用，博士論文，元智大學電機工程學系，2020 年
- [9] H.-T. Chou, S.-C. Chang, and H.-J. Huang, *Multibeam radiations from circular periodic array of Vivaldi antennas excited by an integrated 2-D Luneburg lens beamforming network*, IEEE Antennas Wireless Propag. Lett., vol. 19, no. 9, pp. 1486–1490, 2020.
- [10] Constantine A. Balanis, *Antenna Theory: Analysis and design*, 4th ED, New York:

Wiley, 2016

- 
- [11] H.-T. Chou and Z.-D. Yan, *Parallel-plate Luneburg lens antenna for broadband multibeam radiation at millimeter-wave frequencies with design optimization*, IEEE Transactions on Antennas and Propagation, vol. 66, no. 11, pp. 5794-5804, 2018.
- [12] Analog Device(2009), *Op Amp Distortion: HD, THD, THD + N, IMD, SFDR, MTPR*, Retrieved from <https://www.analog.com/media/en/training-seminars/tutorials/MT-053.pdf>
- [13] Ian Collins, *Phase-Locked Loop (PLL) Fundamentals*, Analog Dialogue, 2018
- [14] *APPLICATION NOTES: LAYOUT GUIDELINES FOR MMIC COMPONENTS*, Hittite Microwave Corporation, vol. 01
- [15] Analog Device Support Community, *FAQ on Hittite Microwave RF/MW Amplifiers from ADI*, Retrieved from <https://ez.analog.com/rf/w/documents/9631/faq-on-hittite-microwave-rf-mw-amplifiers-from-adi>
- [16] Chirag Patel and Ramdas Chary, *Soldering Considerations for Exposed-Pad Packages*, Analog Device, 2012
- [17] HMC625BLP5E Datasheet, *0.5 dB LSB GaAs MMIC 6-BIT DIGITAL VARIABLE GAIN AMPLIFIER DC - 5 GHz*, Analog Devices Inc.
- [18] LTC5549 Datasheet, *2GHz to 14GHz Microwave Mixer with Integrated LO Frequency Doubler*, Linear Technology Corporation
- [19] HMC952ALP5GE Datasheet, *GaAs pHEMT MMIC 2 Watt POWER AMPLIFIER WITH POWER DETECTOR 8 - 14 GHz*, Analog Devices Inc.
- [20] HMC564LC4 Datasheet, *GaAs SMT pHEMT LOW NOISE AMPLIFIER 7 - 14 GHz*, Analog Devices Inc.
- [21] HMC326MS8G Datasheet, *GaAs InGaP HBT MMIC DRIVER AMPLIFIER, 3.0 - 4.5 GHz*, Analog Devices Inc.

- 
- [22] 78J04T Datasheet, *Thru-Hole DIP Switches*, Grayhill Inc.
- [23] Susan Riege, *Via Stitching and Via Shielding*, 2020, Retrieved from <https://www.altium.com/documentation/altium-designer/via-stitching-and-via-shielding-ad>
- [24] ADRF5019 Datasheet, *Silicon SPDT Switch Nonreflective 100 MHz to 13 GHz*, Analog Devices Inc.
- [25] ADRF5040 Datasheet, *High Isolation Silicon SP4T Nonreflective Switch 9 kHz to 12.0 GHz*, Analog Devices Inc.
- [26] ADF5356 Datasheet, *Microwave Wideband Synthesizer with Integrated VCO*, Analog Devices Inc.
- [27] ADM7150 Datasheet, *800 mA Ultralow Noise, High PSRR, RF Linear Regulator*, Analog Devices Inc.