

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering
College of Electrical Engineering and Computer Science
National Taiwan University
Master Thesis



針對 5G 收發機毫米波寬頻高線性度

雙刀雙擲開關之研製

A Broadband High Linearity TR switch for 5G
Transceiver

羅仕善

Shih-Shan Lo

指導教授：曹恆偉 博士

Advisor: Hen-Wai Tsao, Ph.D.

中華民國 106 年 8 月

August, 2017

國立臺灣大學碩士學位論文
口試委員會審定書

針對 5G 收發機毫米波寬頻高線性度雙刀雙擲開關之研
製

A Broadband High Linearity TR Switch for 5G Transceiver

本論文係羅仕善君 (R03943121) 在國立臺灣大學電子工程學研
究所完成之碩士學位論文，於民國 106 年 7 月 14 日承下列考試委員
審查通過及口試及格，特此證明

口試委員：

曹垣緯

(指導教授)

印煥明

賴木聰

盧信嘉

系主任、所長

梁宇宇



摘要

本論文包括毫米波雙刀雙擲切換器的設計，以及其後續改進的研究。

本論文的第一部分說明射頻切換器的基本概念，進而介紹目前所使用的各大類射頻切換器工作的模式以及其優缺點。

第二部分則是介紹我們所設計的雙刀雙擲切換器，第一個版本的雙刀雙擲切換器為改版單刀雙擲切換器來達到雙刀雙擲，第二個版本的雙刀雙擲則採用整合濾波器的方式設計，使用此方法可進一步提升雙刀雙擲濾波器的線性度，除此之外可以針對不同要求來達到高隔離度以及頻段匹配。使用互補式金屬氧化半導體製程是現今整合系統於晶片(SOC)上的趨勢。本論文提出的第一個雙刀雙擲切換器使用 1P6M 40 奈米 CMOS 製程，在頻率 0.1GHz 到 30GHz 的頻率之間，其插入損耗的量測值約在 4.5 dB，而隔離度優於 20 dB，線性度 P1dB 約在 12dBm，另外一個雙刀雙擲切換器則使用 1P10M 40 奈米的 CMOS 製程製作，在頻段 11 GHz 到 30 GHz 的頻率之間，其插入損耗的量測值約在 4.2 到 5 dB 之間，隔離度優於 20 dB，而 P1dB 則優於 20 dBm；就我們所知，此線性度是目前 40 奈米 CMOS 製程當中已知最高的。

第三個部分則是未來展望以及結論。

關鍵字：

單刀雙擲切換器、雙刀雙擲切換器、高線性度射頻開關電路，整合濾波器切換器，5G 通訊系統，射頻前端，接收/發射開關。

Abstract



This thesis includes the design of millimeter-wave band DPDT(double-pole double throw) switches and the improvement of these circuits.

The first part of this thesis illustrates the basic concepts of ratio frequency(RF) switches and then demonstrates the advantage of various kinds of RF switches.

In the second part of this thesis we will illustrate the two versions of DPDT switches proposed by us. The first version of DPDT switches is based on the general series-shunt single-pole double-throw(SPDT) switches, we modify its structure and achieve the DPDT switching function. The second version DPDT was design by filter-integration method. The linearity of the DPDT could be enhanced by using that approach. Besides, the different requirements can be met to achieve high isolation and impedance matching. The CMOS process is a trend for system on chip(SOC). The first DPDT switch was designed in 1P6M 40 nm CMOS process, and it achieved an insertion loss of about 4.5 dB, isolation better than 20 dB in 10 MHz-30GHz band and had P1dB about 13 dBm. The second DPDT switch has an insertion loss about 4.2 - 5 dB, isolation better than 20 dB and P1dB better than 20 dBm in 11-30 GHz band. As far as we know, the second DPDT switch has the best P1dB reported in 40 nm CMOS process.

The third part of the thesis is about conclusion and future work

Keyword :

SPDT, DPDT, Filter-Integration Systems, T/R switches, high linearity, 5G communications system, RF front-end,

圖索引



圖 1-1 Traveling-Wave 的 SPDT[1].....	3
圖 1-2 使用串-並聯高線性度架構和浮體技術的 SPDT[4].....	4
圖 1-3 使用 Matching network 的 SPDT 架構[6].....	4
圖 1-4 使用非對稱性切換器架構[9].....	5
圖 1-5 使用電感共振切換器架構[11].....	5
圖 1-6 串聯單刀雙擲切換器架構[12].....	6
圖 1-7 橋式雙刀雙擲切換器架構[13].....	6
圖 2-1 無線收發器 RF 前端架構.....	9
圖 2-2 電特徵阻抗為 Z_0 的雙刀雙擲開關.....	9
圖 2-3(a)串聯電晶體導通模型.....	10
圖 2-3(b)串聯電晶體關閉模型.....	11
圖 2-4(a)並聯電晶體導通模型.....	11
圖 2-4(b)並聯電晶體關閉模型.....	11
圖 2-5 並聯電晶體單刀單擲切換器.....	12
圖 2-6(a)並聯電晶體單刀雙擲切換器架構.....	13
圖 2-6(b)並聯電晶體單刀雙擲切換器等效模型.....	14
圖 2-7 串-並聯電晶體單刀單擲切換器與等效模型.....	15
圖 2-8(a)並聯共振型射頻切換器與等效模型.....	16
圖 2-8(b)串聯共振型射頻切換器與等效模型.....	16
圖 3-1 Radio Frequency Unit (RFU)[18].....	17
圖 3-2(a)並聯電容低通濾波原型之梯形電路架構.....	20
圖 3-2(b)串聯電感低通濾波原型之梯形電路架構.....	20
圖 3-3 低通濾波原型基礎元件值轉換.....	22



圖 3-4(a)簡化電晶體關閉之並聯模型	26
圖 3-4(b)沒有使用浮體效應之並聯接地電晶體關閉模型	26
圖 3-4(c)使用浮體效應之並聯接地電晶體關閉模型	26
圖 3-5 雙刀雙擲射頻切換器架構.....	27
圖 3-6(a)發射端到 H 天線有無使用浮體效應之插入損耗響應	28
圖 3-6(b)發射端到 V 天線有無使用浮體效應之插入損耗響應	28
圖 3-6(c)接收端到 H 天線有無使用浮體效應之插入損耗響應	29
圖 3-6(d)接收端到 V 天線有無使用浮體效應之插入損耗響應	29
圖 3-7 並聯電晶體模型.....	30
圖 3-8(a)單刀雙擲串-並聯式射頻切換器架構圖	31
圖 3-8(b)單刀雙擲串-並聯式射頻切換器並聯電晶體寬長比對線性度影響.....	32
圖 3-8(c)單刀雙擲串-並聯式射頻切換器並聯電晶體寬長比對隔離度影響.....	32
圖 3-9(a)對稱式單刀單擲射頻切換器架構	33
圖 3-9(b)插入損耗差異	34
圖 3-9(c)隔離度差異	34
圖 3-9(d)線性度差異	35
圖 3-10 本節提出之對稱式雙刀雙擲射頻開關架構.....	36
圖 3-11 晶片的量測環境.....	37
圖 3-12 對稱式射頻雙刀雙擲射頻開關晶片圖.....	38
圖 3-13(a) S_{21} 埠 1-埠 2 導通	39
圖 3-13(b) S_{21} 導通時其它埠之間隔離度.....	39
圖 3-13(c) S_{31} 導通埠 1-埠 3 導通	40
圖 3-13(d) S_{31} 導通時其它埠之間隔離度.....	40
圖 3-13(e) S_{43} 埠 3-埠 4 導通	41
圖 3-13(f) S_{43} 導通時其它埠之間隔離度	41

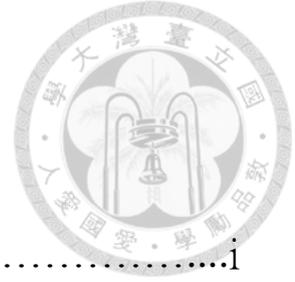


圖 3-13(g) S_{42} 埠 2-埠 4 導通	42
圖 3-13(h) S_{42} 導通時其它埠之間隔離度.....	42
圖 3-13(i) $P_{1dB}@28\text{ GHz}$	43
圖 4-1 原型低通濾波器轉換至帶通濾波器之元件關係.....	46
圖 4-2 原型低通濾波器轉換至帶止濾波器之元件關係.....	46
圖 4-3(a) 串聯多級 LC 架構圖	49
圖 4-3(b) 串聯多級 LC 1 GHz 頻率響應圖	49
圖 4-4(a) 電感佈局架構圖	50
圖 4-4(b) 電感感值 v.s. 電感頻率	51
圖 4-4(c) 電感 Q 值 v.s. 電感頻率	51
圖 4-5 本論文提出之共振式雙刀雙擲射頻切換器電路.....	52
圖 4-6 量測環境.....	53
圖 4-7 提出之共振式雙刀雙擲射頻切換器晶片圖.....	54
圖 4-8(a) S_{21} 埠 1-埠 2 導通	55
圖 4-8(b) S_{21} 導通時其它埠之間隔離度.....	55
圖 4-8(c) S_{31} 導通埠 1-埠 3 導通	56
圖 4-8(d) S_{31} 導通時其它埠之間隔離度.....	56
圖 4-8(e) S_{43} 埠 3-埠 4 導通	57
圖 4-8(f) S_{43} 導通時其它埠之間隔離度	57
圖 4-8(g) S_{42} 埠 2-埠 4 導通	58
圖 4-8(h) S_{42} 導通時其它埠之間隔離度.....	58
圖 4-8(i) $P_{1dB}@28\text{ GHz}$	59
圖 4-9 射頻積體電路設計流程.....	61
圖 6-1 初步整合的射頻前端架構.....	62



表索引

表一 各 RF 製程一般性差異比較	24
表二 架構差異一般性比較	25
表三 與其他文獻的比較(DPDT/SPDT)	59



目錄

摘要.....	i
Abstract.....	iii
圖索引.....	v
表索引.....	ix
第一章、緒論.....	1
1.1 前言.....	1
1.2 研究動機.....	2
1.3 文獻回顧.....	3
1.4 論文架構.....	7
第二章、基本射頻切換器的介紹.....	8
2.1 射頻切換器架構[12]-[13].....	8
2.1.1 射頻切換器架構.....	8
2.1.2 電晶體模型.....	10
2.2 並聯式射頻切換器[1].....	12
2.3 串-並聯式射頻切換器[4].....	14
2.4 共振型射頻切換器.....	15
第三章、對稱式串-並聯雙刀雙擲射頻切換器的設計與量測結 果.....	17



3.1 雙刀雙擲射頻切換器介紹.....	17
3.2 串-並聯基礎觀念.....	18
3.2.1 低通濾波器合成[19].....	18
3.2.2 電晶體等效.....	23
3.3 40 nm CMOS 雙刀雙擲射頻切換器的電路設計.....	244
3.3.1 電晶體製程的技術[1]-[19].....	24
3.3.2 浮體(Body-Floating)效應[4][20].....	26
3.3.3 對稱式雙刀雙擲切換器設計.....	30
3.4 Ka 頻段對稱式雙刀雙擲射頻切換器量測環境與量測結果.....	37
3.4.1 量測環境.....	37
3.4.2 量測結果.....	38

第四章、Ka 頻帶共振式雙刀雙擲射頻切換器設計與量測結果..... 44

4.1 帶止濾波器基礎觀念.....	44
4.2 共振式射頻切換器設計.....	48
4.2.1 共振式射頻切換器介紹.....	48
4.2.2 串聯共振式雙刀雙擲射頻切換器設計.....	48
4.3 Ka 頻段共振式雙刀雙擲射頻切換器設計.....	53
4.3.1 量測環境.....	53
4.3.2 量測結果.....	54

第五章、結論..... 62

5.1 結論.....	62
-------------	----



第六章、結論及未來展望 63

參考資料..... 64

第一章、緒論



1.1 前言

隨著科技不斷地進步，電子產品持續地推陳出新，其中影響人類最大的就是無線行動裝置的進化，完全改變了人類的生活型態，從早期的行動通訊讓人可以隨時撥打電話，到現在的人手一隻智慧型手機形成的低頭型態，以及未來所有裝置包含家裡電視，冷氣，冰箱等等都將可上網達到互聯網(IOT)的效果，這些產品的共通特色為必須不斷地接收或傳送訊號，作為需要高速傳輸的通訊裝置而言，良好的線性度使訊號失真程度降低，另外由於無線通訊的頻譜資源非常珍貴，又為了達到頻率範圍不重複使用的目的，高頻系統漸漸的受到重視，因為其所能攜帶的訊號量更多，更能夠達到互聯網的效果。

目前人類除了需求互聯網的多樣型態上網之外，對於上傳以及下載資料的需求量也大幅增加，包含高畫質影音，即時的雲端資料上傳以及下載，3D與虛擬全像影片的使用，對於使用者而言，高數據傳輸的研發是一大福音，而高效率調變以及高頻載波即是一個相當好的處理辦法，相對於目前 4G LTE 網路通常在約 2 GHz 附近的頻段範圍運作，5G 則是有可能使用到超過 28 GHz 的頻段，這種高頻段過去被認為用於行動網路時不易解調，為了突破該限制，三星公司已展示在手持裝置與無線基地台中採用 64 根陣列天線元件，可於某種程度上知道未來多天線的系統搭配收發端的多工開關切換器是具有相當重要性的架構。



1.2 研究動機

近期在射頻 (Radio Frequency) 的應用上，無線通訊的發展日新月異，隨著吞吐量需求的上升，為了實現更寬的頻寬和更高的數據傳輸效率，對射頻前端的性能上的要求也越來越高，高頻切換器則是需要有足夠的線性度來處理後端功率放大器(PA)在特定頻段發送的高能量訊號，因為系統整合晶片的設計 System on Chip (SoC)的考量，我們將使用 40 nm CMOS 製程來進行設計。

在 1990 年代開始針對多天線無線通訊系統研究，即利用多根天線產生出一個具有指向性的波束，將能量集中 (beamforming)。我們知道使用多天線系統可以讓發射端和接收端的效率提升，所以設計出一個多埠切換器是一個重要的目標。

以設計 RF 前端的元件來說，在功率放大器和低雜訊功率放大器以及切換器使用 GaAs HEMTs 製程可以達到很好的性能，但此類製程卻不易形成系統整合晶片，而在如今，系統整合晶片已是必然的趨勢，然而先進 CMOS 製程由於有比較低的崩潰電壓，造成高階 CMOS 製程的線性度通常表現比較差，是需要克服的課題。

在本篇論文中將使用 CMOS 製程研製多埠切換器，並進一步針對提升其線性度的方法進行研究。



1.3 文獻回顧

由於多功能的行動通訊系統對於現代無線通訊之應用日趨重要，像是 Global Positioning System (GPS), Wireless Local Area Network (WLAN), Bluetooth, Wireless Fidelity(Wi-Fi)與 4G-LTE... 皆是利用不同的頻帶。隨著功能性與使用頻帶的數目增加，更高效益甚至是尚未利用到的頻帶則是我們進一步想要追求的目標，至目前為止大多的高頻切換器主要分為行進波式(Traveling-Wave)和阻抗匹配式(Matching network)和串-並聯式(Series-Shunt)三大類。其中[1]使用四級並聯電晶體 Traveling-Wave 方式做出在導通時以電晶體關閉狀態的並聯電容和一段金屬線的電感模擬傳輸線進行信號傳遞，而在關閉時則利用電晶體導通時的小電阻接地形成訊號接地來造成信號隔離，[2]則是用兩個 SPST(Single-Input Single-Through) 串-並聯來形成一個 SPDT(Single Input Double Through)的高頻切換器，此架構通常可以達到較好的線性度，又因設計在 SOI 製程之中所以可達到相對低的插入損耗，而[3]-[4]則是除了使用串-並聯來實現高線性度切換器之外，還利用了電晶體基極串接一個大電阻接地讓電晶體處於浮體(Body-Floating)狀態讓從接地端流至電晶體汲極的電流減少進而改善切換器的線性度，[5]是利用單一 SPST 並聯多組不同寬度的電晶體接地來控制通帶的衰減度，[6]則是利用一般 $\lambda_g/4$ 的共振器進一步並聯四個 SPST 形成一個 SP4T 的架構，[7]是使用 Matching network 所實現的 SPDT，此架構因為串接級數較少，除了節省面積之外亦可以達到較低的插入損耗。

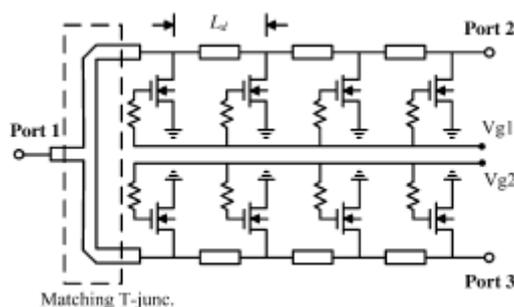


圖 1-1 Traveling-Wave 的 SPDT[1]

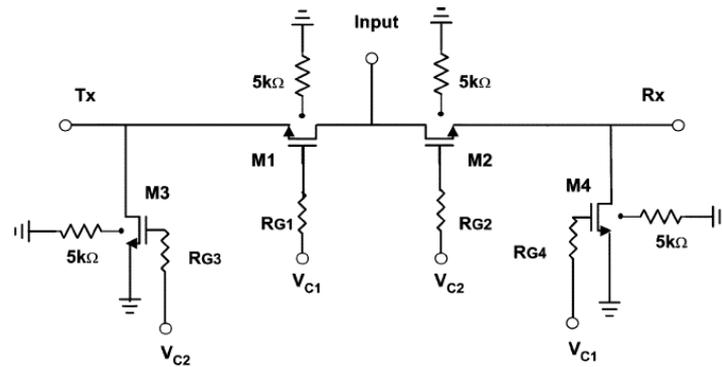


圖 1-2 使用串-並聯高線性度架構和浮體技術的 SPDT[4]

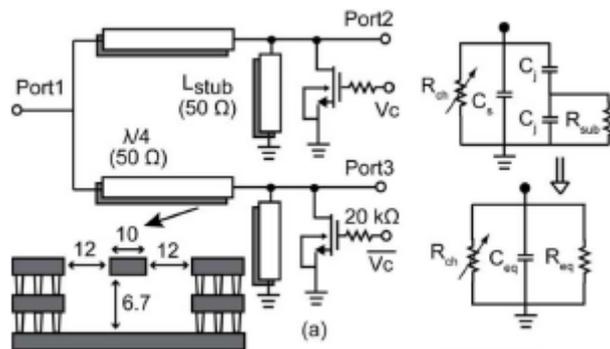


圖 1-3 使用 Matching network 的 SPDT[6]

因為射頻切換器同時與接收端和發射端銜接，在接收端通常為接收相對小的信號，信號本身的強度不高，在電路設計上希望可以具有較小的插入損耗，而在發射端，信號經由功率放大器之後，會送出相對大的信號，因此在電路設計上希望可以提升隔離度，讓發射端對於接收端所產生的干擾減低，由前述文獻知道 Traveling wave 的架構具有較好的隔離度，而 Matching network 的架構具有較低的插入損耗，所以許多文獻提出了不對稱式的架構設計如[3]和[9]，使用此類架構的優點在於可以針對接收端和發射端的特性需求藉由兩種不同的切換器設計來達到最佳化的效果。

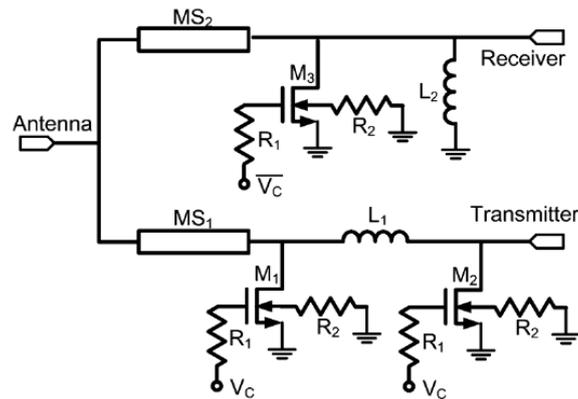


圖 1-4 使用非對稱性切換器架構[9]

除了上述的文獻之外，也有人提出可以再進一步改善高頻切換器的響應之設計，例如整合濾波器的切換器設計[10]，利用特徵阻抗轉換再串連一個低通濾波的單刀單擲切換器形成一個整合濾波器的切換器，以及如[11]在串-並聯的單刀雙擲切換器之中，將串連的電晶體再並聯一個適當的電感，利用 $f = 1 / 2\pi\sqrt{LC}$ 的關係，使得在止帶中，寄生電容和電感的共振造成信號隔離，其中 C 為電晶體於關閉狀態的電容，而當電晶體為導通狀態時，並聯的電感在高頻時對通帶的插入損耗的影響甚小。

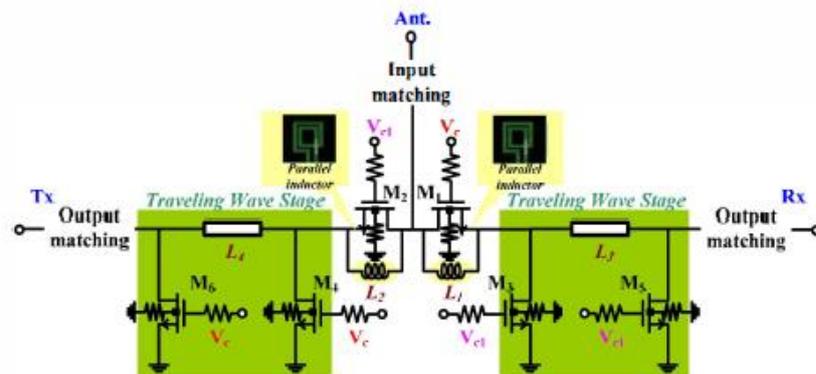


圖 1-5 使用電感共振切換器架構[11]

在雙刀雙擲切換器設計中，有利用兩個單刀雙擲切換器的串接所形成的雙刀雙擲切換器[12]，也有利用橋式設計讓信號可以走過最短路徑以避免多餘的損耗[13]，兩者之間的差異為若用於發射端、接收端，並有兩根指向性強的天線時，利用串聯單刀雙擲切換器天線端會在同側而發射接收端也會在同側，如此可以避免



在 SOC 上因可能的金屬線橫越造成不必要的電磁干擾響應，缺點是會產生較多的插入損耗，而利用橋式設計則相反。

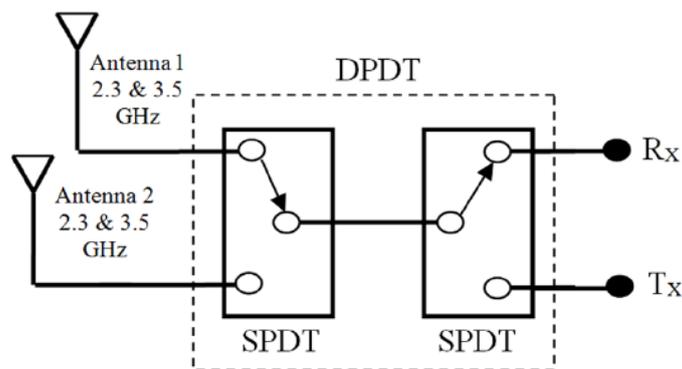


圖 1-6 串聯單刀雙擲切換器架構[12]

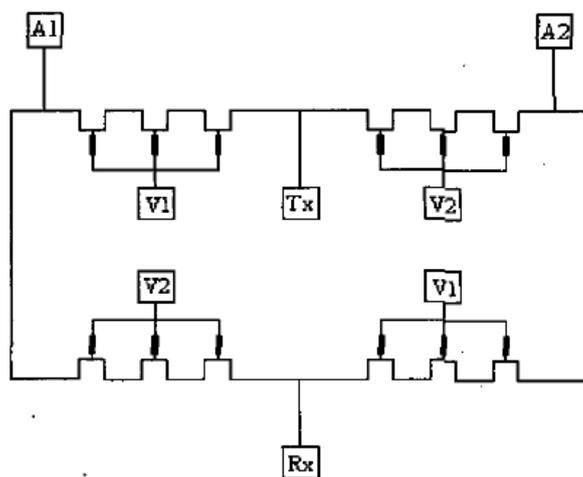


圖 1-7 橋式雙刀雙擲切換器架構[13]

本論文採用了橋式雙刀雙擲架構[13]且根據串-並聯架構的單刀雙擲切換器以期實現高線性度的切換器，而不如預期的是在 40 nm CMOS 製程中，電晶體的寄生電容對於線性度影響甚大。於是再改進第一個版本的雙刀雙擲切換器，移除接地電晶體改採用整合帶止濾波器的高頻切換器，將在後面的章節詳述。



1.4 論文架構

本論文分為五章。

第一章為前言、研究動機與文獻回顧。

第二章簡介一些基本的射頻切換器設計以及其操作原理。

第三章為對稱式串並聯橋式雙刀雙擲開關的研製，說明如何利用串-並聯架構並將其改成對稱式單刀單擲以形成串接橋式雙刀雙擲的基本建構單位以及其量測結果。

第四章為對稱式串聯橋式雙刀雙擲開關的研製，說明如何利用串聯電晶體以及並聯電感在止帶產生隔離度並且移除接地電晶體使線性度提升以及其量測結果。

第五章為結論與未來展望。

第二章、基本射頻切換器的介紹



本章將對射頻切換器做基本的介紹，2.1 節介紹射頻切換器的基本觀念，2.2 節介紹並聯式射頻切換器，2.3 節則介紹串-並聯式射頻切換器，2.4 節介紹共振型射頻切換器，2.5 節則介紹浮體技術。

2.1 射頻切換器[12]-[13]

2.1.1 射頻切換器架構

由圖 2-1 可以得知在整個收發器 RF 前端架構之中，發射端與接收端和天線端是經由切換器所銜接，有別於一般 RF 前端架構，使用雙天線系統的射頻切換器可以允許使用兩種指向性強的天線(像是八木天線的 H 平面方向(H-plane)和 V 平面方向(V-plane))，而利用兩種不同方向的天線可以有效提升天線的效率，雙刀雙擲切換器則可以切換四種狀態，分別為 H-plane 天線到發射端、H-plane 天線到接收端、V-plane 天線到接收端、V-plane 天線到發射端。在考量射頻切換器的規格時，大部分都包含其插入損耗，隔離度以及其線性度，一個好的射頻切換器應具有較低的插入損耗讓信號不會衰減太多，高的隔離度可以降低不同連接埠之間的互相影響，最後好的線性度則可以讓信號不受壓抑。

對一個如圖 2-2 所示橋式雙刀雙擲開關而言，令端點特徵值阻抗為 Z_0 ，當頻率位於通帶時，輸入阻抗為

$$Z_{in} = Z_0 \quad (2.1)$$

而當位於止帶時，隔離阻抗為

$$Z_{ISO} \Rightarrow \infty$$

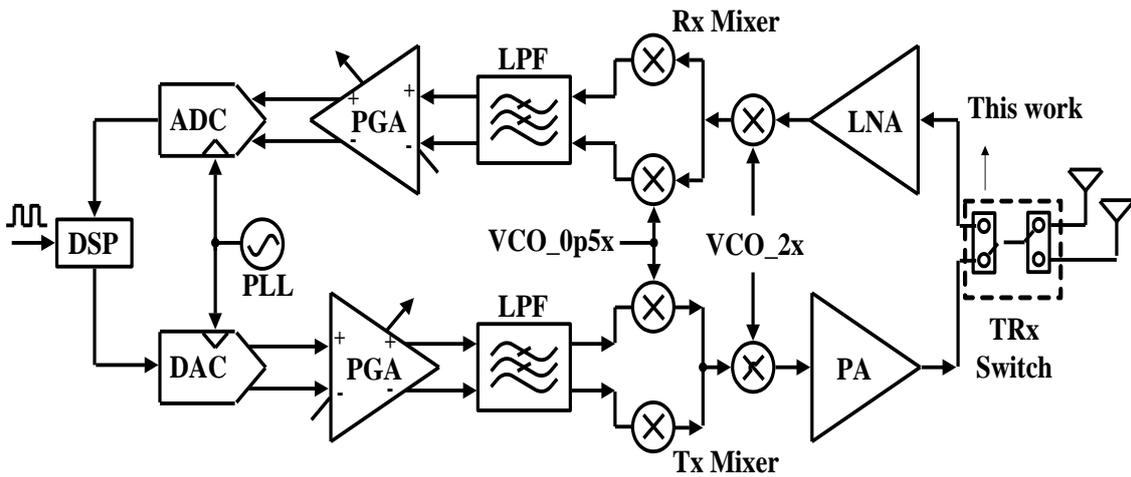


圖 2-1 無線收發器 RF 前端架構

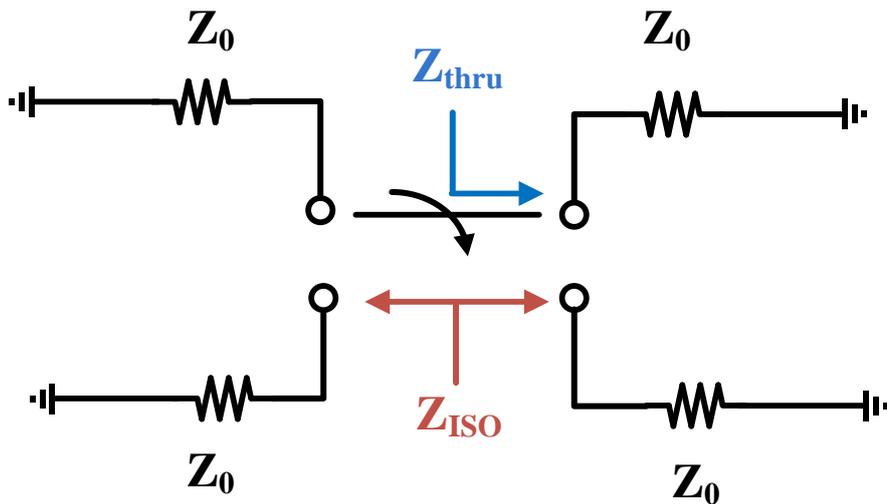
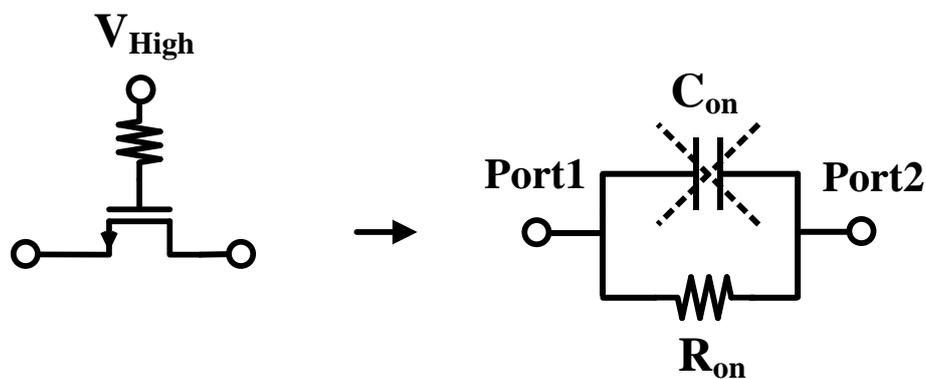


圖 2-2 特徵阻抗為 Z_0 的雙刀雙擲開關

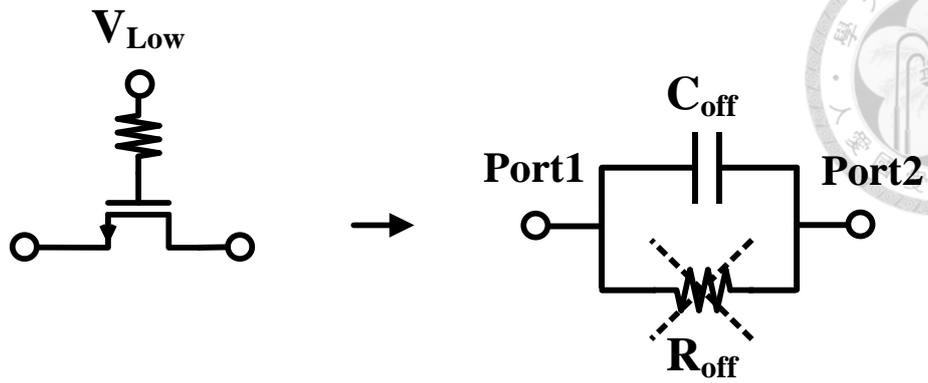
等式(2.1)表示當切換器在通帶時，因滿足阻抗匹配故從輸入端到輸出端會有最高的能量傳遞效率，等式(2.2)則是因為無限大的阻抗，可以防止信號藉由其他路徑滲漏。特別要注意的是在此架構之中我們是需要無限大的阻抗而不是低阻抗，若使用低阻抗，則可用接地搭配一段傳輸線來形成阻抗轉換器，舉例而言， $\lambda_g/4$ 的傳輸線再接地則會得到以 λ_g 為中心頻率的開路殘段阻抗轉換器，細節會在後面章節介紹。

2.1.2 電晶體模型

電晶體的串聯，並聯形態在設計射頻開關是最常用的兩種方式。如圖 2.3(a)，電晶體串聯時，開關導通等效上為一個小電阻(R_{ON})而這個小電阻並不會讓信號衰減太多，而當開關關閉如圖 2.3(b)，等效上為一個電容(C_{off})，串聯電容本身有高通的特性，因此可以有效阻擋低頻訊號，然而隨著頻率升高，電容的隔離度也會隨之下降，所以當想要關閉射頻切換器時，單純靠電晶體的關閉是不可行的。



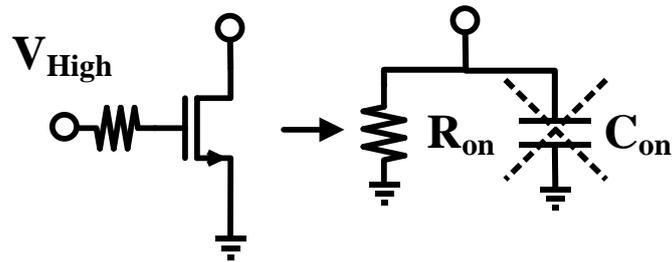
(a)



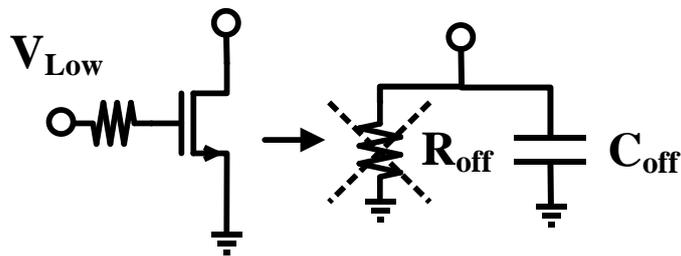
(b)

圖 2-3(a) 串聯電晶體導通模型(b) 串聯電晶體關閉模型

電晶體的並聯模型，則是在電晶體導通時，可等效為一個小電阻接地，關閉時則可等效為一個電容接地如圖 2-4(a)、圖 2-4(b)。



(a)



(b)

圖 2-4(a) 並聯電晶體開啟模型(b) 並聯電晶體關閉模型



2.2 並聯式射頻切換器[1]

並聯式射頻切換器是在設計射頻切換器當中常用的架構之一，較為常見的方式為 Traveling wave 的型式，即是在通帶時利用串聯金屬線和並聯的電晶體模擬造出一段傳輸線的效應，而此類的傳輸線有很好的頻寬表現，如圖 2.5 所示，當導通時，電晶體將會等效成一個小電容 C_{off} ，而串聯的金屬線則備等效為一個電感 L 進而形成一個人工傳輸線，而此人工傳輸線的特徵阻抗將會操作在 Z_0 。

$$Z_0 = \sqrt{\frac{L}{C_{off}}} \quad (2.3)$$

因電容值和電感值理想上是不會隨著頻率改變的，故在理論上，阻抗匹配的單刀單擲切換器具有無限大的頻寬，如圖 2-5 所示，一段金屬線並聯兩個電晶體的單刀單擲切換器的開關，在電晶體導通時等效上為電感並聯兩個小電阻接地，故能隔離訊號，而當電晶體關閉時等效上即是電感並聯電容的傳輸線模型(忽略傳輸線的電導和電阻)。

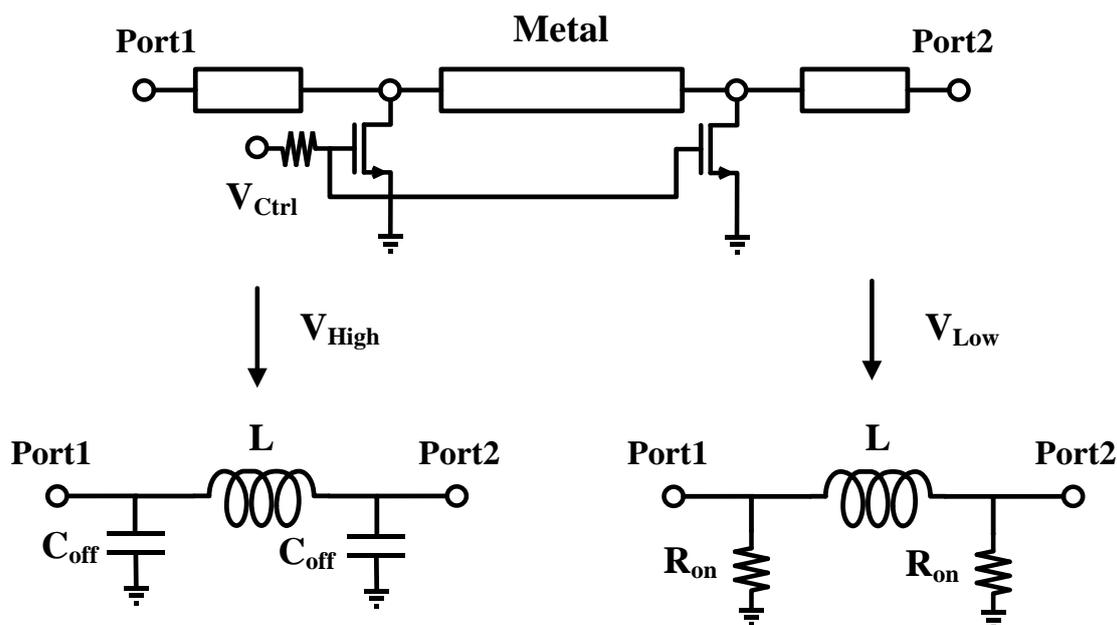
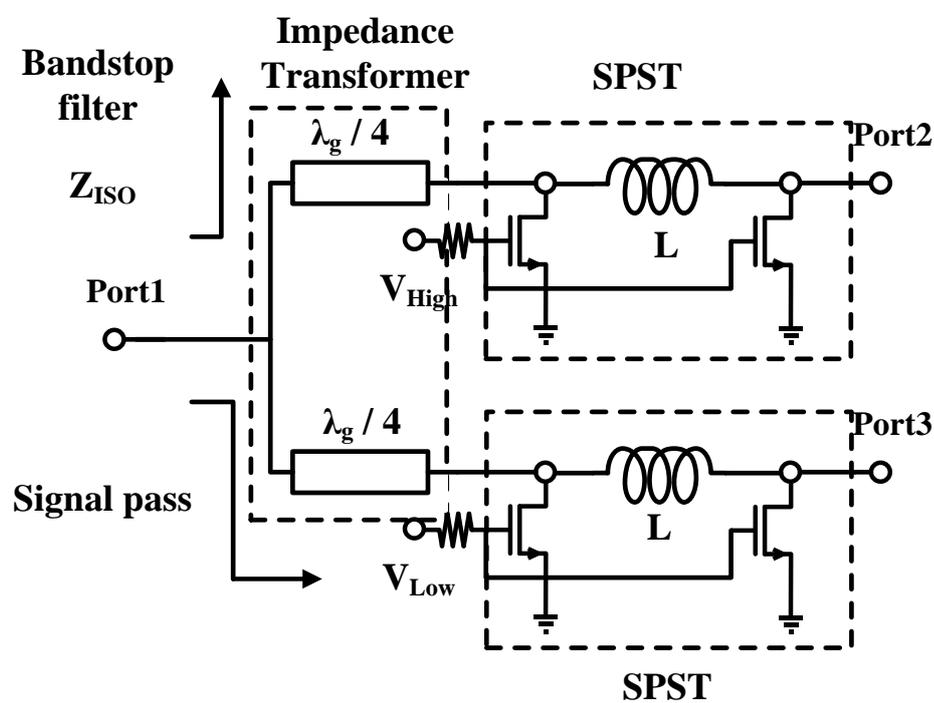


圖 2-5 並聯電晶體單刀單擲切換器

而為了形成一個單刀雙擲，甚至是多工型的切換器，以單刀雙擲切換器為例，在隔離路徑上的單刀單擲開關需要有一個阻抗轉換器當成帶止(band-stop)濾波器使用，如此可以在需要使用的頻段形成一個單刀雙擲切換器，如圖 2-6(a)所示，除此之外，因為使用阻抗轉換器，在實際上可使用的頻寬也受阻抗轉換器的頻寬所限制，其等效模型為圖 2-6(b)。



(a)

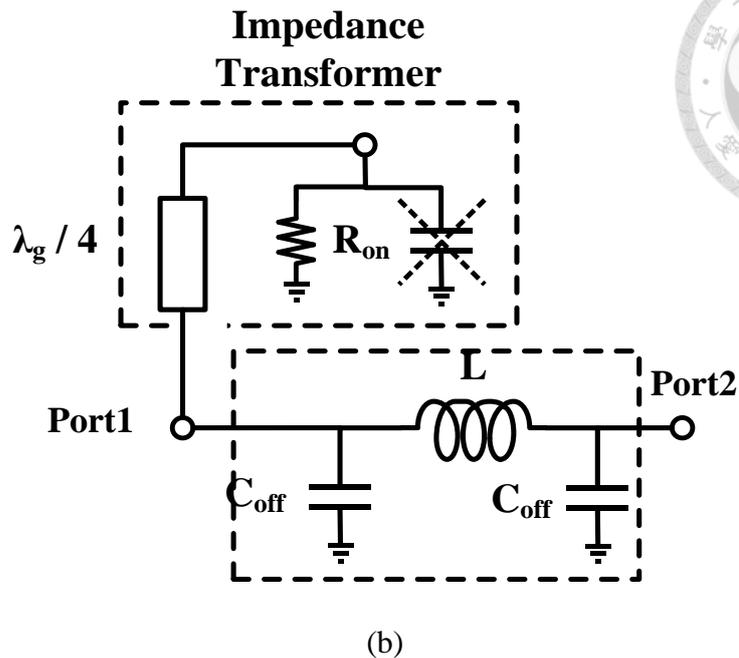


圖 2-6 並聯電晶體單刀雙擲切換器(a)架構 (b)等效模型

2.3 串-並聯式射頻切換器[4]

常見的串-並聯式的射頻切換器如圖 2-7 所示，是由一個串連的電晶體和一個並聯到地的電晶體所組成；當通帶關閉時，串聯電晶體的電容和並聯電晶體接地的小電阻都可以有效產生隔離度，而當通帶開啟時，串聯電晶體等效為小電阻，而並聯電晶體等效為電容，整體可等效成一個低通濾波器，且 3 dB 頻寬為

$$f_{3-dB} = \frac{1}{2\pi R_{on} C_{off}} \quad (2.4)$$

在串-並聯射頻切換器設計時，特別要注意的是通常無論在導通和截止時，電晶體開關電壓控制是相反的，比如導通時串聯電晶體閘極為高電壓，而並聯電晶體為低電壓，在截止時則反之。

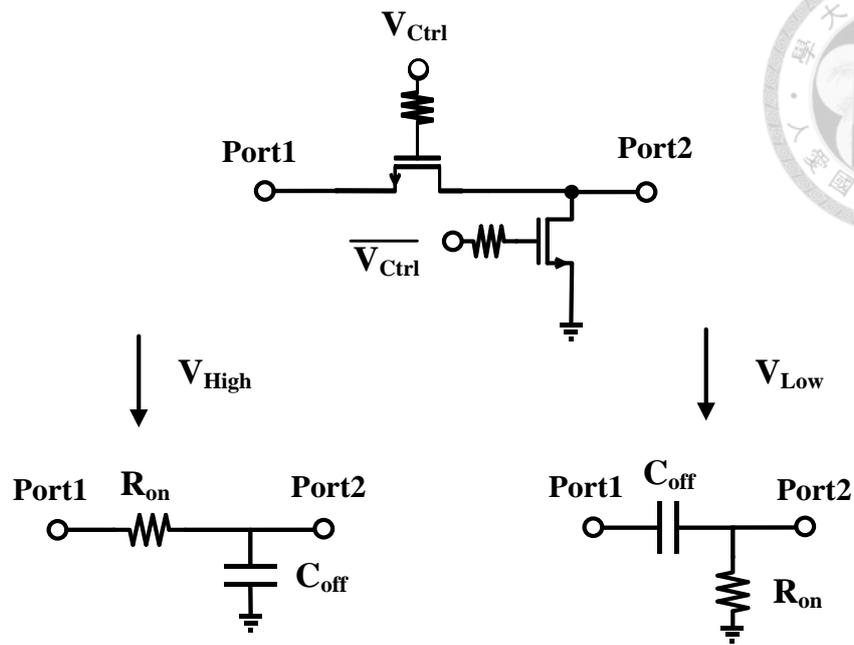


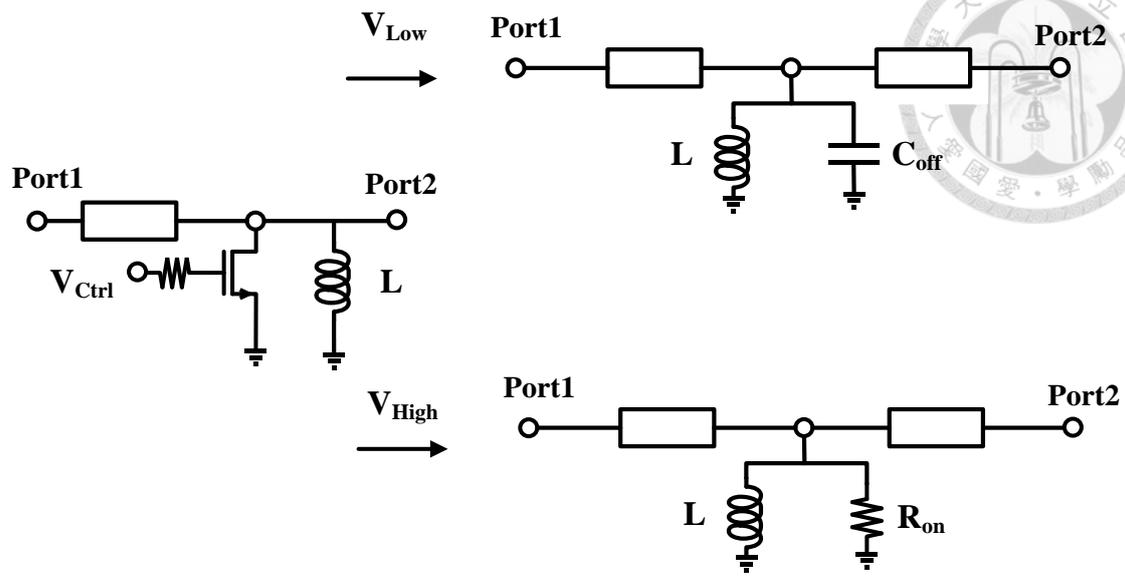
圖 2-7 串-並聯電晶體單刀單擲切換器與等效模型

2.4 共振型射頻切換器

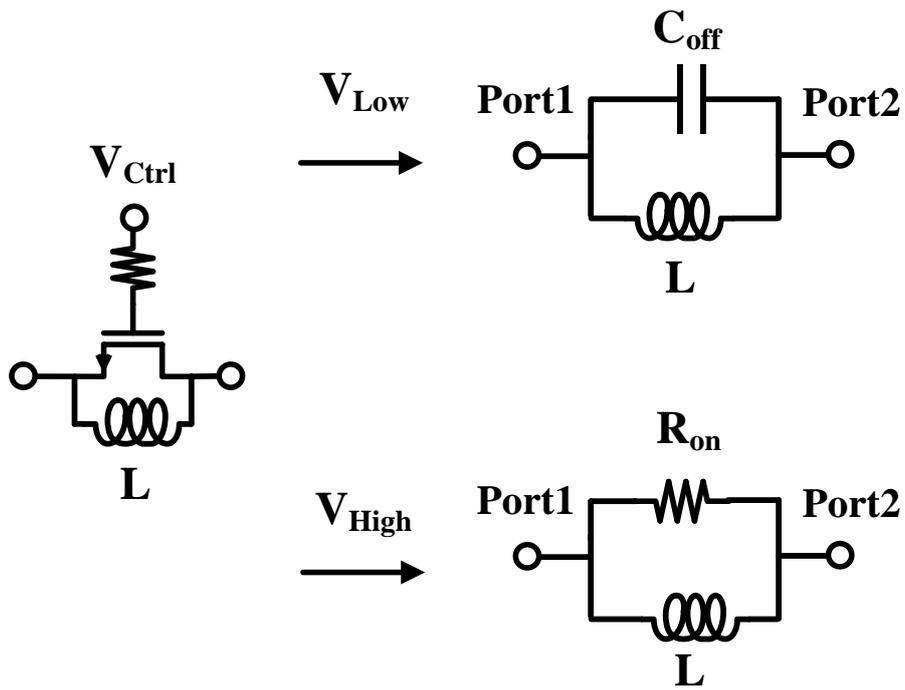
共振型射頻切換器是在電晶體的兩側各並聯一段傳輸線當成電感使用，因為是針對特定頻段 f_c

$$f_c = \frac{1}{2\pi\sqrt{LC_{off}}} \quad (2.5)$$

所以在設計上又常以 Matching network 稱之，主要是由電晶體關閉時的電容 C_{off} 和並聯的傳輸線或是電感 L 來組成一個 LC 共振電路，在此設計中隔離度主要由共振電路的匹配程度決定，所以在設計上會有比較嚴格的限制，使用上分為並聯和串聯兩種如圖 2-8 (a)、2-8(b)。



(a)



(b)

圖 2-8(a) 並聯共振型射頻切換器與等效模型 (b) 串聯共振型射頻切換器與等效模型

第三章、對稱式串-並聯雙刀雙擲射頻切換器的設計與量測結果



本章節將介紹雙刀雙擲射頻切換器的設計，包括了基礎串-並聯射頻切換器的等效模型以及在 40 nm CMOS 製程中串聯電晶體寬度對於插入損耗、隔離度、線性度影響，雙刀雙擲射頻切換器的設計，浮體效應以及量測結果與結論。

3.1 雙刀雙擲射頻切換器介紹

射頻切換器對於射頻前端來說是一個重要的元件，由韓國三星公司 2016 年所發表針對 28GHz 手機通訊射頻前端的論文[18]，經過實測後可以在時速 100km/h 達到 1.2 Gbps 的數據傳輸效率，而其中射頻切換器在銜接不同的射頻元件之間考慮的特性有濾波器功能，插入損耗，訊號之間的隔離度，以及訊號的線性度為設計關注的重點，目前所提出的雙刀雙擲切換器設計有如[12]利用兩個單刀雙擲切換器串聯而成，而[13]的方式則是橋式並聯式雙刀雙擲切換器等等...，而利用串並聯的等效模型將在之後介紹。最後，一個針對未來的五代毫米波移動通訊系統的雙刀雙擲射頻切換器設計將用 40nm CMOS 1P6M 製程實現。

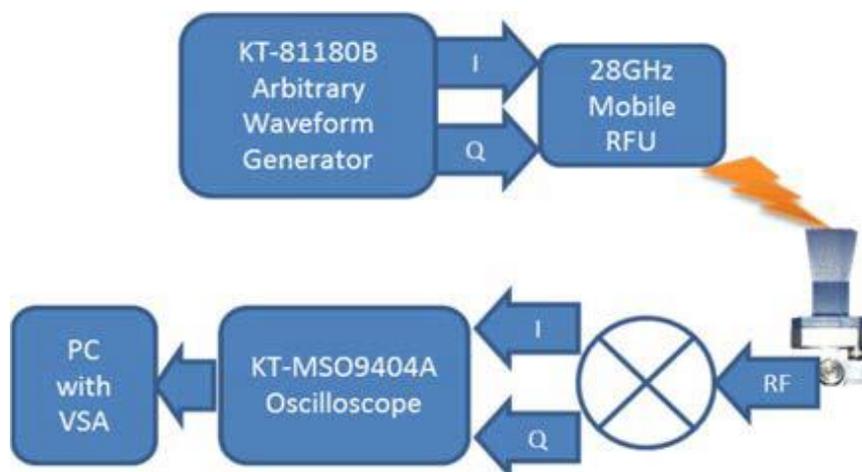


圖 3-1 Radio Frequency Unit (RFU)[18]



3.2 串-並聯基礎觀念

本小節將介紹常見的低通濾波器及其模型。

3.2.1 低通濾波器合成[19]

射頻濾波器可以由 L-C 的 T 型模組所構成，或是由 L-C 的 π 型模組來構成，而串接這些 L-C 模組即可以合成射頻濾波器。在低通濾波器當中，若是要求頻率響應在過截止頻率後衰減更強，則可以串接較高的級數使得止帶隔離效果更好，有一些特定型態的 L-C 合成低通濾波器可以達到特定的效果，如以下常見的巴特沃斯濾波器為一類在通帶的頻率響應具有最大平坦特性(3.1)的濾波器，

$$G^2(\omega) = |H(j\omega)|^2 = \frac{G_0^2}{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}} \quad (3.1)$$

其中 n 是濾波器階數， ω_c 為截止頻率， G_0 為低頻增益

而柴比雪夫濾波器又稱做等漣波濾波器，是在通帶或是止帶其中之一具有相等漣波幅度的濾波器，在相同級數之下在過截止頻率之後衰減速度比巴特沃斯更快，如(3.2)表示第一型柴比雪夫濾波器響應，

$$G_n(\omega) = |H_n(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 T_n^2\left(\frac{\omega}{\omega_c}\right)}} \quad (3.2)$$

其中 $T_n(x)$ 為 n 階柴比雪夫多項式， $|\epsilon| < 1$ ， ω_c 為截止頻率。



另外還有橢圓濾波器又稱考爾濾波器，是在通帶和止帶各都具有等漣波響應的一種濾波器，在過通帶的衰減最為劇烈，具有高選擇性的效果其頻率響應如(3.3)，

$$G_n(\omega) = |H_n(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 R_n^2(\omega/\omega_c)}} \quad (3.3)$$

其中 $R_n(x)$ 為 n 階雅可比(Jacobian)橢圓函數。

實現上述轉移函數的濾波器，通常稱為原型濾波器(Prototype filter)。在低通濾波器的原型中，為了方便通常我們令端點電阻或是電導為 1，以 $g_0 = 1$ 來表示，截止頻率也令為 1，以 $\Omega_c = 1$ 來表示，圖 3-2(a)、圖 3-2(b)為兩種不同的方式表示 n 階原型低通濾波器，其中 g_i 代表第 i 個串聯電感之中的電感或是第 i 個並聯電容之中的電容，要注意如果 g_1 是一個並聯電容，則 g_0 被定義為端點電阻，若 g_1 是一個串聯電感，則 g_0 被定義為端點電導，同樣地，若 g_n 為並聯電容，則 g_{n+1} 被定義為端點電阻， g_n 為串聯電感，則 g_{n+1} 被定義為端點電導。

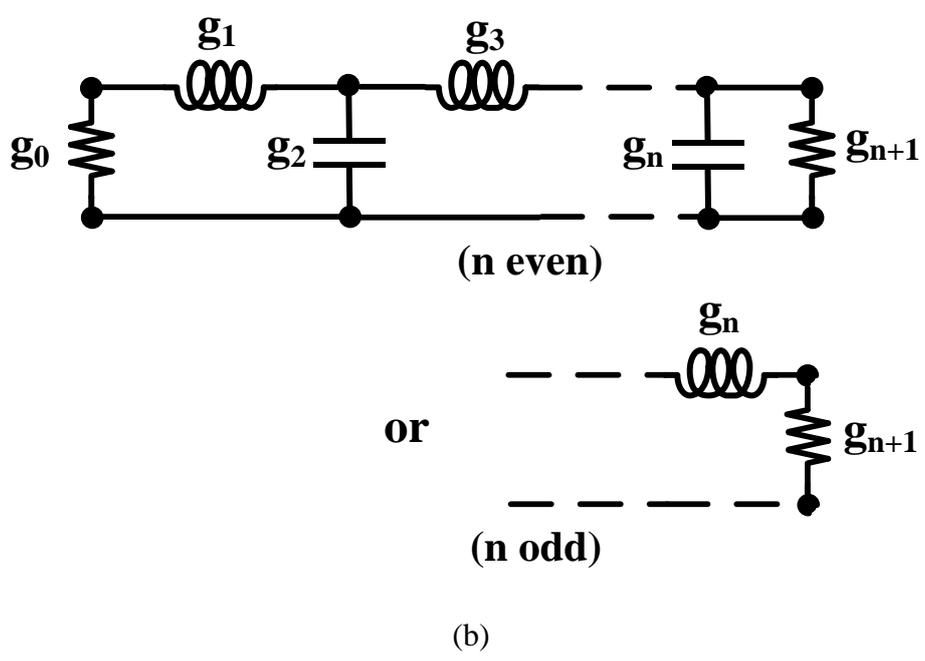
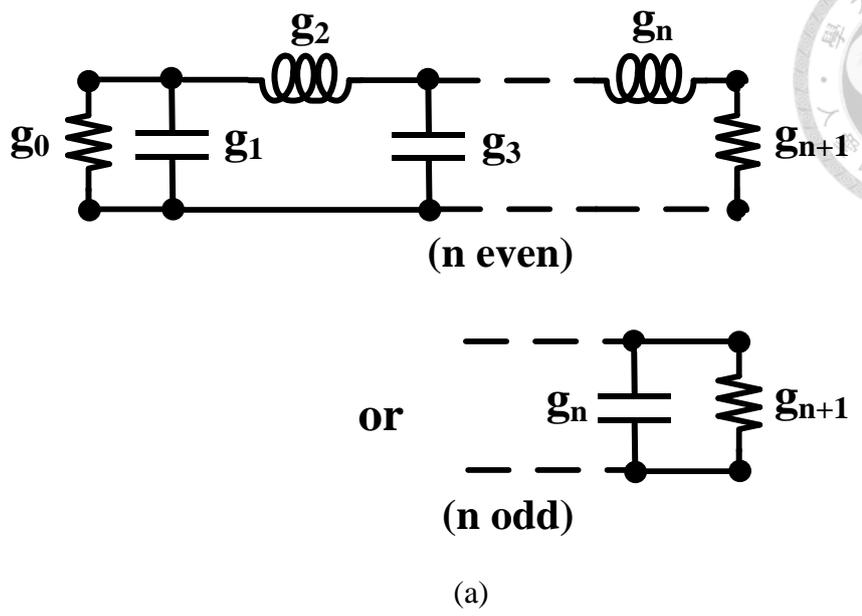


圖 3-2 (a) 並連電容低通濾波原型之梯形電路結構 (b) 串聯電感低通濾波原型之梯形電路結構



由原型濾波器的的假設中我們定義 $g_0 = 1$ 和 $\Omega_c = 1$ ，而為了設計實際的濾波器的頻率響應和元件參數值，我們需要得到 g_n 值，又為了能夠針對各種不同的端點阻抗，需要一個阻抗縮放因子 γ_0 。而我們令端點阻抗為 Z_0 ，由此定義出 γ_0 如下

$$\begin{aligned}\gamma_0 &= Z_0 / g_0 && (\text{若 } g_0 \text{ 為電阻}) \\ \gamma_0 &= g_0 / Y_0 && (\text{若 } g_0 \text{ 為電導})\end{aligned}\tag{3.4}$$

其中 $Y_0 = 1 / Z_0$ 為端點電導，另我們將 L 、 C 、 R 、 G 在濾波器網路的等效阻抗縮放因子定義如下

$$\begin{aligned}L &\longrightarrow \gamma_0 L \\ C &\longrightarrow \frac{C}{\gamma_0} \\ R &\longrightarrow \gamma_0 R \\ G &\longrightarrow \frac{G}{\gamma_0}\end{aligned}\tag{3.5}$$

令 g 為為低通原型之元件值，因為 g 與頻率不相干，所以我們可以得到所有類型的濾波器電路元件如下

$$\begin{aligned}L &\longrightarrow \gamma_0 L \\ G &\longrightarrow G / \gamma_0\end{aligned}\tag{3.6}$$



為了從低通原型濾波器的頻率轉換函數轉為實際低通濾波器參數，我們令截止頻率為 ω_c ，令操作頻率為 ω ，可以得到

$$\Omega = \left(\frac{\Omega_c}{\omega_c}\right)\omega \quad (3.7)$$

利用(3.7)和(3.5)結合展開元件轉換函數可以得到

$$L = \left(\frac{\Omega_c}{\omega_c}\right)\gamma_0 g \quad (\text{若 } g \text{ 為電感})$$

$$C = \left(\frac{\Omega_c}{\omega_c}\right)\frac{g}{\gamma_0} \quad (\text{若 } g \text{ 為電容}) \quad (3.8)$$

等效電路模型如圖 3-3 所示

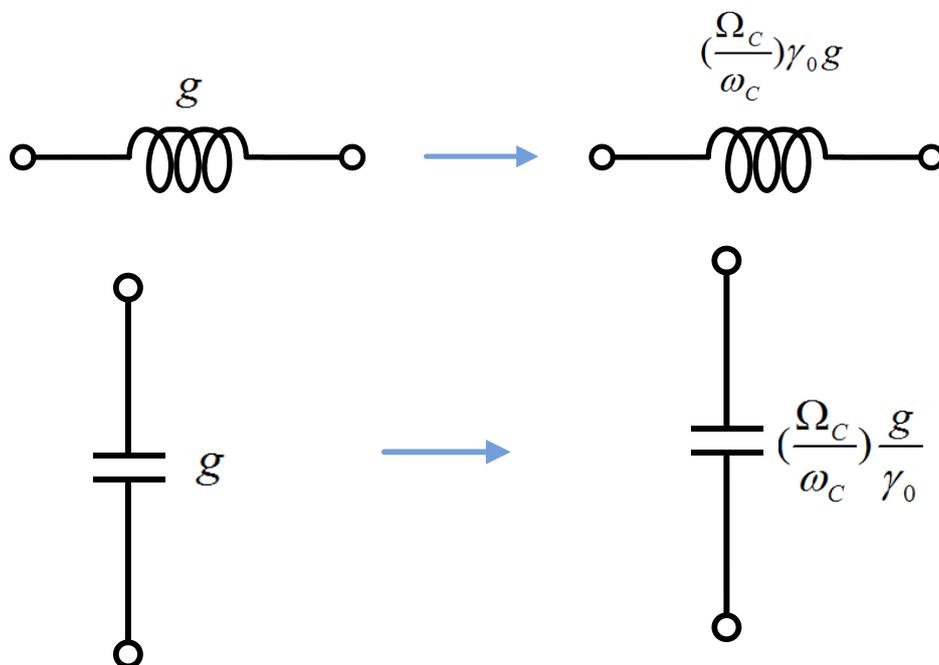


圖 3-3 低通濾波原型基礎元件值轉換



3.2.2 電晶體等效

電晶體為構成射頻開關電路的主要元件，而電晶體體本身在開和關狀態可以分別等效成不同的被動電路，我們再利用等效的電路進行設計。當電晶體導通 (triode region) 時，如(3.9)所示，等效上為一個電阻 R_{on} ：

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_t)} \quad (3.9)$$

在串聯型的射頻開關電路中，其電晶體的導通電阻主要影響插入損耗，電阻越大則插入損耗越多，由(3.9)可知道，對於不同的製程 C_{ox} 和 μ_n 值會有所不同，而設計者所能控制的主要為 (W/L) 和 V_{gs} 。當電晶體關閉時，由(3.9)可以知道最主要的效果為一個電容 C_{off} ，而 C_{off} 又是由 C_{gs} 和 C_{gd} 所組成。

$$C_{off} = \frac{1}{C_{gs} \parallel C_{gd}} \quad (3.10)$$

其中 C_{gs} 約為 $(W/L)C_{ox}/2$ 。



3.3 40 nm CMOS 雙刀雙擲射頻切換器的電路設計

在本小節將介紹比較不同技術與製程的比較，由基礎串-並聯射頻切換器的等效模型和在 40 nm CMOS 製程中串聯電晶體寬度對於切換器的影響和浮體效應以及實際電路設計。

3.3.1 電晶體製程與技術[1]-[19]

在設計射頻切換器之前，首先要考慮的是電晶體製程，由前述討論知道射頻切換器的性能主要由導通時的電阻以及關閉時的電容決定，而電容與電阻值在不同製程本身即受到先天條件的限制，舉例來說，目前常用於射頻開關電路主要的製程有 40 nm CMOS、65 nm CMOS、90 nm CMOS、180 nm CMOS 以及 GaAs HEMTs...等等，一般來說電阻正比於長度與寬度的比值(L/W)，而電容正比於長度與寬度乘積(WL)，故假設需要設計一個固定大小的電阻，製程越先進則寬度越小，而產生的等效電容也隨著寬度、長度變小，電容值也相對較小。射頻開關線性度也與電晶體寄生電容有關我們可以將一般性的差異整理如下，

表一、各 RF 製程一般性差異比較

製程	插入損耗	SOC 前瞻性	線性度表現
GaAs HEMTs	1	5	1
180 nm CMOS	2	4	2
90 nm CMOS	3	3	2
65 nm CMOS	4	2	3
45 nm CMOS	5	1	3

如表一，在比較各製程間的一般性差異時，以數字 1-5 來做表示，數字 1 為表現最佳，數字 5 為相對較差，而相同數字則是代表差異不大。在現今製程的不斷演進之下，雖在數位電路設計方面可以達到面積減少，速度變快的優勢，但對於

類比電路的設計需要考量的因素相較起來較多，而功能整合向來為製程推動的主要力量，未來整合性的 SOC 電路將含有多種不同功能且應用上通常為可攜式或是高密度產品，因為這些系統必須在最小空間實現，故製程的縮小將不可避免。

在射頻切換器電路的架構選擇上，級數越高能夠達到的隔離度越好，但相對來說插入損耗表現則會變差，而不同架構之間也會有特性的差異。舉例來說，常見的架構之一為並聯式架構的射頻切換器，此架構表現為隔離度好，而插入損耗普通，線性度普通，另一阻抗匹配式架構相對於前者則是插入損耗表現較好，隔離度較差，而線性度同樣普通，至於串-並聯式比起前述的兩種架構，則是線性度表現最好，而在插入損耗和隔離度表現普通，此三種架構的一般特性比較如表(二)所示。

表二、架構差異一般性比較

切換器架構	插入損耗	隔離度	線性度
並聯	2	1	2
阻抗匹配	1	2	2
串-並聯	2	2	1

在表二中，以數字 1 表示表現”較佳”的電路特性，而數字 2 表示表現”普通的”電路特性，而為了達到較好的線性度，本章節電路採用近似於串-並聯式的架構設計。



3.3.2 浮體(Body-Floating)效應[4][20]

由論文[20]可以得知，一個電晶體關閉狀態之並聯大訊號模型可以簡化為圖 3-4(a)，若將基極和源極並聯接地，則可以簡化為圖 3-4(b)，若將電晶體的基極串聯了一個電阻再接地則可以簡化為圖 3-4(c)，稱為浮體效應技術。由圖 3-4(b)可以看出，若是沒有使用浮體效應技術的並聯接地電晶體，其接地端和基板端接在一起，當訊號變大時，負電壓會讓原本背靠背的兩個二極體等效上被視為無窮大的電阻，如此可能會在訊號震盪時有電流從地端流至汲極，從汲極看入則是電流流入，造成等效電阻下降，進而影響插入損耗並降低其線性度，而使用浮體效應技術在基極接一個大電阻再接地則可減少從地流出的漏電流，讓等效電阻上升，除此之外，若是在基極接上一個負偏壓 $-V_{bias}$ 則訊號的擺幅到負值時，因基極電壓的改變，對於汲極的電壓的振幅可由往下 $-V_{BODY}$ 至往下 $-(V_{BODY}+V_{bias})$ ，因此可以改善插入損耗，由於最後採用對稱性設計

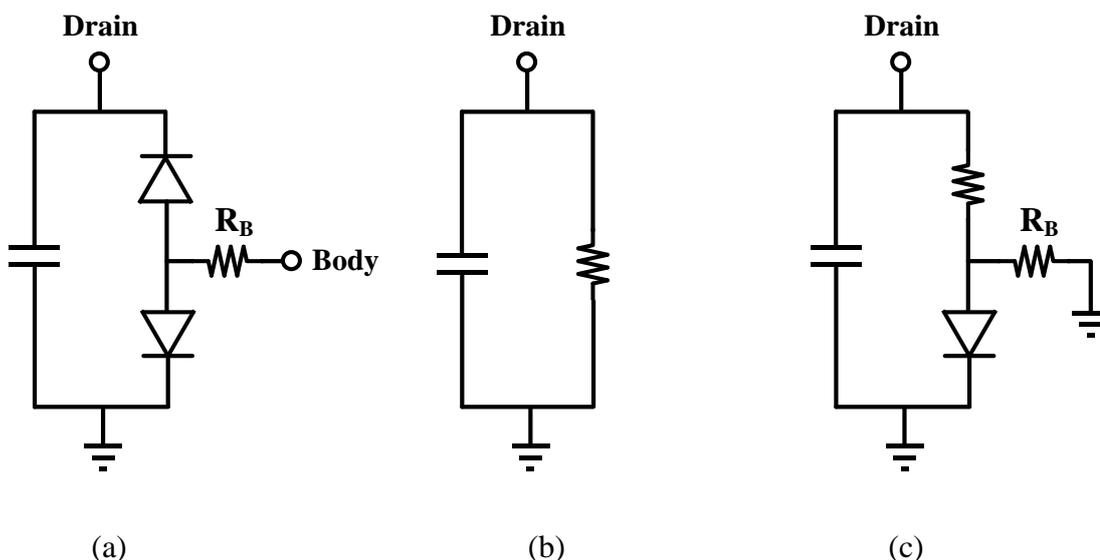


圖 3-4 (a) 簡化電晶體關閉之並聯模型(b) 沒有使用浮體效應之並聯接地電晶體關閉模型(c)使用浮體效應之並聯接地電晶體關閉模型



因在架構上使用橋式雙刀雙擲開關如圖 3-5，在 40 nm CMOS 製程下考慮有無使用浮體技術(Body-floating)分別模擬發射端到 H 平面天線的插入損耗如圖 3-6(a)，發射端到 V 平面天線的插入損耗如圖 3-6(b)，接收端到 V 平面天線的插入損耗如圖 3-6(c)，以及接收端到 V 平面天線的插入損耗如圖 3-6(d)，四個不同的導通狀態都同時展示了使用浮體技術能有效降低插入損耗。

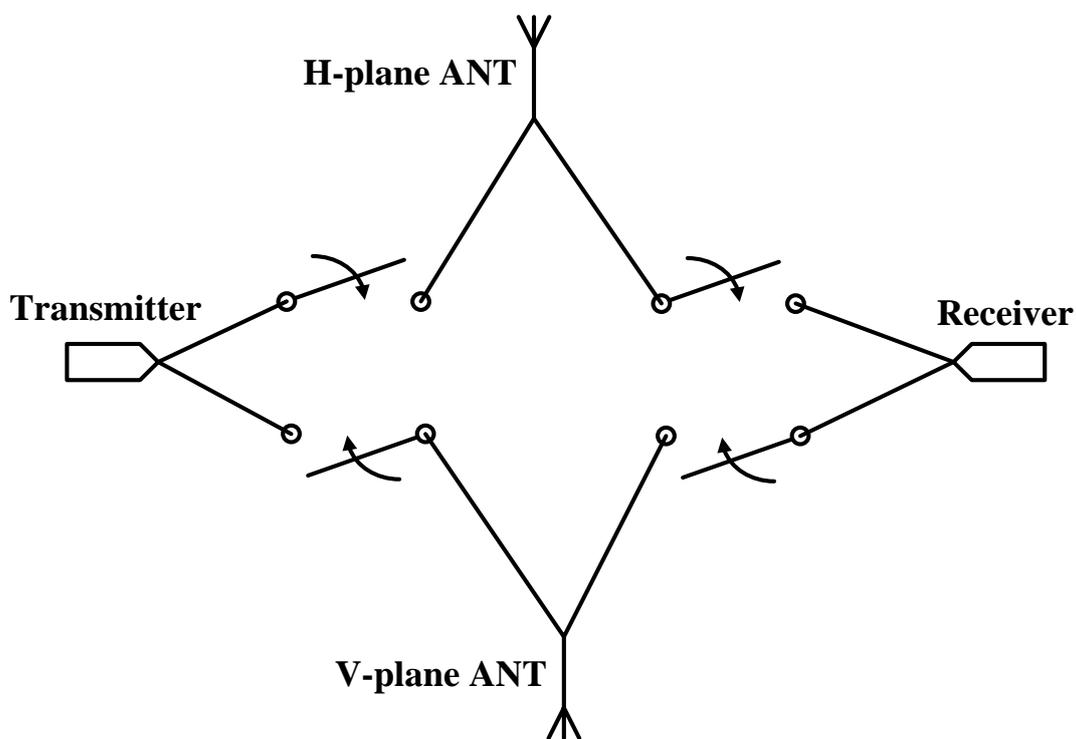
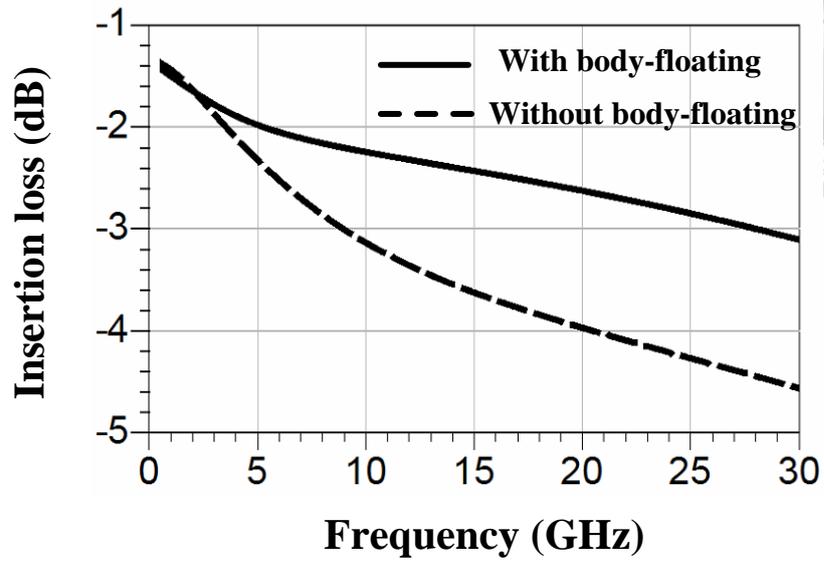
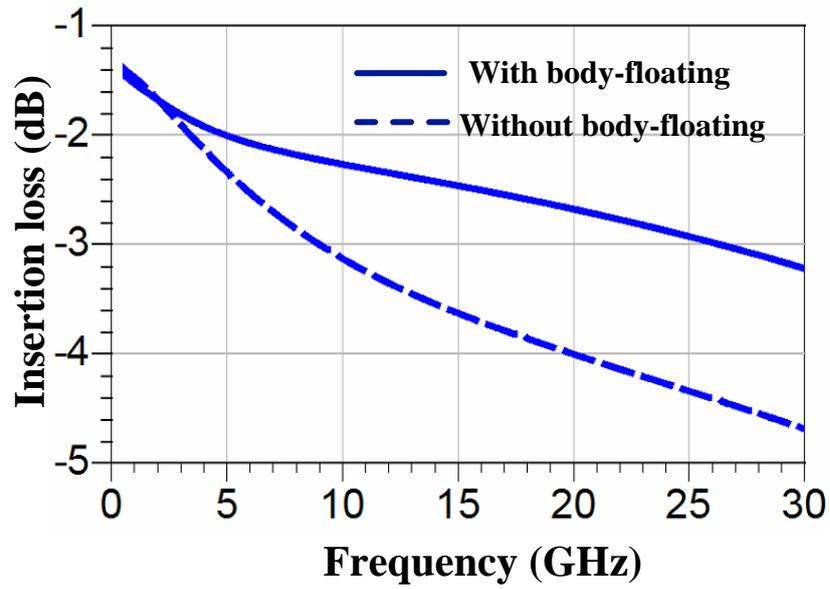


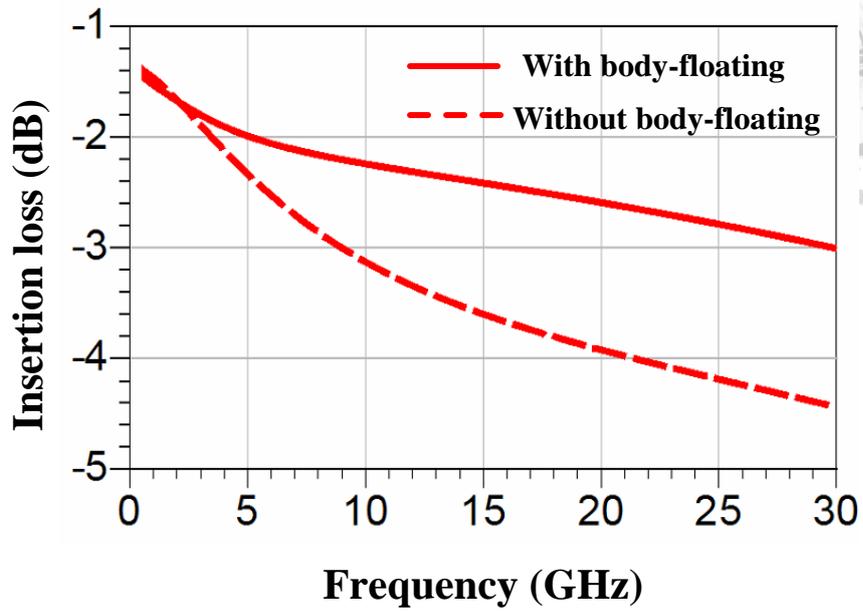
圖 3-5 雙刀雙擲射頻切換器架構



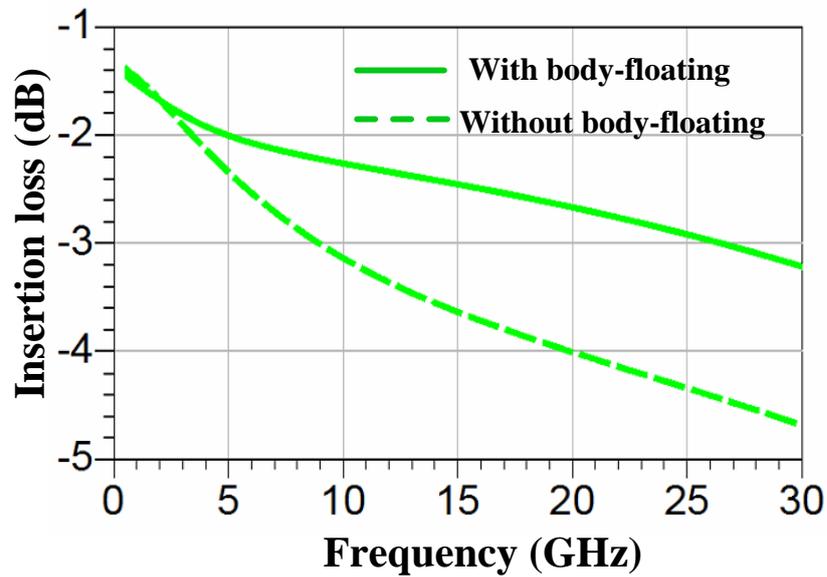
(a)



(b)



(c)



(d)

圖 3-6 有無使用浮體效應之插入損耗響應 (a) 發射端到 H 天線 (b) 發射端到 V 天線 (c) 接收端到 V 天線 (d) 接收端到 H 天線



3.3.3 對稱式雙刀雙擲切換器設計

本篇論文中，電晶體主要工作主要分為導通狀態(電晶體三極管區)，和關閉狀態(電晶體截止區)，因為串連電晶體在導通狀態時，等效上為一個小電阻 R_{ON} 且電晶體的汲極和源極兩點經電阻後的壓降並不會相差太多，故針對並聯電晶體在通帶導通時討論大信號對於電路線性度的影響，如圖 3-7 所示，並聯的電晶體 $V_S = 0$ V 而若要工作在電晶體三極管區則 $V_{GS} > V_{th}$ 且 $V_{GD} > V_{th}$ ，在訊號逐漸變大時，在 V_D 的訊號振幅有可能讓電晶體的工作區間改變，進而影響電路線性度，故若將 V_{th} 利用元件尺寸設計的方式增加，則電路對於訊號振幅的容忍度也會增加，藉此可提高線性度，而在 40 nm CMOS 製程下，將寬度縮小可以達到此效果。

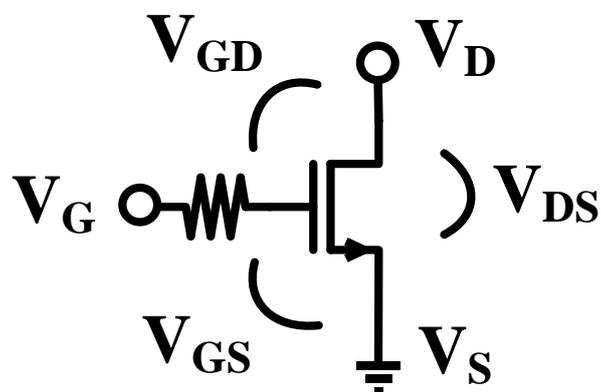
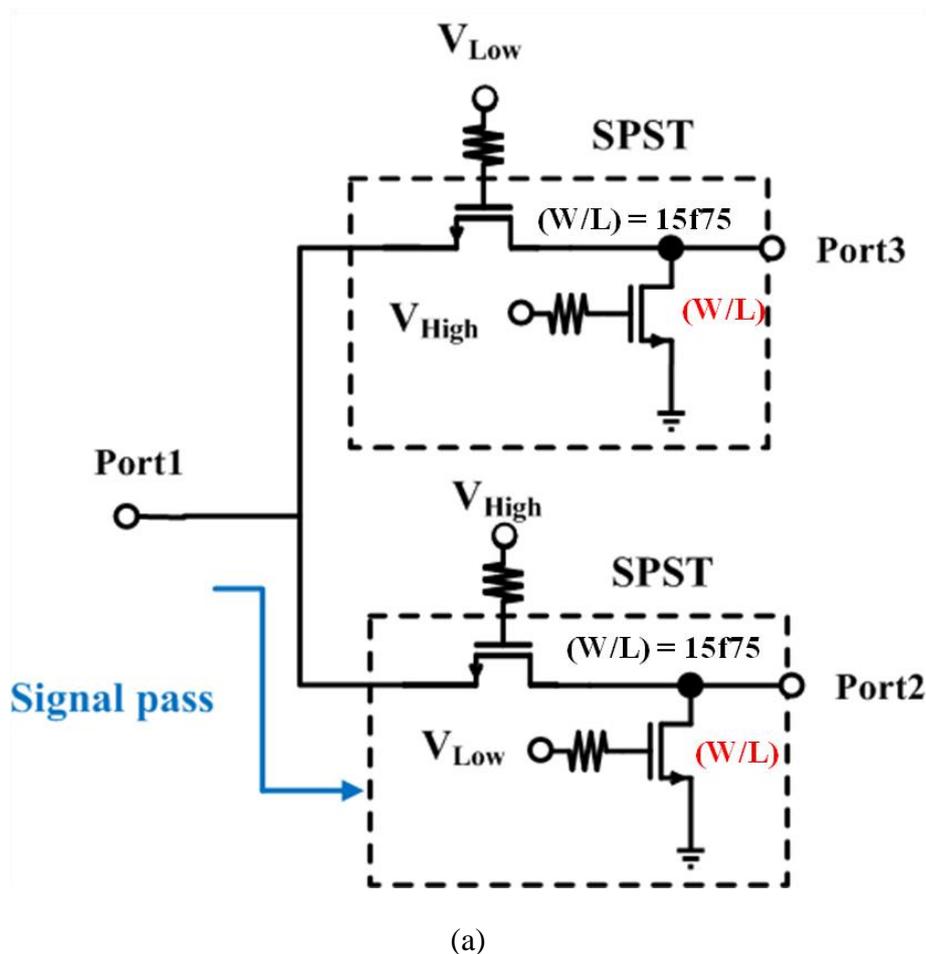
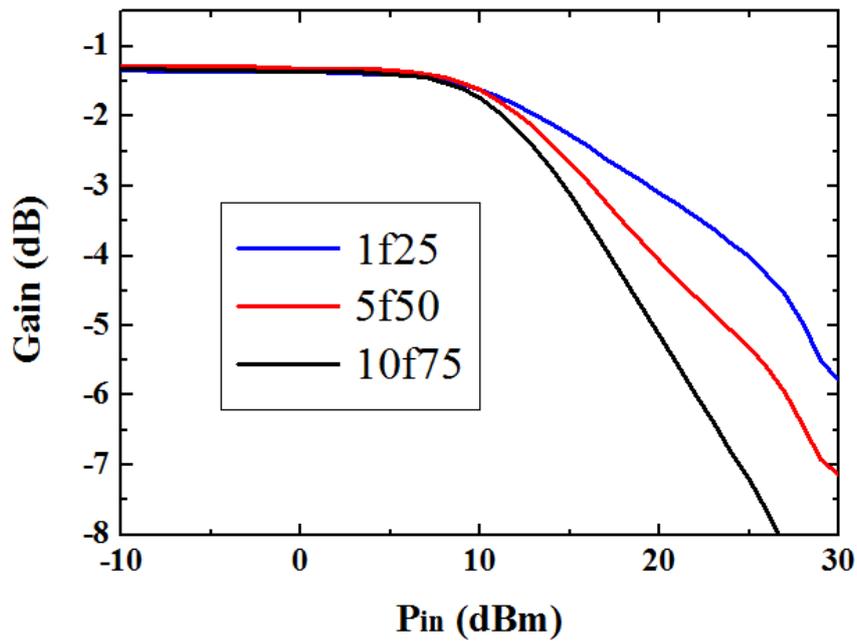
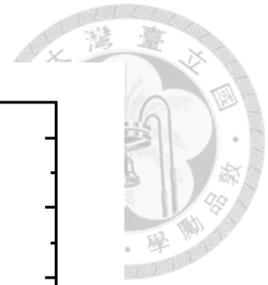


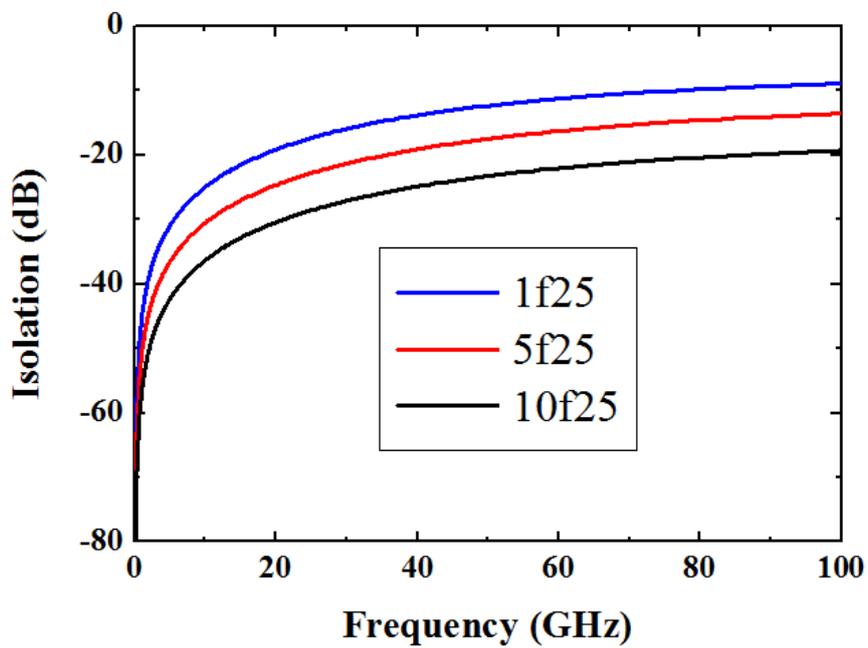
圖 3-7 並聯電晶體模型

為了達到高線性度的效果，架構上以串-並聯式射頻切換器電路為基礎，而電晶體尺寸的選擇為設計的重點，在固定通道長度之下，尺寸大的電晶體開關會有比較大的寄生電容，但相對來說會有比較小的寄生電阻，若選擇尺寸小的電晶體開關則會有較大的寄生電阻，但寄生電容會比較小，而並聯電晶體的尺寸又進一步將影響串-並聯式射頻切換器的隔離度和線性度。圖 3-7(a)為在 40 nm CMOS 製程下的串-並聯單刀雙擲設計，其中 $(W/L)=15f75$ 代表電晶體 finger 數目為 15 而寬長比比值為 75，並聯電晶體的寬長比會導致隔離度和線性度之間需要有所取捨，而在固定串聯電晶體尺寸之下，並聯電晶體的寬長比的影響模擬如圖 3-7(b)、圖 3-7(c)。





(b)

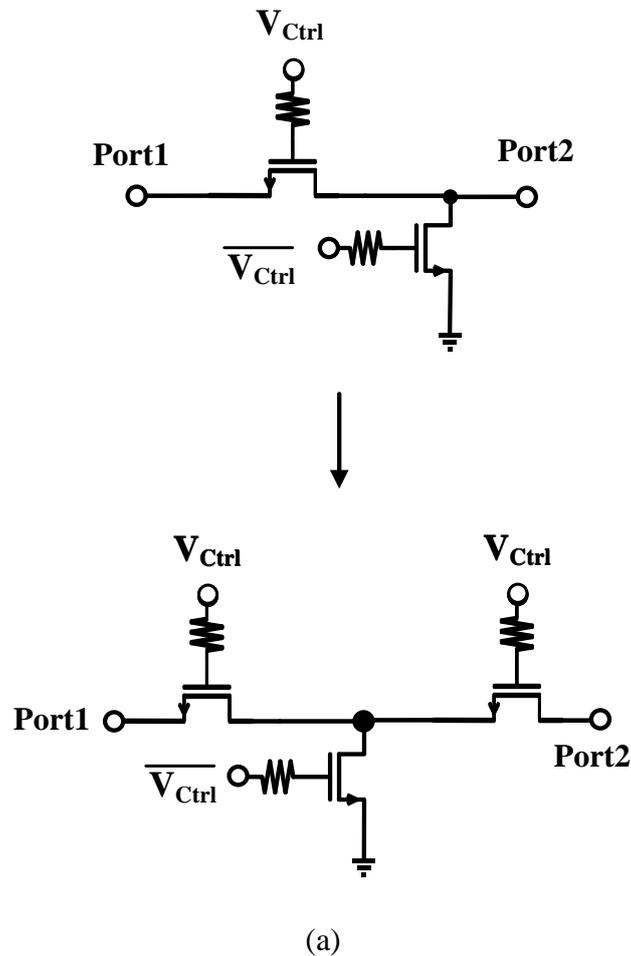


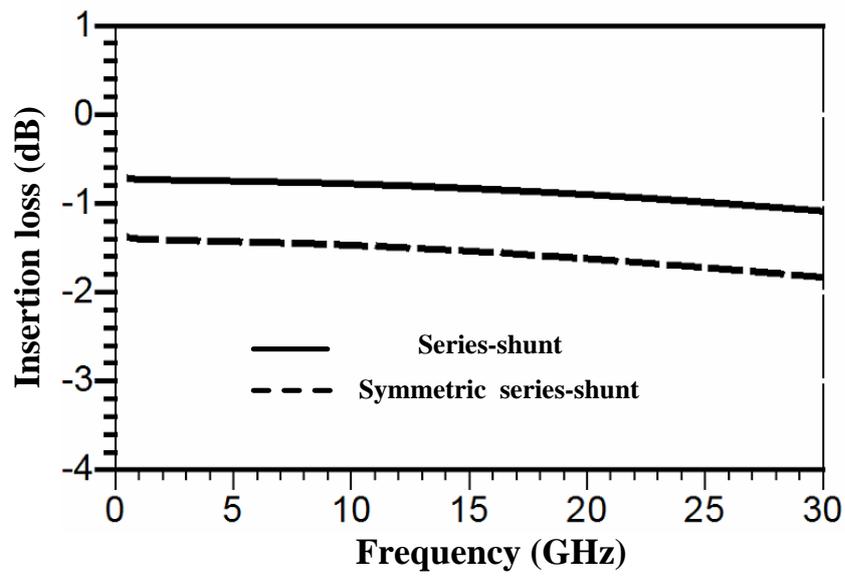
(c)

圖 3-8 單刀雙擲串-並聯式(a)射頻切換器架構圖(b)並聯電晶體寬長比對線性度影響

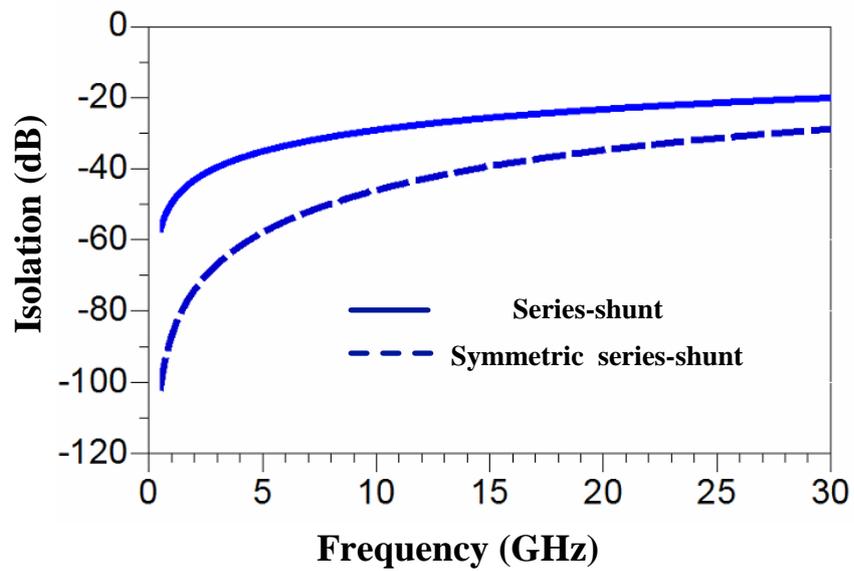
(c)並聯電晶體寬長比對隔離度影響

由上述討論，可知在設計串-並聯單刀雙擲切換器時，並聯電晶體寬長比對於電路的特性有決定性的影響，本論文為了能夠達到雙刀雙擲的效果，並考量到在 40 nm CMOS 製程中，金屬線本身的損耗已經頗大，為了避免因串接兩組單刀雙擲開關產生更多插入損耗，決定改為橋式雙刀雙擲射頻切換器設計，而此架構的對稱性非常重要，但組成圖 3-7(a)的單刀單擲架構並無對稱性，故在本論文中將架構改為對稱性設計如圖 3-8(a)所示，將單刀單擲射頻切換器改為對稱性架構以便組成橋式雙刀雙擲架構，可以在稍微犧牲插入損耗後，得到更高隔離度，同時且不損失線性度如圖 3-8(b)、圖 3-8(c)、圖 3-8(d)。

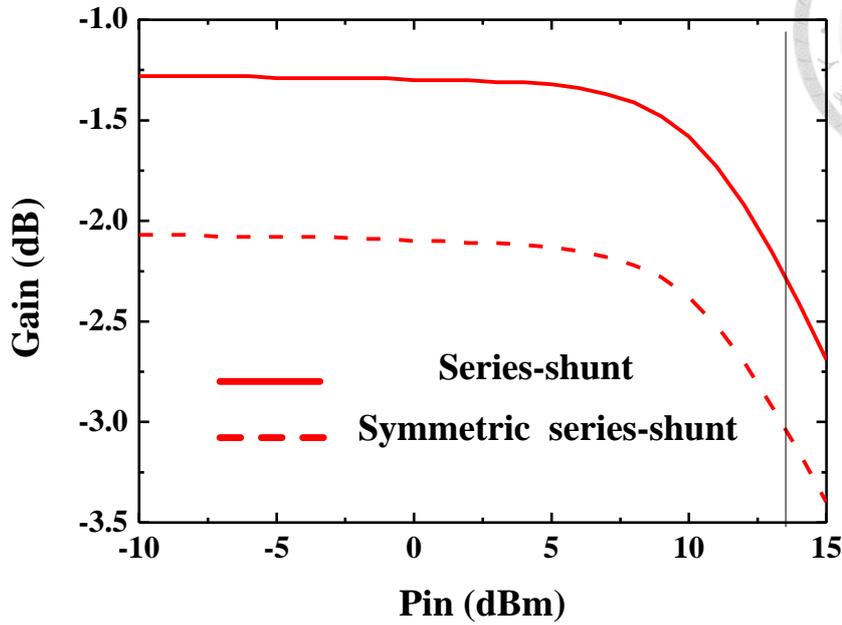
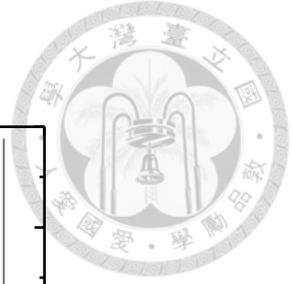




(b)



(c)



(d)

圖 3-9 (a)對稱式單刀單擲射頻切換器架構(b)插入損耗差異(c)隔離度差異(d)線性度差異

以 28 GHz 的 Pre-Simulation 模擬結果為基準，插入損耗約比起串-並聯式單刀雙擲射頻切換器差了約 0.8 dB，而隔離度差了 8 dB，線性度差 < 1 dBm，雖在模擬上得知線性度影響不大，但因為在插入損耗減少的情況下，線性度也會跟著提升，故在考量規格後，本節最後提出之對稱式雙刀雙擲射頻切換器選用串聯電晶體總寬度 60 μm ，並聯電晶體總寬度 12 μm 的橋式架構如圖 3-9，對每一電晶體元件皆使用浮體技術。

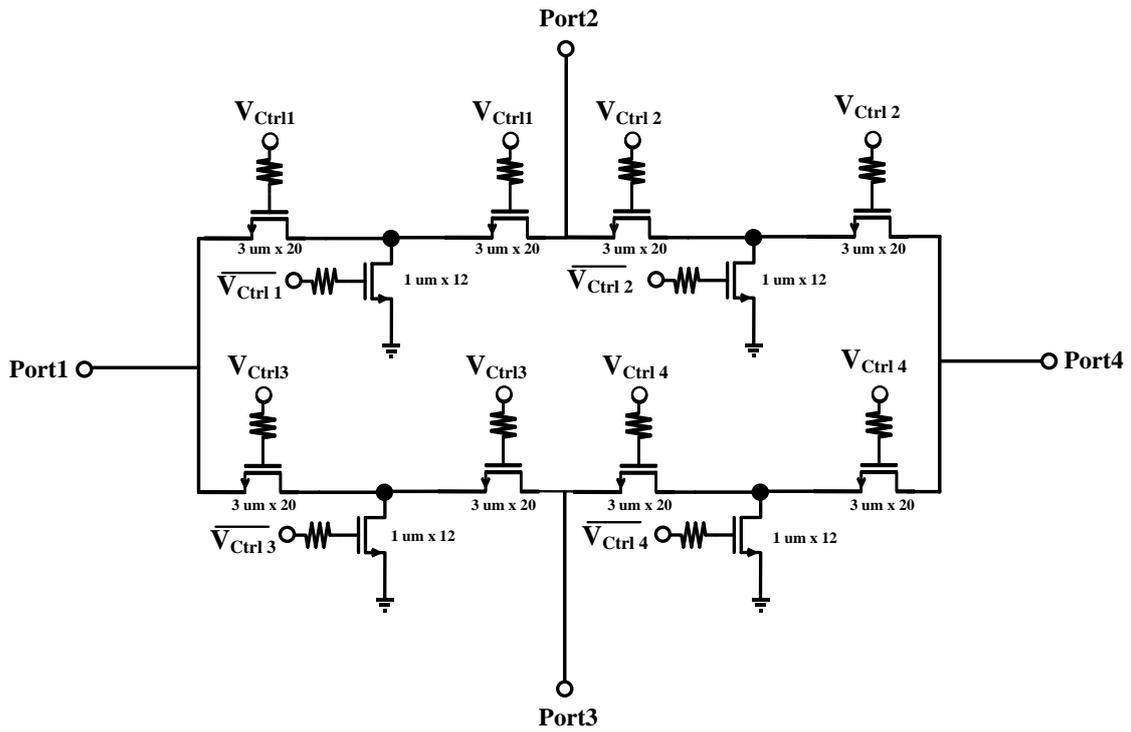


圖 3-10 本節提出之對稱式雙刀雙擲射頻開關架構



3.4 Ka 頻段對稱式雙刀雙擲射頻切換器量測環境與量測結果

3.4.1 量測環境

晶片的量測環境如圖 3-10，主要為使用網路分析儀(Keysight N5247A)量測 S 參數，再利用電源供應器(Agilent E3646A)來控制不同埠的導通和關閉，總共分為四個狀態分別為 port1 到 port2、port1 到 port3、port2 到 port4、port3 到 port4，在雙刀雙擲射頻切換器之中一次只會導通一個通道，舉例來說，若 port1 和 port2 導通，則除了這兩端之間的開關開啟，其於都開關都要處於關閉狀態。

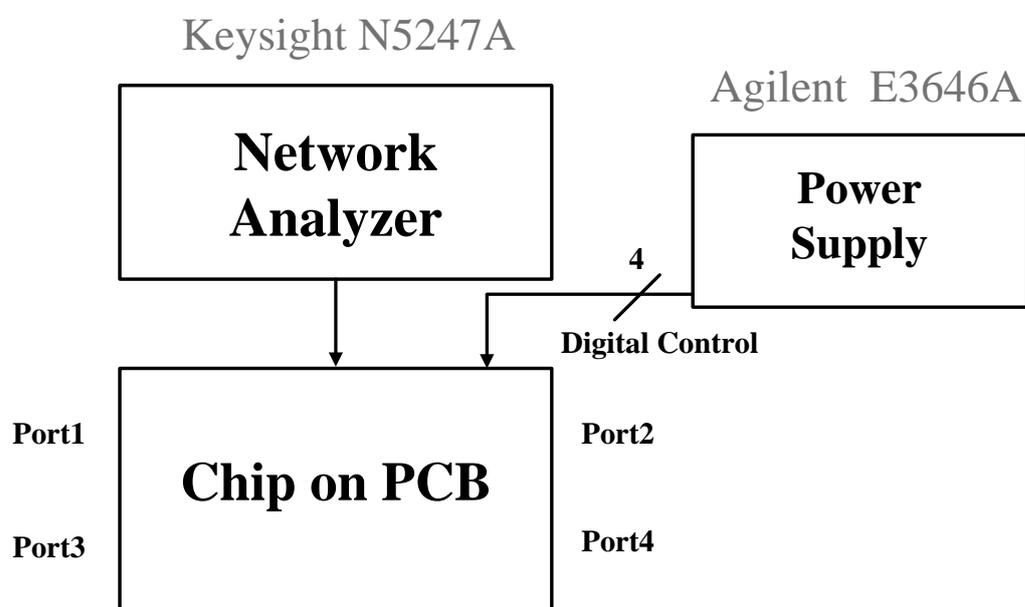


圖 3-11 晶片的量測環境

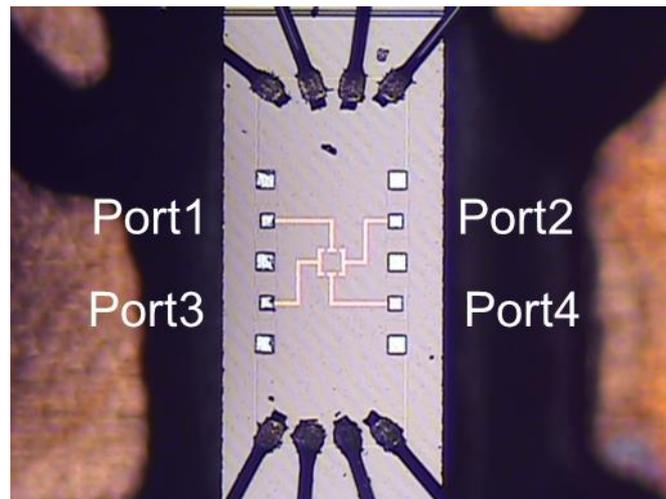
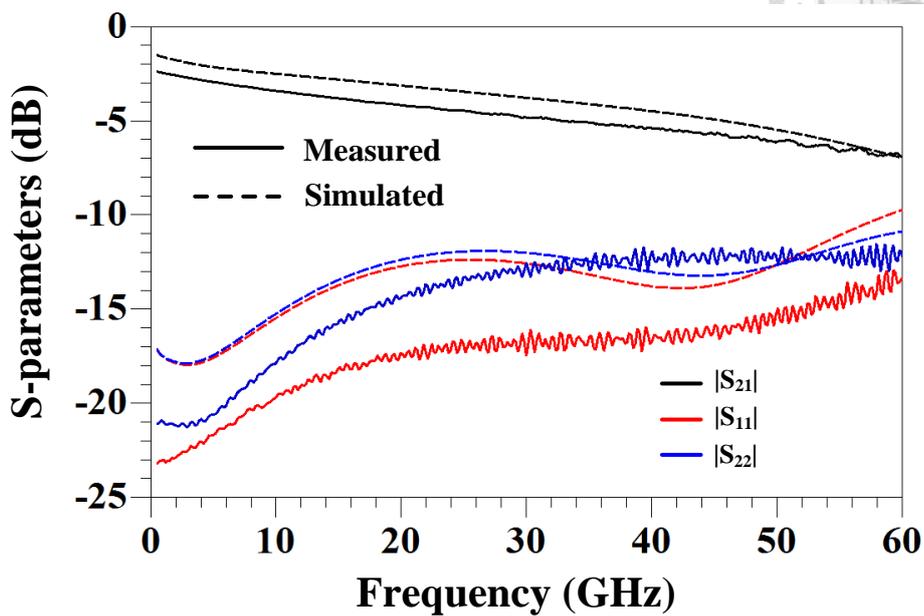


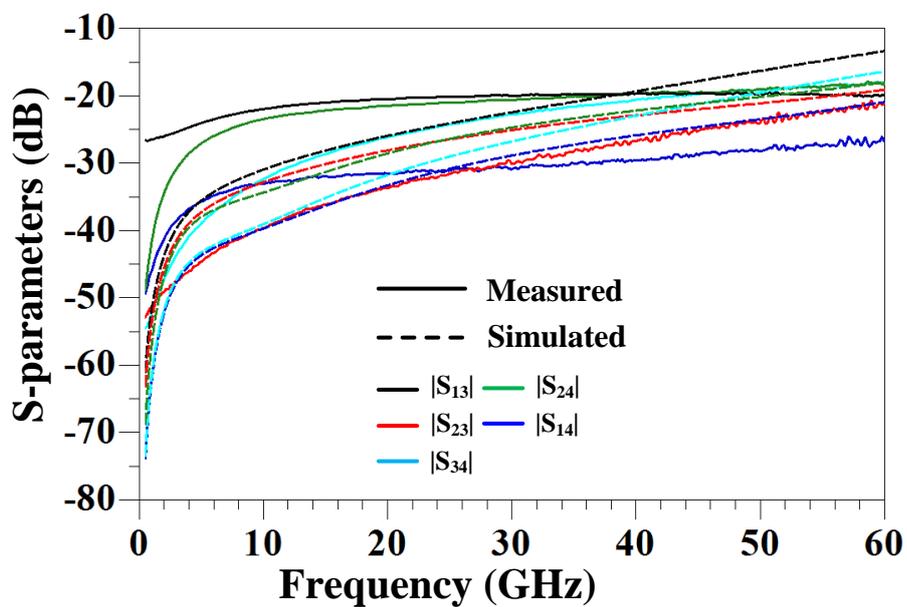
圖 3-12 對稱式射頻雙刀雙擲射頻開關晶片圖

3.4.2 量測結果

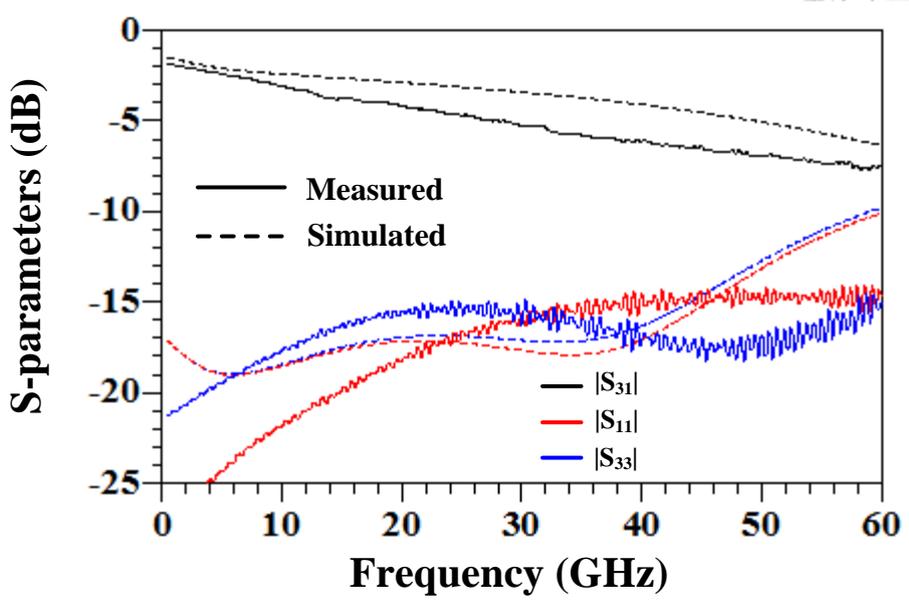
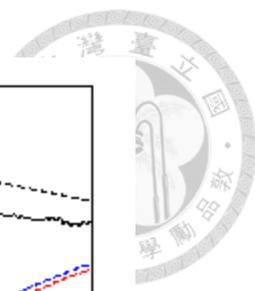
晶片面積含 pad 為 $1000\text{ um} \times 400\text{ um}$ ，量測結果圖示中以實線表示實際量測結果，虛線為模擬結果，圖 3-12(a) 為 port1 到 port2 導通時的插入損耗和返回損耗，0.5 GHz 到 60 GHz 的插入損耗為 2.6 dB – 5.8 dB，0.5 GHz 到 58 GHz 的返回損耗皆大於 10 dB；0.5 GHz 到 41 GHz 的隔離度皆大於 20 dB 如圖 3-12(b) 所示；圖 3-12(c) 為 port1 到 port3 導通時的插入損耗和返回損耗，其中 0.5 GHz 到 60 GHz 的插入損耗為 2.2 dB – 6.6 dB，0.5 GHz 到 60 GHz 的返回損耗皆大於 10 dB；0.5 GHz 到 31 GHz 的隔離度皆大於 20 dB 如圖 3-12(d) 所示；圖 3-12(e) 為 port3 到 port4 導通時的插入損耗和返回損耗，0.5 GHz 到 60 GHz 的插入損耗為 3.1dB – 5.7 dB；0.5 GHz 到 31 GHz 的隔離度皆大於 20 dB 如圖 3-12(f) 所示；圖 3-12(g) 為 port2 到 port4 導通時的插入損耗和返回損耗，0.5 GHz 到 60 GHz 的插入損耗為 3.1dB – 6.3 dB，0.5 GHz 到 60 GHz 的返回損耗皆大於 10 dB；0.5 GHz 到 30 GHz 的隔離度皆大於 20 dB 如圖 3-12(h) 所示；圖 3-12(i) 為 port1 到 port2 之間針對 28GHz 信號的 P1dB 量測，量測結果為大於 12 dBm。



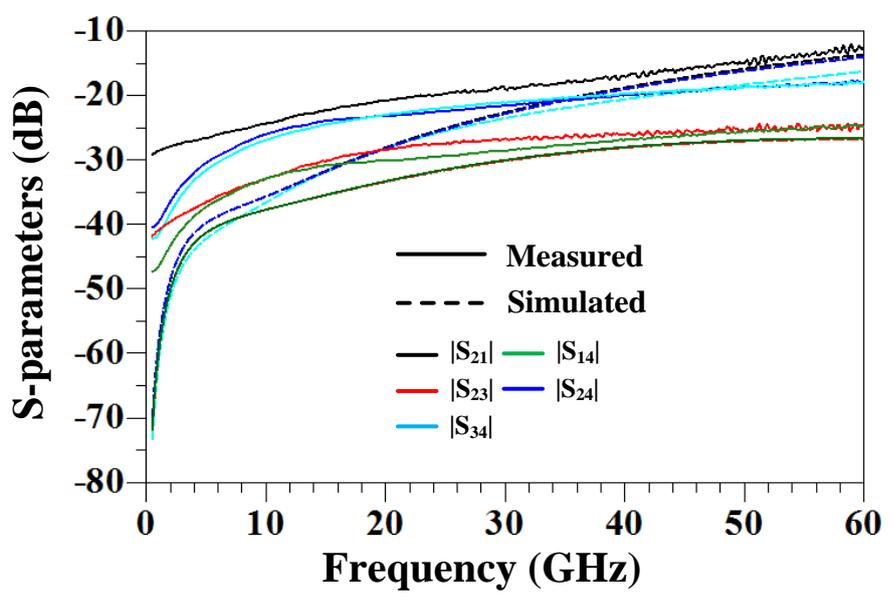
(a)



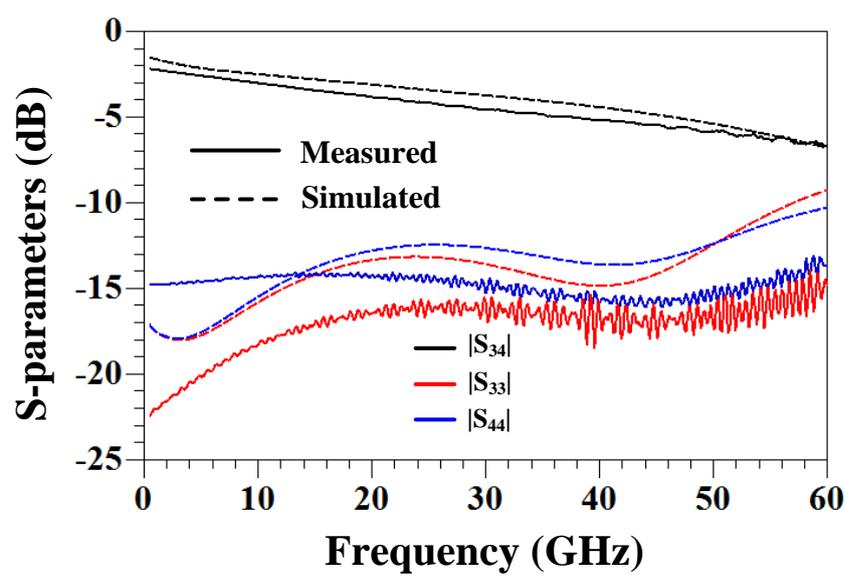
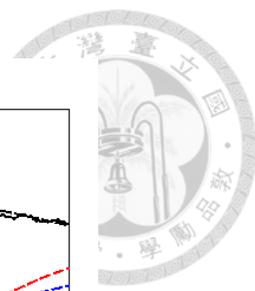
(b)



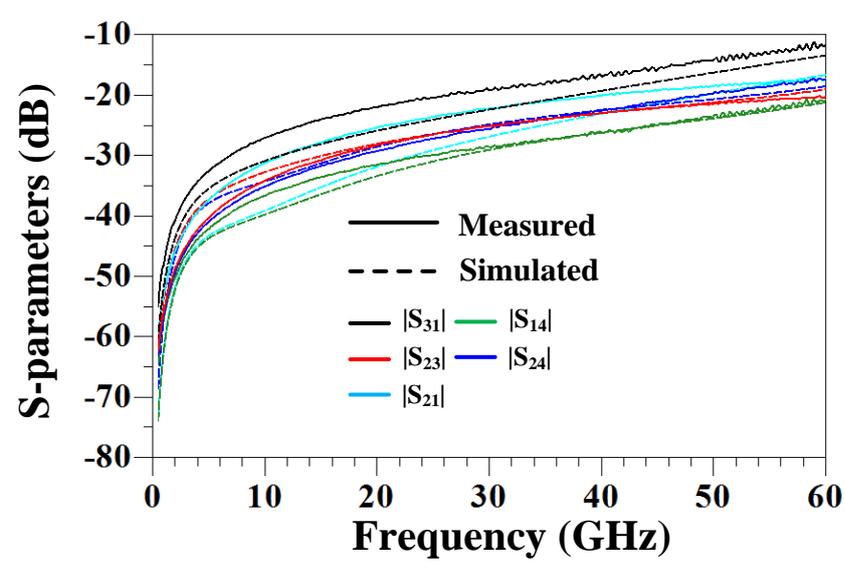
(c)



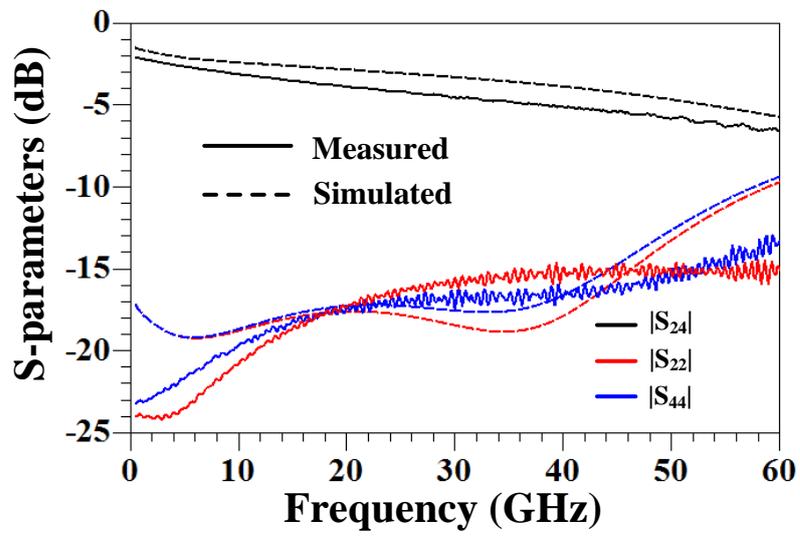
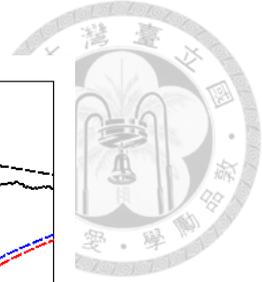
(d)



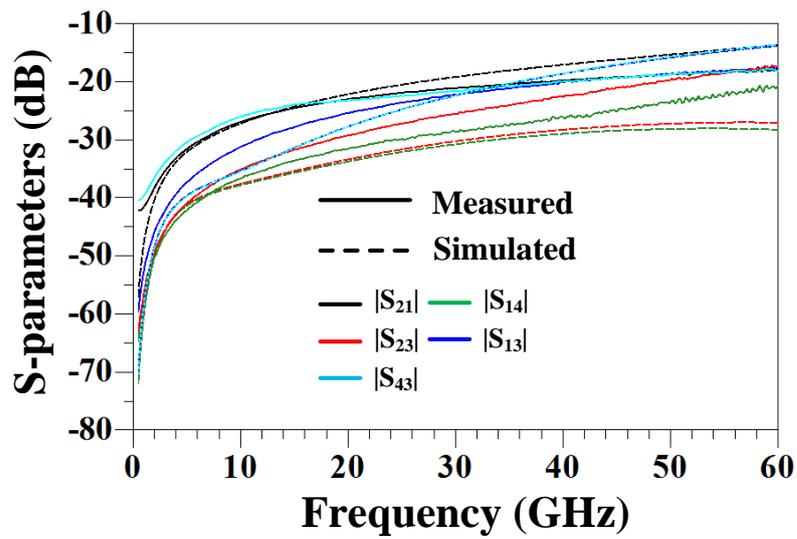
(e)



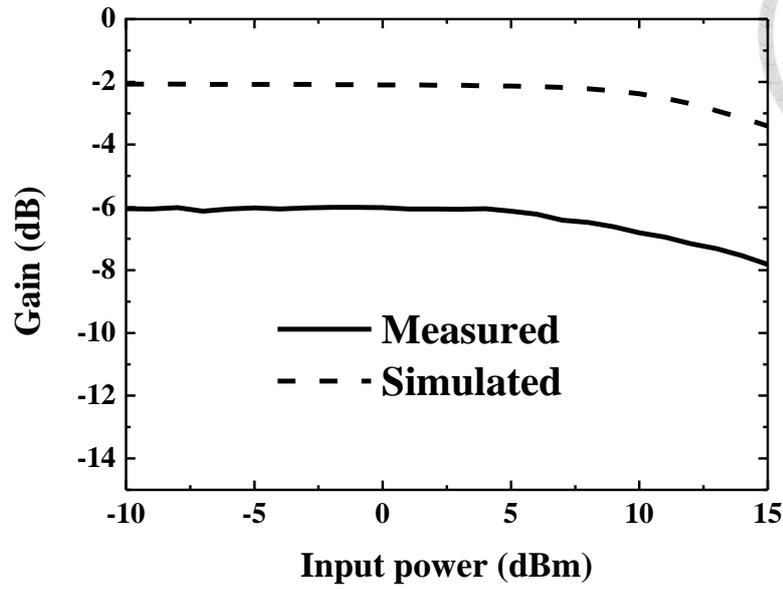
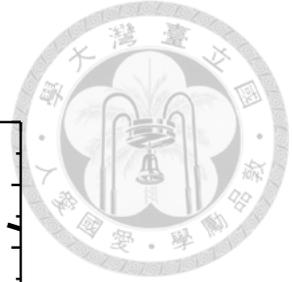
(f)



(g)



(h)



(i)

圖 3-13 對稱式雙刀雙擲射頻切換器頻率響應圖 (a) S_{21} 埠 1-埠 2 導通 (b) S_{21} 導通時其它埠之間隔離度 (c) S_{31} 導通埠 1-埠 3 導通(d) S_{31} 導通時其它埠之間隔離度 (e) S_{43} 埠 3-埠 4 導通 (f) S_{43} 導通時其它埠之間隔離度 (g) S_{42} 埠 2-埠 4 導通 (h) S_{42} 導通時其它埠之間隔離度 (i) $P_{1dB}@28\text{ GHz}$

第四章、Ka 頻帶共振式雙刀雙擲射頻切換器設計與量測結果



本章節將介紹共振式雙刀雙擲射頻切換器的設計，帶止濾波器的等效模型以及在 40 nm CMOS 製程中串聯電晶體寬度對於插入損耗、隔離度影響，共振式雙刀雙擲射頻切換器的設計以及量測結果與結論。

4.1 帶止濾波器基礎觀念

由圖 3.2(a)，圖 3.2(b)之低通原型濾波器，令端點電阻或是電導為 1，以 $g_0 = 1$ 來表示，截止頻率也令為 1，以 $\Omega_c = 1$ 表示，以及 Ω 為頻域函數，假設要將低通響應轉換成帶通響應，則帶通頻寬為 $\omega_2 - \omega_1$ ，其中 ω_1 和 ω_2 代表上下兩個止帶的頻率邊緣，則所需的頻率轉換函數如下

$$\Omega = \frac{\Omega_c}{FBW} \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \quad (4.1)$$

$$FBW = \frac{\omega_2 - \omega_1}{\omega_0} \quad (4.2)$$

$$\omega_0 = \sqrt{\omega_1 \omega_2} \quad (4.3)$$

其中 ω_0 代表中心頻率，FBW(Fractional Bandwidth)表示分數頻寬定義如(4.2)，若將

此頻率轉換公式應用在低通原型濾波器之電抗(reactive)元件 g 值則可得到

$$j\Omega g = j\omega \frac{\Omega_c g}{FBW\omega_0} + \frac{1}{j\omega} \frac{\Omega_c \omega_0 g}{FBW} \quad (4.4)$$



由(4.4)可以知道原本在低通濾波原型裡的電容元件 g 或是電感元件 g 在帶通濾波器中將會被轉換成 LC 共振電路，而在帶通濾波器裡的 LC 串聯共振器的表示式為

$$L_s = \left(\frac{\Omega_c}{FBW\omega_0}\right)\gamma_0 g \quad (4.5)$$

$$C_s = \left(\frac{FBW}{\omega_0\Omega_c}\right)\frac{1}{\gamma_0 g} \quad (4.6)$$

在(4.5)、(4.6)的 g 值代表電感，同樣要加入阻抗因子 γ_0 計算。另外並聯時的 LC 共振電路表示式為

$$C_p = \left(\frac{\Omega_c}{FBW\omega_0}\right)\frac{g}{\gamma_0} \quad (4.7)$$

$$L_p = \left(\frac{FBW}{\omega_0\Omega_c}\right)\frac{\gamma_0}{g} \quad (4.8)$$

在(4.7)、(4.8)的 g 值代表電容，由(4.5)-(4.8)我們可以觀察知 $\omega_0 L_s = \left(\frac{1}{\omega_0 C_s}\right)$ 和

$\omega_0 L_p = \left(\frac{1}{\omega_0 C_p}\right)$ ，我們可將 g 值經轉換後之等效電路示為圖(4.1)

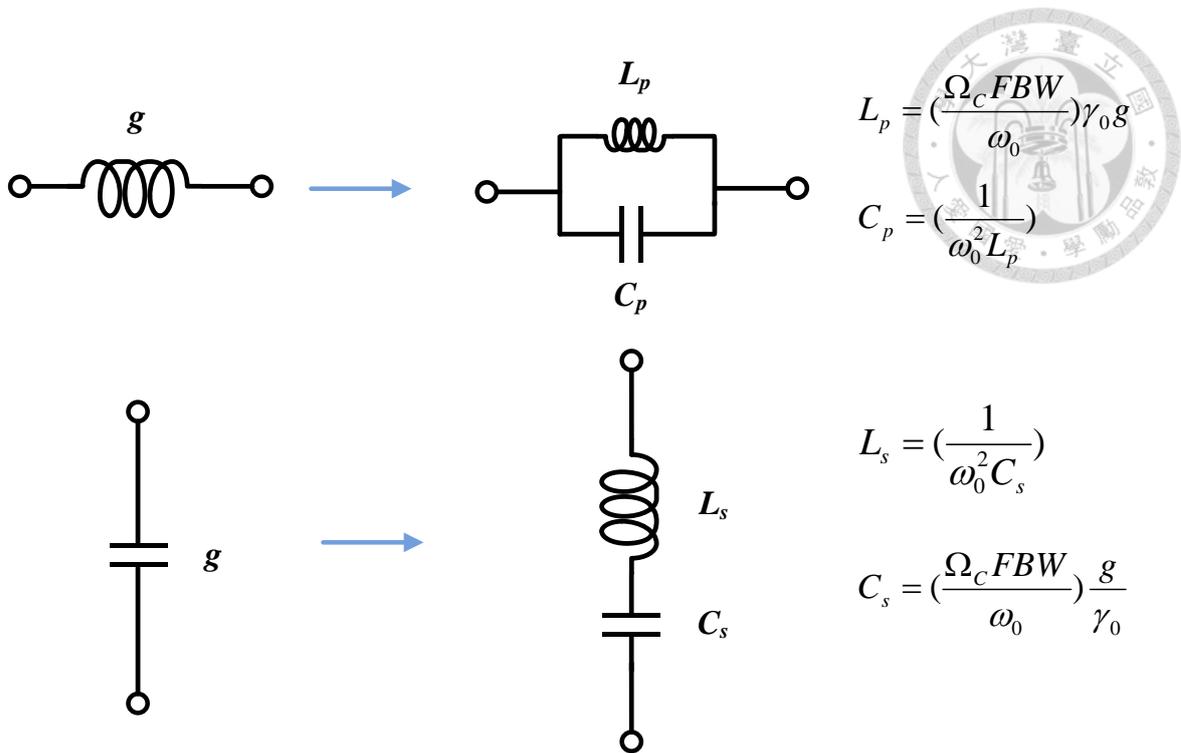


圖 4-1 原型低通濾波器轉換至帶通濾波器之元件關係

又若要將原型低通形式轉換改至帶止形式，其頻率轉換關係如下

$$\Omega = \frac{\Omega_c FBW}{(\omega_0 / \omega - \omega / \omega_0)} \quad (4.9)$$

$$\omega_0 = \sqrt{\omega_1 \omega_2} \quad (4.10)$$

$$FBW = \frac{\omega_2 - \omega_1}{\omega_0} \quad (4.11)$$

此公式與帶通濾波公式在電感與電容的關係上是相反的，因此在帶止濾波的 LC 並聯共振電路等效為



$$C_p = \left(\frac{1}{FBW \omega_0 \Omega_c} \right) \frac{1}{\gamma_0 g} \quad (4.12)$$

$$L_p = \left(\frac{\Omega_c FBW}{\omega_0} \right) \gamma_0 g \quad (4.13)$$

在(4.12)，(4.13)式中 g 值代表電感。又串聯共振電路為

$$L_s = \left(\frac{1}{FBW \omega_0 \Omega_c} \right) \frac{\gamma_0}{g} \quad (4.14)$$

$$C_s = \left(\frac{\Omega_c FBW}{\omega_0} \right) \frac{g}{\gamma_0} \quad (4.15)$$

其中 g 值代表電容，

觀察(4.12)-(4.15)可以發現和帶通轉換相似的關係 $\omega_0 L_s = \left(\frac{1}{\omega_0 C_s} \right)$ 和 $\omega_0 L_p = \left(\frac{1}{\omega_0 C_p} \right)$

而我們將 g 值經轉換後之等效電路示如圖(4.2)。

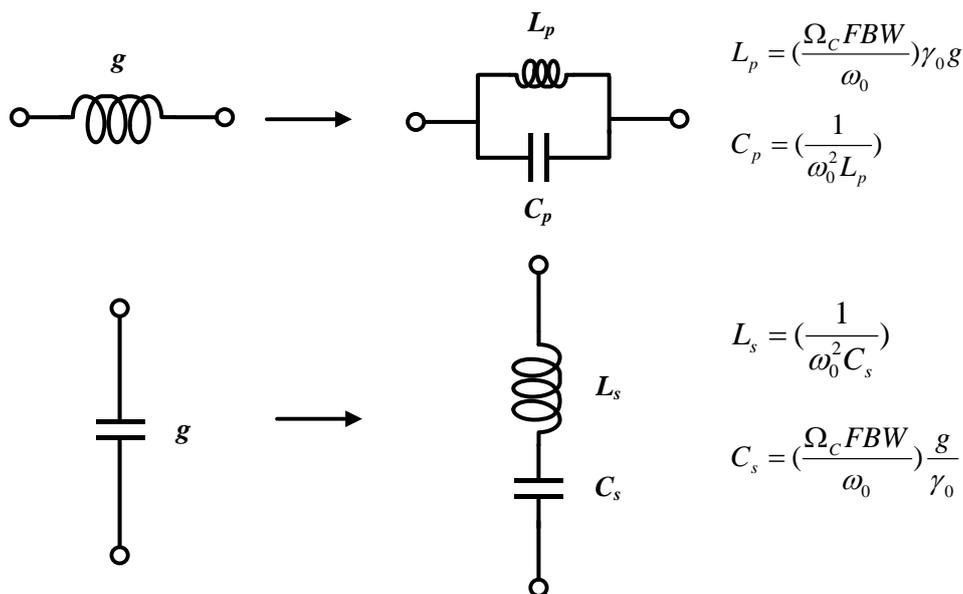


圖 4-2 原型低通濾波器轉換至帶止濾波器之元件關係



4.2 共振式射頻切換器設計

本節將介紹基礎共振式射頻切換器的等效模型以及在 40 nm CMOS 製程中串聯電晶體寬度對切換器的影響並介紹電感以及實際電路。

4.2.1 共振式射頻切換器介紹

由第三章的討論可以得知在設計多工式的射頻切換器時，並聯電晶體的寬長比與線性度和隔離度息息相關，而近年發表的射頻切換器，無論是並聯式射頻切換器[1][2]，利用並聯接地的電晶體做為 $\lambda_g/4$ 波長阻抗轉換器，或是串-並聯式射頻切換器[3]，利用並聯接地的電晶體做為隔離訊號使用，又或是整合濾波器型的射頻切換器[10](也可稱做共振式射頻切換器)，利用並聯電晶體接地時的關閉電容結合一段並聯傳輸線等效電感來形成帶通濾波器，可以發現皆使用了並聯電晶體做為不同用途。而在論文[16]則單純使用串聯電晶體並在電晶體的汲極和源極之間並聯一段傳輸線當成電感使用，藉此使電晶體關閉時形成一個帶止濾波器，然而單刀單擲射頻切換器在現今通訊系統已不敷使用，故本論文將共振式射頻切換器的設計推廣至共振式雙刀雙擲射頻切換器。

4.2.2 串聯共振式雙刀雙擲射頻切換器設計

如圖 2-8(b)所示，在串聯共振式射頻切換器中，當開關導通時，電晶體可等效為一電阻 R_{on} ，而在關閉時可等效為電容 C_{off} 。若將電晶體的汲極和源極之間並聯一個電感 L ，則能夠形成在止帶內以頻率 f_0 為中心頻率的帶止濾波器，其中



$$f_0 = \frac{1}{2\pi\sqrt{LC_{off}}} \quad (4.16)$$

串聯多級相同的 LC 共振器(同一個中心頻率)則可以讓帶止濾波器的頻寬增加，但因電感在晶片面積占比例較大而需多加考量，而圖 4-3(a)為串聯多級 LC 共振示意圖，圖 4-3(b)為針對 1 GHz 為中心頻率且以理想 LC 帶止電路在一級、三級、五級之頻率響應圖，

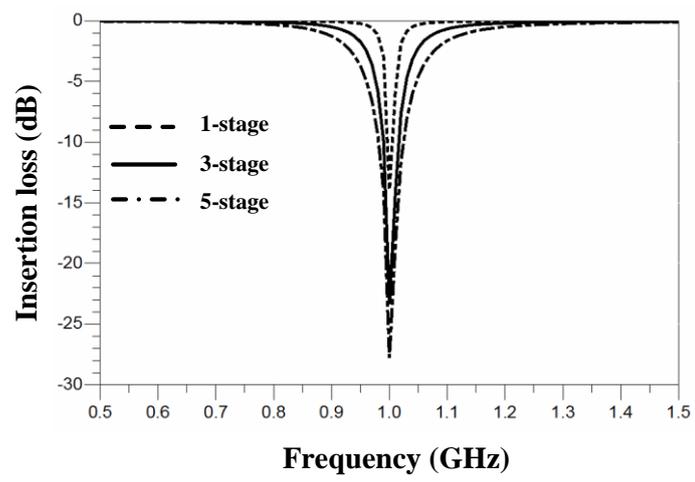
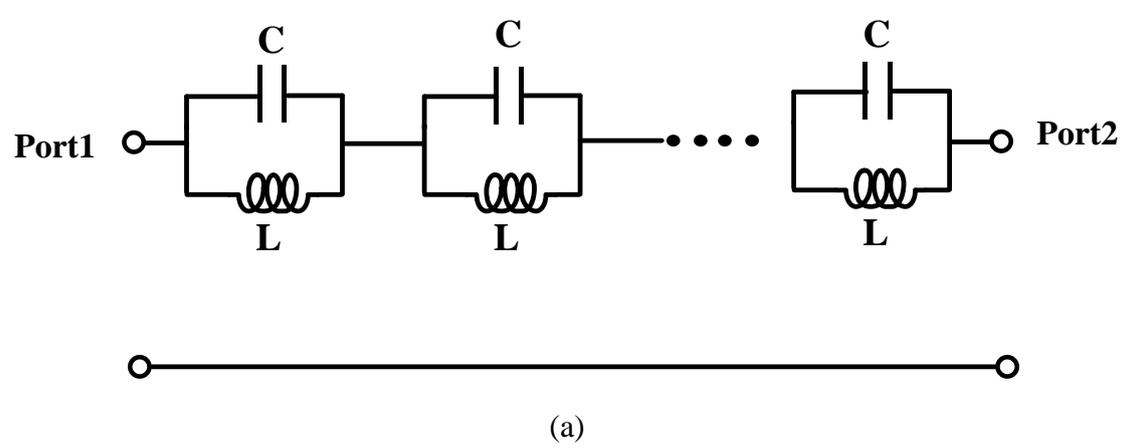
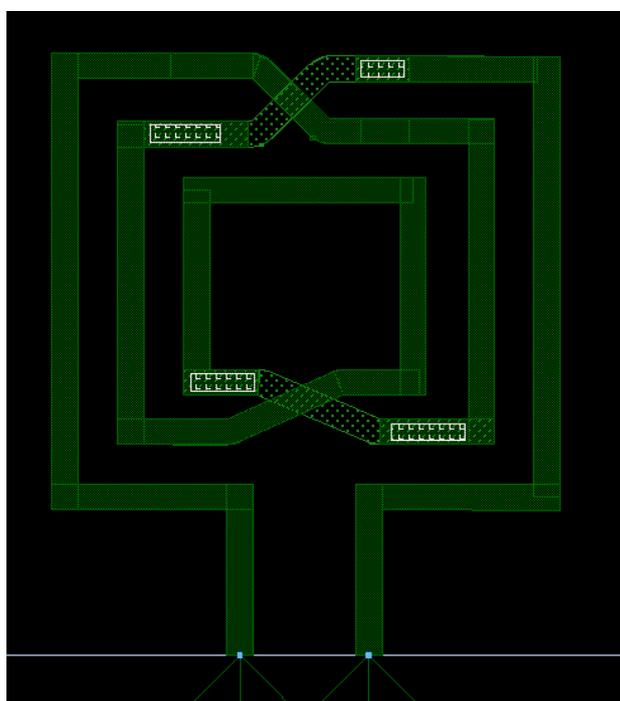


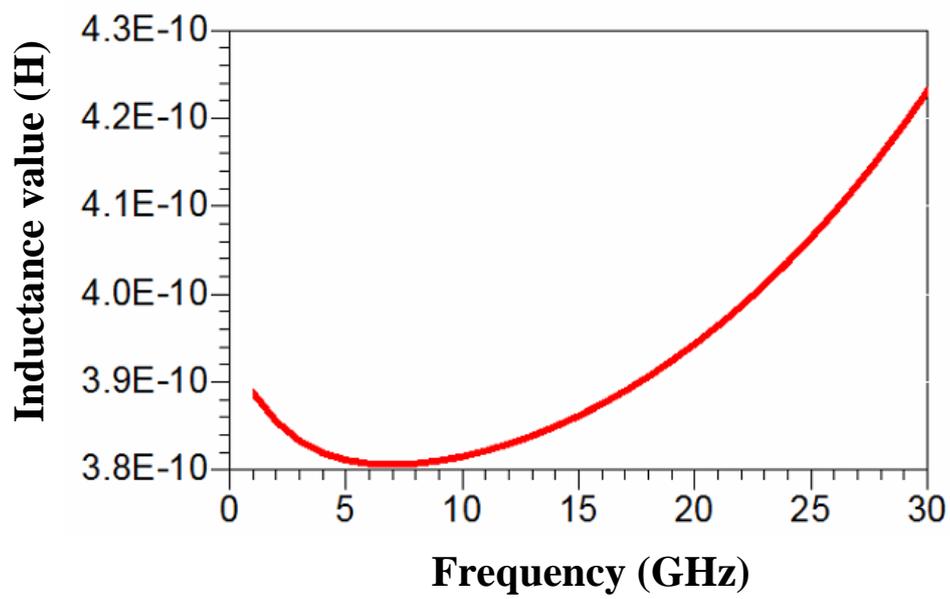
圖 4-3 串聯多級 LC(a)架構圖(b)1 GHz 頻率響應圖



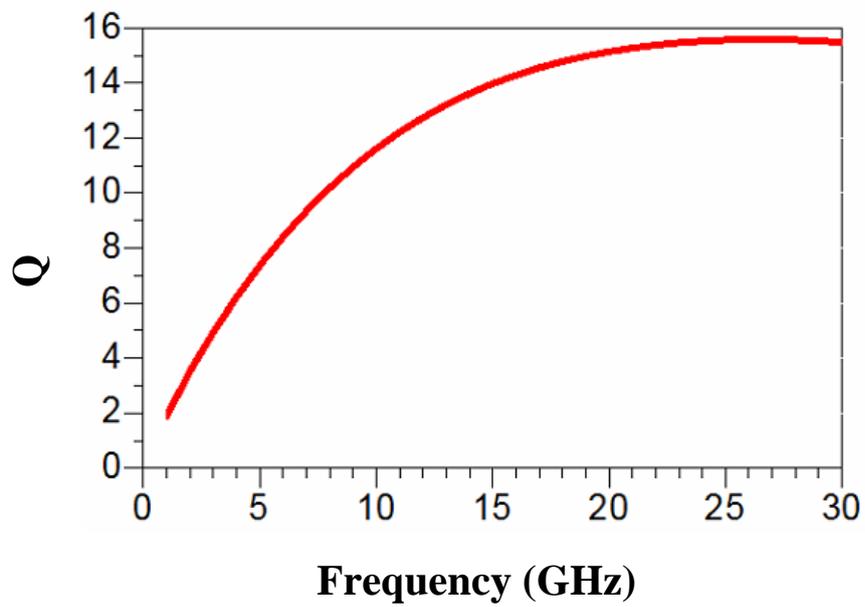
由於在止帶的隔離度主要為關閉狀態之電晶體的電容和並聯電感所組成的帶止濾波器所提供，而帶止濾波的效果除了和電晶體尺寸相關之外，電感值與其 Q 值也占了一席之地。在本論文中採用電感如圖 4-4(a)所示其使用了第十層金屬以期寄生電容最小且利用了迴繞的方式減少面積，且使用 ADS momentum 模擬電磁響應在 0-30 GHz 電感值模擬圖 4-4(b)，電感 Q 值為圖 4-4(c)，



(a)



(b)



(c)

圖 4-4 電感(a)佈局架構圖(b)感值 v.s.頻率(c) Q 值 v.s.頻率



本節提出之共振式雙刀雙擲射頻切換器選用兩級串聯架構，寬度為 100 μm ，並聯電感值在 30GHz 時約為 420 pF，其完整電路如圖 4-5 所示，針對所有電晶體皆有使用浮體技術，其並聯電感之佈局圖則如圖 4-4(a)所示。

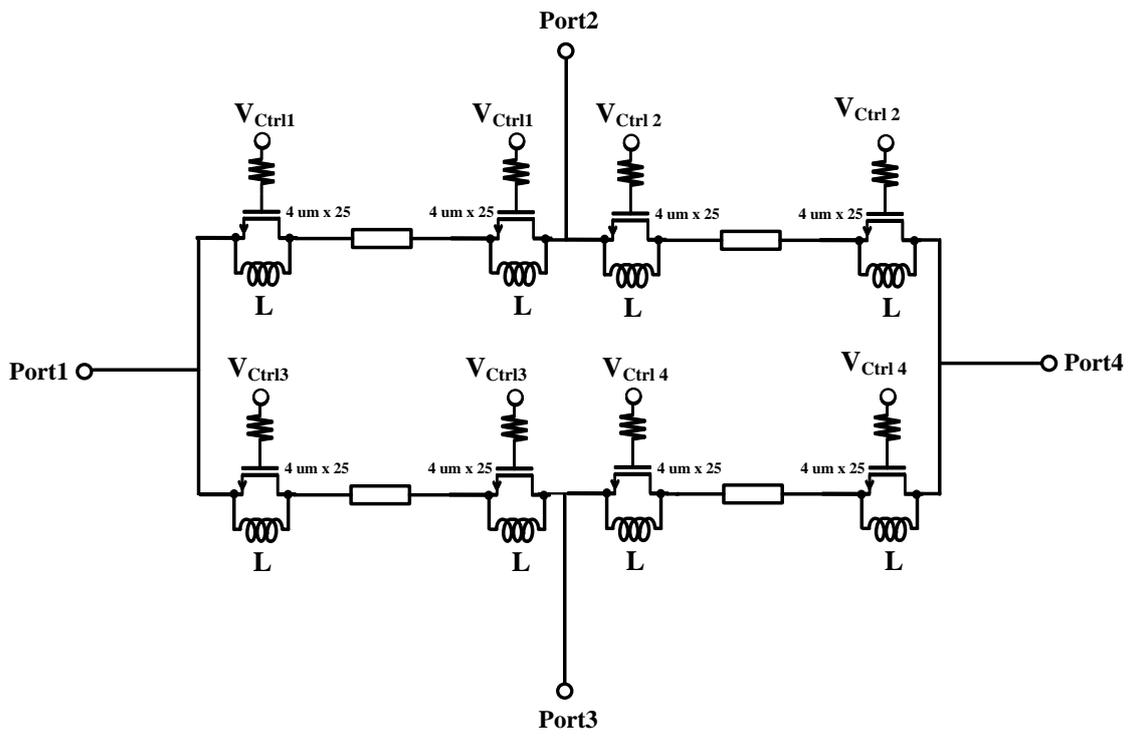


圖 4-5 本論文提出之共振式雙刀雙擲射頻切換器電路



4.3 Ka 頻段共振式雙刀雙擲射頻切換器量測環境與量測結果

4.3.1 量測環境

晶片的量測環境如圖 4-6 所示，主要使用網路分析儀(Keysight N5247A) 量測 S 參數，再利用電源供應器(Agilent E3646A)來控制不同埠的導通和關閉，總共四個狀態(同前一顆晶片)分別為 port1 到 port2、port1 到 port3、port2 到 port4、port3 到 port4，而此晶片採用全部下針的方式量測，分別為上下為電壓控制，左右為訊號輸入或輸出如圖 4-7 所示。

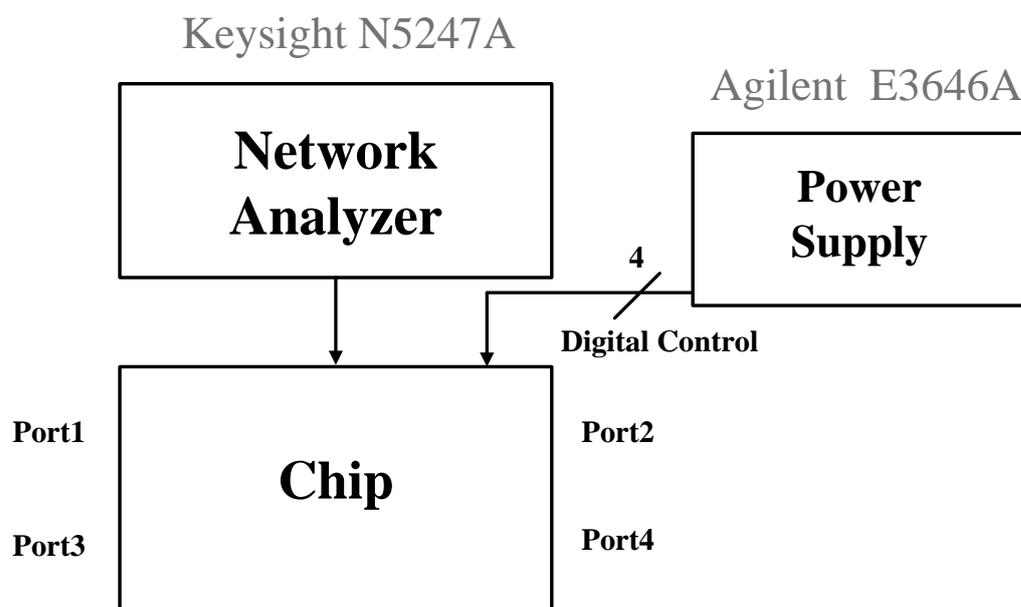


圖 4-6 量測環境

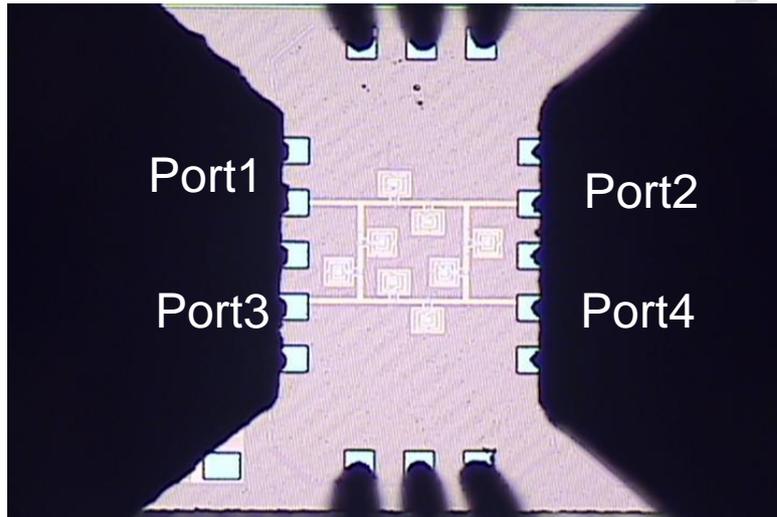
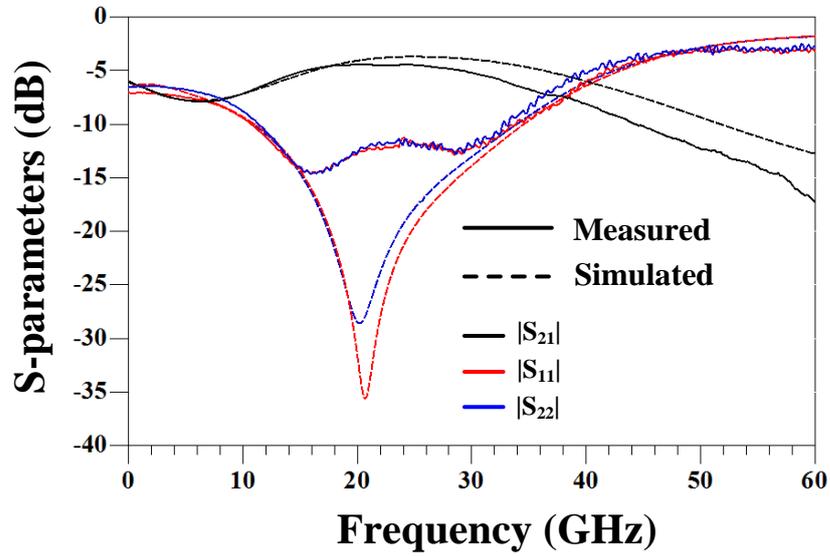


圖 4-7 提出之共振式雙刀雙擲射頻切換器晶片圖

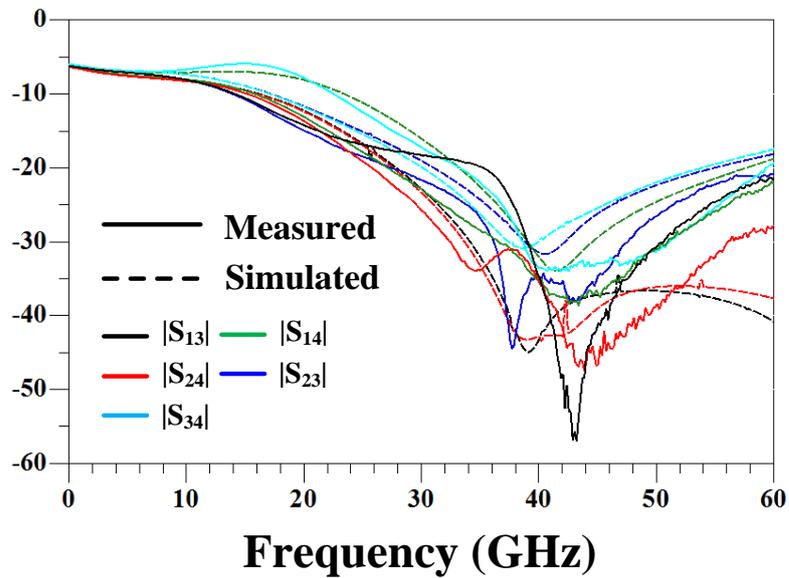
4.3.2 量測結果

量測晶片面積為 $1180\text{ um} \times 510\text{ um}$ (含 pad)，量測結果圖示中以實線表示實際量測結果，虛線表示模擬結果，圖 4-8(a)為 port1 到 port2 導通時的插入損耗和返回損耗，中心頻率約為 20 GHz，3dB-FBW 為 95%，插入損耗約為 4.5 dB，返回損耗皆大於 10 dB；圖 4-8(b)為 port1 到 port2 導通時不同埠之間的隔離度，電感和關閉電晶體的寄生電容所形成的帶止濾波器其中心頻率約為 40 GHz，且在 35-55 GHz 之間隔離度大於 18 dB。圖 4-8(c)為 port1 到 port3 導通的狀態下，插入損耗約為 5 dB，返回損耗皆大於 10 dB，中心頻率約為 20 GHz，3dB-FBW 為 80%，圖 4-8(d)為 port1 到 port3 導通的狀態時不同埠之間的隔離度，在 34-52 GHz 之間的隔離度大於 20 dB。圖 4-8(e)為 port3 到 port4 導通的狀態下，插入損耗約為 4.5 dB，返回損耗皆大於 10 dB，中心頻率約為 20 GHz，3dB-FBW 為 95%；圖 4-8(f)為 port3 到 port4 導通的狀態時其不同埠之間的隔離度，在 34-54 GHz 之間的隔離度大於 18 dB；圖 4-8(g)為 port2 到 port4 導通的狀態下，插入損耗約為 5.1 dB，返回損耗皆大於 10 dB，中心頻率約為 20 GHz，3dB-FBW 為 82%；圖 4-8(h)為 port2 到 port4 導通的狀態時其

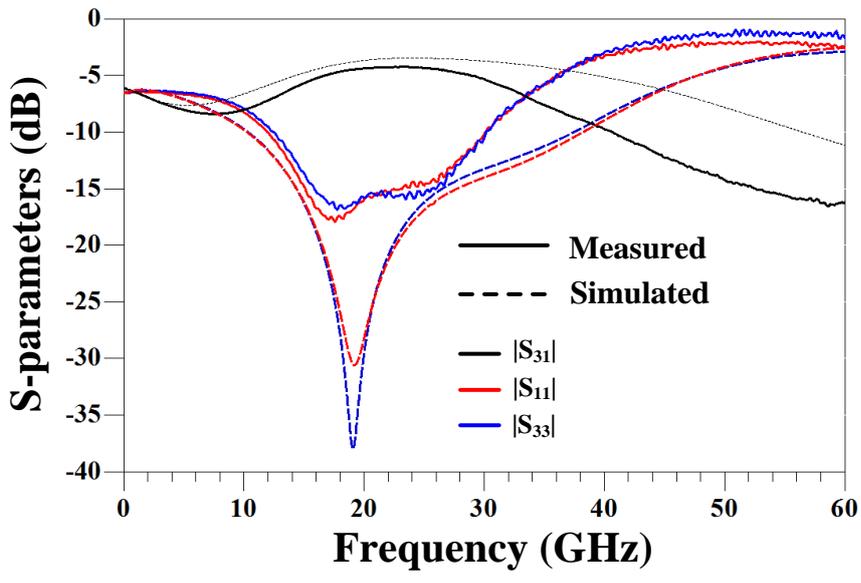
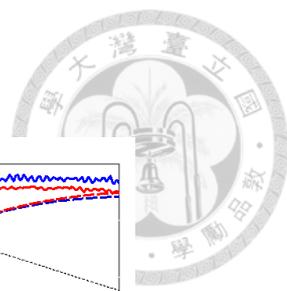
不同埠之間的隔離度，在 33-54 GHz 之間的隔離度大於 20 dB，圖 4-8(i)為 port1 到 port2 之間針對 28GHz 信號的 P1dB 量測，量測結果為大於 20 dBm，表三為此晶片和其他先進製程文獻比較表。



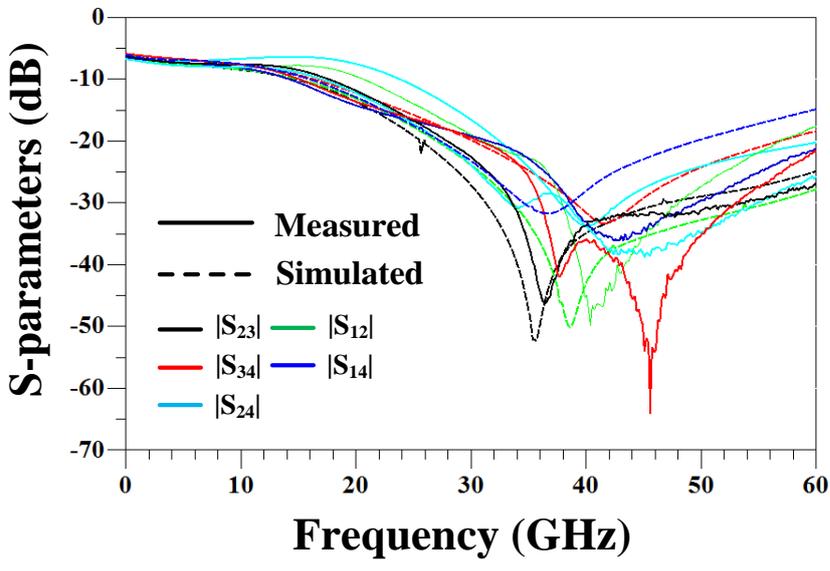
(a)



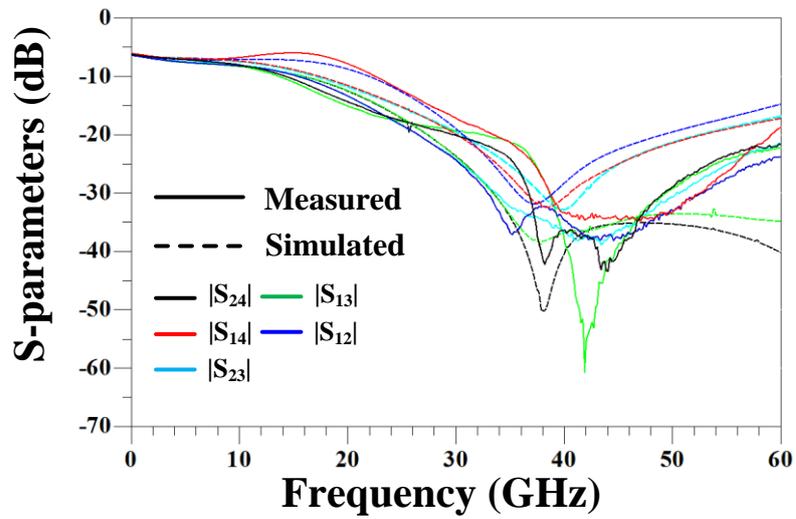
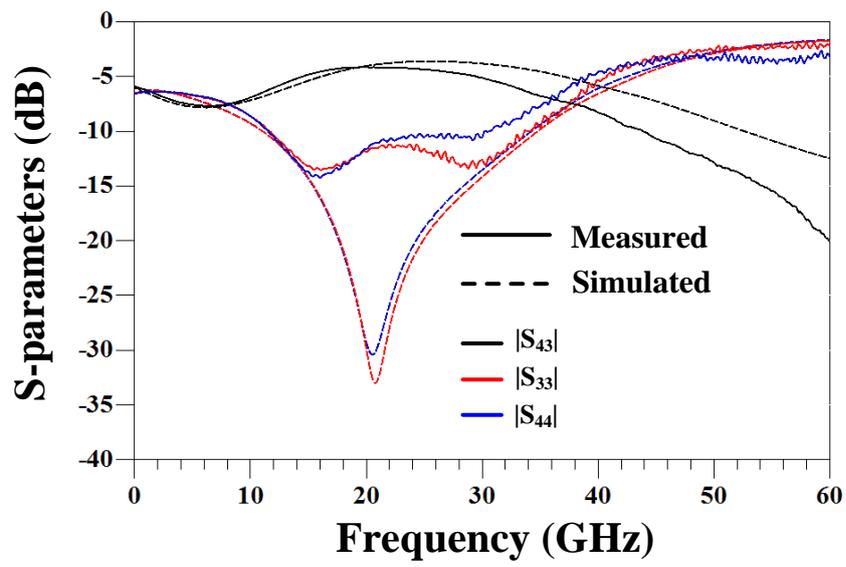
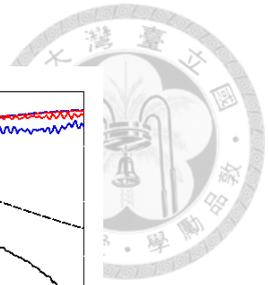
(b)

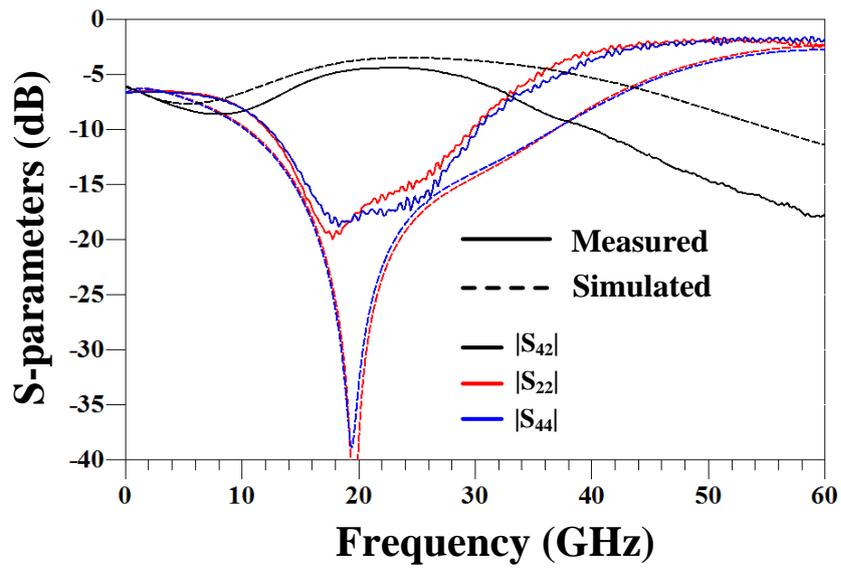
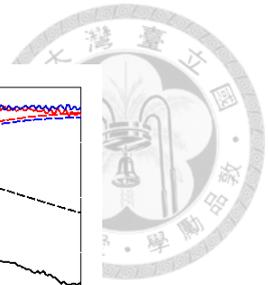


(c)

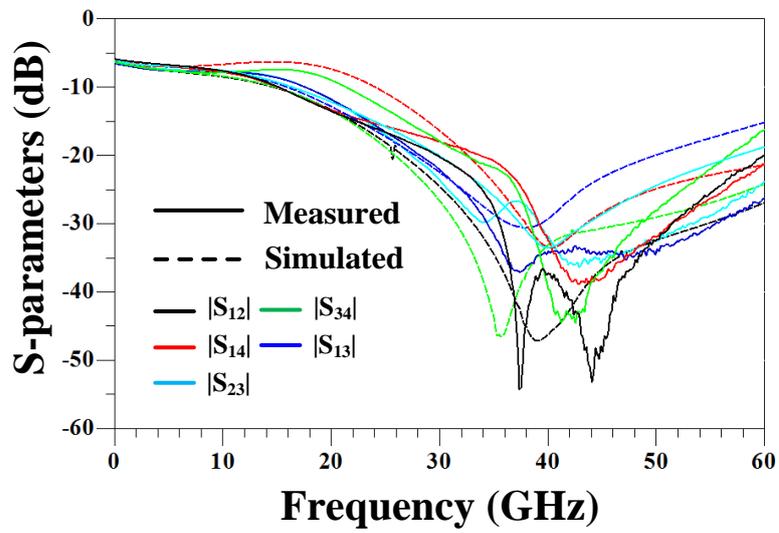


(d)

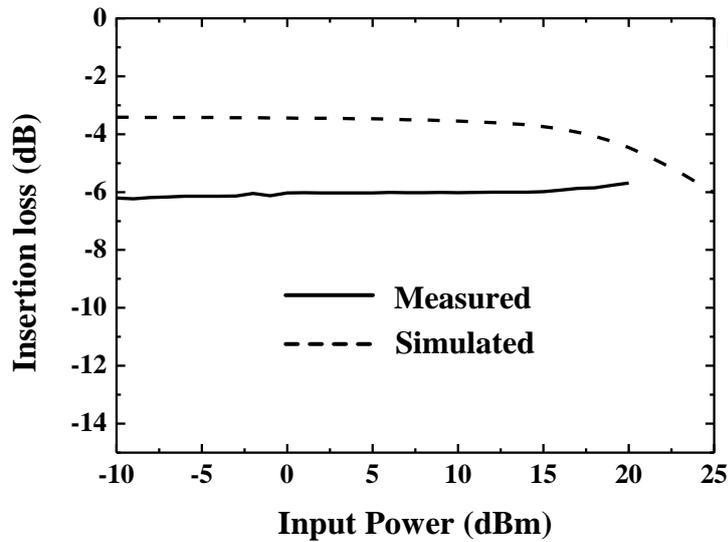




(g)



(h)



(i)

圖 4-8 共振式雙刀雙擲射頻切換器頻率響應圖 (a) S_{21} 埠 1-埠 2 導通 (b) S_{21} 導通時其它埠之間隔離度 (c) S_{31} 導通埠 1-埠 3 導通(d) S_{31} 導通時其它埠之間隔離度 (e) S_{43} 埠 3-埠 4 導通 (f) S_{43} 導通時其它埠之間隔離度 (g) S_{42} 埠 2-埠 4 導通 (h) S_{42} 導通時其它埠之間隔離度 (i) $P_{1dB}@28\text{ GHz}$

表三 與其他文獻的比較(DPDT/SPDT)

DPDT/SPDT							
Ref.	This work [40nm 1P6M]	This work [40nm 1P10M]	[21] [65 nm]	[22] [45 nm SOI]	[23] [45 nm SOI]	[24] [45 nm SOI]	[25] [65 nm]
Operating frequency (GHz)	DC - 60	11 - 30	220-285	140-220	94	DC - 60	57 - 66
I/O	DPDT	DPDT	SPDT	SPDT	SPDT	SPDT	DPDT
Insertion loss (dB)	<6.6	~4.8	<5	<4.5	~5.3	<2.5	<3.3
Return loss (dB)	>10	>10	>10	>10	>10	>10	>13
Isolation (dB)	>20*	>20**	>17	>20	>20	>25	>27.5
P_{1dB} (dBm)	12@28G	>20@28G	9.2***	10***	>11@60G	7.1@45G	17***
Chip size (mm ²)	0.006	0.02	0.002	0.1	0.56	0.04	0.108

*約在 0-30 GHz 大於 20 dB
 **約在 30-50 GHz 大於 20 dB
 ***模擬結果



4.4 電路設計流程

圖 4-9 為晶片的設計流程，首先了解製程特性和切換器規格，根據規格需求決定基礎架構，使用 ADS 等模擬軟體進行電路的原型模擬確認是否可以達到規格，若是可以則根據規格特性選用基礎架構，然後進行電晶體的 Pre-Simulation，若是初步模擬後可以達到規格，則進一步進行加入 EM 模擬的 Post-Simulation 因為高頻電路的走線對於頻率響應的影響較大，若是在此處發現規格不符，可以再根據情況更改設計，接著使用 Cadence Virtuoso 進行電路佈局，並利用 Calibre DRC 確認所設計的電路佈局是否有符合晶圓廠所提供的設計準則(Design Rule)，再來則是使用 Calibre LVS 確認對應的電路端點是否正確，再把尚未補齊的接地和 Dummy metal 補上，再跑一次設計準則，全部完成後則可以進行晶片下線。

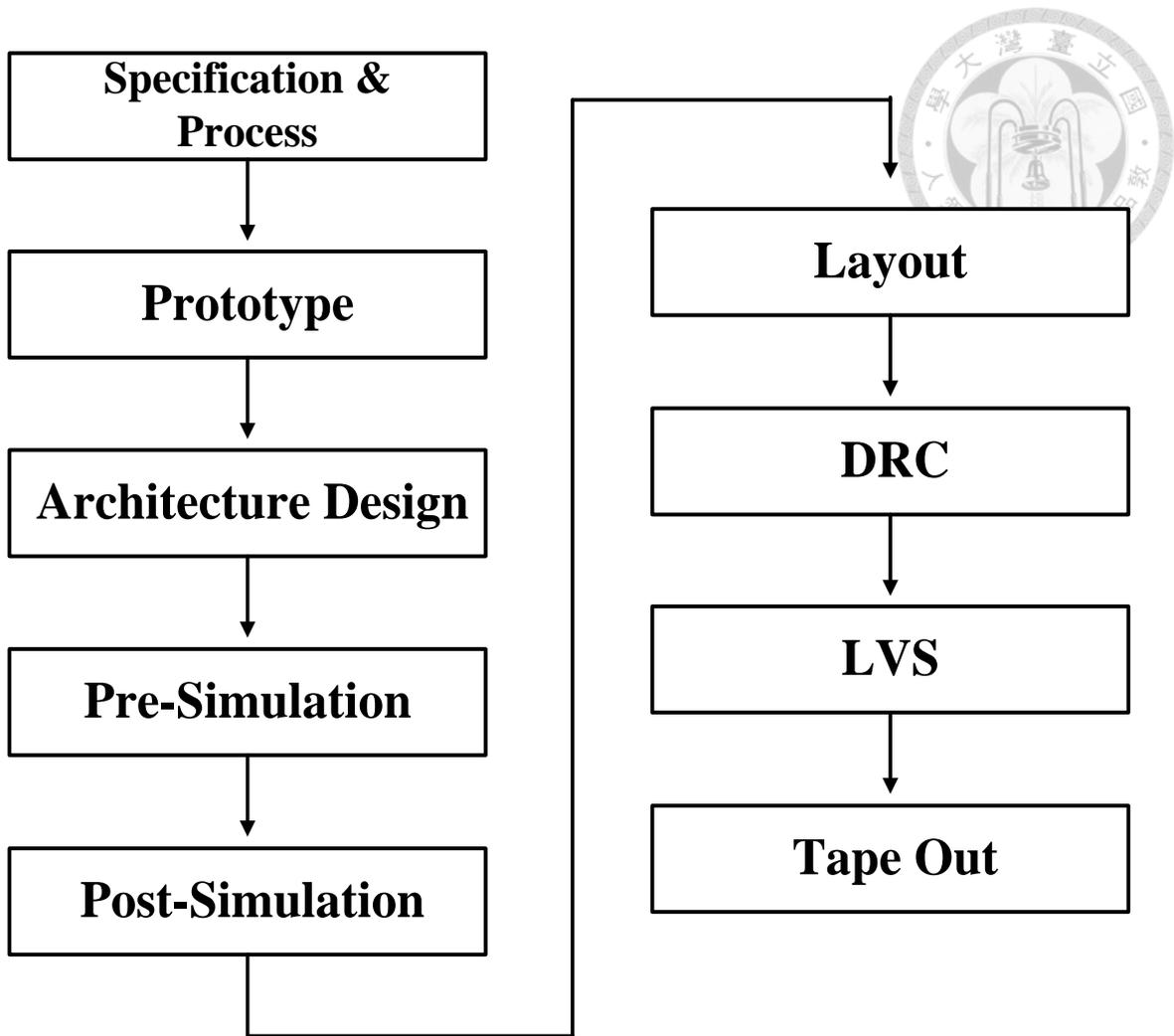


圖 4-9 射頻積體電路設計流程



第五章、結論

5.1 結論

本論文所提出之電路主要以雙刀雙擲(DPDT)射頻切換器為主軸，有別於現今單天線系統的射頻收發機前端架構，雙刀雙擲切換器可以配合雙天線系統，讓指向性更強效率更高的天線可以被利用，因此大幅提升系統的工作效能，考量未來製程微小化以及系統整合晶片(SoC)的趨勢，本論文所有的電路皆採用 40 nm 互補式金屬氧化半導體製程。在射頻收發機前端架構當中，每一個電路模組都有其性能要求，包含增益、雜訊比、阻抗匹配、線性度等等，而其中線性度對於每一個模組都至關重要，因為整個射頻前端架構中，任何一級的線性度降低，整體的線性度也會跟著一起降低。本論文第一個提出之對稱式串-並聯射頻切換器，在設計上選取具有高線性度的串-並聯架構，並且將其電路改成對稱式，藉此除了稍微降低插入損耗之外，可以大幅提高信號隔離度，而對線性度影響卻甚小，且可利用並聯電晶體的尺寸調整來滿足規格的要求。由研究可以得知並聯電晶體尺寸越小，線性度越高，而隔離度越差。

本論文第二個提出之切換器電路為共振式射頻切換器，在設計上著眼於更進一步提升線性度，由於並聯電晶體是串-並聯射頻切換器線性度的主要限制，故選擇將電路架構改為共振式架構，利用電晶體關閉狀態的電容和額外加上的並聯電感形成帶止濾波器，且利用此架構中 LC 的共振特性來決定中心頻段，並由串聯的級數來決定頻寬，在設計上多了不少彈性，最後形成一個高線性度的切換電路架構，而高線性度的射頻切換器可以有效提升射頻電路前端的整合效率。唯在 EM 模擬時寄生電容的考量必須估計更為精準，如此可以妥善的設計讓隔離度和通帶的頻率範圍更為重合，另外本設計的缺點在於電晶體汲極和源極的 DC 電壓為浮點(floating)，故在實際應用上需要由其他電路給定電晶體源極和汲極的直流 DC 準位，所量測出來的線性度才能更為準確。

第六章、未來展望



射頻切換電路對於前後電路的整合程度是重要的一件事，而千里之行始於足下，雙刀雙擲射頻切換器除去外接天線首先會遇到的是低雜訊放大器和功率放大器，把這兩個架構整合在同一個晶片下線為初步目標，且因為在本論文提出的兩個電路架構皆是使用橋式雙刀雙擲開關設計，而裡面的個別組成元素都是屬於對稱性的單刀單擲射頻切換器，而不同的單刀單擲開關個別有其優缺點，舉例來說，在接收端的低雜訊放大器因為接受訊號比較微弱，對於線性度要求並不高，但要求插入損耗能越少越好，故可能可以使用阻抗匹配式的切換器，而在發射端的功率放大器則因為輸出訊號較強，若是後端元件線性度高，可以讓功率放大器的輸出訊號不被壓縮，則可使用本論文提出的第二種架構，最終目標則為改善更好的射頻處理環境讓系統性能更為進步。

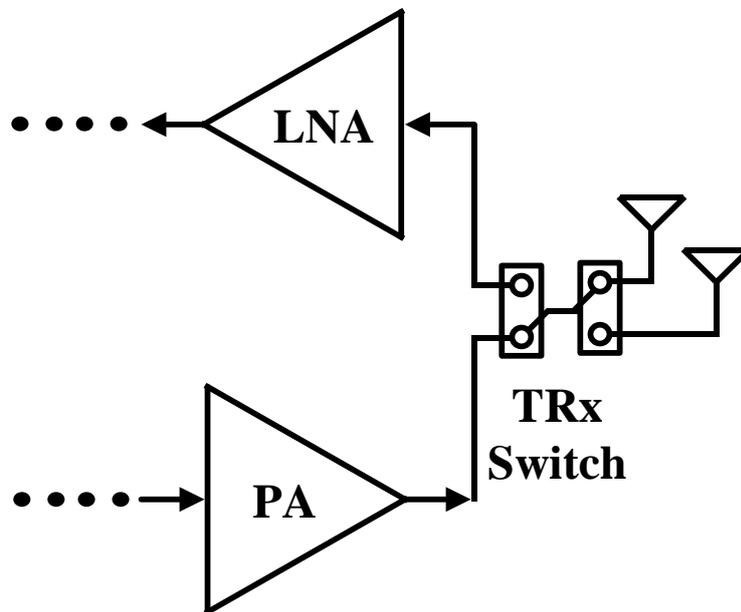


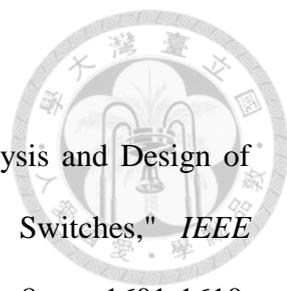
圖 6-1 初步整合的射頻前端架構

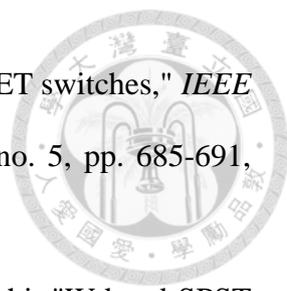
參考資料



- [1] S. F. Chao, H. Wang, C. Y. Su and J. G. J. Chern, "A 50 to 94-GHz CMOS SPDT Switch Using Traveling-Wave Concept," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 2, pp. 130-132, Feb. 2007.
- [2] H. Y. Chang and C. Y. Chan, "A Low Loss High Isolation DC-60 GHz SPDT Traveling-Wave Switch With a Body Bias Technique in 90 nm CMOS Process," *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 2, pp. 82-84, Feb. 2010.
- [3] X. Xu, X. Yang, T. A. Kurniawan and T. Yoshimasu, "Broadband highly linear high isolation SPDT switch IC with floating body technique in 180-nm CMOS," *IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, Singapore, 2015, pp. 653-655.
- [4] Mei-Chao Yeh, Zuo-Min Tsai, Ren-Chieh Liu, K. Y. Lin, Ying-Tang Chang and Huei Wang, "Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 1, pp. 31-39, Jan. 2006.
- [5] A. Tomkins, P. Garcia and S. P. Voinigescu, "A 94GHz SPST Switch in 65nm Bulk CMOS," *IEEE Compound Semiconductor Integrated Circuits Symposium*, Monterey, CA, 2008, pp. 1-4.
- [6] M. Uzunkol and G. Rebeiz, "A Low-Loss 50–70 GHz SPDT Switch in 90 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 10, pp. 2003-2007, Oct. 2010.
- [7] M. Uzunkol and G. M. Rebeiz, "Ultra Low-Loss 50-70 GHz SPDT Switch in 90 nm CMOS," *Annual IEEE Compound Semiconductor Integrated Circuit Symposium*,

Greensboro, NC, 2009, pp. 1-4.

- 
- [8] Z. M. Tsai, Y. S. Jiang, J. Lee, K. Y. Lin and H. Wang, "Analysis and Design of Bandpass Single-Pole–Double-Throw FET Filter-Integrated Switches," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 8, pp. 1601-1610, Aug. 2007.
- [9] C. W. Byeon and C. S. Park, "Design and Analysis of the Millimeter-Wave SPDT Switch for TDD Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 8, pp. 2858-2864, Aug. 2013.
- [10] J. Lee *et al.*, "Low Insertion-Loss Single-Pole–Double-Throw Reduced-Size Quarter-Wavelength HEMT Bandpass Filter Integrated Switches," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 12, pp. 3028-3038, Dec. 2008.
- [11] Wen-Chian Lai and H. R. Chuang, "A 40–110 GHz high-isolation CMOS traveling-wave T/R switch by using parallel inductor," *IEEE MTT-S International Microwave Symposium*, Phoenix, AZ, 2015, pp. 1-3.
- [12] A. M. Zobilah, Z. Zakaria, N. A. Shairi and B. H. Ahmad, "Multiband isolation of DPDT switch with switchable transmission line stub resonators for WiMAX and LTE in 2.3 and 3.5 GHz bands," *3rd International Conference on Electronic Design (ICED)*, Phuket, 2016, pp. 422-426.
- [13] Zeji Gu, D. Johnson, S. Belletete and D. Fryklund, "A high power DPDT MMIC switch for broadband wireless applications," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2003*, 2003, pp. 687-690.
- [14] S. G. Houg, T. Tsukii and M. J. Schindler, "60-70 dB isolation 2-19 GHz MMIC switches," *11th Annual Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, San Diego, CA, USA, 1989, pp. 173-176.

- 
- [15] N. Imai, A. Minakawa and H. Okazaki, "Novel high-isolation FET switches," *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 5, pp. 685-691, May 1996.
- [16] H. Takasu, F. Sasaki, H. Kawasaki, H. Tokuda and S. Kamihashi, "W-band SPST transistor switches," *IEEE Microwave and Guided Wave Letters*, vol. 6, no. 9, pp. 315-316, Sept. 1996.
- [17] C. S. Kuo, H. C. Kuo, H. R. Chuang, C. Y. Chen and T. H. Huang, "A high-isolation 60GHz CMOS transmit/receive switch," *IEEE Radio Frequency Integrated Circuits Symposium*, Baltimore, MD, 2011, pp. 1-4.
- [18] D. Psychoudakis, H. Zhou, B. Biglarbegan, T. Henige and F. Aryanfar, "Mobile station radio frequency unit for 5G communications at 28GHz," *IEEE MTT-S International Microwave Symposium (IMS)*, San Francisco, CA, 2016, pp. 1-3
- [19] J. S. Hong and M. J. Lancaster, *Microstrip Filters for RF/Microwave Application*, New York: Wiley, 2001.
- [20] Y. Jin and C. Nguyen, "Ultra-Compact High-Linearity High-Power Fully Integrated DC–20-GHz 0.18-um CMOS T/R Switch," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 1, pp. 30-36, Jan. 2007.
- [21] F. Meng, K. Ma, K. S. Yeo, C. C. Boon, W. M. Lim and S. Xu, "A 220–285 GHz SPDT Switch in 65-nm CMOS Using Switchable Resonator Concept", *IEEE Transactions on Terahertz Science and Technology*, vol. 5, no. 4, pp. 649-651, July 2015.
- [22] M. Uzunkol and G. M. Rebeiz, "140–220 GHz SPST and SPDT switches in 45 nm CMOS SOI," *IEEE Microw. Wireless Compon. Lett.*, vol. 22, no. 8, pp. 412–414, Aug. 2012
- [23] T. Quémerais, L. Moquillon, J.-M. Fournier, and P. Benech, "A SPDT Switch in a

standard 45 nm CMOS process for 94 GHz Applications,” in IEEE European Microwave Conference, 2010, pp. 425–428.

[24] M. Parlak and J. F. Buckwalter, "A 2.5-dB Insertion Loss, DC-60 GHz CMOS SPDT Switch in 45-nm SOI," *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, Waikoloa, HI, 2011, pp. 1-4.

[25] J. S. Kim *et al.*, "Improved IIP3 double-pole double-throw switch with body and gate floated multi-stack resonator in 65 nm CMOS for WiGig applications," *Electronics Letters*, vol. 52, no. 8, pp. 665-667, 4 14 2016.