

國立臺灣大學工學院材料科學與工程學研究所



碩士論文

Department of Materials Science and Engineering

College of Engineering

National Taiwan University

Master Thesis

半導體異質介面奈米線成長與分析

Growth and Analysis of Semiconductor Heterojunction Nanowires

沈慈賢

Tzu-Hsien Shen

指導教授：溫政彥 博士

Advisor: Cheng-Yen Wen, Ph.D.

中華民國 105 年 7 月

July, 2016

誌謝



兩年的碩班時間一轉眼就過了，這本論文感謝許多人的幫忙才得以完成。首先感謝我的指導教授溫政彥老師，真心覺得非常幸運能成為老師的指導學生。兩年多來，老師諄諄教誨，讓我獲益匪淺。課業上，老師總是很有耐心的教我們，教了我們有邏輯地去處理問題，也強調表達能力的重要，這些都是我在過去的學習中所欠缺的訓練。態度上，看到老師的積極認真、凡是盡心盡力的樣子，我總會繃起神經，努力做實驗不要廢，希望有朝一日能看到老師的車尾燈。還有老師的樂觀正面的人生觀，更深深影響著我對人生的態度。此外，非常感謝擔任我的口試委員的顏鴻威、吳建霆、王迪彥以及李紹先博士們對於我的論文以及未來研究方向提出良好的建議，讓我的論文更加完善。

謝謝 351 實驗室的大家。從剛升碩一的暑假，感謝大學長們蔡大、趙哥、仁頌的經驗傳承，安撫了我剛進來實驗室恐懼不安的心情。特別謝謝蔡大在奈米線實驗上的協助，就算在上班仍然幫忙我實驗所遇到的問題。謝謝小一點的學長們，余博、曹哥、羅扁，讓我在碩士班成長不少。特別感謝余博，在實驗上的悉心指導，讓我快速進入狀況。真的很高興能遇到同屆戰友家豪和祐豪，和你們一起奮鬥，有歡笑有淚水。感謝你們不厭其煩地跟我討論，我總能從你們身上得到新體悟，大家一起做實驗、相互給意見。還有口試前的一起修論文、一起熬夜、趕投影片，我定會很珍惜與你們一起走過的碩班生涯。謝謝川育、藍暄、辰瑜、珮勤，讓我的碩班實驗室生活不無聊，讓我在快樂氣氛下做實驗，跟你們相處總是很開心很好玩，同時也謝謝你們提供我許多很好的意見。還有郁婷、欣諭、宜寬、亦達、紹廷實驗室新生代們，謝謝你們在實驗與論文上的幫忙。也謝謝陳俊維老師實驗室的肯尼、阿吉、忠緯，兩間實驗室彼此扶持，相互協助。此外，有幸能夠遇到凝態依蓉學姊，謝謝妳給予我研究和生涯規劃上的協助與意見。

最後，我最要感謝我重要的家人一路上的陪伴與鼓勵，謝謝你們在我低潮時依然鼓勵我，讓我有動力繼續往前走。因有你們的在旁邊的支持，我才能夠完成這篇論文，拿到碩士學位。

中文摘要



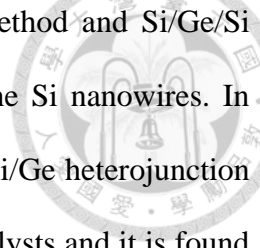
介面分明且無缺陷的矽鍺異質介面具有許多優異的物理特性，使得此結構可以被應用於高效率半導體元件當中。然而薄膜結構中的矽鍺異質介面，往往會於交界處產生缺陷，使異質結構的電學與光學性質降低。將異質介面成長於奈米線中，可以大幅降低缺陷生成。本研究中，我們利用超高真空化學氣相沉積(ultra-high vacuum chemical vapor deposition, UHV-CVD)系統，以氣相-固相-固相(vapor-solid-solid, VSS)機制，成長出無介面缺陷、且異質介面明顯定義之矽鍺異質介面奈米線。高角度環形暗場掃描穿透式電子顯微鏡影像(high-angle annular dark-field scanning transmission electron microscope, HAADF-STEM)顯示，以金銀合金顆粒做為催化劑成長之矽-鍺-矽異質介面奈米線，其矽鍺異質介面處沒有觀察到缺陷的生成，且異質介面寬度大約為 0.7 nm。幾何相位分析(geometric phase analysis, GPA)與電子能量損失光譜(electron energy-loss spectroscopy, EELS)結果均顯示，距離異質介面處數奈米內之矽晶格區有拉伸應變存在。為了後續元件應用性，我們試著將矽-鍺-矽異質介面奈米線成長於微米長度的矽奈米線上。此外，為了增加矽晶格區之應變，我們亦嘗試製備鍺-矽-鍺異質介面奈米線，發現預退火可以降低金奈米粒子之密度，使獨立、分散的鍺奈米線得以成長。

關鍵字：矽鍺異質介面奈米線、氣相-固相-固相成長機制、氣相-液相-固相成長機制、穿透式電子顯微鏡、幾何相位分析技術、電子能量損失光譜。

Abstract



Formation of abrupt and defect-free Si/Ge heterostructures is of great importance for device applications. One of the advantages of this structure is that the lattice strain due to the 4.18% lattice mismatch between Si and Ge may be helpful to improve the optoelectronic properties of the two materials. However, when such heterojunctions are fabricated in thin-film structures, misfit dislocations are inevitably formed at the heterointerfaces, losing the desired strain state. One approach to get rid of this obstacle is by growing the heterojunction in nanowires, in which the strain can be relaxed elastically. The aim of this study is to grow nearly perfect Si/Ge heterojunctions in nanowires with sufficient understanding of the controls of their morphology, composition, interfacial abruptness, and strain field near the interface. An ultra-high vacuum chemical vapor deposition (UHV-CVD) reactor is used for the nanowire growth, and it is equipped with in-situ metal evaporation systems for preparing the catalysts. In order to create compositionally abrupt Si/Ge interfaces, AgAu solid catalysts are used to fabricate Si/Ge/Si heterojunction nanowires via the vapor-solid-solid (VSS) mechanism. The high-angle annular dark-field scanning transmission electron microscopy (HAADF-STEM) analysis shows that the Si/Ge heterointerface can be as sharp as merely 1 nm and no misfit dislocations are observed at the heterointerface; therefore, coherent strains are produced in the lattice near the interface and the strain distribution is quantitatively measured using the geometric phase analysis (GPA) method. The strain effect on the electronic property of Si is revealed in electron energy-loss spectroscopy (EELS) analysis – a slight shift of the loss energy is observed in the strained silicon lattice. For applications, the heterojunction nanowires should be long enough for device fabrication and we therefore use a two-step growth method using AgAu alloy catalysts:



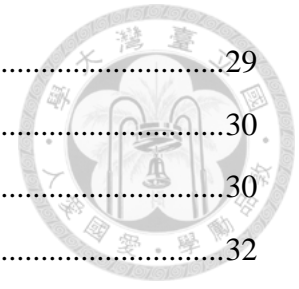
a long Si nanowires is grown via the vapor-liquid-solid (VLS) method and Si/Ge/Si heterojunctions are subsequently grown via the VSS method on the Si nanowires. In order to create a larger strain in Si lattice, we propose to grow Ge/Si/Ge heterojunction nanowires. Yet, the Ge nanowires can be grown using Au as the catalysts and it is found that the individual Ge nanowires are fabricated with the use of disperse AuSi eutectic droplets prepared by a pre-annealing treatment.

Keywords: Si/Ge heterojunction nanowires, vapor-liquid-solid (VLS), vapor-solid-solid (VSS), transmission electron microscopy (TEM), geometric phase analysis (GPA), and electron energy-loss spectroscopy (EELS).

目錄



口試委員會審定書	#
誌謝	i
中文摘要	ii
Abstract.....	iii
目錄	v
圖目錄	vii
表目錄	xiii
第 1 章 前言	1
第 2 章 文獻回顧	3
2.1 半導體奈米線的成長.....	3
2.1.1 氣相-液相-固相(vapor-liquid-solid, VLS)機制.....	3
2.1.2 氣相-固相-固相(vapor-solid-solid, VSS)機制	5
2.1.3 奈米線成長動力學	7
2.1.4 鍺奈米線成長	10
2.2 矽鍺異質介面奈米線的成長.....	12
2.2.1 利用 VLS 成長機制成長矽鍺異質介面奈米線.....	12
2.2.2 利用 VSS 成長機制成長矽鍺異質介面奈米線.....	15
2.2.3 矽鍺異質介面寬度	18
2.3 穿透式電子顯微鏡之應變分析方法.....	20
2.3.1 聚束電子繞射分析	20
2.3.2 奈米電子束繞射分析技術	21
2.3.3 幾何相位分析技術	22
2.4 矽鍺異質介面奈米線之應變分析.....	25
2.4.1 矽鍺異質介面奈米線應變分析	25
第 3 章 實驗方法與步驟	28
3.1 奈米線成長方法與步驟.....	28
3.1.1 成長基板前處理	28
3.1.2 超高真空化學氣相沉積技術	28



3.1.3	金屬催化劑製備與選用	29
3.1.4	半導體奈米線成長步驟	30
3.1.5	矽鍺異質介面奈米線的成長步驟	30
3.2	異質介面奈米線的分析方法	32
3.2.1	掃描式電子顯微鏡(scanning electron microscopy, SEM)	32
3.2.2	穿透式電子顯微鏡(transmission electron microscopy, TEM)	32
3.2.3	掃描穿透式電子顯微鏡(scanning TEM, STEM)	33
3.2.4	能量分散光譜(energy dispersive spectroscopy, EDS)	33
3.2.5	應變分析-幾何相位分析技術(geometric phase analysis, GPA)	34
3.2.6	電子能量損失光譜分析(electron energy-loss spectroscopy, EELS)	35
第 4 章	結果與討論	36
4.1	VSS 機制成長矽-鍺-矽異質介面奈米線	36
4.1.1	異質介面寬度分析	36
4.1.2	應變分析-幾何相位分析	38
4.1.3	電子能量損失光譜分析	40
4.2	兩階段成長矽鍺異質介面奈米線	41
4.2.1	第一階段以 VLS 機制催化成長矽奈米線	41
4.2.2	以 VLS 成長機制成長矽鍺異質介面奈米線	44
4.2.3	以兩段式 VLS 及 VSS 機制成長矽-鍺-矽異質介面奈米線	45
4.2.4	以兩段式 VLS 及 VSS 機制成長鍺-矽-鍺異質介面奈米線成長	46
4.3	鍺奈米線成長	49
4.3.1	成長溫度與鍍金量對鍺奈米線成長效應探討	49
4.3.2	鍺奈米線成長初始階段研究	50
4.3.3	預退火對鍺奈米線成長的影響	52
第 5 章	結論	55
	參考文獻	56

圖目錄

- Figure 1.1. 矽鍺薄膜磊晶成長示意圖。(a)矽和鍺塊材的晶格常數上的差異。(b)矽鍺合金薄膜磊晶成長於矽基板中形成應變層。(c)矽鍺薄膜厚度增加後應變能以 misfit dislocation 釋放應變能[6]。.....2
- Figure 2.1. VLS 成長機制示意圖：(a)在共晶溫度以上，金與矽形成共晶液珠，氣體在液珠的表面分解，使得共晶液體內的含矽量增加。(b)過飽和的共晶液體在液相與固相之間析出，造成鬚晶的成長[9]。.....4
- Figure 2.2. 利用 *in situ* TEM 記錄奈米線成長。(a)固態金奈米粒子；(b)在高溫與鍺形成合金；(c)形成金鍺共晶液珠；(d)鍺在共晶液珠表面成核；(e,f)鍺成核後繼續成長成鍺奈米線。.....4
- Figure 2.3. 以 Pd_xSi 成長奈米線的 *in situ* TEM 影像。(a)使用 Pd_xSi 做為成長的催化劑，發現奈米線成長是由邊緣形成數個原子層厚的結晶後，逐漸往奈米線的另外一側成長的台階流機制。(b-d)不同高度的材料結晶在實驗中被觀察到。(e)所量測的四組不同材料結晶的成長速率，其中最快的層狀結晶成長速率達到了 130 nm/s。.....5
- Figure 2.4. (a)在以 VSS 機制的奈米線之成長過程中觀察到的層狀結晶。(b)在較高壓的環境下同時觀察到兩個層狀才結晶的產生。(c)Step-Flow 成長的奈米線模型示意圖，模型中假設析出矽的前進過程中前段保持圓弧狀，奈米線直徑為 60 nm。(d)利用 VSS 機制成長奈米線之層狀結晶位置與時間關係圖。(e)以 VLS 機制成長奈米線之層狀結晶位置與時間關係圖 [29]。.....7
- Figure 2.5. Givargizov 所提出 VLS 成長機制中不同階段示意圖。(1)氣體分子到達催化劑表面；(2)氣體分子在液態催化劑表面進行化學反應裂解；(3)矽原子進入液態催化劑並擴散；(4)原子濃度達到飽和，且於固態與液態介面處成核，析出奈米線[30]。.....8
- Figure 2.6. Shakhivel 所提出之 VLS 機制各步驟示意圖。(1)前驅物氣體在氣相中擴散；(2)吸附於催化劑液珠表面，裂解後注入液珠內；(3)氣體吸附於奈米線側邊後，裂解後經表面擴散注入液珠內；(4)在催化劑液珠內進行擴散；(5)液珠內原子藉由蒸發的方式離開液珠；(6)液珠內原子經脫

	附(desorb)離開液珠；(7)成核成長奈米線[33]。.....	8
Figure 2.7.	奈米線成長速率與直徑關係圖，以 SiCl_4 作為前驅物氣體進行成長[32]。 (a)以金催化成長奈米線，在不同壓力下成長速率與直徑關係圖，其中 1 為最小壓力，4 為最大壓力[30]；(b)不同金屬催化成長的矽奈米線， 於 1130°C 下成長[30]；(c)利用白金催化成長奈米線，成長溫度 $1000\text{-}1100^\circ\text{C}$ ，1 為 0.9% 的 SiCl_4 ，2 為 0.95% [37]；(d)利用銅催化成 長奈米線，在不同溫度下的結果，其中 1 為最低溫，5 為最高溫[38]。	9
Figure 2.8	奈米線化學位勢圖。 μ_0^s 矽基板化學位勢； μ^v 氣相化學位勢； μ^s 矽奈 米線化學位勢； μ^{vl} 氣相與液相化學位勢差值； μ^{ls} 液相與奈米線化學位 勢差值； ξ 氣相與奈米線化學位勢差值。.....	10
Figure 2.9.	(a)不同溫度壓力下奈米線與奈米柱轉換示意圖；(b)在成長壓力 1×10^{-4} Torr，成長溫度 400°C 所成長之奈米柱 SEM 影像；(c) 在成長壓力 3×10^{-3} Torr、成長溫度 400°C ，成長鍍奈米線之 SEM 影像。.....	11
Figure 2.10.	利用化學氣相沉積結合雷射消融的方式成長異質結構：(a)實驗架設示 意圖。(b)成長矽-矽鍍奈米線的流程示意圖：(1)將金屬薄膜升溫至共晶 溫度以上；(2)通入四氯矽甲烷成長矽奈米線；(3)開啟脈衝雷射消融融 鍍的靶材成長矽鍍合金奈米線；(4)重複流程(1-3)成長出矽-矽鍍交替出 現的奈米線[45]。.....	12
Figure 2.11.	(a)SEM 下觀察矽-矽鍍奈米線。比例尺長度為 1 微米。右上方的一根 奈米線的頂部有放射狀結構，是由冷卻所造成的；(b)TEM 下具有交替 出現的矽-矽鍍介面奈米線；(c)對(b)圖中深色所做的 EDS 成份分析圖； (d)(b)圖中的奈米線軸向方向，不同位置所收到成份訊號的比例[45]。.....	13
Figure 2.12.	(a)矽-矽鍍異質結構奈米線環形暗場掃描穿透式電子顯微鏡影像 (high-angle annular dark-field scanning transmission electron microscope, HAADF-STEM)影像；(b)影像強度分布可以看出矽-矽鍍異質介面奈米 線介面寬度大約幾十奈米[47]。.....	13
Figure 2.13.	(a)不同比例的金鍍合金與鍍之平衡相圖；(b)藉由通入 TMGa 形成金鍍 合金用以催化成長矽鍍異質介面奈米線示意圖。.....	14

- Figure 2.14. (a)以金鎳合金作為催化劑成長的鍺-矽異質介面奈米線之 SEM 影像；
 (b)上圖為利用純金催化劑成長矽鍺異質介面奈米線沿軸向的能量分散
 光譜強度分布，而下方則改用金鎳合金。添加鎳的奈米線介面寬度有
 明顯下降。15
- Figure 2.15. (a)利用 AlAu_2 成長出的奈米線高解析 TEM 影像。(b) HAADF-STEM
 影像中訊號強度的對比，可看出介面寬度只有 1.3 nm。(c-d) EDS 的線
 掃描結果可以發現介面寬度約只有 1 nm 左右[48]。16
- Figure 2.16. (a,b)利用 AlAu_2 以 VSS 成長機制成長出矽-鍺多層異質介面奈米線之
 HAADF-STEM 影像。(b)中紅色曲線為影像強度圖，顯示矽到鍺介面
 較窄而鍺到矽介面較寬。17
- Figure 2.17. (a)利用金與銀成長矽-鍺-矽的異質介面奈米線低倍 TEM 影像；(b)高倍
 率下奈米線影像，紅色箭頭處是兩層約 1 nm 的 Ge 薄層，藍色箭頭處
 形成的對比是由於由 VLS 轉換成 VSS 時，奈米線產生的雙晶造成；(c-e)
 成長矽-鍺多層介面的臨場 TEM 影像，紅色箭頭位置為鍺的薄層。(f)
 矽鍺介面處的 HAADF-STEM 影像；(g)異質介面影像強度圖，顯示介
 面寬度約 1 nm[51]。18
- Figure 2.18. Li 以其模型對 Clark[47]實驗的奈米線軸向鍺成份之數據做曲線擬合，
 顯示其理論準確性[52]。19
- Figure 2.19. (a)聚束電子繞射示意圖。電子束聚焦照射在樣品後，穿透圓盤內部可
 見 HOLZ 暗線。(b)電子束沿 $\langle 340 \rangle$ 方向所得 Shallow trench isolation (STI)
 之結構 TEM 影像；(c)電子束沿 $\langle 110 \rangle$ 方向所得 STI 結構 TEM 影像[55]。
21
- Figure 2.20. 利用 NBED 技術進行應變分析示意圖。(a)確認應變分析區域；(b)利用
 掃描的方式於試片於下方 ADF 偵測器收集各點 HAADF 強度，同時利
 用(charge-coupled Device, CCD)收集電子繞射圖譜；(c)藉由 HAADF 強
 度確認 NBED 電子繞射圖譜的區域；(d)掃描區域各點的 NBED 繞射圖
 譜；(e)與參考區域繞射圖譜做比對，進而得到應變掃描區域各點的應變
 分布[57]。22
- Figure 2.21. (a)矽鍺異質結構 TEM 鏡影像；(b)TEM 影像 FFT 結果。23

Figure 2.22. (a-i)不同光圈大小的幾何相位分析結果，(a-i)圖中的光圈逐漸增大，所使用的光圈越大，空間解析度越好，雜訊也增加[60]。.....	24
Figure 2.23. 矽鍺異質介面轉換區之 EDS 線掃描結果。.....	25
Figure 2.24. (a)鍺-矽異質介面奈米線之高解析 TEM 影像；(b)鍺矽異質介面奈米線繞射圖譜，圈選其中兩繞射點進行應變分析；(c,d) 二維晶格位移場 ε_{xx} 與 ε_{zz} ；(e)為 ε_{xx} 與 ε_{zz} 沿軸向的應變分布，包含電腦模擬與實驗結果[61]。.....	26
Figure 2.25. (a)利用 AlAu_2 以 VSS 成長機制成長出矽-鍺多層異質介面奈米線之掃 HAADF-STEM 影像；(b)奈米線沿徑向(radial direction)的應變場，圖中紅色曲線為白色方框內的區域應變平均值，於矽鍺介面附近顯示 0.5% 應變。.....	27
Figure 2.26. (a)矽鍺異質介面奈米線 TEM 影像；(b) $\varepsilon_{xx}(x,z)$ 應變分布，白色曲線為白色方框應變平均值沿奈米線成長方向作圖之結果。.....	27
Figure 3.1. 超高真空化學氣相沉積系統示意圖。.....	29
Figure 3.2. VLS 成長半導體奈米線步驟。(1)清洗成長基板後，熱蒸鍍所需金屬薄膜作為催化劑；(2)電阻式加熱基板，形成共晶液珠；(3)氣體前驅物，共晶液珠催化裂解後，矽原子溶解進共晶液珠，當濃度達飽和時，材料會於液固介面析出成長奈米線。.....	30
Figure 3.3. 以 VSS 成長機制成長矽鍺異質介面奈米線步驟。(a)於基板沉積金銀薄膜；(b)加熱使金銀薄膜形成共晶液珠後，降溫以固化金銀合金催化劑；(c)通入二矽乙烷於共晶溫度以下以 VSS 成長機制成長矽奈米線；(d)將二矽乙烷前驅物氣體切換為鍺甲烷，成長出矽鍺異質介面奈米線。.....	31
Figure 3.4. 本實驗中三種 SEM 觀察的角度。(a)plan view。(b)70° tilt 影像。(c)cross section 影像。.....	32
Figure 3.5. 特徵 X 射線產生機制[62]。.....	34
Figure 3.6. 幾何相位分析軟體操作示意圖。.....	34
Figure 4.1. (a)矽-鍺-矽異質介面奈米線之 HAADF-STEM 影像；(b)綠色框線區的影像強度圖，顯示矽-鍺介面寬度狹窄約 0.7 nm 而鍺-矽介面寬度較寬約 3 nm；(c)高倍率下的 HAADF-STEM 影像；(d)為異質介面影像強度	

	分布，兩虛線中顯示寬度為 0.7 nm 的異質介面。.....	37
Figure 4.2.	(a)矽-銀平衡相圖，共晶溫度 827°C；(b)鍺-銀平衡相圖 651°C。可見銀-鍺共晶溫度較低。.....	37
Figure 4.3.	(a) 矽-鍺-矽異質直介面奈米線之 HAADF-STEM 影像；(b)幾何相位分析之晶格位移分布，以未受應變矽晶格做為參考區域。.....	38
Figure 4.4.	(a)矽-鍺-矽異質介面奈米線之 HAADF-STEM 影像，紅色曲線為介面處影像強度圖，其影像強度正比於原子序的平方，提供介面處成份變化資訊。兩橘色虛線內為矽鍺合金轉換區；(b)藍色曲線為幾何相位分析之晶格位移曲線。.....	39
Figure 4.5.	利用配有單光器(monochromator)的 STEM 收集矽 $L_{2,3}$ 附近電子能量損失光譜。紅色曲線為距離異質介面 1 nm 以外受到拉伸應變的矽晶格，而黑色曲線為未受形變的矽晶。受拉伸應變的矽晶格的 ELNES 向高能量損失區偏移。.....	40
Figure 4.6.	VLS-VSS 異質介面奈米線成長成長示意圖。.....	41
Figure 4.7.	不同溫度下所成長矽奈米線之 SEM 影像。(a)成長溫度為 530°C；(b)成長溫度為 450°C；(c)成長溫度為 400°C。.....	42
Figure 4.8.	利用金銀合金比例接近 1:1 作為催化劑成長矽奈米線之掃描式電子顯微鏡影像。(a)成長溫度為 540°C；(b)成長溫度為 480°C。.....	43
Figure 4.9.	金銀催化成長矽奈米線之(a) SEM 影像，顯示奈米線直徑大約 50 nm；(b)矽奈米線之 HAADF-STEM 影像；(c)頂部催化劑 STEM-EDS 結果，顯示同時具有金銀成份。.....	44
Figure 4.10.	(a)利用 VLS 機制成長矽鍺異質介面奈米線之 TEM 影像；(b)較高倍矽鍺異質介面 HADDF-STEM 影像。異質介面奈米線是熱蒸鍍金銀薄膜比例為 2:1，於 450°C 成長溫度、壓力 10^{-4} Torr 下，成長 1.5 小時形成矽奈米線後，再切換為鍺甲烷，以壓力 3×10^{-3} Torr 進行 1.5 小時的鍺奈米線成長。.....	45
Figure 4.11.	兩段式 VLS 及 VSS 機制成長矽-鍺-矽異質介面奈米線。(a,b) SEM 影像，異質介面奈米線頂部成長方向改變；(c)矽-鍺-矽異質介面奈米線之明場 STEM 影像；(d)高倍下 STEM 明場影像，圖中顯示矽到鍺介面	

成分急遽變化、寬度狹窄。	46
Figure 4.12. 成長流程示意圖。(a)熱蒸鍍金銀比 2:3，在成長溫度 450°C 下、鍍甲 烷壓力 10^{-4} Torr，以 VLS 機制成長 1.5 小時矽鍍異質介面奈米線；(b) 隨後降溫至 200°C 以下再升溫至 340°C 以 VSS 機制成長 30 分鐘鍍奈 米線；(c)在成長溫度 340°C 下以 VSS 機制、二矽乙烷壓力 10^{-4} Torr， 成長 1 小時矽奈米線；(d)最後在 340°C 下以 VSS 成長機制，鍍甲烷壓 力 3.2×10^{-3} Torr，成長 45 分鐘鍍奈米線段。	47
Figure 4.13. 兩段式 VLS 及 VSS 機制成長鍍-矽-鍍異質介面奈米線。(a,b)SEM 影像； (c,d)分別為暗場與明場之 STEM 影像。	48
Figure 4.14. 不同溫度下金催化鍍奈米線之 SEM 影像。(a)300°C；(b)375°C；(c)575°C 成長溫度。隨溫度增加整體成長速率提升，橫向島狀成長加劇。	49
Figure 4.15. 不同鍍金量所成長鍍奈米線之 SEM 影像，(a)未鍍金；(b)0.25 nm；(c)0.5 nm；(d)0.9 nm。	50
Figure 4.16. 鍍奈米線於成長初始階段之 plan view 與 70° tilt SEM 影像。蒸鍍金厚 度 0.9 nm，成長溫度 350°C、壓力 5×10^{-2} Torr 下。(a)鍍金未成長；(b) 成長時間 10 分鐘；(c,d)成長時間 30 分鐘。	51
Figure 4.17. 鍍奈米線成長初始階段示意圖。	52
Figure 4.18. 不同預退火時間之熱蒸鍍金薄膜 0.9 nm HAADF-STEM 影像。(a)未預 退火；(b)450°C；(c)550°C；(d)650°C，預退火 10 分鐘。	53
Figure 4.19. (a)未預退火；(b)550°C 預退火 10 分鐘；(c)650°C 預退火 10 分鐘之 0.9 nm 熱蒸鍍金薄膜 HAADF-STEM 影像。(d-f)分別對應(a-c)的退火條件 所得的金奈米顆粒，應用於溫度 350°C， GeH_4 壓力 5×10^{-2} Torr，成長 30 分鐘後所得之鍍奈米線 SEM 影像。	54

表目錄

Table 2.1.	以 VLS 機制成長鍺奈米線結果整理[39]。	10
Table 2.2.	不同應變分析方法之比較[53]。	20



第 1 章 前言



半導體異質介面(semiconductor heterojunction)是指將兩個或多個擁有不同能隙(band gap)的半導體材料接合所形成的特殊結構，在元件應用上扮演重要角色。異質結構具有的量子侷限效應(quantum confinement effect)、高震盪頻率(high oscillator strength)以及穿隧效應(tunneling effect)[1]等物理現象，使得此結構已經廣泛應用於發光二極體(light emitted diode, LED)、雷射(laser)[2]以及異質接面雙極性電晶體(heterojunction bipolar transistor, HBT)[3,4]等元件當中。

當我們以磊晶成長(epitaxial growth)[5]的方式將不同晶格常數的的半導體進行接合，使介面兩側晶格間距不同的材料相連，如 Figure 1.1(a)所示。接合後若形成連貫性介面(coherent interface)，異質介面附近之原子將受到應變形成贗應變層(pseudomorphic strain layer)，如 Figure 1.1(b)[6]所示。我們可以藉由應變調整異質介面的能帶結構(band structure)[7]，以提升此結構的電學與光學性質，即所謂的能隙工程(bandgap engineering)。

然而將異質介面製備成薄膜結構，往往會於介面處生成缺陷。由於當磊晶薄膜厚度增加時，晶格不匹配所引入的應變能(strain energy)亦增加，且無法以彈性應變方式釋放，將於介面處形成不匹配差排(misfit dislocation)並降低應變能，如 Figure 1.1(c)所示。這樣的結構也因此無法有效形成應變於介面處，同時介面缺陷也更會引入深層能階缺陷(deep-level trap)於能帶結構中而降低載子遷移率(carrier mobility)[8]，故不易使用於元件中。

由於矽(5.43 Å)和鍺(5.65 Å)具有 4.18%的晶格常數差異。若矽鍺形成連貫性介面而產生應變於介面處，將有機會利用此應變改善材料性質。為了避免薄膜結構中介面處 misfit dislocation 的生成，我們成長矽與鍺接合的軸向異質介面奈米線(axial heterojunction nanowire)，利用奈米線徑向的小尺度，使晶格不匹配所產生的應變能可藉由彈性應變保存於介面處，避免 misfit dislocation 的生成。然而，常用於成長矽鍺異質介面奈米線的氣相-液相-固相(vapor-liquid-solid, VLS)[9]方法在由矽切換至鍺的過程中，會因為共晶液珠內矽的溶解度高而使之殘留於共晶液珠內，無法立即析出純鍺奈米線，反而產生成分漸漸變化、介面不分明矽鍺合金結構，此現象即為 reservoir effect[10]。此合金結構與矽奈米線所形成的應變不如介面分

明的異質介面來的大。因此，我們利用氣相-固相-固相(vapor-solid-solid, VSS)的成長方法中，矽鍺於固態催化劑內的低溶解度特性，試圖成長介面寬度窄，成分變化明顯的異質介面。

根據以上原因，我們以 VSS 機制，成長介面處無缺陷、且介面分明的矽鍺異質介面奈米線，並藉由電子顯微鏡分析技術，觀察矽鍺異質介面奈米線的成分與形貌，以及進行介面處應變的量測。在本論文的章節安排上，第一章將簡述本論文的研究動機與目的。第二章將回顧過去奈米線成長機制之相關實驗與理論、穿透式電子顯微鏡中的應變分析技術，以及異質介面奈米線中的應變量測與分析。第三章中介紹本論文中成長奈米線的設備與步驟，以及後續分析奈米線的儀器與方法。第四章將討論以氣相-固相-固相機制所成長出來的異質介面奈米線包含其形貌、成分、應變等以及相關奈米線成長機制。

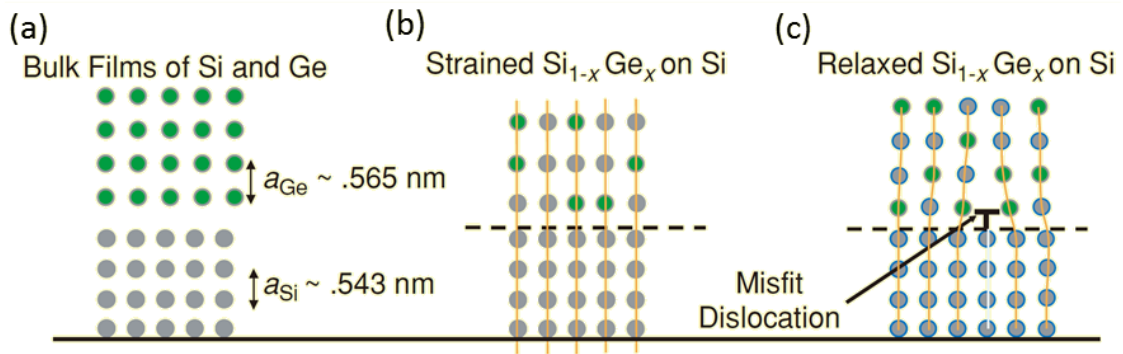


Figure 1.1. 矽鍺薄膜磊晶成長示意圖。(a)矽和鍺塊材的晶格常數上的差異。(b)矽鍺合金薄膜磊晶成長於矽基板中形成應變層。(c)矽鍺薄膜厚度增加後應變能以 misfit dislocation 釋放應變能[6]。

第 2 章 文獻回顧



2.1 半導體奈米線的成長

合成奈米線結構的方式有很多種，如化學氣相沉積法(chemical vapor deposition, CVD)[9]、雷射消融法(laser ablation)[11]、分子束磊晶法(molecular beam epitaxy, MBE)[12]以及溶液法(solution-based method)[13,14]。合成機制則包含了氣相-液相-固相成長機制(vapor-liquid-solid, VLS)、氣相-固相-固相-成長機制(vapor-solid-solid, VSS)、溶液-液相-固相機制(solution-liquid-solid, SLS)[13,14]、氧化物輔助成長機制(oxide assisted growth, OAG)[15]等。在眾多合成方法與機制中，利用化學氣相沉積法來成長奈米線是最廣為使用也是最成功的方式。此法將先通入氣體先驅物，並經由加熱或其他催化作用，使前驅物氣體分解，並析出於介面處進行奈米線成長。以成長矽奈米線為例，氣體的種類可以使用矽甲烷(SiH_4)、四氯矽甲烷(SiCl_4)、二矽乙烷(Si_2H_6)等。本節將針對 VLS 與 VSS 機制奈米線進行比較。

2.1.1 氣相-液相-固相(vapor-liquid-solid, VLS)機制

VLS 機制最早在 1964 年由 Wagner 和 Ellis 所提出[9]，他們在矽基板上放置金顆粒，加熱後形成金矽共晶液珠，通入四氯矽甲烷(SiCl_4)後，氣體將在金矽共晶液珠處裂解，分解後的矽原子溶進液珠中。當液珠內的矽原子達飽和後，便於固液基板介面處析出而成長出矽鬚晶(whisker)結構，如 Figure 2.1 所示。這種成長方式包含氣相、固相、液相而被稱為 VLS 機制。Wu 和 Yang 於 2001 年利用臨場穿透式顯微鏡技術(*in situ* transmission electron microscopy, *in situ* TEM)直接在 TEM 中觀察散佈在銅網上的奈米金與鍺粉，透過加熱的方式，使鍺和金形成共晶液珠，再析出鍺奈米線，如下圖 Figure 2.2 所示[16]。此外，Lieber 和 Yang 等許多研究學者基於 Wagner 所提出的 VLS 機制，製備許多無機材料的一維奈米結構[17,18]，如四族(Si and Ge)、三五族(GaN, GaAs, GaP, InP, InAs)[19,20]、二六族(ZnS, ZnSe, CdS, CdSe)、氧化物(ITO, ZnO, MgO, SiO_2 , CdO)[21,22]以及碳化物(SiC , B_4C)[23]等。

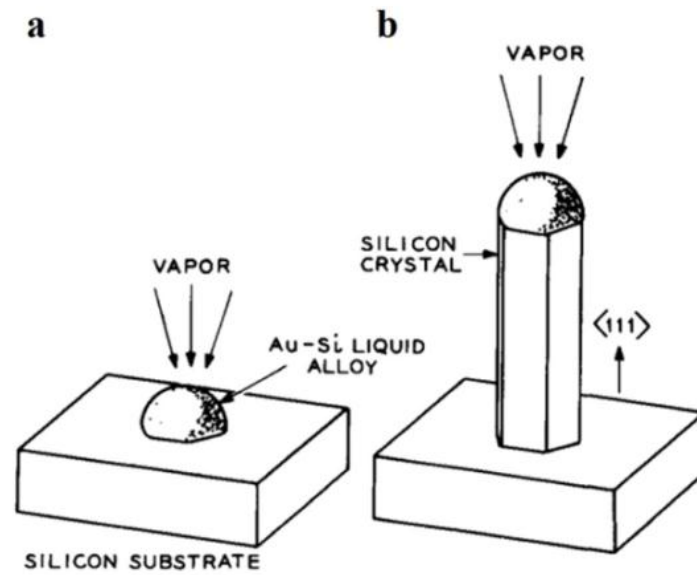


Figure 2.1. VLS 成長機制示意圖：(a)在共晶溫度以上，金與矽形成共晶液珠，氣體在液珠的表面分解，使得共晶液體內的含矽量增加。(b)過飽和的共晶液體在液相與固相之間析出，造成鬚晶的成長[9]。

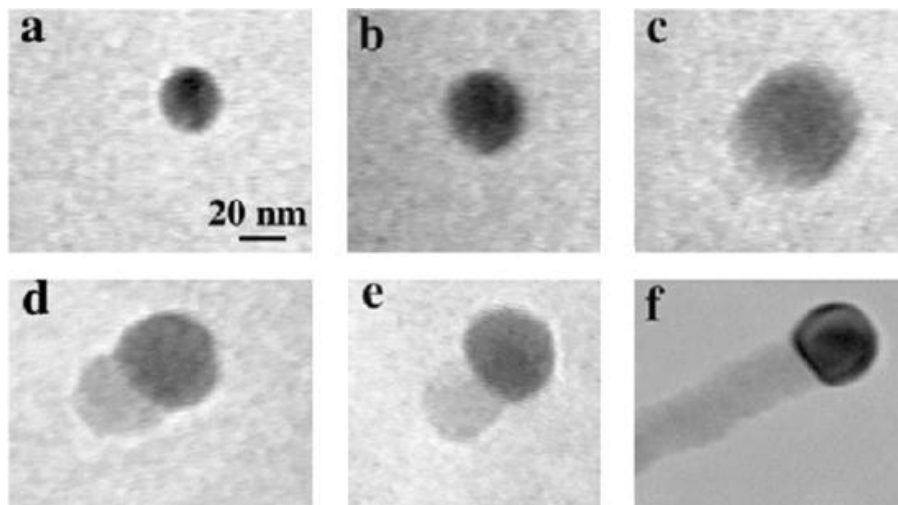


Figure 2.2. 利用 *in situ* TEM 記錄奈米線成長。(a)固態金奈米粒子；(b)在高溫與鎘形成合金；(c)形成金鎘共晶液珠；(d)鎘在共晶液珠表面成核；(e,f)鎘成核後繼續成長成鎘奈米線。



2.1.2 氣相-固相-固相(vapor-solid-solid, VSS)機制

一般來說利用 VLS 機制成長奈米線，成長溫度須高於共晶溫度，使共晶液珠維持在液態以進行催化成長。然而近年來有許多研究學者發現，奈米線可以在低於共晶溫度之下，催化金屬粒子保持在固態的形式進行成長[24-28]。Kamins 等人在 2000 年以固體鈦金屬矽化物催化矽奈米線成長。隨後 Hofmann 和 Wen 等人利用鈦金屬矽化物以及銅金屬矽化物作為催化劑，以 VSS 機制成長矽奈米線，並提出台階流成長(ledge-flow propagation)模型，幫助我們了解 VSS 成長機制[24,25]。Hofmann 利用 *in situ* TEM 觀察在催化劑與矽奈米線介面處，如 Figure 2.3 所示，在奈米線邊緣會以階梯狀的方式析出矽，並逐漸往奈米線的另一邊緣移動。和 VLS 機制相比，VSS 機制是在低於共晶溫度以下進行成長，在元件製作上較易與現今 CMOS 製程整合。例如利用銅矽化物以 VSS 機制成長奈米線的溫度僅有 400°C[24]。

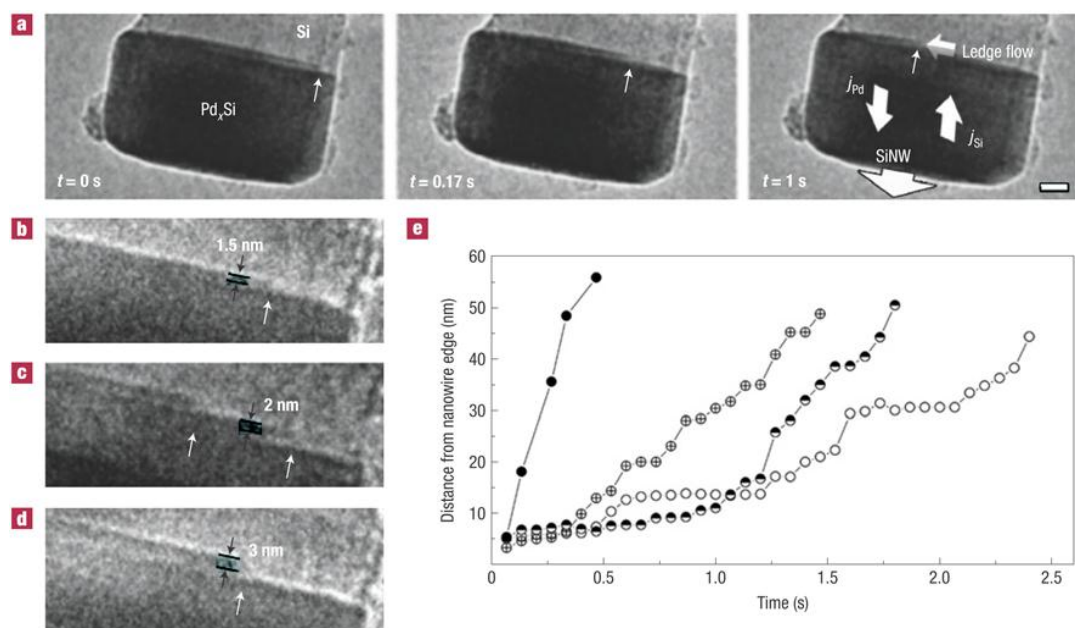


Figure 2.3. 以 Pd_xSi 成長奈米線的 *in situ* TEM 影像。(a)使用 Pd_xSi 做為成長的催化劑，發現奈米線成長是由邊緣形成數個原子層厚的結晶後，逐漸往奈米線的另一側成長的台階流機制。(b-d)不同高度的材料結晶在實驗中被觀察到。(e)所量測的四組不同材料結晶的成長速率，其中最快的層狀結晶成長速率達到了 130 nm/s。

Wen 等人更進一步提出了有關於這種層狀成長機制的相關理論[29]：他們假設奈米線成長的層狀材料結晶以圓弧狀前進，如 Figure 2.4(c)所示，每一個台階(step)的高度為 b ，則

$$t = \tau_1(n + \phi), \quad \phi = \frac{\mu_c V_m}{g''(1 - c_0)^3 V_1}, \quad v = k(\mu_{cat} - \mu_{step})$$

其中 t 為孕核時間， τ_1 為每成長一層所需時間， n 為成長的 step 層數， ϕ 為影響孕核的因子， $\phi\tau_1$ 為第一次的孕核時間； μ_c 為達到臨界值時催化劑內的化學位勢 (chemical potential)； V_m 為催化劑內含金屬的體積； g'' 為自由能對成份的二次微分； c_0 為時間為零時催化劑內含矽的濃度； V_1 為產生一層的層狀結晶的體積； v 為層狀結晶的成長速率； μ_{cat} 與 μ_{step} 分別代表催化劑內與層狀結晶內的化學勢能； k 為速率常數。在他們的模型中，催化劑的成份與其化學勢能在成長過程中有週期性的變化，並且推論 VLS 與 VSS 在成長上的差異：奈米線每次產生階梯狀材料結晶都要經過一段孕核時間，在孕核完後才會進行成長，在 VSS 的成長中，層狀結晶產生後，慢慢從奈米線的一側成長至奈米線的另一側，如(d)。而在 VLS 機制中，階梯狀材料結晶產生之後在極短的時間內就伴隨著整層原子的產生，如 Figure 2.4 所示。

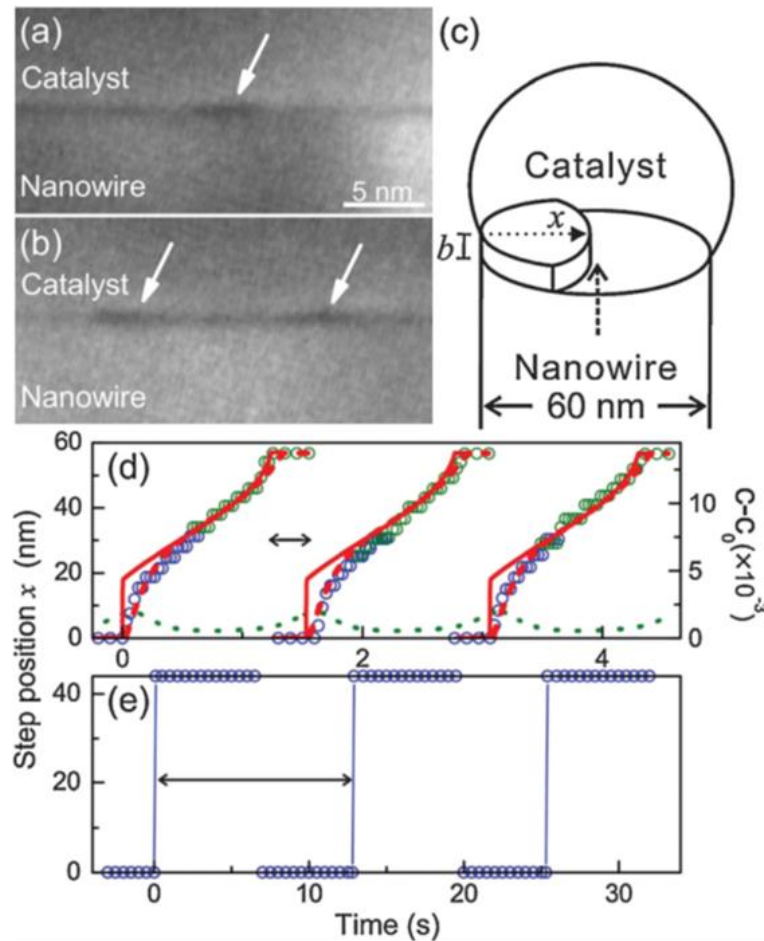


Figure 2.4. (a)在以 VSS 機制的奈米線之成長過程中觀察到的層狀結晶。(b)在較高壓的環境下同時觀察到兩個層狀才結晶的產生。(c)Step-Flow 成長的奈米線模型示意圖，模型中假設析出矽的前進過程中前段保持圓弧狀，奈米線直徑為 60 nm。(d)利用 VSS 機制成長奈米線之層狀結晶位置與時間關係圖。(e)以 VLS 機制成長奈米線之層狀結晶位置與時間關係圖[29]。

2.1.3 奈米線成長動力學

在 Wagner 以 VLS 成長機制成長矽鬚晶後，Givargizov 於 1975 年對 VLS 機制之成長動力學做詳細的探討[30]。他指出以 VLS 機制可大致分為四個過程如 Figure 2.5 所示：(1)氣體分子到達催化劑表面，(2)氣體分子在液態催化劑表面進行化學反應裂解，(3)矽原子進入液態催化劑並擴散，(4)原子濃度達到飽和，且於固態與液態介面處成核，析出奈米線。Givargizov 並指出 VLS 機制的速率決定步驟(rate determining step)為(4)，但 Bootsma 和 Gassen 認為 VLS 機制的速率決定步驟為(2)，兩者持不同看法[31]。後續研究學者 Schmidt 等人提出穩態(steady state)模型，得到

與實驗結果相符的趨勢，說明整個 VLS 機制沒有特定的速率決定步驟[32]。近年來 Shakhiviel 等人於 2012 年延續穩態模型，提出更完整的動力學模型。Shakhiviel 除了 Givargizov 所考慮的四個基本步驟外，更考量由奈米線側邊進入液態催化劑以及原子從催化劑液珠蒸發，離開液珠表面等擴散行為，如 Figure 2.6 所示。

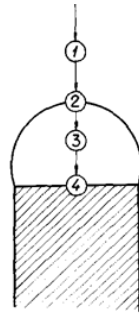


Figure 2.5. Givargizov 所提出 VLS 成長機制中不同階段示意圖。(1)氣體分子到達催化劑表面；(2)氣體分子在液態催化劑表面進行化學反應裂解；(3)矽原子進入液態催化劑並擴散；(4)原子濃度達到飽和，且於固態與液態介面處成核，析出奈米線[30]。

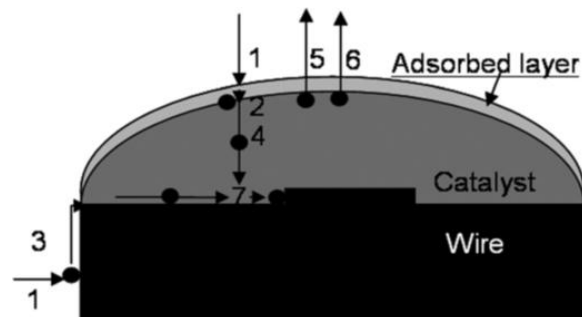


Figure 2.6. Shakhiviel 所提出之 VLS 機制各步驟示意圖。(1)前驅物氣體在氣相中擴散；(2)吸附於催化劑液珠表面，裂解後注入液珠內；(3)氣體吸附於奈米線側邊後，裂解後經表面擴散注入液珠內；(4)在催化劑液珠內進行擴散；(5)液珠內原子藉由蒸發的方式離開液珠；(6)液珠內原子經脫附(desorb)離開液珠；(7)成核成長奈米線[33]。

在奈米線成長動力學當中，奈米線的直徑與成長速率的關係是廣被探討的課題[30,32-36]。如 Figure 2.7(a,b) Givargizov 的結果顯示，奈米線成長速率隨著奈米線直徑加而上升[30]。他們認為奈米線 r 直徑增加， μ^s 奈米線的化學位勢會因為吉



布斯-湯木森效應(Gibbs-Thomson effect)效應：

$$\mu^s = \frac{2\Omega^s \sigma^s}{r}$$

而減少。其中 Ω^s 與 σ^s 分別為原子莫耳體積與表面張力(surface tension)、 r 為奈米線直徑。從 Figure 2.8 的化學位勢圖，我們可知液珠(μ^l)與奈米線(μ^s)的化學位勢之差值為 $\mu^{ls} = \mu^l - \mu^s$ ，又稱為共晶液珠之過飽和度(supersaturation)，為奈米線成長過程中，固態與液態介面處成核(Figure 2.5(b)的第(7)步驟)的驅動力。因此奈米線直徑增加會使 μ^s 降低，而使 μ^{ls} 增加，進而加快奈米線成長速率。然而 Weyher 和 Nebol'sin 等人的結果則顯示相反趨勢，即奈米線成長速率隨直徑增加而減少，如 Figure 2.7(c,d)所示[37,38]。此外，Kodambaka 等人在較低溫度與成長壓力下成長直徑低於 100 nm 的奈米線發現其成長速率與奈米線直徑無關[36]。

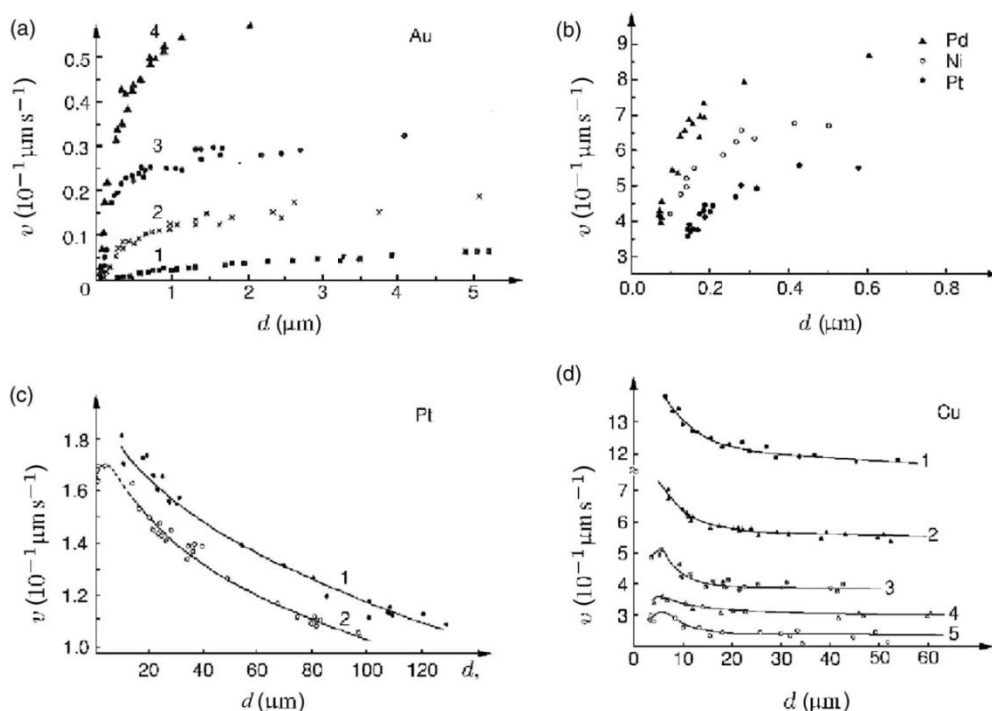


Figure 2.7. 奈米線成長速率與直徑關係圖，以 SiCl_4 作為前驅物氣體進行成長 [32]。(a)以金催化成長奈米線，在不同壓力下成長速率與直徑關係圖，其中 1 為最小壓力，4 為最大壓力[30]；(b)不同金屬催化成長的矽奈米線，於 1130°C 下成長 [30]；(c)利用白金催化成長奈米線，成長溫度 $1000\text{-}1100^\circ\text{C}$ ，1 為 0.9% 的 SiCl_4 ，2 為 0.95% [37]；(d)利用銅催化成長奈米線，在不同溫度下的結果，其中 1 為最低溫，5 為最高溫[38]。

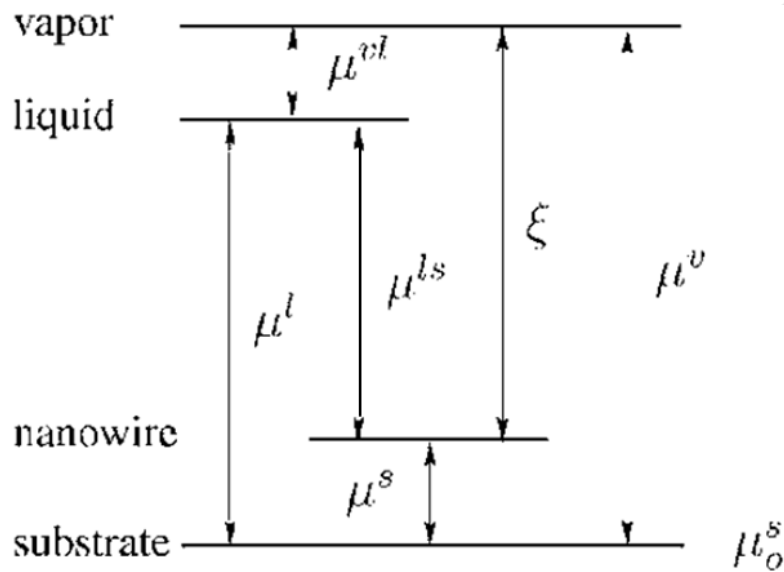


Figure 2.8 奈米線化學位勢圖。 μ_0^s 矽基板化學位勢； μ^v 氣相化學位勢； μ^s 矽奈米線化學位勢； μ^l 液相與奈米線化學位勢差值； μ^{vl} 氣相與液相化學位勢差值； μ^{ls} 液相與奈米線化學位勢差值； ξ 氣相與奈米線化學位勢差值。

2.1.4 鍺奈米線成長

本研究中，我們嘗試先成長鍺奈米線再成長鍺-矽-鍺異質介面。因此本小節將回顧鍺奈米線的成長機制。如同矽奈米線製備，以 VLS 機制成長鍺奈米線是最廣為使用的方法[39-43]。由於金和鍺的共晶溫度約為 360°C，與金和矽之共晶溫度相當，因此催化劑的選擇上也以金為多數。Table 2.1 為過去文獻利用 VLS 機制成長鍺奈米線之整理。然而鍺奈米線成長可在 275°C 以 VLS 機制進行成長，遠低於金鍺共晶溫度。Kodambaka 等人也對鍺奈米線之特殊成長行為進行研究。他們認為成長過程中奈米線頂端催化劑的型態，會受到壓力與升降溫曲線所影響[44]。

Table 2.1 以 VLS 機制成長鍺奈米線結果整理[39]。

$T(^{\circ}\text{C})$	Pressure (mTorr)	Partial pressure (mTorr)	Diameter (nm)	Length (μm)	Growth species	Catalyst	Carrier gas	Deposition technique	Reference
400–600	0.04–10	0.04–10	12–150	0.15–1.3	Ge_2H_6	Au	...	CVD	This work
320–380	9750	6	40	1.5–2.0	GeH_4	Au	H_2	CVD	8
275	760 000	6909	23	>1.0	GeH_4	Au	H_2	CVD	5
380	30 000	3000	26	...	GeH_4	Au	Ar	CVD	7
1000–1100	30	...	80–150	>4.0	$\text{Ge}+\text{GeI}_4$	Au	...	Vapor transport	4
500	900 074	...	20–180	>1.0	Ge	Au	Af	Laser ablation	6
600–705	500 000	...	12–83	0.1–>1.0	$\text{Ge}+\text{GeO}_2$...	Ar	Laser ablation	15

Dailey 等人於 2004 年對以 VLS 機制成長之鍺奈米線做了詳細的探討[39]。他們利用二鍺乙烷(digermane, Ge_2H_6)作為前驅物氣體，以熱蒸鍍金薄膜做為成長催化劑。成長溫度 400-600°C、成長壓力範圍 4×10^{-5} 至 1×10^{-2} Torr。他們指出隨著壓力減少，鍺奈米結構會從高寬深比的奈米線(nanowire)而轉換為奈米柱(nanopillar)，如 Figure 2.9(a)所示。Figure 2.9(b,c)分別為奈米柱與奈米線掃描式電子顯微鏡(scanning electron microscope, SEM)影像。Dailey 等人認為奈米線與奈米柱的轉換可歸因於低壓下二鍺乙烷較低的化學勢能，使得鍺析出於催化劑液體與奈米線固體介面之軸向成長速率變慢所致。因此當奈米線之軸向成長速率變慢，表面擴散(surface diffusion)所導致的橫向成長將更為顯著，使得鍺奈米結構由於橫向與軸向成長速率相當，不會形成細長奈米線結構。

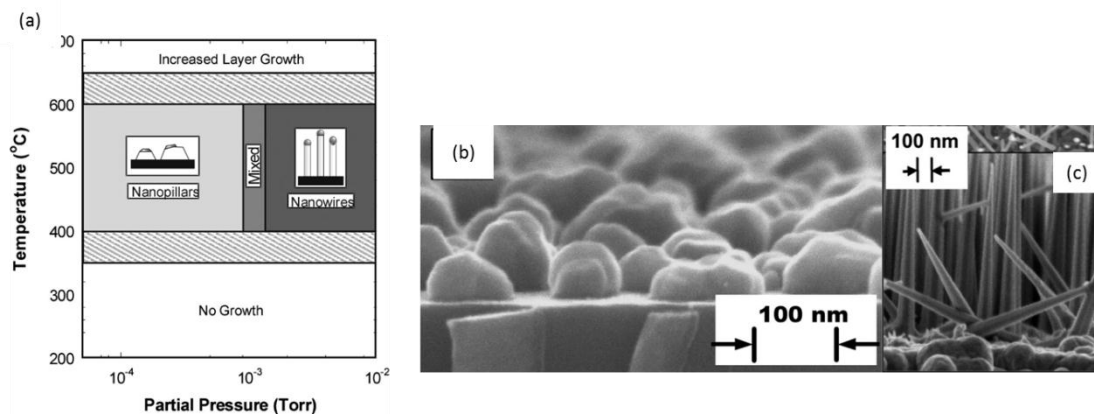


Figure 2.9. (a) 不同溫度壓力下奈米線與奈米柱轉換示意圖；(b) 在成長壓力 1×10^{-4} Torr，成長溫度 400°C 所成長之奈米柱 SEM 影像；(c) 在成長壓力 3×10^{-3} Torr，成長溫度 400°C，成長鍺奈米線之 SEM 影像。



2.2 矽鍺異質介面奈米線的成長

2.2.1 利用VLS成長機制成長矽鍺異質介面奈米線

Wu 和 Yang 等人於 2002 年利用脈衝雷射法配合化學氣相沉積的方式以 VLS 機制成長矽-矽鍺軸向異質介面奈米線[45]。他們先以金當作催化劑，在爐管中加熱以化學氣相沉積法成長矽奈米線。同時利用脈衝雷射，每隔一段時間發出高功率雷射將鍺的靶材消熔而產生鍺的蒸氣，因此環境中同時含有矽與鍺的氣氛，形成矽鍺合金奈米線。利用這兩種方式，即可成長出具有矽-矽鍺交替出現(Block-by-block)介面的奈米線，如圖 Figure 2.10 所示。他們利用 TEM 與能量分散光譜(energy dispersive spectrum, EDS)確認為矽-矽鍺交替出現結構之異質奈米線，矽-矽鍺異質介面奈米線直徑大約 200 nm，矽-矽鍺介面寬度為 40 nm，介面成分不急遽變化，如 Figure 2.11 所示。Redwing 與 Clark 等人切換矽甲烷與鍺甲烷，以 VLS 機制成長矽-矽鍺異質介面奈米線[46,47]。他們所得到的矽鍺異質界面寬度亦為幾十奈米，如圖 Figure 2.12(b)所示。

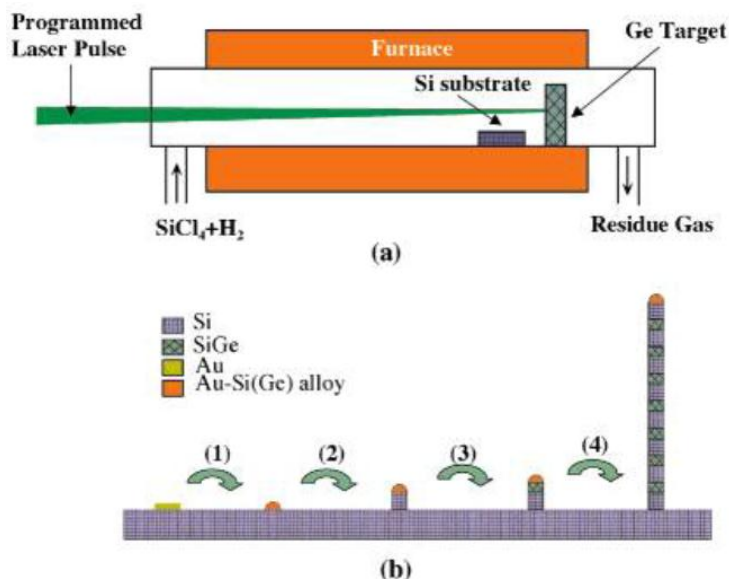


Figure 2.10. 利用化學氣相沉積結合雷射消熔的方式成長異質結構：(a)實驗架設示意圖。(b)成長矽-矽鍺奈米線的流程示意圖：(1)將金屬薄膜升溫至共晶溫度以上；(2)通入四氯矽甲烷成長矽奈米線；(3)開啟脈衝雷射消熔融鍺的靶材成長矽鍺合金奈米線；(4)重複流程(1-3)成長出矽-矽鍺交替出現的奈米線[45]。

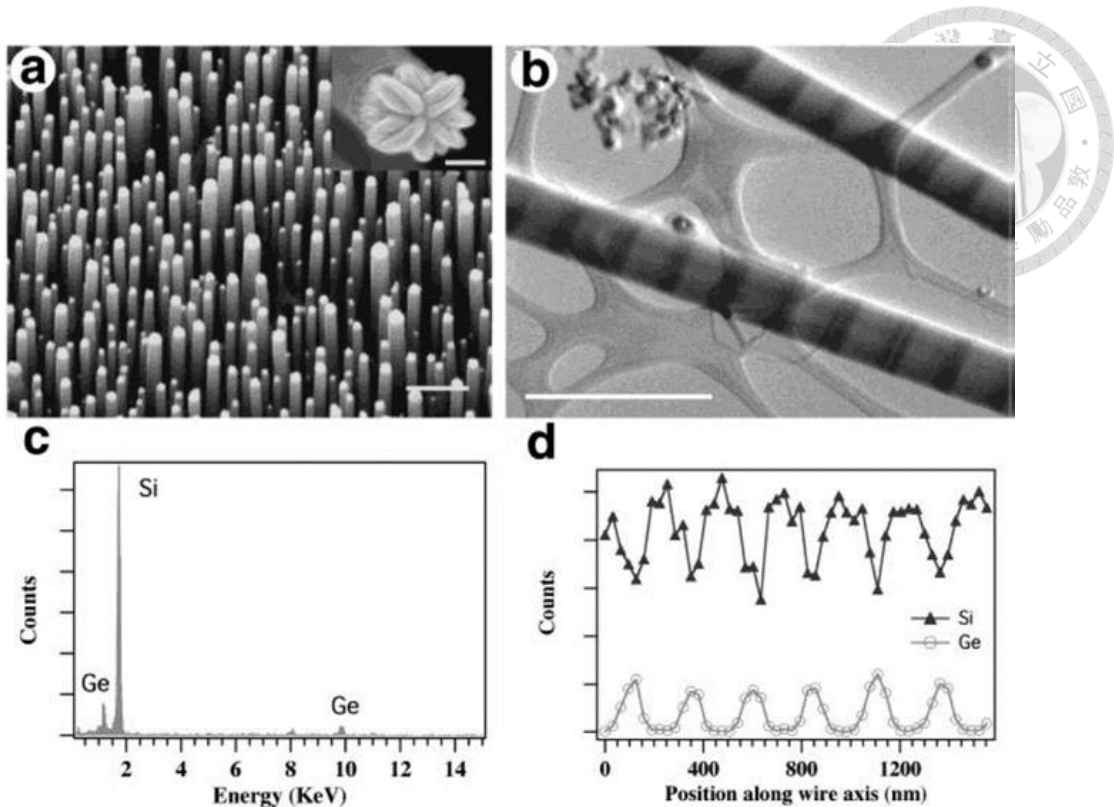


Figure 2.11. (a)SEM 下觀察矽-矽鍺奈米線。比例尺長度為 1 微米。右上方的一根奈米線的頂部有放射狀結構，是由冷卻所造成的；(b)TEM 下具有交替出現的矽-矽鍺界面奈米線；(c)對(b)圖中深色所做的 EDS 成份分析圖；(d)(b)圖中的奈米線軸向方向，不同位置所收到成份訊號的比例[45]。

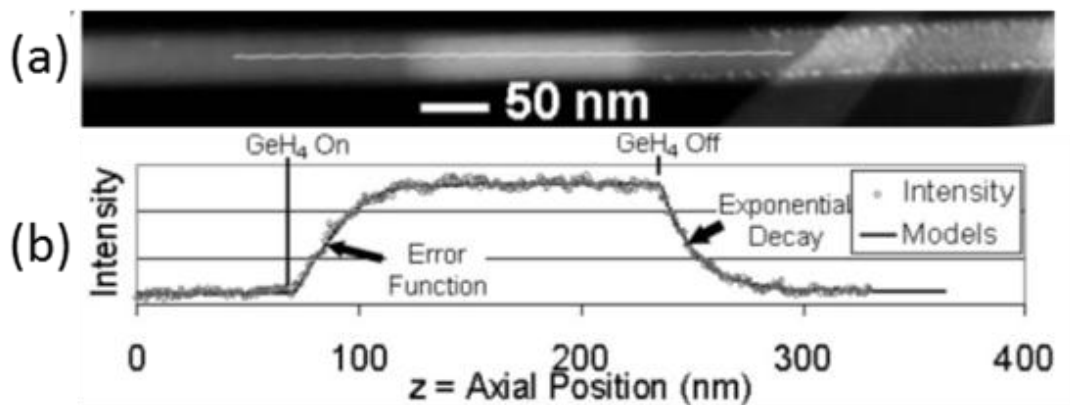


Figure 2.12. (a)矽-矽鍺異質結構奈米線環形暗場掃描穿透式電子顯微鏡影像 (high-angle annular dark-field scanning transmission electron microscope, HAADF-STEM) 影像；(b)影像強度分布可以看出矽-矽鍺異質界面奈米線界面寬度大約幾十奈米[47]。

由以上討論可知，利用 VLS 機制成長之矽鍍異質介面奈米線會因為共晶液珠內溶解度較高，產生 reservoir effect 而使得介面寬度較寬，大約幾十奈米[10]。Perea 等人於 2011 年利用添加鎳元素的方式，減少鍍在液態催化劑中的溶解度，大幅降低以 VLS 機制所成長的異質介面奈米線介面寬度[10]。相圖 Figure 2.13(a)所示，添加 50%的鎳進入金中，可將鍍在純金中的 28%溶解度降低至 4.5%。他們先以金做為催化劑，以 VLS 機制成長一段鍍奈米線，接著通入三甲基鎳(trimethyl gallium, TMGa)，形成金鎳合金液體催化劑，再成長一段矽奈米線，形成矽鍍異質介面奈米線，如 Figure 2.13(b)所示。Figure 2.14(b)中的 EDS 線掃描顯示原本利用純金作為催化劑的奈米線其異質介面的寬度大約為 40 nm 左右，而利用金鎳合金催化劑成長的奈米線異質介面之寬度則下降至僅約 10 nm。

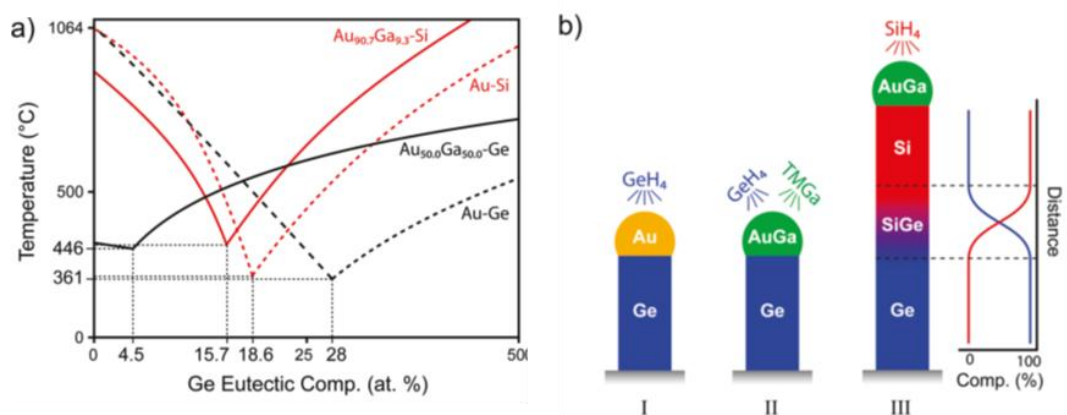


Figure 2.13. (a)不同比例的金鎳合金與鍍之平衡相圖；(b)藉由通入 TMGa 形成金鎳合金用以催化成長矽鍍異質介面奈米線示意圖。

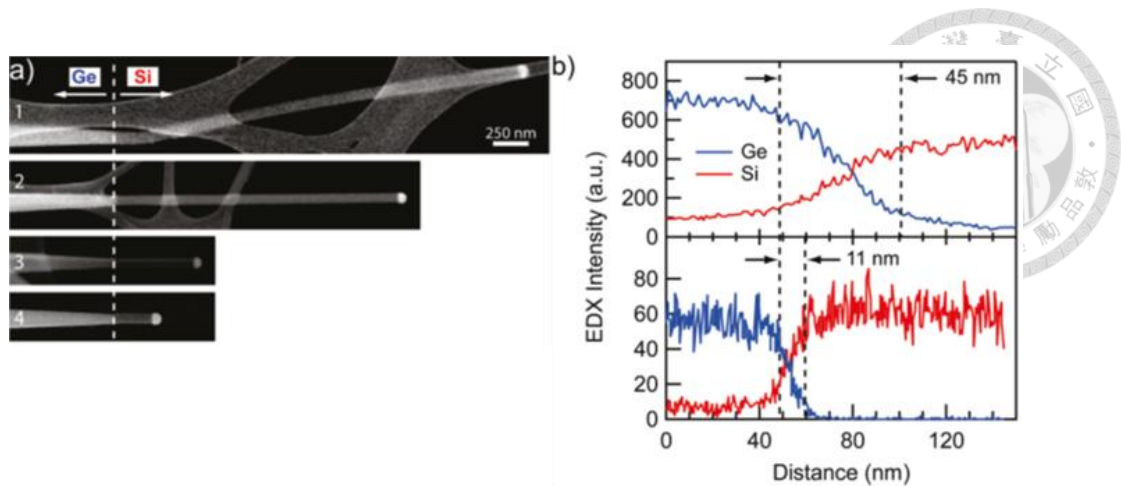


Figure 2.14. (a)以金鎳合金作為催化劑成長的鍺-矽異質介面奈米線之 SEM 影像；(b)上圖為利用純金催化劑成長矽鍺異質介面奈米線沿軸向的能量分散光譜強度分布，而下方則改用金鎳合金。添加鎳的奈米線介面寬度有明顯下降。

2.2.2 利用VSS成長機制成長矽鍺異質介面奈米線

過去研究學者則利用 VSS 機制降低矽和鍺在催化劑內的溶解度，避免 VLS 機制所帶來的 reservoir effect 造成較寬的異質介面。Wen 等人[48,49]選擇與矽形成較高共晶溫度的鋁添加於金催化劑形成 AlAu_2 合金，用以提高金-矽的共晶溫度。奈米線便可在較高的成長溫度下進行成長，而使成長速率較快。如 Figure 2.15(a)為固態 AlAu_2 催化成長的矽鍺異質介面奈米線。介面寬度由 Figure 2.15(b) HADDF-STEM 影像強度顯示大約 1.3 nm。同時 Figure 2.15(c,d) EDS 線掃描顯示介面寬度約為 1 nm 左右。

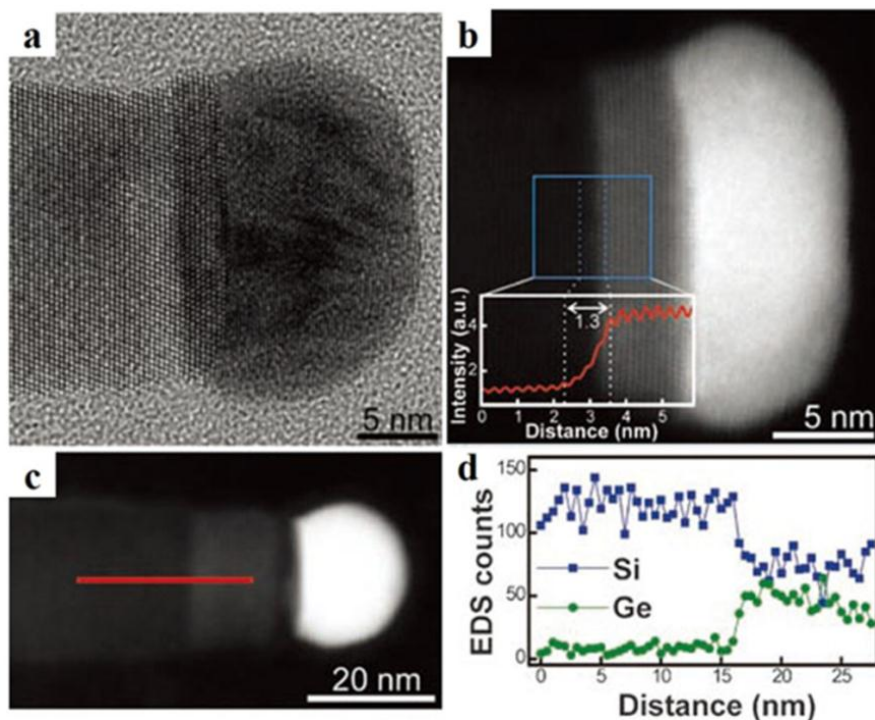


Figure 2.15. (a)利用 AlAu_2 成長出的奈米線高解析 TEM 影像。(b) HAADF-STEM 影像中訊號強度的對比，可看出介面寬度只有 1.3 nm。(c-d) EDS 的線掃描結果可以發現介面寬度約只有 1 nm 左右[48]。

於 2015 年 Wen 等人[49]持續利用 AlAu_2 以 VSS 成長機制成長出矽-鍺多層異質介面奈米線。Figure 2.16 (a) HAADF-STEM 影像，顯示矽奈米線中兩層影像強度較強的為鍺奈米線段。Figure 2.16(b)為配有球面像差校正器掃描穿透電子顯微鏡 (C_s -corrected scanning TEM, C_s -corrected STEM)所得晶格影像，顯示沒有因晶格不匹配所造成的差排形成於矽鍺異質介面。此外，Figure 2.16(b)中影像強度顯示矽到鍺的介面較狹窄，約 1 nm；然而鍺到矽的介面較為模糊，介面寬度大約數奈米。Wen 等人由熱力學相圖計算結果發現 AlAu_2 對鍺的溶解度較矽大，因此在鍺到矽的異質介面寬度會如 2.2.1 節所述的 reservoir effect 而使介面較為模糊。然而 AlAu_2 固然可以提高共晶溫度達成以 VSS 成長異質介面奈米線，在金與鋁的相圖[50]中，發現金與鋁的合金種類繁多，難以控制形成的合金比例，而且鋁的活性大容易氧化，以上因素皆會影響著奈米線的成長。

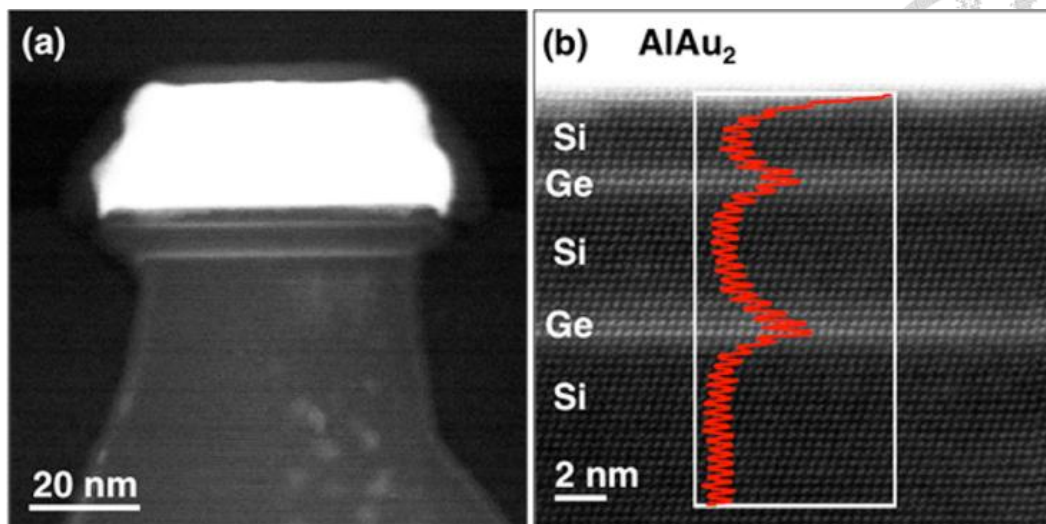


Figure 2.16. (a,b)利用 AlAu_2 以 VSS 成長機制成長出矽-鍺多層異質介面奈米線之 HAADF-STEM 影像。(b)中紅色曲線為影像強度圖，顯示矽到鍺介面較窄而鍺到矽介面較寬。

Chou 和 Wen 等人則於 2012 年選用了銀，添加於金之中做為催化劑成長奈米線[51]。相較於金-鋁的系統，金和銀同為面心立方結構，從金-銀相圖可知，兩者完全互溶，不會形成化合物。此外，銀和矽共晶溫度為 827°C ，高於金和矽之共晶溫度(365°C)，且二者皆不會與矽形成矽化物。因此我們可以藉由調控金-銀成分比例，藉此調控所需的共晶溫度，以 VSS 成長機制成長出矽鍺的異質介面。Figure 2.17(a,b)為金銀合金催化成長的矽鍺異質介面奈米線之 TEM 影像。Figure 2.17(c-e)為矽-鍺多層介面的 *in situ* TEM 影像，紅色箭頭位置為鍺的薄層。異質介面 HAADF-STEM 影像，如 Figure 2.17(f)所示。影像強度 Figure 2.17(g)顯示介面寬度只有 1 nm 左右。

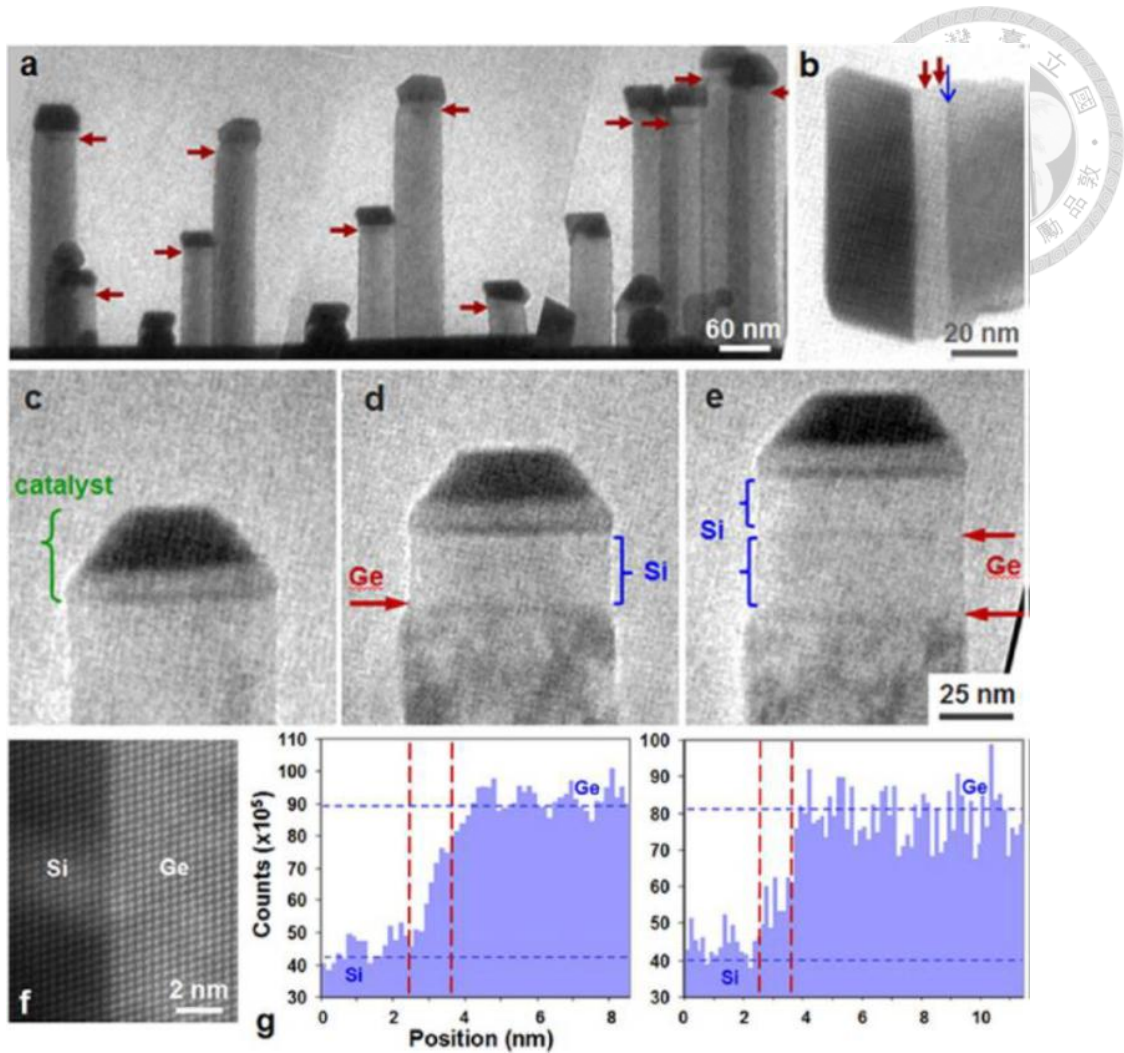


Figure 2.17. (a)利用金與銀成長矽-鍺-矽的異質介面奈米線低倍 TEM 影像；(b)高倍率下奈米線影像，紅色箭頭處是兩層約 1 nm 的 Ge 薄層，藍色箭頭處形成的對比是由於由 VLS 轉換成 VSS 時，奈米線產生的雙晶造成；(c-e)成長矽-鍺多層介面的臨場 TEM 影像，紅色箭頭位置為鍺的薄層。(f)矽鍺介面處的 HAADF-STEM 影像；(g)異質介面影像強度圖，顯示介面寬度約 1 nm[51]。

2.2.3 矽鍺異質介面寬度

於 2008 年時 Li 等人利用動力學模型推導出 VLS 異質介面寬度內的成分變化 [52]。當含有元素 I 的奈米線正在成長，切換至 II 奈米線成長，異質介面轉換區成分隨時間變化結果：



$$c_{II}^s = c_{II,\max}^s \left[1 - \exp\left(\frac{-3}{\beta\gamma^3 c_0} \frac{vt}{r_s}\right) \right]$$

其中 c_{II}^s 為在異質界面轉換區內 II 濃度； $c_{II,\max}^s$ 為在奈米線內 II 所能達到最大濃度；

v 為奈米線成長速率； t 為成長時間； r_s 是奈米線的直徑； $\gamma = \frac{r_1}{r_s}$ 為奈米線直徑與

共晶液珠直徑的比值； c_0 是在共晶液體中溶解 I 與 II 兩種成份的比例； β 是尺寸因子，範圍在 2 到 4 之間，直徑越粗的奈米線值越接近 2，直徑越小的奈米線值越接近於 4。若從切換成 II 奈米線成長之時刻起算， $L_j = vt$ 即為異質介面寬度，由上式可得：

$$\frac{L_j}{r_s} = - \frac{\ln\left(1 - \frac{c_{II}}{c_{II,\max}}\right)}{\frac{3}{\beta\gamma^3 c_0}}$$

Li 等人則利用上式，得到與 Clark 等人的實驗結果一樣的趨勢，如 Figure 2.18 所示。且由上式可以得知，異質介面寬度與奈米線直徑成正相關，隨著奈米線直徑增加，異質介面也越寬。此外 Li 的理論也說明了矽鍺異質介面寬度，會隨著矽(鍺)於共晶液珠內之溶解度上升而增加。

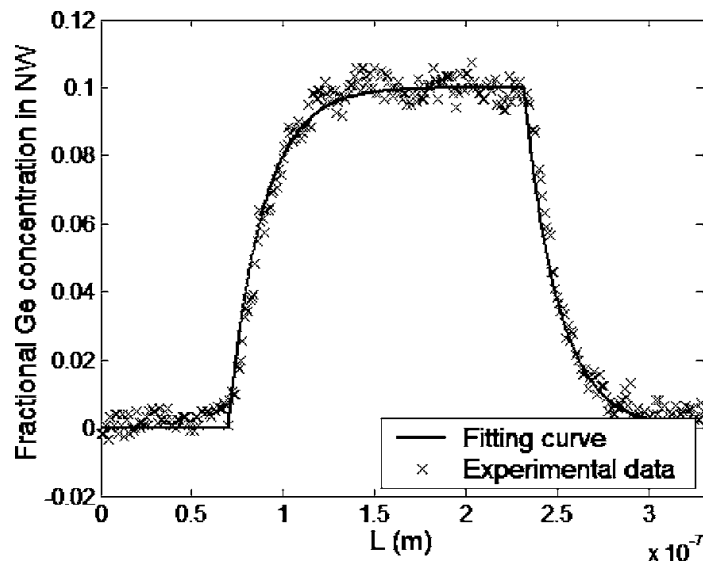


Figure 2.18. Li 以其模型對 Clark[47]實驗的奈米線軸向鍺成份之數據做曲線擬合，顯示其理論準確性[52]。



2.3 穿透式電子顯微鏡之應變分析方法

近年來多利用 TEM 進行奈米尺度下的應變分析，常見的技術有(1)聚束電子繞射分析技術(convergent-beam electron diffraction, CBED);(2)奈米電子束繞射分析技術(nano-beam electron diffraction, NBED);(3)幾何相位分析技術(geometric phases analysis, GPA)[53]。下表為利用 TEM，進行應變量測之方法比較。

Table 2.2.不同應變分析方法之比較[53]。

	模式	靈敏度	空間解析度
CBED	利用電子束	2×10^{-4}	0.5-2 nm
NBED	利用電子束	10^{-3}	5-10 nm
GPA	影像分析	10^{-3}	1-2 nm

2.3.1 聚束電子繞射分析

聚束電子繞射(CBED)是最早於 TEM 下使用的應變分析方法。利用電磁透鏡增加電子束的收斂角(convergent angle)，當聚束電子照射在樣品上時，所呈現的繞射點為圓盤狀(disk)，並非一般平行電子束所呈現之點狀。在中心圓盤內部，我們可觀察到 higher-order Laue zone (HOLZ)繞射所產生的暗線，如 Figure 2.19(a)所示，藉由量測不同位置的暗線偏移，獲得各區域的晶格常數變化[54]，並藉由在樣品上進行掃描，我們可以建構出應變場。由於高角度繞射對晶格常數的變化非常敏感，使得利用 CBED 分析應變的靈敏度可以到達 10^{-4} 。然而為了容易觀察 HOLZ 之暗線偏移，我們必須調整晶體方向至 high-order zone axis。如此電子束無法平行介面穿透而使介面模糊[55]。如 Figure 2.19(b,c)所示，沿高級數 $\langle 340 \rangle$ 觀察方向的影像介面比較模糊。

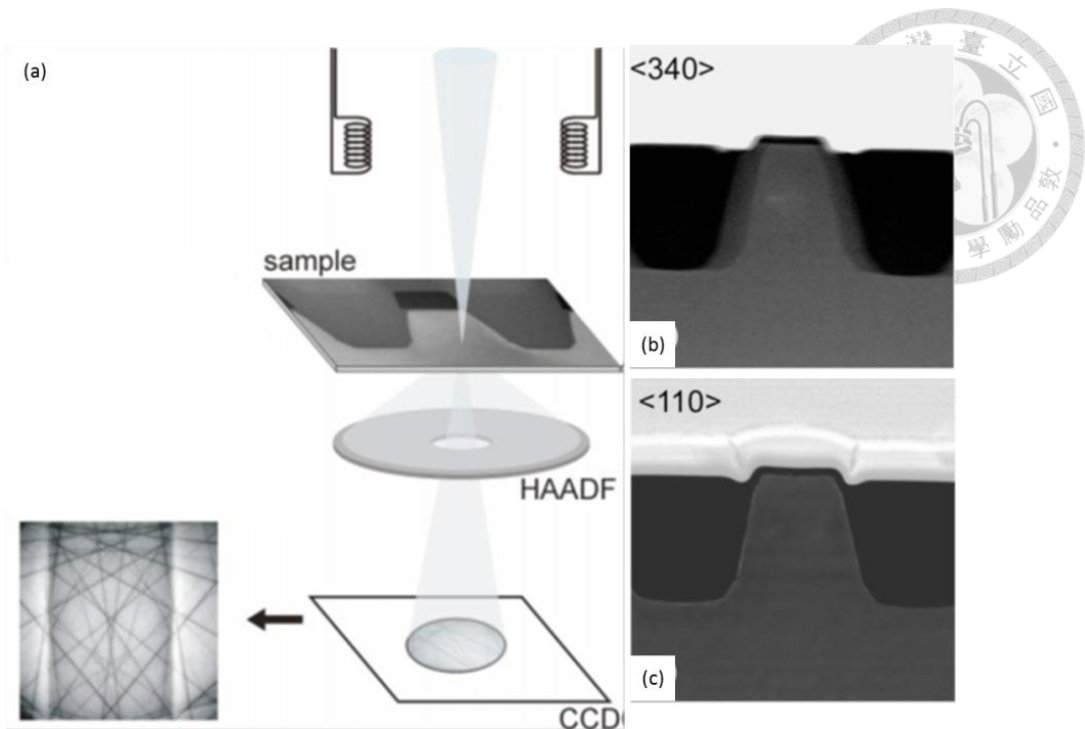


Figure 2.19. (a) 聚束電子繞射示意圖。電子束聚焦照射在樣品後，穿透圓盤內部可見 HOLZ 暗線。(b) 電子束沿<340>方向所得 Shallow trench isolation (STI) 之結構 TEM 影像；(c) 電子束沿<110>方向所得 STI 結構 TEM 影像[55]。

2.3.2 奈米電子束繞射分析技術

奈米電子束繞射分析技術(NBED)近年來更為被使用在半導體中的應變量測[53]。在這個方法中，先將奈米尺寸大小、近乎平行的電子束照射於參考區域，以得到該區域的繞射圖譜。接著利用 STEM 的掃描功能，將奈米電子束照射於其他區域，收集不同位置的繞射圖譜。我們比較各點位置和原參考區域的繞射圖譜後，得到不同位置相對於參考區域繞射點的偏移[56] 其空間解析度取決於電子束大小，大約 5-10 nm。我們可以從繞射點偏移，得知各點相對於參考區域的晶格位移，進而得知各點的應變值。NBED 分析大致流程，如 Figure 2.20 所示[57]。

與 CBED 相比，由於 NBED 並非收集 HOLZ 的資訊。因此電子束可以沿 low-order zone axis 下照射試片，使介面影像較清晰。然而，NBED 量測應變的靈敏度需要考量偵測器像素大小，使得靈敏度較 CBED 的 10^{-4} 來的差[58]。此外，由於 NBED 掃描過程十分花費時間，利用 NBED 建構整個影像的二維應變場分布會有些不便。

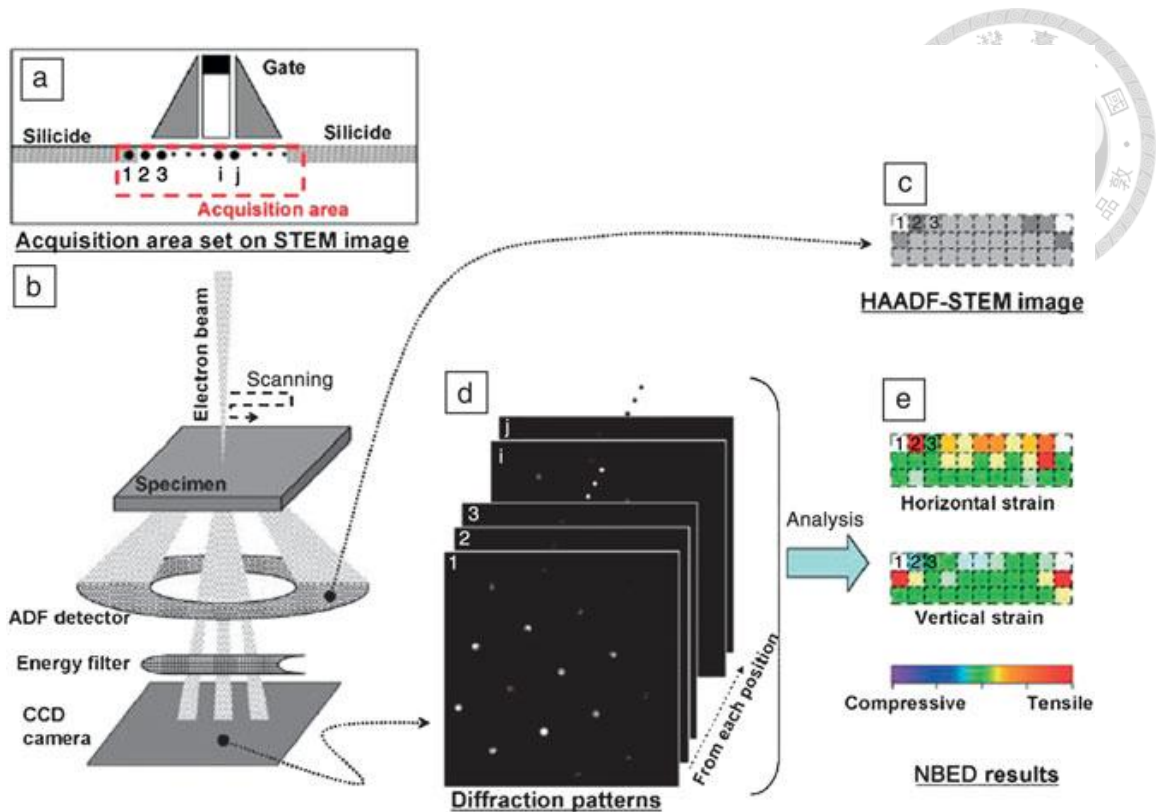


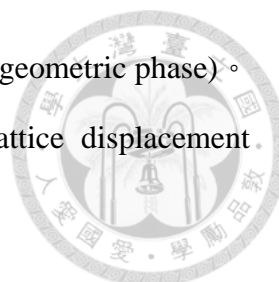
Figure 2.20. 利用 NBED 技術進行應變分析示意圖。(a)確認應變分析區域；(b)利用掃描的方式於試片於下方 ADF 偵測器收集各點 HAADF 強度，同時利用 (charge-coupled Device, CCD)收集電子繞射圖譜；(c)藉由 HAADF 強度確認 NBED 電子繞射圖譜的區域；(d)掃描區域各點的 NBED 繞射圖譜；(e)與參考區域繞射圖譜做比對，進而得到應掃描區域各點的應變分布[57]。

2.3.3 幾何相位分析技術

由於 CBED 須傾轉到 high-order zone axis 會造成介面處影像模糊，並不適合用來做異質介面處的應變分析。另一方面，NBED 掃描必須花費大量時間以建構二維應變場，不利於快速分析。Hjich 等人於 1998 年所發展幾何相位分析技術(GPA)可以避免介面模糊化，利用在特定 zone axis 上的高解析 TEM 影像配合傅立葉分析，以更有效率的方式，從相位變化獲得結構中二維應變場[59]。高解析穿透式電子顯微鏡影像中晶格條紋影像，是來自晶格中原子週期性排列所產生晶格干涉條紋 (lattice fringe)。晶格影像強度對比 $B_g(\mathbf{r})$ 為位置之函數，如下式：

$$B_g(\mathbf{r}) = 2A_g(\mathbf{r}) \cos\{2\pi\mathbf{g} \cdot \mathbf{r} + P_g(\mathbf{r})\}$$

其中 \mathbf{g} 為倒晶格空間向量，對應至符合布拉格繞射的條件的晶面，也將產生高解析



影像中一組週期性干涉條紋。 $A_g(\mathbf{r})$ 則為振幅、 $P_g(\mathbf{r})$ 為幾何相位(geometric phase)。若高解析影像兩點有晶格間距的差異，將存在一晶格位移場(lattice displacement field) \mathbf{u} ，也就是 $\mathbf{r} \rightarrow \mathbf{r} - \mathbf{u}$ 則

$$B_g(\mathbf{r}) = 2A_g(\mathbf{r}) \cos\{2\pi\mathbf{g} \cdot \mathbf{r} - 2\pi\mathbf{g} \cdot \mathbf{u}\}$$

如此幾何相位則反映出晶格位移場，

$$P_g(\mathbf{r}) = -2\pi\mathbf{g} \cdot \mathbf{u}$$

如此我們可以藉由幾何相位來獲得晶格位移場資訊。我們將高解析影像進行傅立葉轉換(Fourier transform)，並設定一定大小的光罩(mask)圈選特定 \mathbf{g} 以濾去高頻雜訊(Fourier filter)，再進行反傅立葉轉換(inverse Fourier transform)，藉此得知高解析影像中各點幾何相位 $P_g(\mathbf{r})$ 。由於幾何相位 $P_g(\mathbf{r})$ 提供晶格位移場 $\mathbf{u}(\mathbf{r})$ 沿著倒晶格向量 \mathbf{g} 資訊。圈選兩個不同的繞射點 \mathbf{g}_1 、 \mathbf{g}_2 來建構出二維晶格位移場(lattice displacement field)，得到 x 和 y 方向的晶格位移場 $u_x(\mathbf{r})$ 和 $u_y(\mathbf{r})$ ，進而得到應變場(strain field)。

幾何相位分析的空間解析度為 1 至 2 nm，應變靈敏度則為 10^{-3} 。光圈大小是整個幾何相位分析最重要的參數，會大幅度影響位移場結果。下圖 Figure 2.21(a) 為矽鍺異質結構 TEM 影像，Figure 2.21(b) 為其快速傅立葉轉換(fast Fourier transform, FFT)結果。矽鍺異質結構的幾何相位分析，分別表示不同大小光圈的結果，隨著光圈增大，空間解析度提升但同時也會使雜訊增加，如 Figure 2.22 (a-i) [60] 所示。

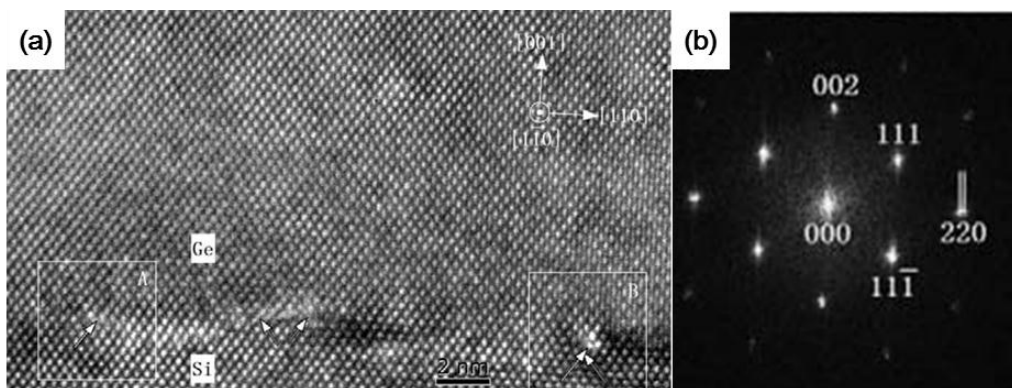


Figure 2.21. (a)矽鍺異質結構 TEM 鏡影像；(b)TEM 影像 FFT 結果。

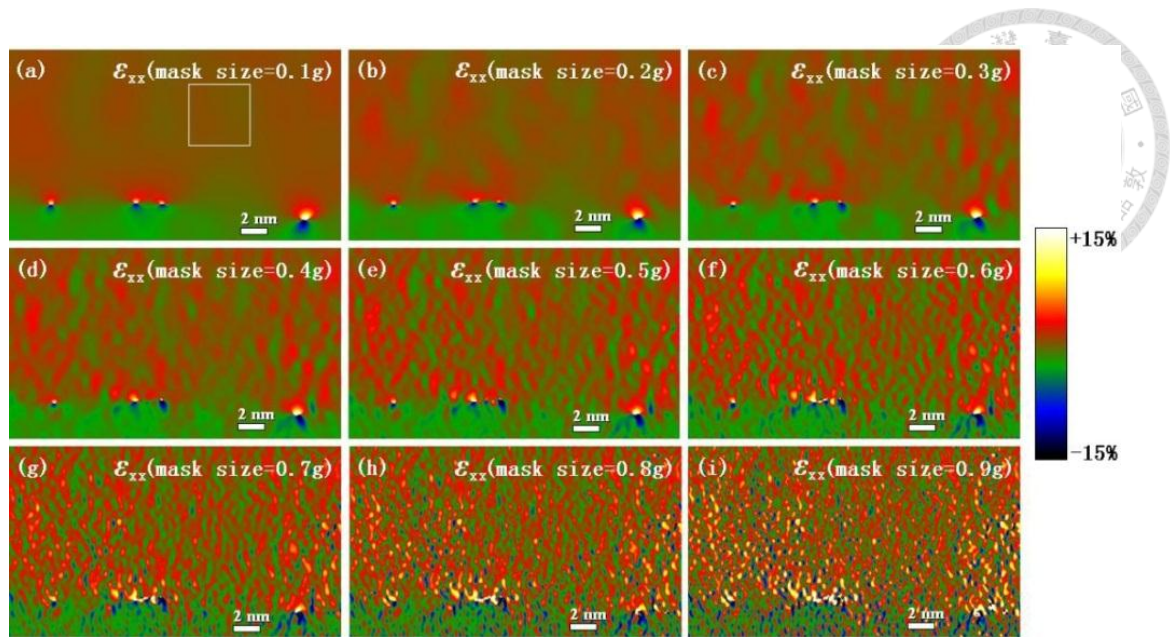


Figure 2.22. (a-i)不同光圈大小的幾何相位分析結果，(a-i)圖中的光圈逐漸增大，所使用的光圈越大，空間解析度越好，雜訊也增加[60]。



2.4 矽鍺異質介面奈米線之應變分析

2.4.1 矽鍺異質介面奈米線應變分析

Vincent 等人於 2012 年量測以 VLS 成長機制成長之鍺矽異質介面奈米線中介面處的應變[61]。如 Figure 2.23 所示，異質介面附近的 EDS 線掃描結果顯示矽鍺介面寬度有數十奈米。Figure 2.24(a)為鍺矽異質介面奈米線高解析 TEM 影像，由 Figure 2.24(b)奈米線繞射圖得知電子以 $[11\bar{2}]$ 方向入射觀察，並圈選其中 $(2\bar{2}0)$ 與 (111) 兩組晶格面進行幾何相位分析。Figure 2.24(c,d)分別為沿軸向(out-of-plane)應變場 ε_{xx} 與橫向(in-plane) ε_{zz} (以鍺晶格區域為參考區域)，其中矽晶格區顯示藍色，代表應變場為-4%(相較於鍺晶格參考區域)。Figure 2.24(e)為沿奈米線軸向之應變分布，顯示在靠近介面處鍺會因晶格不匹配所引入之拉伸應變(tensile strain)而同時受到沿奈米線軸向之壓縮應變(compressive strain)。由於鍺矽異質介面處之合金組成導致介面處應變並不明顯。他們亦利用電腦以有限元素法(finite element method, FEM)模擬鍺矽異質介面奈米線之晶格位移場，結果與幾何相位分析結果相符，如 Figure 2.24(e)所示。

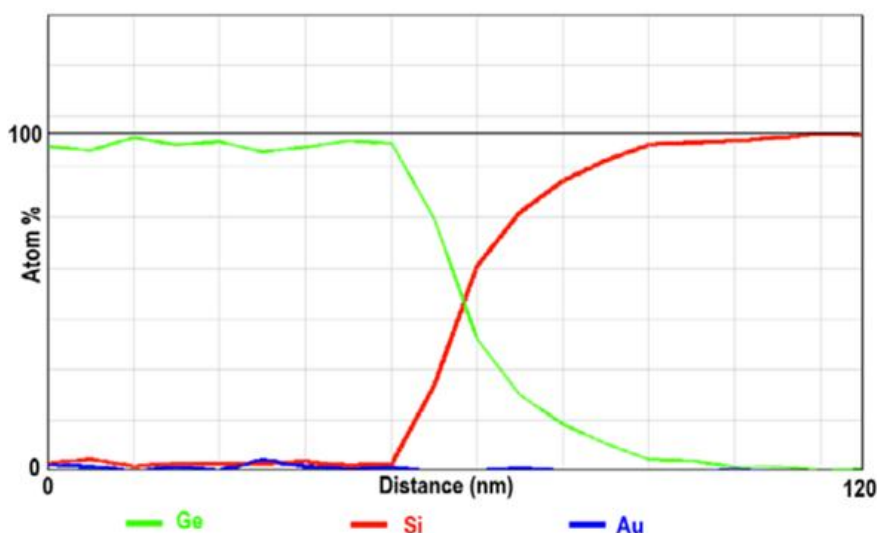


Figure 2.23. 矽鍺異質介面轉換區之 EDS 線掃描結果。

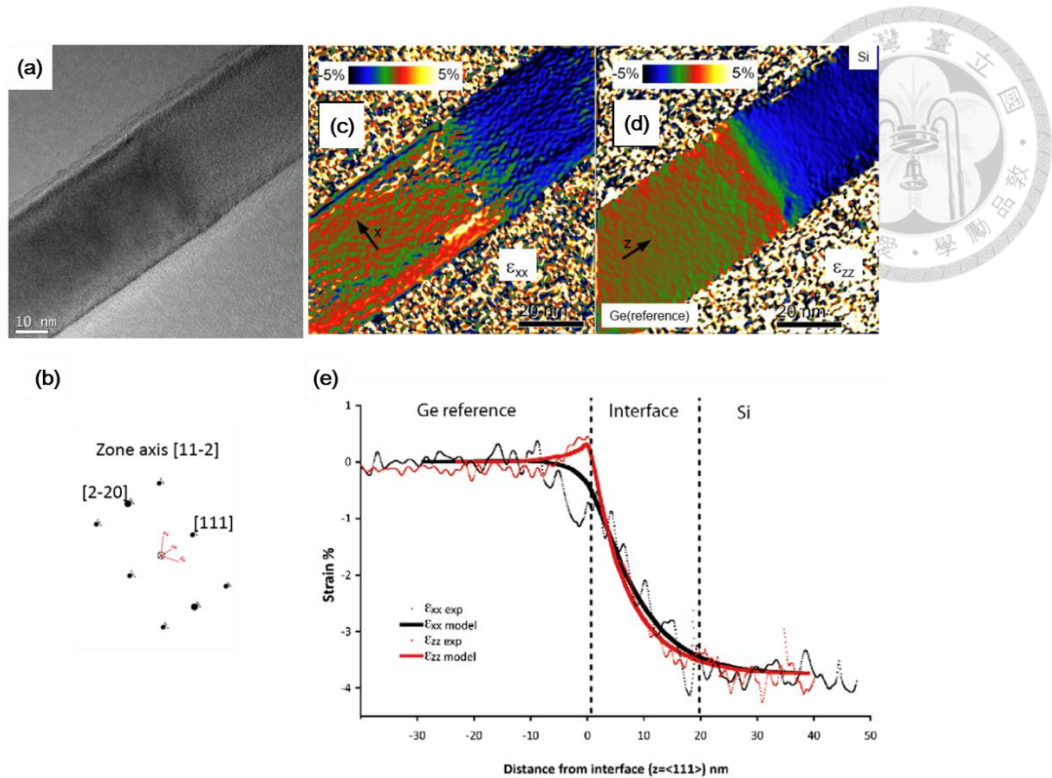


Figure 2.24. (a) 鍺-矽異質介面奈米線之高解析 TEM 影像；(b) 鍺矽異質介面奈米線繞射圖譜，圈選其中兩繞射點進行應變分析；(c,d) 二維晶格位移場 ϵ_{xx} 與 ϵ_{zz} ；(e) 為 ϵ_{xx} 與 ϵ_{zz} 沿軸向的應變分布，包含電腦模擬與實驗結果[61]。

Wen 等人於 2015 年透過幾何相位分析，量測以 VSS 成長機制製備之矽-鍺多層異質介面奈米線[49]。他們量測 HAADF-STEM 影像中奈米線各點的晶格位移場(矽晶格區設為參考區域)，建構出沿奈米線徑向(radial direction)的應變場 $\epsilon_{xx}(x, z)$ 。如 Figure 2.25 所示，影像顏色均勻表示整體晶格相較於矽晶格變化甚小。Figure 2.25(b)中的紅色應變曲線在第一層鍺薄層區域有 0.5% 拉伸應變，其值以矽晶格為基準，故說明了鍺晶格受到大量壓縮應變(compressive strain)至接近矽晶格狀態，間接驗證藉由 VSS 機制所成長的矽鍺異質介面，可以於介面處產生大量應變。此外 Wen 等人也量測矽-鍺異質介面奈米線介面處應變。他們所成長的 6 nm 長的鍺奈米線段，矽鍺轉換區寬度大約 1 nm，如 Figure 2.26(a) TEM 影像所示。對照 Figure 2.26(b)中的 $\epsilon_{xx}(x, z)$ 應變分布圖，可發現白色應變曲線自未經形變之矽晶格區至鍺晶格區有約 0% 至 4% 的上升。曲線上升過程跨越 10 nm，與 1 nm 異質介面寬度相比，說明在異質介面外的矽和鍺亦有應變存在，且在靠近異質介面處，矽受到拉伸應變，而鍺受到壓縮應變，自介面起算向兩側延伸，可得應變區大約 5 nm 長。

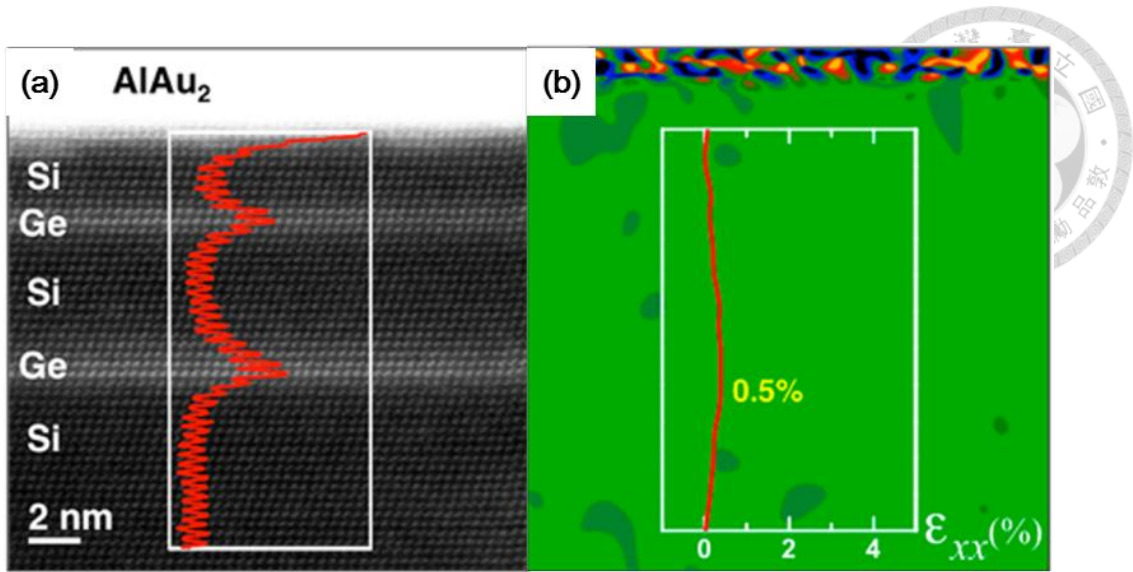


Figure 2.25. (a)利用 AlAu_2 以 VSS 成長機制成長出矽-鍺多層異質介面奈米線之掃 HAADF-STEM 影像；(b)奈米線沿徑向(radial direction)的應變場，圖中紅色曲線為白色方框內的區域應變平均值，於矽鍺介面附近顯示 0.5% 應變。

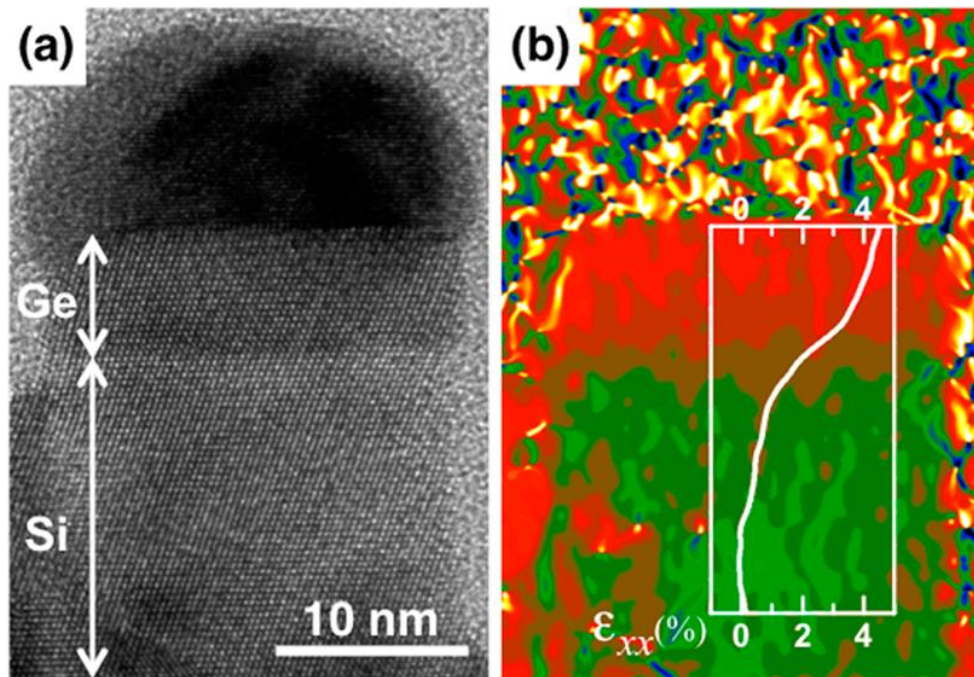


Figure 2.26. (a)矽鍺異質介面奈米線 TEM 影像；(b) $\epsilon_{xx}(x, z)$ 應變分布，白色曲線為白色方框應變平均值沿奈米線成長方向作圖之結果。

第 3 章 實驗方法與步驟



3.1 奈米線成長方法與步驟

本實驗中奈米線的成長是利用化學氣相沉積技術，並藉由氣-液-固 (vapor-liquid-solid, VLS) 以及氣-固-固 (vapor-solid-solid, VSS) 成長機制。在這個方法中，首先將作為奈米線成長的金屬催化劑置於清洗過的基板上。接著通入氣體前驅物 (gas precursor)，這些氣體分子將受到金屬催化作用，促使奈米線成長。異質介面則可以在成長奈米線的過程中藉由切換不同種類前驅物氣體達成。

3.1.1 成長基板前處理

本實驗大部分選用 N 型 Si(111) 晶圓做為成長基板。由於本實驗系統的載台設計上的考量，我們將矽晶圓切成每片長寬約為 20 mm×7 mm 的長方形試片以利進行奈米線的成長。為了保持成長前基板乾淨，切過的試片會先放入丙酮溶液與異丙醇溶液中分別以超音波震盪清洗 5 分鐘以去除表面的有機汙染物。接著再浸泡在 10% 的氫氟酸溶液 (HF Solution) 以去除矽基板表面的原生氧化層 (native oxide)，同時表面的氫與表面的矽形成鍵結，避免矽基板再度原生氧化層，而影響後續奈米線成長。最後以氮氣吹乾試片表面，並立即放入腔體當中。

3.1.2 超高真空化學氣相沉積技術

為避免氧化層形成和維持反應氣氛乾淨，我們使用超高真空化學氣相沉積 (ultra-high vacuum chemical vapor deposition, UHVCVD) 系統來成長高品質奈米線，如 Figure 3.1 所示。氧化層的形成會影響奈米線與基板的磊晶關係，進而影響後續奈米線的形貌。反應腔體基底壓力 (base pressure) 維持在 10^{-9} Torr 左右的壓力範圍，系統可以使用的反應氣體包含二矽乙烷 (Disilane, Si_2H_6 , 2% diluted in He) 與鍺甲烷 (Germane, GeH_4 , 2% diluted in He)。

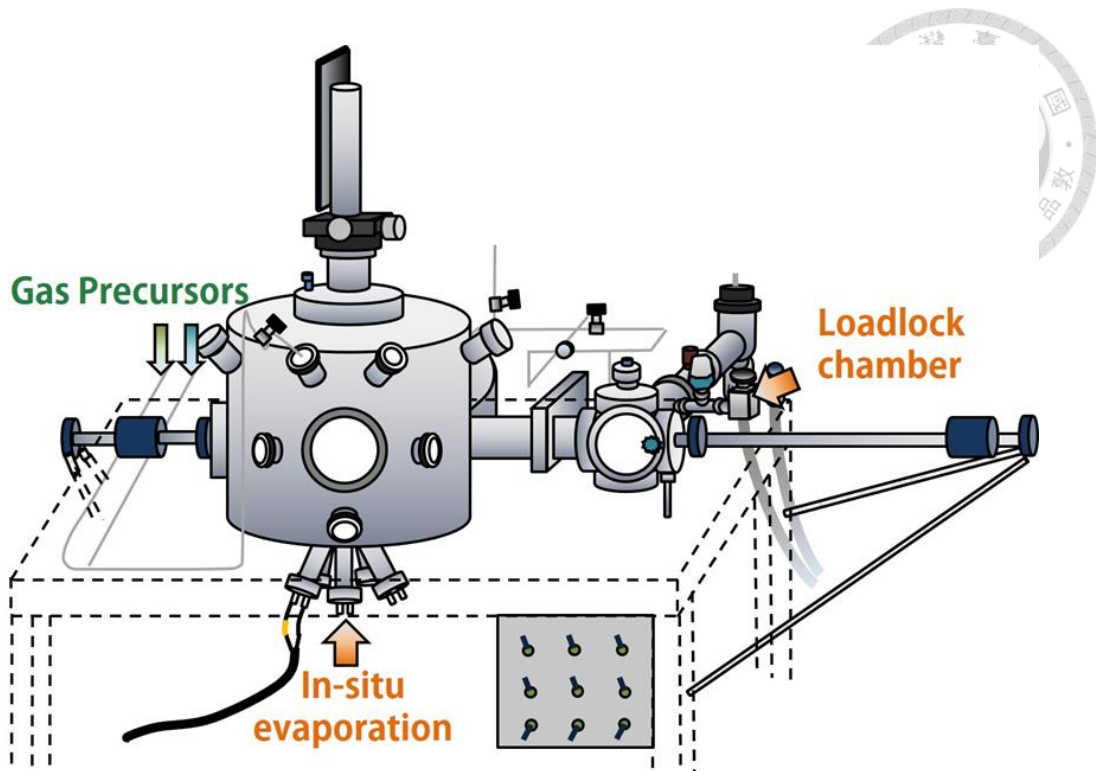


Figure 3.1. 超高真空化學氣相沉積系統示意圖。

3.1.3 金屬催化劑製備與選用

本研究中使用熱蒸鍍(thermal evaporation)的方式製備奈米線所需金屬催化劑。我們將蒸鍍金屬放置於氧化鋁坩鍋，並於外圍纏繞鉭線(Tantalum, Ta)加熱線圈。藉由通電加熱鉭線，坩鍋內金屬會受熱而蒸發，進而沉積於基板上。此蒸鍍裝置同時裝配於上述超高真空化學氣相沉積反應腔體中，使蒸鍍過程腔體壓力維持在 5×10^{-8} Torr 以下，目的是為了避免在熱蒸鍍金屬催化劑時，高溫下鉭線和矽基板發生氧化。此外，為了達到控制蒸鍍金屬量的多寡，腔體內部裝配石英振盪晶片(quartz crystal monitor, QCM)，用來監控蒸鍍金屬薄膜的厚度。

本研究選用金或金銀合金做為奈米線成長催化劑。金和銀具有相同的晶體結構，在金銀相圖中，可以以任意比例互溶。同時藉由銀的添加來提高金和矽(鍺)的共晶溫度，藉此以 VSS 機制進行成長矽鍺異質介面奈米線。不同比例的金銀合金催化劑，可藉由調控蒸鍍不同厚度的金和銀薄膜配合預退火(preannealing)來製備。輪流熱蒸鍍金和銀薄膜於矽基板上，隨後升溫至 450°C 至 550°C 進行退火，使金和銀薄膜互溶並與下方矽基板發生共晶反應(eutectic reaction)，形成共晶液珠(eutectic liquid droplet)，作為後續奈米線成長催化劑。



3.1.4 半導體奈米線成長步驟

長度較長(1 微米以上)的矽(鍺)奈米線多半是以化學氣相沉積的方式以 VLS 的成長機制進行如下圖 Figure 3.2 所示。首先利用上述熱蒸鍍系統沉積金或金銀薄膜，並退火(annealing)以形成共晶液珠，作為奈米線成長的催化劑。接著同時通入氣體前驅物二矽甲烷(disilane)或鍺甲烷(germane)使反應氣氛平衡穩定，再將基板通以電流以電阻式加熱的方式(resistive heating)直接對試片做加熱，藉此達到成長奈米線所需的溫度。以矽奈米線成長為例，二矽甲烷前驅物到基板表面，受共晶液珠表催化而分解矽原子，隨後矽原子將溶入液珠中，使得液珠中矽的濃度增加。當矽濃度溶解在共晶液珠達到飽和時，矽會在液珠與基板的介面間析出，進而形成矽奈米線。成長的溫度與壓力範圍隨著不同實驗要求而做改變。成長溫度範圍多在 300°C 至 600°C 之間，根據所需的成長機制而決定，壓力則坐落在 10^{-5} 至 10^{-2} Torr 之間。

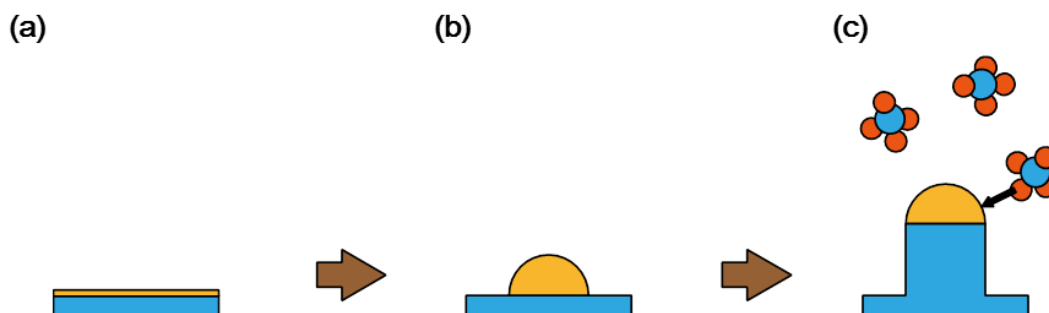


Figure 3.2. VLS 成長半導體奈米線步驟。(1)清洗成長基板後，熱蒸鍍所需金屬薄膜作為催化劑；(2)電阻式加熱基板，形成共晶液珠；(3)氣體前驅物，共晶液珠催化裂解後，矽原子溶解進共晶液珠，當濃度達飽和時，材料會於液固介面析出成長奈米線。

3.1.5 矽鍺異質介面奈米線的成長步驟

矽鍺異質介面奈米線的成長可藉由成長一段矽奈米線後，前驅物氣體由二矽甲烷切換至鍺甲烷，如此可形成矽鍺異質介面於奈米線當中。如下圖 Figure 3.3 所示。首先沉積金和銀薄膜約 1 nm 於矽基板上，接著預退火使之形成金銀矽的共晶液珠，接著快速降溫固化維持共晶液珠形狀。隨後通入二矽甲烷，壓力約為 10^{-5} Torr 左右，以 VSS 機制成長矽奈米線。金銀合金與矽的共晶溫度較高，使得矽奈米線

得以在金矽共晶溫度 363°C 以上進行成長。二矽甲烷同樣也會如同 VLS 機制般，受催化劑裂解後而於金屬和基板間介面析出，成長矽奈米線。成長一段矽奈米線後，停止通入二矽乙烷，換成通入鍺甲烷，以成長矽鍺異質介面奈米線。部分實驗會於成長完鍺奈米線後再成長一段矽奈米線，形成矽-鍺-矽三段異質介面奈米線。

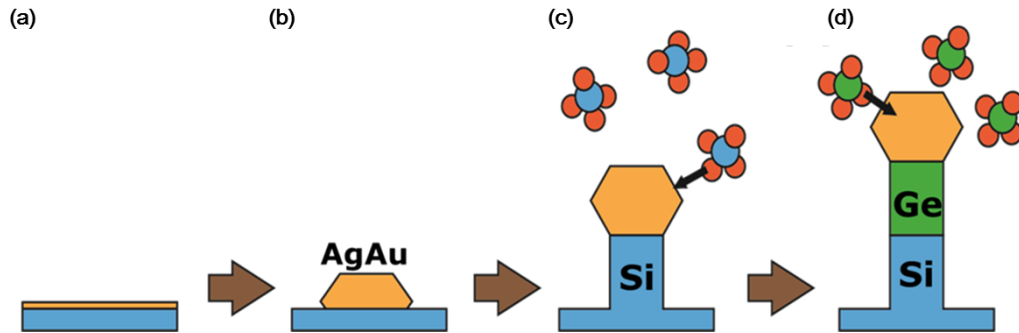
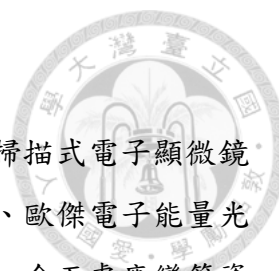


Figure 3.3. 以 VSS 成長機制成長矽鍺異質介面奈米線步驟。(a)於基板沉積金銀薄膜；(b)加熱使金銀薄膜形成共晶液珠後，降溫以固化金銀合金催化劑；(c)通入二矽乙烷於共晶溫度以下以 VSS 成長機制成長矽奈米線；(d)將二矽乙烷前驅物氣體切換為鍺甲烷，成長出矽鍺異質介面奈米線。



3.2 異質介面奈米線的分析方法

本實驗中奈米線分析主要借重電子顯微鏡分析技術，包含掃描式電子顯微鏡與穿透式電子顯微鏡，並搭配其衍伸光譜技術如能量分散光譜、歐傑電子能量光譜以及電子能量損失光譜，得知其組成、形貌等異質介面寬度、介面處應變等資訊。

3.2.1 掃描式電子顯微鏡(scanning electron microscopy, SEM)

SEM 主要是利用電磁透鏡聚焦電子束，電子束撞擊試片後，收集與試片交互作用後產生二次電子(secondary electron)及背向散射電子(back scattering electron)來獲得試片表面影像。我們利用 SEM 觀察奈米線的形貌，掃描式電子顯微鏡型號為 FEI NanoLab Nova450。除了 plan view 奈米線的形貌，為得知更多奈米線的形貌資訊，試將傾角觀察，如下 Figure 3.4 所示。

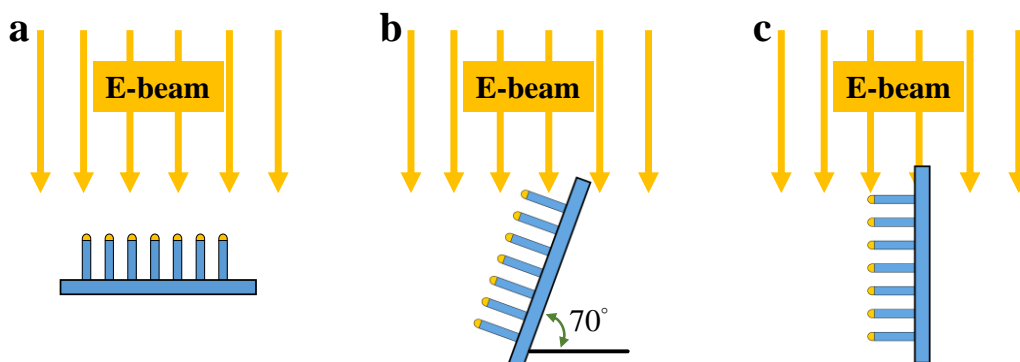


Figure 3.4. 本實驗中三種 SEM 觀察的角度。(a)plan view。(b)70° tilt 影像。(c)cross section 影像。

3.2.2 穿透式電子顯微鏡(transmission electron microscopy, TEM)

TEM 是利用高能量的電子束(200 KeV)穿過厚度小於 100 nm 處理過的試片，電子束與試片交互作用產生不同程度的散射，使得穿透電子數量到達偵測器不同，進而產生影像對比。同時也可以進行電子繞射分析，藉由 TEM 繞射圖譜來得知材料內部晶體結構資訊。我們利用 TEM 獲得奈米線更細微結構資訊，例如奈米線成長晶格面方向、奈米線晶格排列情況以及奈米線內部結構缺陷等。我們也利用 TEM 的相位對比(phase contrast)所造成的高解析影像(high resolution image)配合幾何相

位分析技術，可以幫助我們進行應變分析。本實驗所使用的分析儀器為 JEOL 2010F，加速電壓為 200 KV。



3.2.3 掃描穿透式電子顯微鏡(scanning TEM, STEM)

STEM 是在一般穿透式電子顯微鏡上加裝一組掃描線圈，將電子束聚到次奈米 (sub nanometer) 大小，在試片做掃描，電子與試片發生交互作用後發生散射，部分散射電子穿透過試片。偵測器收集這些不同散射角度的電子訊號形成影像。較先進的 STEM 會加裝球面像差校正器(spherical aberration corrector, C_s corrector)來提升影像至次原子級解析度。藉由下方的環形暗場探測器(annular dark-field detector)收集大角度的散射電子，形成高角度環形暗場影像(high-angle annular dark-field, HAADF)。由於不同元素的原子核可以造成不同程度散射，使得 HAADF 影像對原子序差異非常敏感，所以又稱原子序對比影像(Z-contrast)。除了收集散射電子得到暗場影像外，亦可收集穿透電子得到掃描穿透式電子顯微鏡明場影像(STEM bright field, STEM-BF)。我們可以藉 STEM 得到高解析影像與化學元素的資訊，用以分析矽鍺異質介面奈米線的介面寬度。本實驗所使用之 STEM 型號包括 JEOL 2010F，配有球面像差校正器的 JEOL 2100F 和 JEOL JEM-ARM200。

3.2.4 能量分散光譜(energy dispersive spectroscopy, EDS)

我們利用 X 射線能量分散光譜分析技術，鑑定奈米線中成份組成，如催化劑組成，矽鍺成分比例等。通常能量分散光譜儀偵測器會裝配於電子顯微鏡當中。當電子槍所發射高能量入射電子，與試片後交互作用後，將原子中內層電子激發，產生空的內層能階，外層電子回填而放出特徵 X 射線(characteristic X-ray)，如 Figure 3.5 所示。相同原子中相同能階跳躍所放出的 X 射線波長相同。我們利用偵測器接收特徵 X 射線用以鑑定元素組成。此外，我們可以利用掃描穿透式顯微鏡的掃描功能，得到不同位置的 EDS 組成資訊。

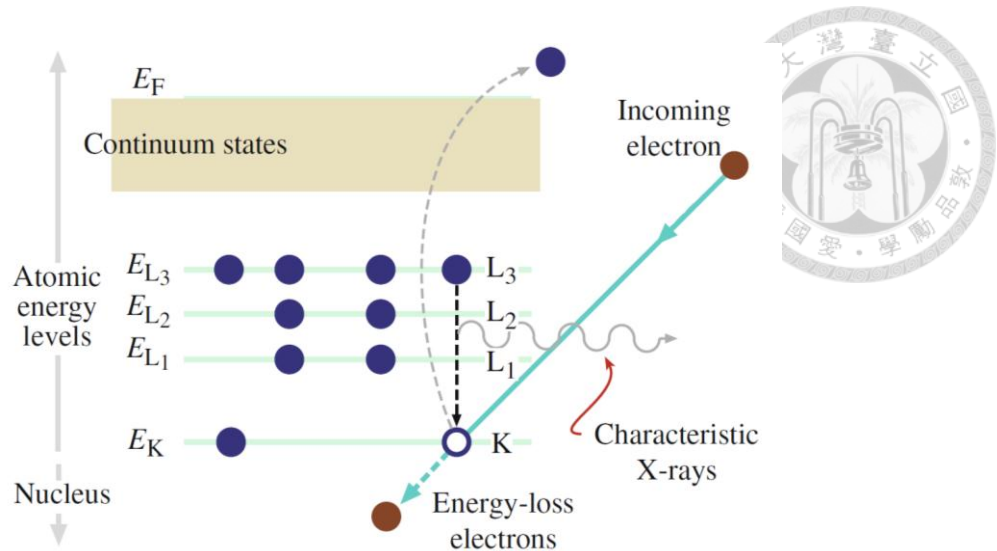


Figure 3.5. 特徵 X 射線產生機制[62]。

3.2.5 應變分析-幾何相位分析技術(geometric phase analysis, GPA)

利用穿透式電子顯微鏡量測應變方法中，我們選擇幾何相位分析。於穿透式顯微鏡影像處理軟體 Digital Micrograph (DM)上進行。將高解析晶格影像進行快速傅立葉轉換(fast Fourier transform, FFT)，再於轉換後的繞射圖譜上，放入光圈，圈選兩個繞射點後，並選取參考區域晶格。建構出影像應變場 $\epsilon_{xx}(x, y)$ 、 $\epsilon_{yy}(x, y)$ 、 $\epsilon_{xy}(x, z)$ (影像水平方向為 x；鉛直方向為 y)。分析時調整適當光圈大小，以獲得具有一定空間解析度與低雜訊的應變分布圖。幾何相位軟體操作如 Figure 3.6 所示。

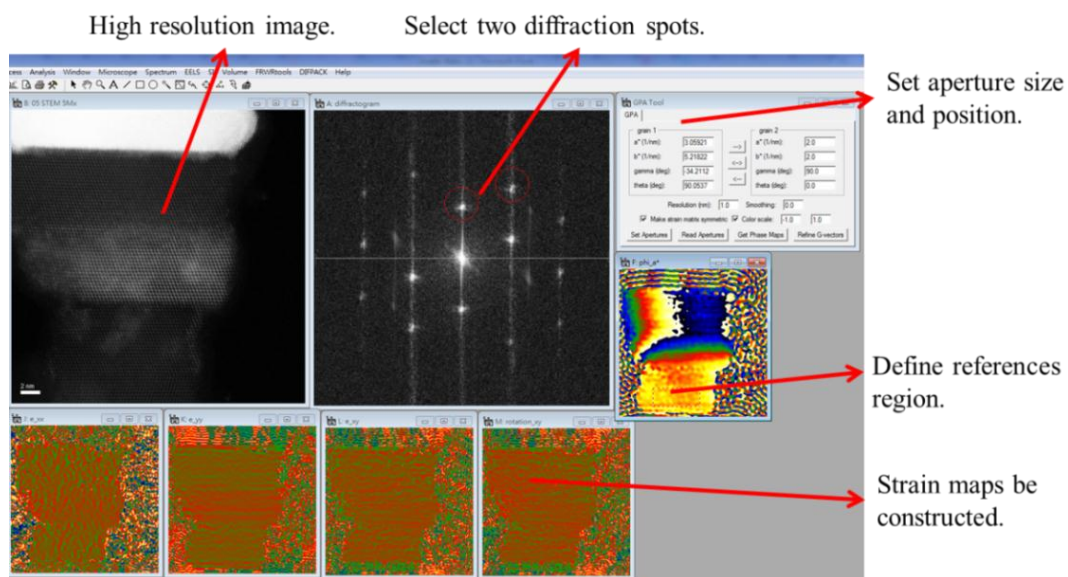


Figure 3.6. 幾何相位分析軟體操作示意圖。

3.2.6 電子能量損失光譜分析(electron energy-loss spectroscopy, EELS)

我們收集與試片交互作用後產生不同能量損失的穿透電子，建構電子能量損失光譜。這些穿透電子多半不會有能量損失或僅受到電子與電子間非彈性散射(inelastic scattering)。我們從能量損失光譜來得知試片中化學與電子結構資訊，像是鍵結、價帶能階結構(valance state)、自由電子密度(free electron density)、能隙(band gap)、以及試片厚度等。

電子能量損失光譜大致可以分成兩個區域：低電子能量損失區(low-loss spectra)與高電能量損失區(high-loss spectra)。低能量區泛指電子能量損失小於 50 eV，此電子能量損失主要來自於入射電子與外層電子交互作用，光譜反應出介電響應(dielectric response)。電子能量損失大於 50 eV 的高能量損失區，是來自激發內層電子，損失內層電子束縛能，會在電子能量損失光譜形成 ionization edge，從這些邊緣我們可以得知鍵結能(binding energy)。在電子能量損失光譜中 ionization edge 附近區域的近邊刃微細結構(energy-loss near-edge structure, ELNES)則顯示出同元素不同鍵結狀態資訊。

第 4 章 結果與討論



4.1 VSS機制成長矽-鍺-矽異質介面奈米線

我們蒸鍍金銀比例約 1:1 的金屬催化劑於矽基板，隨後在 530°C 之下預退火使其成為合金，接著在 370°C 的成長溫度以 VSS 成長機制成長 1.5 小時的矽奈米線，然後切換成鍺奈米線並且成長 1 小時，最後再成長 0.5 小時矽奈米線，形成矽-鍺-矽異質介面奈米線。本節將對上述方式成長的矽-鍺-矽異質介面奈米線之結構、成分、介面寬度以及介面處應變等進行分析。

4.1.1 異質介面寬度分析

Figure 4.1(a)為矽-鍺-矽異質介面奈米線之 HAADF-STEM 影像，奈米線成長方向為 $\langle 111 \rangle$ 方向，而我們則是以沿著 $[110]$ 方向的電子束觀察奈米線。如 3.2.3 節所描述，HAADF-STEM 影像對比對於元素成分十分敏感，越重的原子核散射電子能力越強，導致越強的影像對比，因此 Figure 4.1(a)中的鍺區域顯示出比矽區域更強的對比。由電子能量損失光譜分析我們發現鍺奈米線區段具有極少量的矽，而並非完全由鍺元素組成，所以用 Ge rich 標示 Figure 4.1(a)中的鍺奈米線段。Figure 4.1(b)影像強度可以得知第一段從矽到鍺的異質介面寬度小於 1 nm，顯示矽鍺成分在異質介面有急遽變化，然而從鍺到矽的異質介面寬度大約為數奈米。我們認為是金銀對鍺的溶解度高於矽，使鍺到矽的異質介面較寬。過去文獻指出，鍺奈米線可以在低於共晶溫度下以 VLS 成長機制進行成長[63]，從 Figure 4.2 中的矽-銀相圖(a)與鍺-銀相圖(b)可以得知鍺-銀的共晶溫度為 651°C 低於矽-銀的共晶溫度 827°C，而矽鍺與金的共晶溫度都是 360°C。因此我們推測當矽奈米線切換至鍺奈米線時，共晶溫度會降低，固態金銀矽轉變成液態金銀鍺，使鍺奈米線成長轉變為 VLS 機制，進而使鍺在金銀催化劑中溶解度提升。Figure 4.1(c)為矽到鍺的異質介面之高倍率影像，顯示矽鍺介面處乾淨，介面兩側原子相連並且沒有任何 misfit dislocation 的生成，此外，Figure 4.1(d)影像強度顯示兩虛線間異質界面寬度大約 0.7 nm，遠小於過去文獻[10]幾十奈米的矽鍺異質介面奈米線。

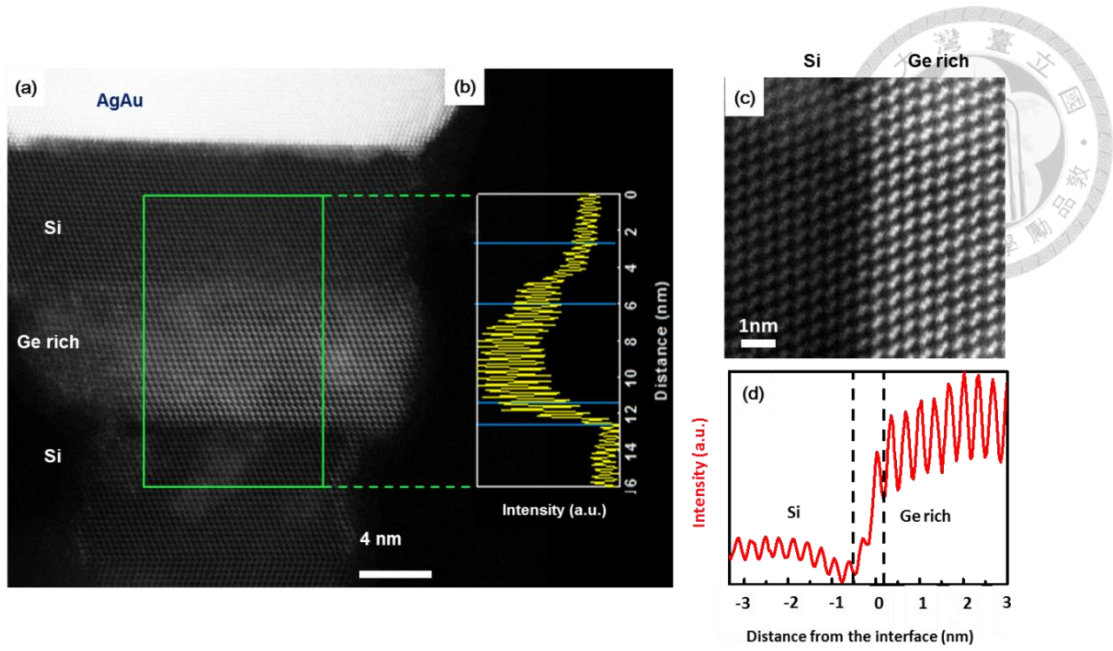


Figure 4.1. (a)矽-鍺-矽異質介面奈米線之 HAADF-STEM 影像；(b)綠色框線區的影像強度圖，顯示矽-鍺介面寬度狹窄約 0.7 nm 而鍺-矽介面寬度較寬約 3 nm；(c)高倍率下的 HAADF-STEM 影像；(d)為異質介面影像強度分布，兩虛線中顯示寬度為 0.7 nm 的異質介面。

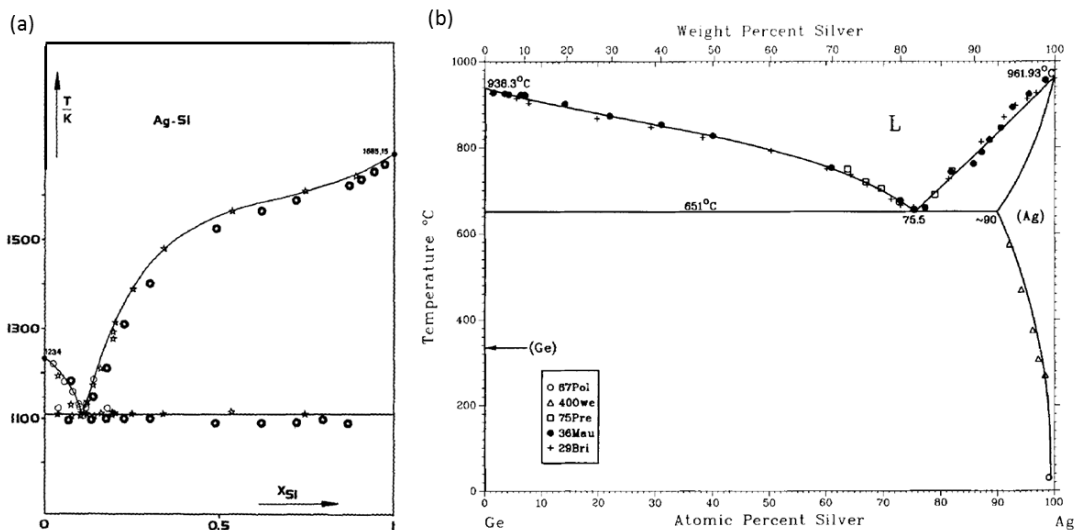


Figure 4.2. (a)矽-銀平衡相圖，共晶溫度 827°C；(b)鍺-銀平衡相圖 651°C。可見銀-鍺共晶溫度較低。



4.1.2 應變分析-幾何相位分析

Figure 4.3(a)顯示矽-鍺-矽異質直介面奈米線之 HAADF-STEM 影像，圈選適當大小的光圈進行幾何相位分析後，以未經形變的矽晶格做為參考區域，量測影像中各點相對於參考區域的位移，最後可得 Figure 4.3(b)沿奈米線徑向應變場 $\varepsilon_{xx}(x,y)$ 分布。Figure 4.3(b)白色應變曲線為白色方框應變平均值，顯示當我們從矽晶格區進入富鍺晶格區，應變從 0% 上升至 3%，而後從富鍺晶格區進入下一段矽晶格區後，應變曲線在另一段矽晶格區下降至零，顯示 0% 晶格位移。

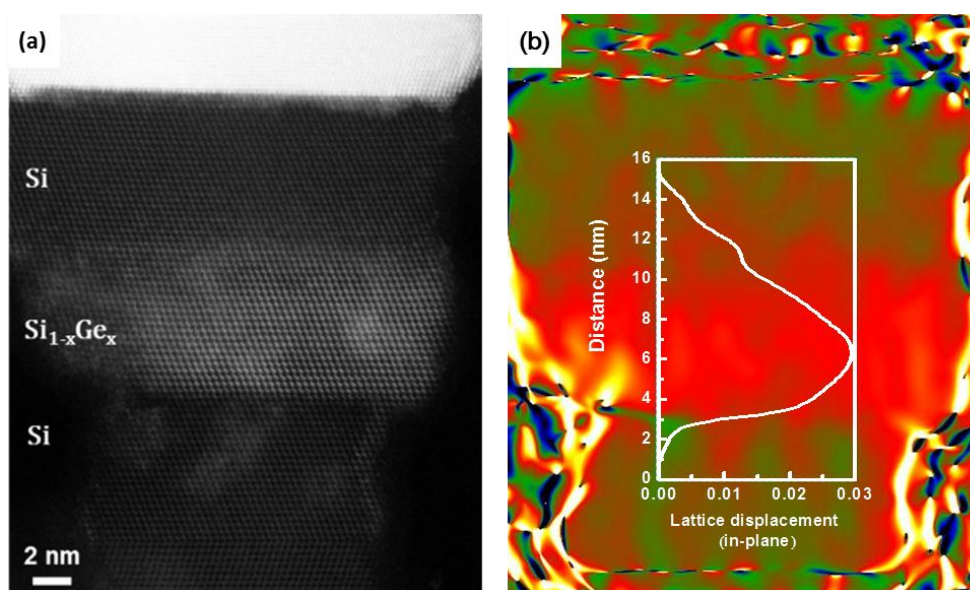


Figure 4.3. (a) 矽-鍺-矽異質直介面奈米線之 HAADF-STEM 影像；(b)幾何相位分析之晶格位移分布，以未受應變矽晶格做為參考區域。

由於幾何相位分析是根據影像中晶格位移來得知應變分布，因此所量測到的晶格位移會同時包括：(1)矽和鍺之晶格常數不匹配所造成的晶格位移；以及(2)矽和鍺形成合金後的晶格常數改變。在無法準確得知組成的情況下，我們很難區分這兩者對晶格位移的個別貢獻。如 Figure 4.4(b)兩虛線間矽鍺異質介面轉換區間內，藍色曲線所顯示晶格位移值即為此兩效應之同時貢獻。此外，藍色晶格應變曲線跨過矽鍺異質介面轉換區間進入富鍺晶格區顯示約 3% 的晶格位移。與純鍺晶格的 4.18% 位移比較，則顯示出負的晶格位移(壓縮應變)。而同時紅色曲線的影像強度也有相同趨勢，這可歸因於其晶格位移減少是同時由矽和鍺形成合金與鍺確實受到壓縮應變所造成。

然而，在 Figure 4.4(a) 中，紅色影像強度曲線顯示左方矽晶格並未有鍺成份存在，而對照 Figure 4.4(b) 藍色晶格位移曲線則從介面處向矽晶格延伸數奈米，顯示在離矽-鍺轉換區間之外數奈米的距離內，矽晶格曲線所產生的晶格位移是來自純拉伸應變所造成，沒有包含矽鍺形成合金的因素。此外介面處沒有 misfit dislocation 的生成，矽晶格自異質介面處以彈性應變的方式釋放應變能，應變自介面處延伸數奈米至矽晶格。

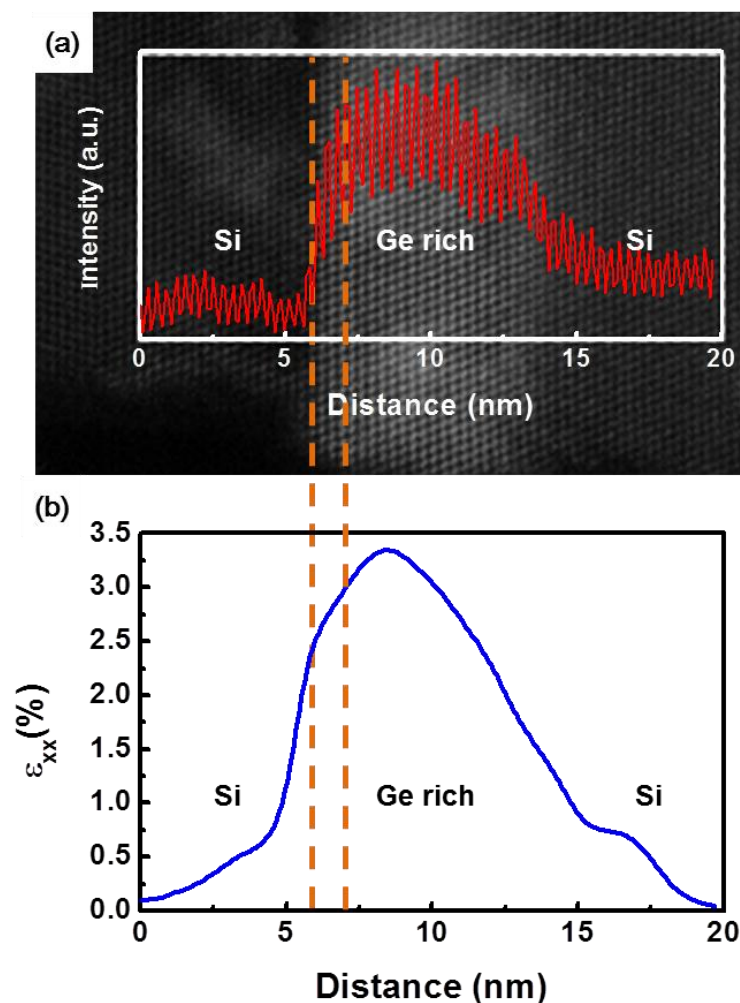


Figure 4.4. (a) 矽-鍺-矽異質介面奈米線之 HAADF-STEM 影像，紅色曲線為介面處影像強度圖，其影像強度正比於原子序的平方，提供介面處成份變化資訊。兩橘色虛線內為矽鍺合金轉換區；(b) 藍色曲線為幾何相位分析之晶格位移曲線。



4.1.3 電子能量損失光譜分析

我們利用掃描穿透式電子顯微鏡中的電子能量損失光譜分析技術 (STEM-EELS) 來分析受拉伸應變的矽晶格。Figure 4.5(a,b) 中紅色曲線為離異質介面 1 nm 以外受到拉伸應變的矽晶格而黑色曲線為未受形變的矽晶格區的矽 $L_{2,3}$ 附近的電子能量損失光譜。Figure 4.5(a) 顯示受拉伸應變與未經形變矽 $L_{2,3}$ 的 ionization edge 是在同一個電子能量損失位置。然而 Figure 4.5(b) 中比較兩者矽 $L_{2,3}$ ELNES，顯示出受拉伸應變矽晶格區的電子能量損失光譜向高能量損失區偏移。

由於電子能量損失光譜中的 ELNES 產生是來自於被入射電子激發的內層電子，而使入射電子有能量損失。對於相同的矽原子不管受應變與否，入射電子能量損失會相同，ionization edge 會在同一位置上。然而，矽 $L_{2,3}$ ELNES 是來自於被入射電子激發的內層電子與周圍電子發生交互作用所造成的，反映出與周圍原子鍵結資訊。因此，當靠近矽鍺異質介面處的矽受到拉伸應變時，會改變矽原子間的鍵結，而使矽 $L_{2,3}$ ELNES 發生偏移的現象。

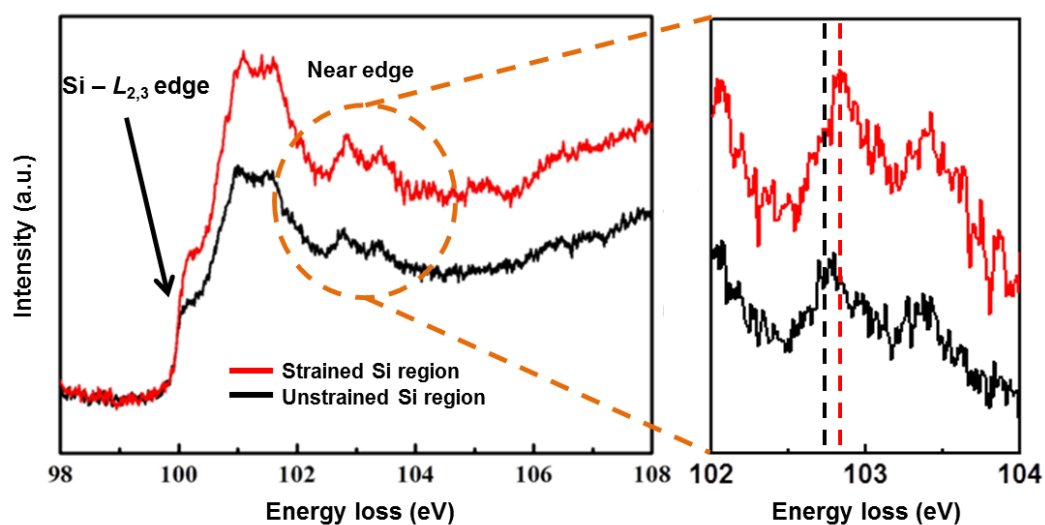


Figure 4.5. 利用配有單光器(monochromator)的 STEM 收集矽 $L_{2,3}$ 附近電子能量損失光譜。紅色曲線為距離異質介面 1 nm 以外受到拉伸應變的矽晶格，而黑色曲線為未受形變的矽晶。受拉伸應變的矽晶格的 ELNES 向高能量損失區偏移。



4.2 兩階段成長矽鍺異質介面奈米線

上述 4.1 節中，我們利用 VSS 機制成長矽-鍺-矽異質介面奈米線。然而 VSS 機制成長速率緩慢，且奈米線長度較短，在元件製作上有其困難性。因此為了後續元件製作方便性，我們嘗試在成長矽鍺異質介面奈米線之前，預先以 VLS 成長機制成長長度約微米左右的矽奈米線，再以 VSS 機制成長矽鍺異質介面奈米線，形成 VLS-VSS 兩階段成長矽-鍺-矽異質介面奈米線，如 Figure 4.6 所示。此外，較長的奈米線除了方便製作元件外，更方便我們製作穿透式電子顯微鏡試片，以碳膜銅網去刮長有奈米線的基板，奈米線將從基板斷裂而平躺於碳膜上，省去利用研磨拋光方式製作樣品的時間。

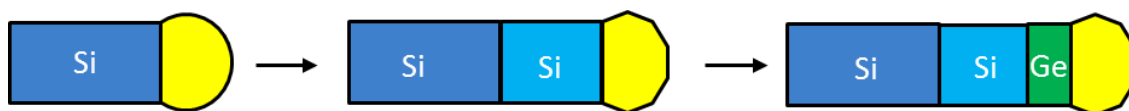


Figure 4.6. VLS-VSS 異質介面奈米線成長成長示意圖。

4.2.1 第一階段以VLS機制成長矽奈米線

第一段矽奈米線的品質、頂部金銀合金催化劑組成、長度和直徑大小將會對後續矽鍺異質介面奈米線之的品質、介面寬度、分析上的難易度造成影響。我們希望這一段金銀合金催化矽奈米線是以 VLS 成長機制成長，使我們得到較長的矽奈米線，以方便製備穿透式電子顯微鏡樣品。除了長度外，奈米線直徑也必須控制在幾十奈米左右以利我們在穿透式電子顯微鏡中進行觀察。因此我們調控奈米線的成長溫度以控制奈米線成長速率與直徑，以及藉由調整金銀合金催化劑的合金比例，調整金銀矽合金的共晶溫度。藉由以上兩種方法，我們控制奈米線成長條件，進而達到形貌控制。

4.2.1.1 成長溫度對矽奈米線直徑影響

首先，我們利用純金催化成長矽奈米線，探討成長溫度對純金催化奈米線直徑之影響。Figure 4.7 為 530°C、450°C 以及 400°C 下成長的奈米線之 SEM 影像，奈米線直徑分別為 132 nm、80 nm 以及 56 nm。從 Figure 4.7 可以得知隨著成長溫度增加，矽奈米線直徑也隨之增加。且隨著溫度越高，金在矽表面之 Ostwald

ripening 現象亦越明顯。因此於奈米線成長初始階段，金催化劑會隨溫度增加而粒徑增大，而使後續所成長之矽奈米線直徑增加。當成長溫度低至 400°C 時，奈米線直徑約為 50 nm，此時矽奈米線成長速率和品質明顯下降，並呈現短小且轉向的形貌。因此我們認為具足夠長度、品質良好且直徑為數十奈米的矽奈米線，其成長溫度應控制在 450°C 左右。

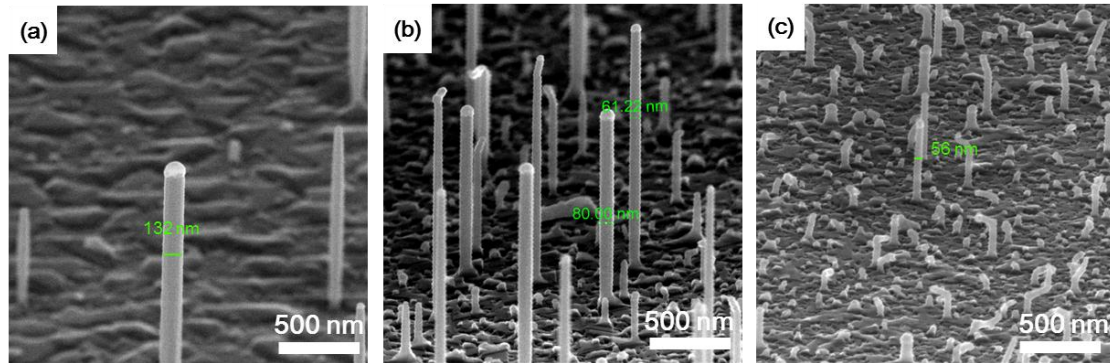


Figure 4.7. 不同溫度下所成長矽奈米線之 SEM 影像。(a)成長溫度為 530°C；(b)成長溫度為 450°C；(c)成長溫度為 400°C。

4.2.1.2 金銀合金催化成長矽奈米線之形貌探討

以熱蒸鍍金銀比例接近 1:1 金銀薄膜於基板上，再 530°C 下預退火後，接著在 540°C 下進行矽奈米線成長。奈米線多為垂直基板方向沿<111>成長，長度為數微米長、直徑為 100-150 nm，如 Figure 4.8(a) SEM 影像所示。在 540°C 成長溫度下，金銀矽依然可以形成共晶液珠，維持 VLS 機制。然而，當成長溫度降至 480°C，矽奈米線則如 Figure 4.8(b) SEM 影像所示，長度較短、成長方向不規則且頂端催化劑形貌呈現稜面(facet)，由此推斷 480°C 機制為 VSS 機制。

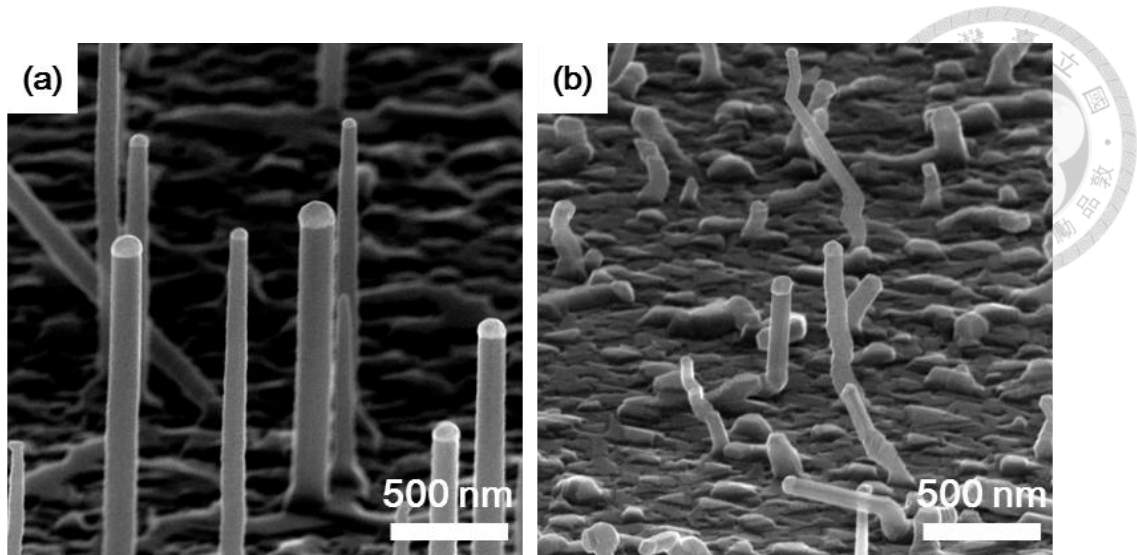


Figure 4.8. 利用金銀合金比例接近 1 : 1 作為催化劑成長矽奈米線之掃描式電子顯微鏡影像。(a)成長溫度為 540°C；(b)成長溫度為 480°C。

金銀合金催化劑比例接近 1 : 1 的情形下，低於 480°C 無法維持 VLS 機制成長奈米線，但在 540°C 成長溫度所成長的矽奈米線直徑大約 120 nm 左右，不利於 TEM 分析。因此我們降低銀的比例，使金銀矽的共晶溫度降低，目的是為了能在更低成長溫度成長出直徑較小矽奈米線，同時維持 VLS 機制。當我們將熱蒸鍍金銀薄膜比例調整為 2 : 1，同樣於 450°C 成長溫度進行矽奈米線成長，成長結果如 Figure 4.9(a,b)所示。矽奈米線長度為數微米長，直徑大約 50 nm 左右，奈米線頂端催化劑沒有稜面，推測是以 VLS 機制進行成長。我們利用掃描穿透式電子顯微鏡-能量分散光譜分析(STEM-EDS)，將電子束聚至次奈米大小，照射奈米線頂部催化劑，收集 EDS 光譜，結果顯示金銀訊號，如 Figure 4.9 所示。軟體自動定量結果金銀合金比例為 2 : 3，說明是以金銀合金催化成長矽奈米線。

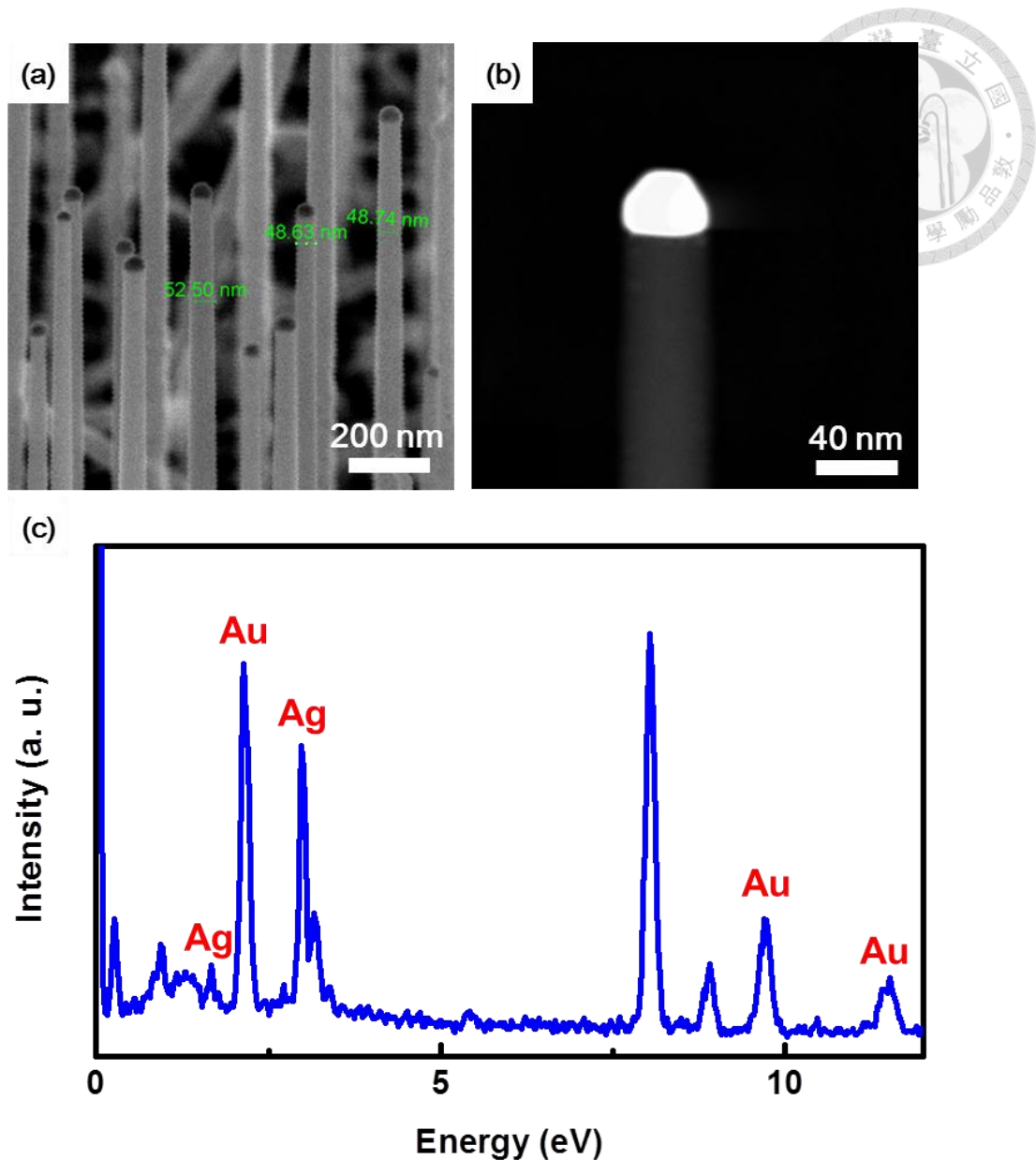


Figure 4.9. 金銀催化成長矽奈米線之(a) SEM 影像，顯示奈米線直徑大約 50 nm；(b)矽奈米線之 HAADF-STEM 影像；(c)頂部催化劑 STEM-EDS 結果，顯示同時具有金銀成份。

4.2.2 以VLS成長機制成長矽鍺異質介面奈米線

在以 VSS 成長矽鍺異質介面奈米線之前，我們先利用 VLS 機制成長矽鍺異質介面奈米線，作為實驗的對照。Figure 4.10(a)TEM 影像顯示矽奈米線之後接合一段對比較深的鍺奈米線段，其介面處成分變化不明顯。Figure 4.10(b)為較高倍 HAADF-STEM 影像，顯示異質介面奈米線之矽鍺合金轉換區寬度大約 20 nm。

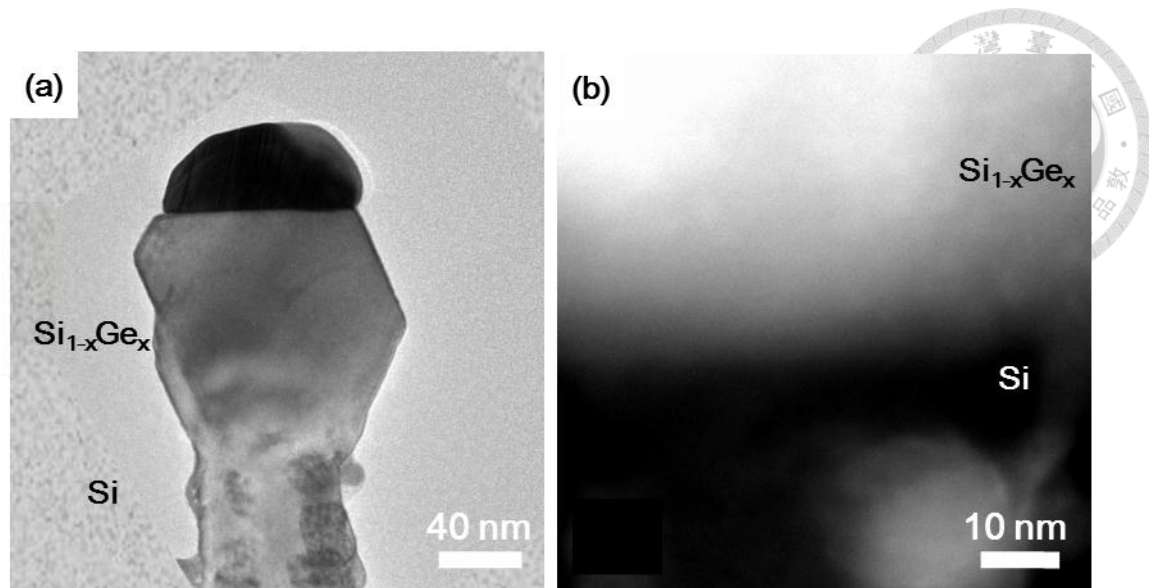


Figure 4.10. (a)利用 VLS 機制成長矽鍍異質介面奈米線之 TEM 影像；(b)較高倍矽鍍異質介面 HADDF-STEM 影像。異質介面奈米線是熱蒸鍍金銀薄膜比例為 2:1，於 450°C 成長溫度、壓力 10^{-4} Torr 下，成長 1.5 小時形成矽奈米線後，再切換為鍍甲烷，以壓力 3×10^{-3} Torr 進行 1.5 小時的鍍奈米線成長。

4.2.3 以兩段式 VLS 及 VSS 機制成長矽-鍍-矽異質介面奈米線

為了後續元件應用性，我們試著將矽-鍍-矽異質介面奈米線成長於微米長度的矽奈米線上。我們先利用上述 4.2.1 節所描述的方法，以金銀合金經由 VLS 機制於 450°C 催化成長矽奈米線 1.5 小時後，將矽奈米線冷卻至 200°C 以下，用以固化奈米線頂部的催化劑。隨後再升溫至低於共晶溫度(360°C)，以 VSS 機制成長矽-鍍-矽異質介面奈米線。異質介面奈米線成長過程，會因為切換氣體造成奈米線成長的平衡被破壞，而使奈米線成長方向改變，如 Figure 4.11(a,b)所示。奈米線頂端催化劑呈現稜面，顯示固態金銀催化劑催化成長異質介面奈米線，如 Figure 4.11(c)所示。鍍奈米線區段大約 4 nm，矽到鍍的介面寬度大約為 1 nm，為一成分急遽變化的矽鍍異質介面，如 Figure 4.11(d)所示。和以 VLS 機制成長的矽鍍異質介面奈米線(Figure 4.10)相比，介面明顯狹窄許多。

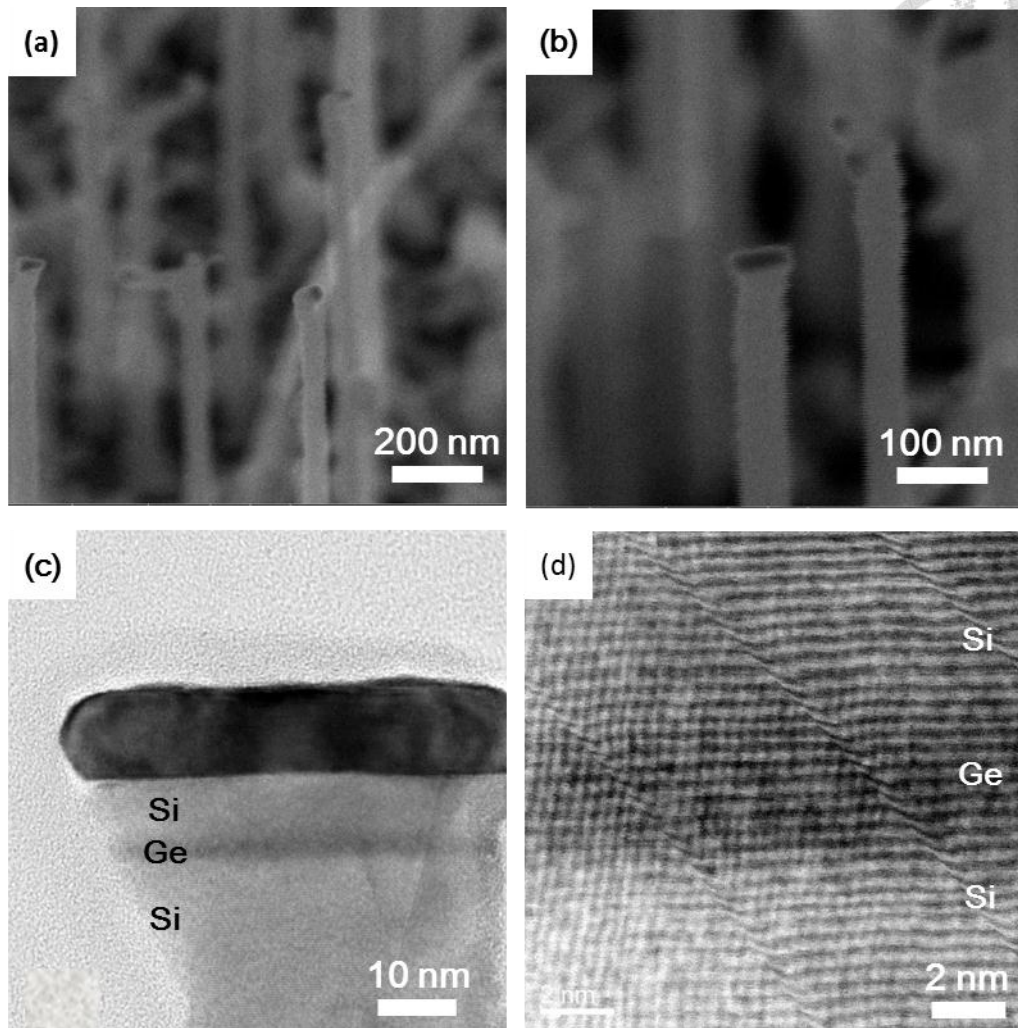


Figure 4.11. 兩段式 VLS 及 VSS 機制成長矽-鍺-矽異質介面奈米線。(a,b) SEM 影像，異質介面奈米線頂部成長方向改變；(c)矽-鍺-矽異質介面奈米線之明場 STEM 影像；(d)高倍下 STEM 明場影像，圖中顯示矽到鍺介面成分急遽變化、寬度狹窄。

4.2.4 以兩段式 VLS 及 VSS 機制成長鍺-矽-鍺異質介面奈米線成長

在矽-鍺-矽異質介面奈米線中，在接近介面的矽晶格所產生的拉伸應變較小。因此，我們嘗試在矽奈線上下兩端都成長鍺奈米線，形成鍺-矽-鍺異質介面奈米線結構。這樣的鍺-矽-鍺異質介面奈米線，可以使矽承受更大的橫向拉伸應變。

為了成長鍺-矽-鍺異質介面結構，我們嘗試先在 450°C 以 VLS 機制，成長矽奈米線後，接著成長鍺奈米線。隨後降溫至 340°C 切換成以 VSS 機制成長鍺-矽-鍺異質介面奈米線。其成長流程示意圖如 Figure 4.12 所示。

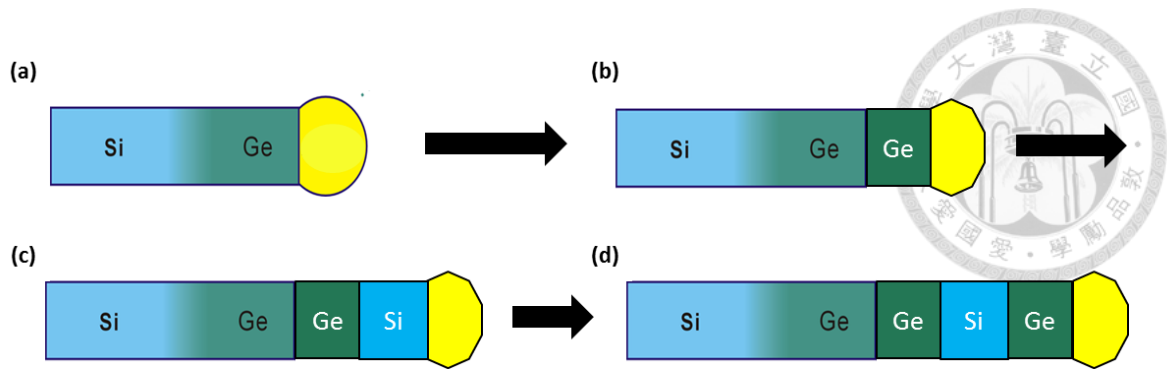


Figure 4.12. 成長流程示意圖。(a)熱蒸鍍金銀比 2：3，在成長溫度 450°C 下、鍍甲烷壓力 10^{-4} Torr，以 VLS 機制成長 1.5 小時矽鍍異質介面奈米線；(b)隨後降溫至 200°C 以下再升溫至 340°C 以 VSS 機制成長 30 分鐘鍍奈米線；(c)在成長溫度 340°C 下以 VSS 機制、二矽乙烷壓力 10^{-4} Torr，成長 1 小時矽奈米線；(d)最後在 340°C 下以 VSS 成長機制，鍍甲烷壓力 3.2×10^{-3} Torr，成長 45 分鐘鍍奈米線段。

從 Figure 4.13(a,b) SEM 影像，我們發現在矽奈米線周圍含有鍍島狀沉積物。這是因為鍍甲烷熱穩定性較二矽甲烷差，在成長鍍奈米線的過程中，除了金銀催化軸向成長外，鍍甲烷也會熱裂解沉積於原本矽奈米線周圍表面。隨著鍍奈米線成長時間增加，這些鍍沉積物會包覆整個矽奈米線，使矽鍍異質介面奈米線難被觀察與分析。另一方面，這樣的成長方式包含了多段氣體切換與升降溫，會容易造成鍍-矽-鍍異質介面奈米線的成長方向改變，不利於我們分析異質介面。Figure 4.13(c,d) 為少數筆直成長的鍍-矽-鍍異質介面奈米線之電子顯微鏡影像。此外，影像中奈米線只有鍍-矽異質介面，未見最後一段鍍奈米線成長，我們推測是因為 VSS 機制成長速率過慢，最後一段鍍奈米線成長尚未進行。

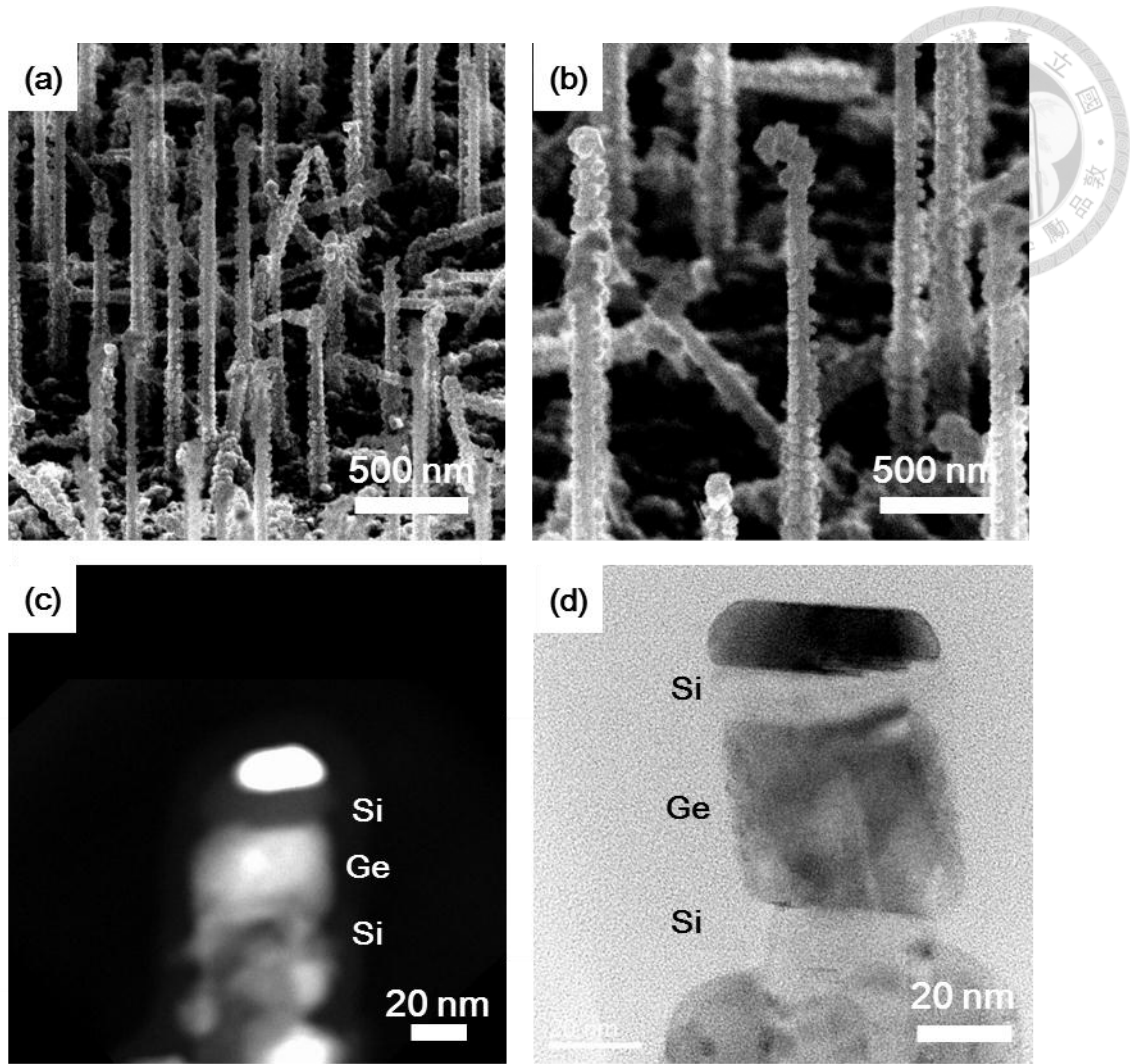


Figure 4.13. 兩段式 VLS 及 VSS 機制成長鍺-矽-鍺異質介面奈米線。(a,b)SEM 影像；(c,d)分別為暗場與明場之 STEM 影像。



4.3 鍺奈米線成長

避免側邊沉積同時也避免在成長過程中多次的氣體切換造成異質介面奈米線成長方向轉向，進而導致後續分析的困難。我們將先成長鍺奈米線，再利用 VSS 機制成長鍺-矽-鍺異質介面奈米線。因此高品質鍺奈米線的成長將是鍺-矽-鍺異質介面奈米線首要面對的課題，本節將探討各種對鍺奈米線成長的影響因素。

4.3.1 成長溫度與鍍金量對鍺奈米線成長效應探討

根據過去以 VLS 機制所成長矽奈米線經驗，調控成長溫度是成長的關鍵參數，可用以控制矽奈米線形貌與密度。過去文獻指出，利用鍺甲烷以氣相反應成長奈米線，較適合的成長溫度為 300°C 至 400°C 左右。Figure 4.14 為在 300°C、375°C 以及 575°C 等溫度下所成長的鍺奈米線 SEM 影像。成長壓力則都維持在 5×10^{-2} Torr，成長時間為 2 小時，所使用的熱蒸鍍金薄膜厚度為 0.9 nm。從 Figure 4.14(a-c) SEM 影像結果發現，除了些許鍺奈米線成長外，在基板處有鍺的島狀結構產生。隨成長溫度增加，鍺甲烷裂解反應變快，鍺奈米線與橫向島狀成長速率皆增加。此外，鍺奈米線密度隨成長溫度增加而降低，橫向島狀鍺成長更為明顯，如 Figure 4.14(c) 所示，在高溫下成長的鍺奈米線會被島狀鍺結構包圍而無法顯現。

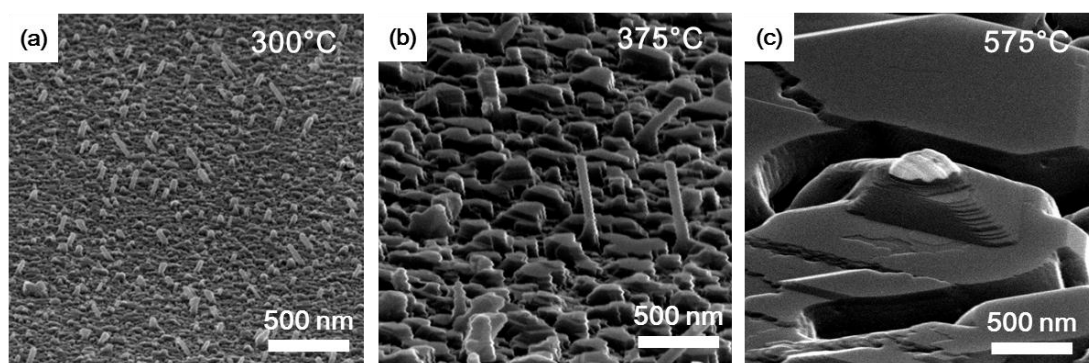


Figure 4.14. 不同溫度下金催化鍺奈米線之 SEM 影像。(a)300°C；(b)375°C；(c)575°C 成長溫度。隨溫度增加整體成長速率提升，橫向島狀成長加劇。

從以上 Figure 4.14 中的 SEM 影像中，我們無法判斷鍺橫向島狀結構是由金催化成長還是氣相鍺甲烷在高溫下裂解而沉積。因此我們藉由改變鍍金量，以了解橫向島狀結構的形成機制。Figure 4.15(a-d)為在不同鍍金量下，於成長溫度 350°C、

壓力 5×10^{-2} Torr 下、成長 2 小時的鍺奈米結構之 SEM 影像。比較有無金催化成長結果發現，沒有鍍金情形下(Figure 4.15(a))，鍺島狀結構大小大約為數十奈米，而有鍍金情形下所成長的鍺島狀為數百奈米(Figure 4.15(b-f))，鍺沉積量明顯增加，同時鍺奈米線密度也增加。因此我們認為金對這些橫向島狀鍺結構成長是有催化作用，並非僅因為鍺甲烷熱裂解效應而沉積。

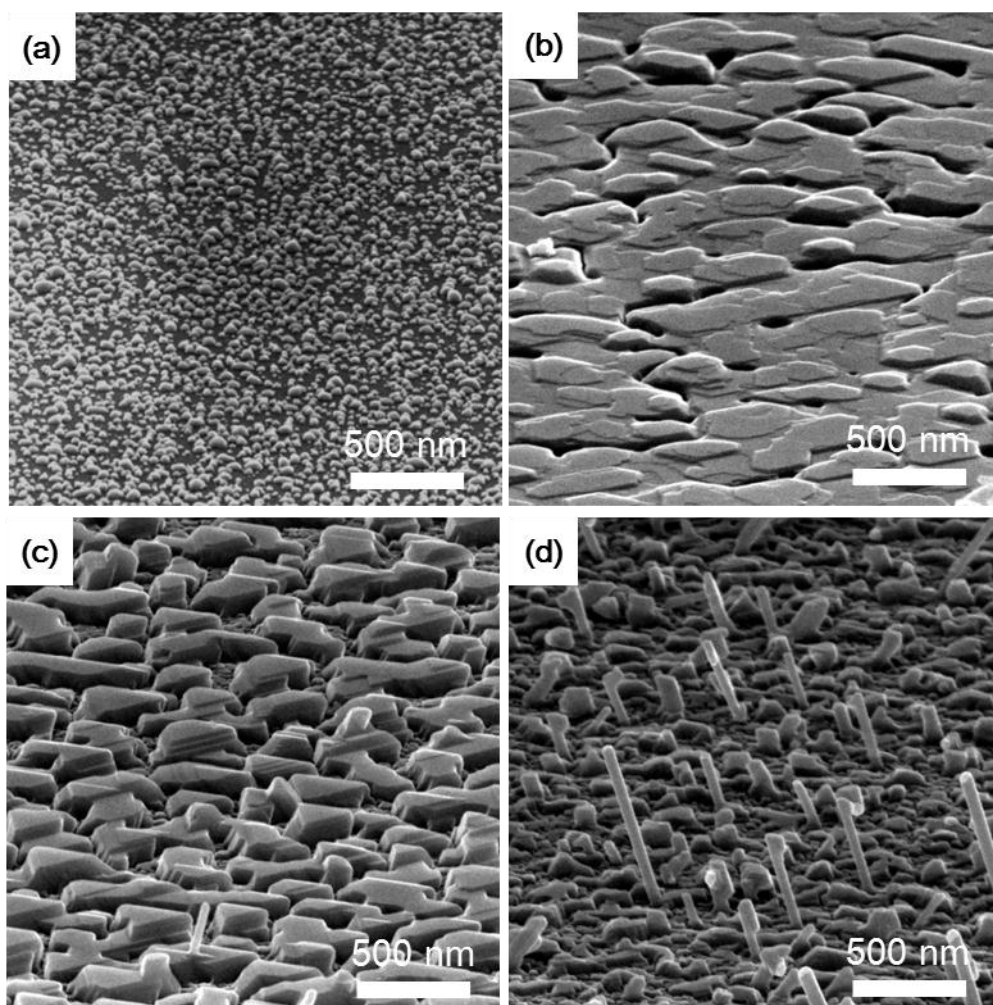


Figure 4.15. 不同鍍金量所成長鍺奈米線之 SEM 影像，(a)未鍍金；(b)0.25 nm；(c)0.5 nm；(d)0.9 nm。

4.3.2 鍺奈米線成長初始階段研究

奈米線的初期形貌往往影響後續奈米線的成長結果，我們因此對短時間的成長進行分析，嘗試了解鍺奈米線成長的初始階段。Figure 4.16(a)為熱蒸鍍金之 HAADF-STEM 影像，顯示出金並非連續薄膜結構，而是大小約 10 nm、密度高的

島狀結構，島與島之間隔約為數奈米。在成長時間 10 分鐘的鍍奈米結構之 plan view SEM 影像中(Figure 4.16(b))，我們可見大小約數十奈米的島狀結構。由於影像中顯示島狀結構附近皆有亮點的存在，我們認為這些亮點為金奈米粒子，而這些金奈米粒子催化鍍橫向島狀成長。隨著成長時間增加到 30 分鐘(Figure 4.16(c))，橫向島狀結構大小增加至 100 nm 左右，且 Figure 4.16(c)的 70°的 tilt SEM 影像中，同時可見鍍奈米線的成長。因此我們認為在成長初期橫向島狀成長與鍍奈米線成長便同時進行。

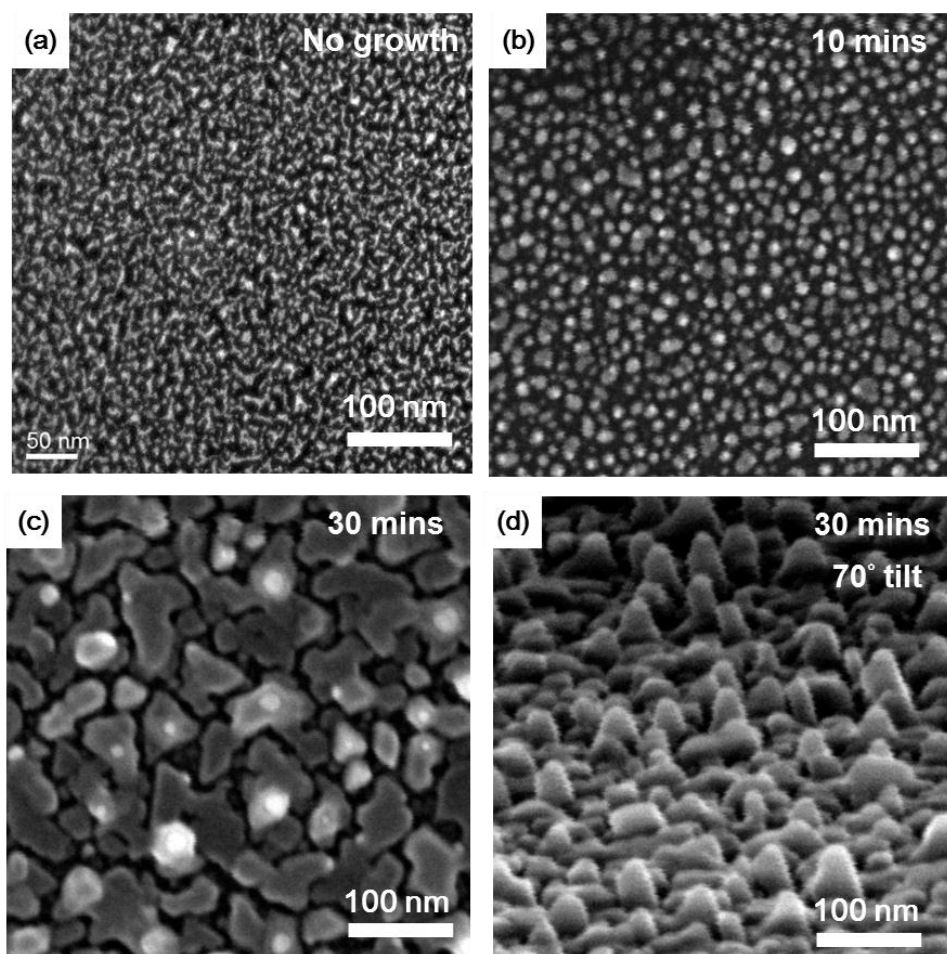


Figure 4.16. 鍍奈米線於成長初始階段之 plan view 與 70° tilt SEM 影像。蒸鍍金厚度 0.9 nm，成長溫度 350°C、壓力 5×10^{-2} Torr 下。(a)鍍金未成長；(b)成長時間 10 分鐘；(c,d)成長時間 30 分鐘。

如上述，在初始階段者同時會進行縱向的鍍奈米線與橫向的鍍島狀結構的成長。橫向成長過程中，島狀結構會向外延伸；當熱蒸鍍金奈米粒子密度高、金奈

米粒子相互非常靠近時，這些向外成長的橫向島狀結構會使鍺奈米線相連，使得原本有機會催化鍺奈米線成長的條件被破壞。隨著時間增加，這些橫向成長的島狀結構會覆蓋原本的鍺奈米線，逐漸形成較大、較連續的島狀結構，如 Figure 4.17 所示。

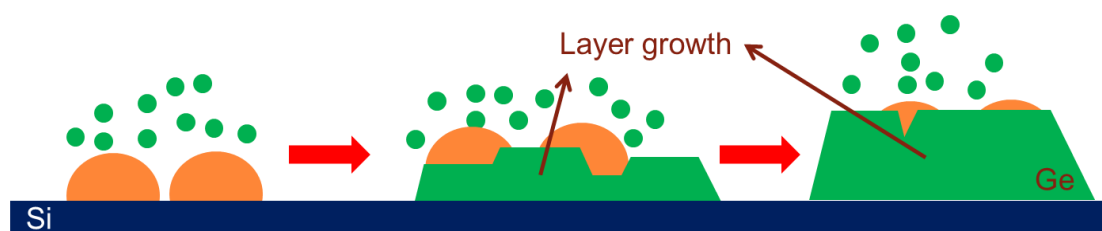


Figure 4.17. 鍺奈米線成長初始階段示意圖。

4.3.3 預退火對鍺奈米線成長的影響

為了避免上述高密度的金奈米粒子所帶來的影響，我們利用預退火 (preannealing) 的方式降低金奈米粒子的密度。在通入鍺甲烷成長之前，我們先將熱蒸鍍完的金奈米粒子升至高溫加熱，使這些金奈米粒子發生 Ostwald ripening，團聚成較大顆以及形成密度較低、較為分散的金奈米粒子。Figure 4.18 (a) 為未進行預退火的熱蒸鍍金薄膜之 HAADF-STEM 影像，顯示出金並非以連續薄膜結構存在，而是不連續、大小約 10 nm 的島狀結構且密度高，島與島之間隔約為數奈米。隨著愈退火溫度逐漸增加，Figure 4.18 (b-d) 為不同溫度下預退火十分鐘之金奈米粒子之 HAADF-STEM 影像，隨著預退火溫度增加，熱蒸鍍金逐漸團聚、球化成更大粒徑的金奈米粒子。當預退火溫度達 650°C 時，金奈米粒子團聚成較大粒徑 60 nm。然而從影像上可見，較大金奈米粒子周圍依然存在少量島狀結構，說明在高溫退火下熱蒸鍍金依然無法完全團聚。

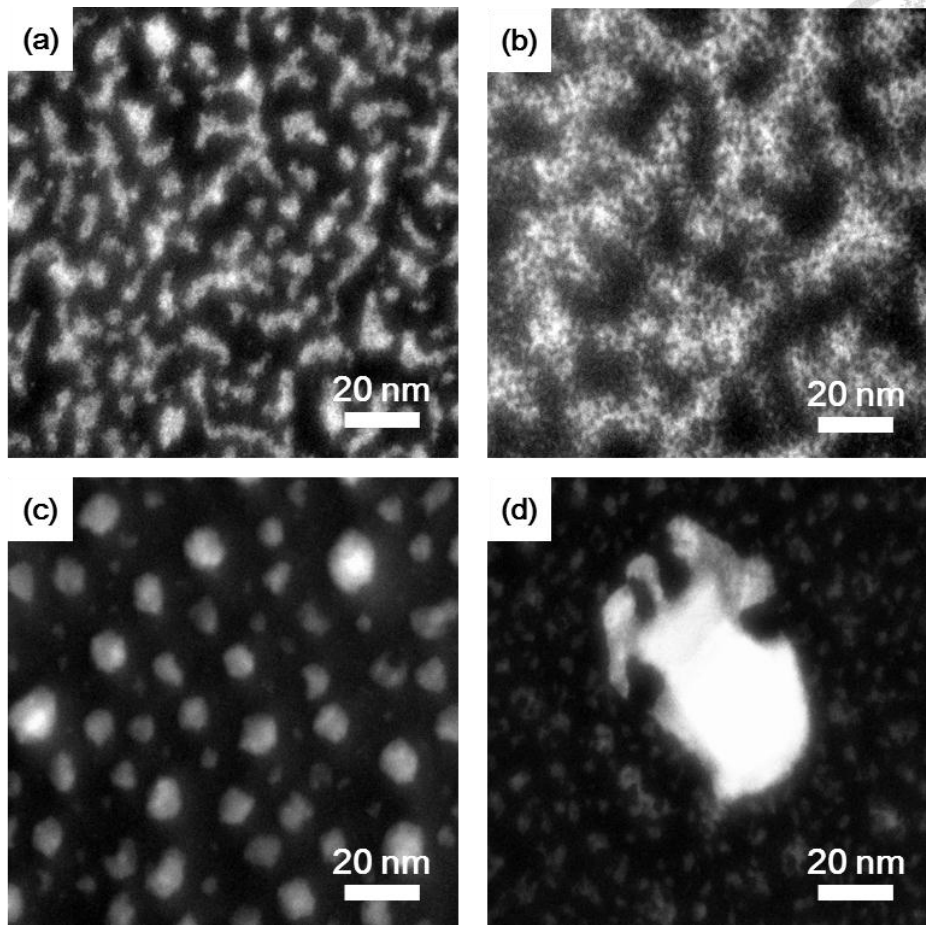


Figure 4.18. 不同預退火時間之熱蒸鍍金薄膜 0.9 nm HAADF-STEM 影像。(a)未預退火；(b)450°C；(c)550°C；(d)650°C，預退火 10 分鐘。

預退火溫度對金奈米粒子分散程度的變化，如 Figure 4.19(a-c)所示。當預退火溫度在 550°C 以下時整體密度與未經預退火相比變化並不明顯(Figure 4.19(b))，而在 650°C 預退火時才可得到較為分散且大顆的金奈米粒子(Figure 4.19(c))。我們將這些經由預退火後所形成的金奈米粒子用來進行鍍奈米線的成長，成長時間為 30 分鐘。Figure 4.19(d,e)分別對應到未預退火的熱蒸鍍金與 550°C 預退火之成長結果，二者間因為兩者密度皆高，而所催化成長鍍奈米結構形貌並無明顯差異：橫向島狀鍍結構與鍍奈米線的成長同時進行，島狀結構兩者皆於鍍奈米線之間相連。然而金奈米粒子經由在 650°C 預退火，形成的粒徑較大、較為分散的金奈米粒子後，單根的鍍奈米線便可以生成，未見橫向島狀成長(從 Figure 4.19(f))。

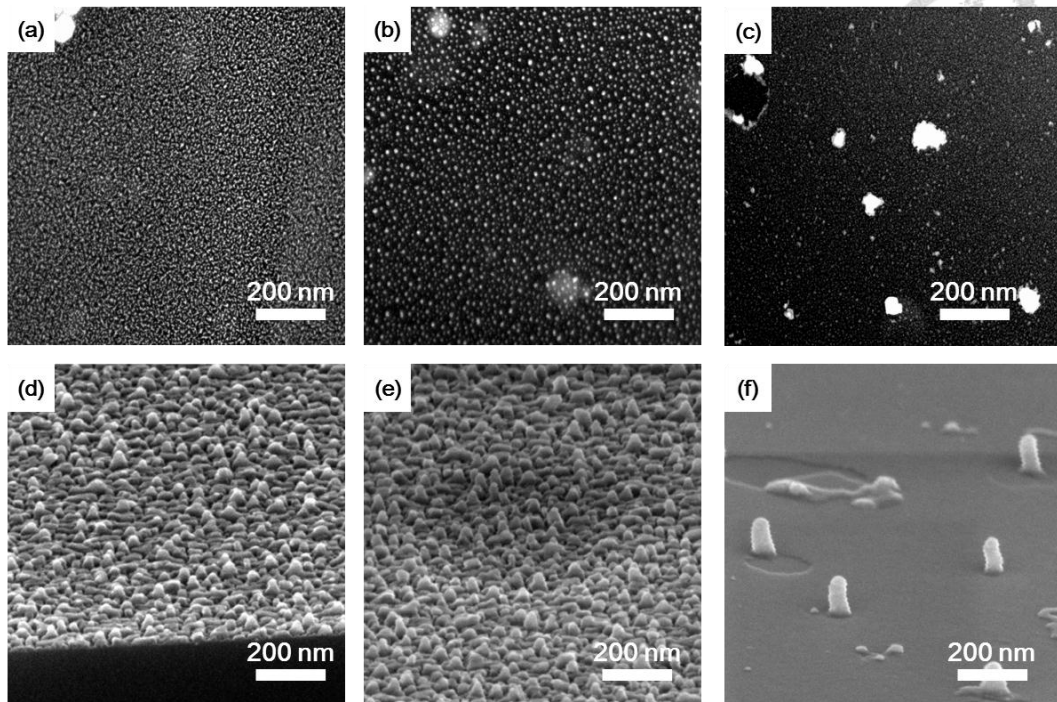


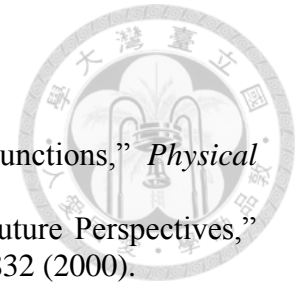
Figure 4.19. (a)未預退火；(b)550°C 預退火 10 分鐘；(c)650°C 預退火 10 分鐘之 0.9 nm 熱蒸鍍金薄膜 HAADF-STEM 影像。(d-f)分別對應(a-c)的退火條件所得的金奈米顆粒，應用於溫度 350°C， GeH_4 壓力 5×10^{-2} Torr，成長 30 分鐘後所得之鍍奈米線 SEM 影像。

第 5 章 結論



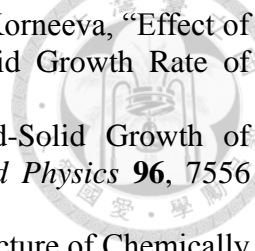
我們利用金銀合金作為催化劑以 VSS 機制成長矽-鍺-矽異質介面奈米線，其異質介面處晶格連續，沒有缺陷的產生，矽到鍺異質介面成分明顯變化，介面寬度大約為 0.7 nm。而鍺-矽的異質介面寬度較寬，大約數奈米。矽-鍺-矽異質介面奈米線中鍺兩側不對稱的異質介面寬度，是來自金銀合金催化劑對鍺(相較於矽)有較高的溶解度，使得鍺-矽異質介面較寬。由幾何相位分析結果顯示，矽到鍺的異質介面的矽晶格區有受到拉伸應變。彈性應變自異質介面處，向矽晶格區延伸數奈米。從有受拉伸應變的矽晶格區與未經應變的矽晶格之 EELS 結果比較後發現，Si $L_{2,3}$ 的 ionization edge 二者重疊沒有有偏移；而 Si $L_{2,3}$ ELNES 光譜區間則受拉伸應變影響，向高能量損失區偏移。除了利用單一 VSS 機制成長異質介面奈米線，我們也藉由調控溫度與金銀比例，先以 VLS 機制成長直徑約 50 nm，長度約微米的高品質矽奈米線，接著在其頂端以 VSS 機制，成長矽-鍺-矽異質介面奈米線。矽到鍺介面寬度大約為 1 nm 左右。利用金催化鍺奈米線成長的部分，我們藉由預退火的方式，使金催化劑密度減少，形成較為分散的金奈米顆粒。這樣的成長條件可以避免由鍺的橫向島狀結構相互影響，得到分散且獨立的鍺奈米線。未來，後續研究學者可以基於金催化成長之鍺奈米線結果，改利用金銀合金，以 VSS 機制，催化成長鍺-矽-鍺異質介面奈米線。同時可進一步利用電子能量損失光譜技術，研究異質介面處應變對材料電子結構之影響。

參考文獻



- [1] L. Esaki, "New Phenomenon in Narrow Germanium P-N Junctions," *Physical Review* **109**, 603 (1958).
- [2] Z. Alferov, "Double Heterostructure Lasers: Early Days and Future Perspectives," *IEEE Journal of Selected Topics in Quantum Electronics* **6**, 832 (2000).
- [3] G. L. Patton, J. H. Comfort, B. S. Meyerson *et al.*, "75-GHz Fr Sige-Base Heterojunction Bipolar-Transistors," *IEEE Electron Device Letters* **11**, 171 (1990).
- [4] S. K. Banerjee, L. F. Register, E. Tutuc, D. Reddy, and A. H. MacDonald, "Bilayer Pseudospin Field-Effect Transistor (Bisfet): A Proposed New Logic Device," *IEEE Electron Device Letters* **30**, 158 (2009).
- [5] J. C. Bean, "Strained-Layer Epitaxy of Germanium-Silicon Alloys," *Science* **230**, 127 (1985).
- [6] B. Jalali, M. Paniccia, and G. Reed, "Silicon Photonics," *IEEE Microwave Magazine* **7**, 58 (2006).
- [7] H. Tahini, A. Chroneos, R. W. Grimes, U. Schwingenschlögl, and A. Dimoulas, "Strain-Induced Changes to the Electronic Structure of Germanium," *Journal of Physics: Condensed Matter* **24**, 195802 (2012).
- [8] G. D. Watkins and J. W. Corbett, "Defects in Irradiated Silicon: Electron Paramagnetic Resonance of the Divacancy," *Physical Review* **138**, A543 (1965).
- [9] R. Wagner and W. Ellis, "Vapor-Liquid-Solid Mechanism of Single Crystal Growth," *Applied Physics Letters* **4**, 89 (1964).
- [10] D. E. Perea, N. Li, R. M. Dickerson, A. Misra, and S. T. Picraux, "Controlling Heterojunction Abruptness in Vls-Grown Semiconductor Nanowires Via in Situ Catalyst Alloying," *Nano Letters* **11**, 3117 (2011).
- [11] Y. F. Zhang, Y. H. Tang, N. Wang *et al.*, "Silicon Nanowires Prepared by Laser Ablation at High Temperature," *Applied Physics Letters* **72**, 1835 (1998).
- [12] P. Das Kanungo, A. Wolfsteller, N. D. Zakharov, P. Werner, and U. Gosele, "Enhanced Electrical Properties of Nominally Undoped Si/Sige Heterostructure Nanowires Grown by Molecular Beam Epitaxy," *Microelectronics Journal* **40**, 452 (2009).
- [13] A. T. Heitsch, D. D. Fanfair, H. Y. Tuan, and B. A. Korgel, "Solution-Liquid-Solid (Sls) Growth of Silicon Nanowires," *Journal of the American Chemical Society* **130**, 5436 (2008).
- [14] T. J. Trentler, K. M. Hickman, S. C. Goel *et al.*, "Solution-Liquid-Solid Growth of Crystalline Iii-V Semiconductors - an Analogy to Vapor-Liquid-Solid Growth," *Science* **270**, 1791 (1995).
- [15] R. Q. Zhang, Y. Lifshitz, and S. T. Lee, "Oxide-Assisted Growth of Semiconducting Nanowires," *Advanced Materials* **15**, 635 (2003).
- [16] Y. Wu and P. Yang, "Direct Observation of Vapor-Liquid-Solid Nanowire Growth," *Journal of the American Chemical Society* **123**, 3165 (2001).
- [17] X. F. Duan and C. M. Lieber, "General Synthesis of Compound Semiconductor Nanowires," *Advanced Materials* **12**, 298 (2000).
- [18] I. Lombardi, A. I. Hochbaum, P. D. Yang, C. Carraro, and R. Maboudian, "Synthesis of High Density, Size-Controlled Si Nanowire Arrays Via Porous Anodic Alumina Mask," *Chemistry of Materials* **18**, 988 (2006).
- [19] J. C. Harmand, G. Patriarche, N. Pere-Laperne *et al.*, "Analysis of Vapor-Liquid-Solid Mechanism in Au-Assisted Gaas Nanowire Growth,"

- Applied Physics Letters* **87**, (2005).
- [20] M. Yazawa, M. Koguchi, A. Muto, M. Ozawa, and K. Hiruma, "Effect of One Monolayer of Surface Gold Atoms on the Epitaxial-Growth of Inas Nanowhiskers," *Applied Physics Letters* **61**, 2051 (1992).
- [21] L. E. Greene, M. Law, J. Goldberger *et al.*, "Low-Temperature Wafer-Scale Production of Zno Nanowire Arrays," *Angewandte Chemie-International Edition* **42**, 3031 (2003).
- [22] L. E. Greene, M. Law, D. H. Tan *et al.*, "General Route to Vertical Zno Nanowire Arrays Using Textured Zno Seeds," *Nano Letters* **5**, 1231 (2005).
- [23] Z. J. Li, H. J. Li, X. L. Chen *et al.*, "Large-Scale Synthesis of Crystalline Beta-Sic Nanowires," *Applied Physics a-Materials Science & Processing* **76**, 637 (2003).
- [24] C. Y. Wen, M. C. Reuter, J. Tersoff, E. A. Stach, and F. M. Ross, "Structure, Growth Kinetics, and Ledge Flow During Vapor-Solid-Solid Growth of Copper-Catalyzed Silicon Nanowires," *Nano Letters* **10**, 514 (2010).
- [25] S. Hofmann, R. Sharma, C. T. Wirth *et al.*, "Ledge-Flow-Controlled Catalyst Interface Dynamics During Si Nanowire Growth," *Nature Materials* **7**, 372 (2008).
- [26] T. I. Kamins, R. S. Williams, D. P. Basile, T. Hesjedal, and J. S. Harris, "Ti-Catalyzed Si Nanowires by Chemical Vapor Deposition: Microscopy and Growth Mechanisms," *Journal of Applied Physics* **89**, 1008 (2001).
- [27] T. I. Kamins, R. S. Williams, Y. Chen, Y. L. Chang, and Y. A. Chang, "Chemical Vapor Deposition of Si Nanowires Nucleated by Tisi₂ Islands on Si," *Applied Physics Letters* **76**, 562 (2000).
- [28] J. L. Lensch-Falk, E. R. Hemesath, D. E. Perea, and L. J. Lauhon, "Alternative Catalysts for Vss Growth of Silicon and Germanium Nanowires," *Journal of Materials Chemistry* **19**, 849 (2009).
- [29] C. Y. Wen, J. Tersoff, M. C. Reuter, E. A. Stach, and F. M. Ross, "Step-Flow Kinetics in Nanowire Growth," *Physical Review Letters* **105**, 195502 (2010).
- [30] E. Givargizov, "Fundamental Aspects of Vls Growth," *Journal of Crystal Growth* **31**, 20 (1975).
- [31] G. A. Bootsma and H. J. Gassen, "A Quantitative Study on the Growth of Silicon Whiskers from Silane and Germanium Whiskers from Germane," *Journal of Crystal Growth* **10**, 223 (1971).
- [32] V. Schmidt, S. Senz, and U. Gösele, "Diameter Dependence of the Growth Velocity of Silicon Nanowires Synthesized Via the Vapor-Liquid-Solid Mechanism," *Physical Review B* **75**, 045335 (2007).
- [33] D. Shakthivel and S. Raghavan, "Vapor-Liquid-Solid Growth of Si Nanowires: A Kinetic Analysis," *Journal of Applied Physics* **112**, 024317 (2012).
- [34] C. W. Pinion, D. P. Nenon, J. D. Christesen, and J. F. Cahoon, "Identifying Crystallization- and Incorporation-Limited Regimes During Vapor-Liquid-Solid Growth of Si Nanowires," *ACS nano* **8**, 6081 (2014).
- [35] V. G. Dubrovskii and N. V. Sibirev, "General Form of the Dependences of Nanowire Growth Rate on the Nanowire Radius," *Journal of Crystal Growth* **304**, 504 (2007).
- [36] S. Kodambaka, J. Tersoff, M. C. Reuter, and F. M. Ross, "Diameter-Independent Kinetics in the Vapor-Liquid-Solid Growth of Si Nanowires," *Physical Review Letters* **96**, 096105 (2006).
- [37] J. Weyher, "Some Notes on the Growth Kinetics and Morphology of Vls Silicon Crystals Grown with Platinum and Gold as Liquid-Forming Agents," *Journal of Crystal Growth* **43**, 235 (1978).

- 
- [38] V. A. Nebol'sin, A. A. Shchetinin, A. A. Dolgachev, and V. V. Korneeva, "Effect of the Nature of the Metal Solvent on the Vapor-Liquid-Solid Growth Rate of Silicon Whiskers," *Inorganic Materials* **41**, 1256 (2005).
- [39] J. W. Dailey, J. Taraci, T. Clement *et al.*, "Vapor-Liquid-Solid Growth of Germanium Nanostructures on Silicon," *Journal of Applied Physics* **96**, 7556 (2004).
- [40] T. Kamins, X. Li, R. S. Williams, and X. Liu, "Growth and Structure of Chemically Vapor Deposited Ge Nanowires on Si Substrates," *Nano Letters* **4**, 503 (2004).
- [41] D. Wang and H. Dai, "Low-Temperature Synthesis of Single-Crystal Germanium Nanowires by Chemical Vapor Deposition," *Angewandte Chemie International Edition* **41**, 4783 (2002).
- [42] J. H. Woodruff, J. B. Ratchford, I. A. Goldthorpe, P. C. McIntyre, and C. E. Chidsey, "Vertically Oriented Germanium Nanowires Grown from Gold Colloids on Silicon Substrates and Subsequent Gold Removal," *Nano Letters* **7**, 1637 (2007).
- [43] H. Jagannathan, M. Deal, Y. Nishi *et al.*, "Nature of Germanium Nanowire Heteroepitaxy on Silicon Substrates," *Journal of Applied Physics* **100**, 024318 (2006).
- [44] S. Kodambaka, J. Tersoff, M. Reuter, and F. Ross, "Germanium Nanowire Growth Below the Eutectic Temperature," *Science* **316**, 729 (2007).
- [45] Y. Wu, R. Fan, and P. Yang, "Block-by-Block Growth of Single-Crystalline Si/SiGe Superlattice Nanowires," *Nano Letters* **2**, 83 (2002).
- [46] J. M. Redwing, K.-K. Lew, T. E. Bogart *et al.*, presented at the Integrated Optoelectronic Devices 2004, 2004 (unpublished).
- [47] T. E. Clark, P. Nimmatoori, K.-K. Lew *et al.*, "Diameter Dependent Growth Rate and Interfacial Abruptness in Vapor-Liquid-Solid Si/Si_{1-x}Ge_x Heterostructure Nanowires," *Nano Letters* **8**, 1246 (2008).
- [48] C.-Y. Wen, M. C. Reuter, J. Bruley *et al.*, "Formation of Compositionally Abrupt Axial Heterojunctions in Silicon-Germanium Nanowires," *Science* **326**, 1247 (2009).
- [49] C.-Y. Wen, M. C. Reuter, D. Su, E. A. Stach, and F. M. Ross, "Strain and Stability of Ultrathin Ge Layers in Si/Ge/Si Axial Heterojunction Nanowires," *Nano Letters* **15**, 1654 (2015).
- [50] J. L. Murray, H. Okamoto, and T. B. Massalski, "The Al-Au (Aluminum-Gold) System," *Bulletin of Alloy Phase Diagrams* **8**, 20 (1987).
- [51] Y.-C. Chou, C.-Y. Wen, M. C. Reuter *et al.*, "Controlling the Growth of Si/Ge Nanowires and Heterojunctions Using Silver-Gold Alloy Catalysts," *ACS nano* **6**, 6407 (2012).
- [52] N. Li, T. Y. Tan, and U. Gösele, "Transition Region Width of Nanowire Hetero- and Pn-Junctions Grown Using Vapor-Liquid-Solid Processes," *Applied Physics A* **90**, 591 (2008).
- [53] M. J. Hÿtch and A. M. Minor, "Observing and Measuring Strain in Nanostructures and Devices with Transmission Electron Microscopy," *MRS Bulletin* **39**, 138 (2014).
- [54] P. M. Jones, G. M. Rackham, and J. W. Steeds, "Higher Order Laue Zone Effects in Electron Diffraction and Their Use in Lattice Parameter Determination," *Proceedings of the Royal Society of London A: Mathematical, Physical and Engineering Sciences* **354**, 197 (1977).
- [55] A. Armigliato, R. Balboni, and S. Frabboni, "Improving Spatial Resolution of Convergent Beam Electron Diffraction Strain Mapping in Silicon

- Microstructures,” *Applied Physics Letters* **86**, 063508 (2005).
- [56] M. Hytch, F. Houdellier, F. Hue, and E. Snoeck, “Nanoscale Holographic Interferometry for Strain Measurements in Electronic Devices,” *Nature* **453**, 1086 (2008).
- [57] F. Uesugi, A. Hokazono, and S. Takeno, “Evaluation of Two-Dimensional Strain Distribution by Stem/Nbd,” *Ultramicroscopy* **111**, 995 (2011).
- [58] A. Armigliato, S. Frabboni, and G. Gazzadi, “Electron Diffraction with Ten Nanometer Beam Size for Strain Analysis of Nanodevices,” *Applied Physics Letters* **93**, 161906 (2008).
- [59] M. Hytch, E. Snoeck, and R. Kilaas, “Quantitative Measurement of Displacement and Strain Fields from Hrem Micrographs,” *Ultramicroscopy* **74**, 131 (1998).
- [60] J. Li, C. Zhao, Y. Xing, S. Su, and B. Cheng, “Full-Field Strain Mapping at a Ge/Si Heterostructure Interface,” *Materials* **6**, 2130 (2013).
- [61] L. Vincent, R. Boukhicha, N. Cherkashin *et al.*, “Composition and Local Strain Mapping in Au-Catalyzed Axial Si/Ge Nanowires,” *Nanotechnology* **23**, 395701 (2012).
- [62] D. B. Williams and C. B. Carter, *Transmission Electron Microscope*. (Springer, 2009).
- [63] S. Kodambaka, J. Tersoff, M. C. Reuter, and F. M. Ross, “Germanium Nanowire Growth Below the Eutectic Temperature,” *Science* **316**, 729 (2007).