國立臺灣大學重點科技研究學院

元件材料與異質整合學位學程

碩士論文

Program for Semiconductor Devices, Materials, and Hetero-integration

Graduate School of Advanced Technology

National Taiwan University

Master's Thesis

矽金氧半電晶體與接觸電阻的變溫特性

Temperature Dependent Characteristic of Si Metal-Oxide-Semiconductor Field-Effect Transistors and Contact Resistance

謝菩家

PuJia Hsieh

指導教授:李峻霣 教授

Advisor: Professor Jiun-Yun Li

中華民國 115 年 04 月

April, 2026

doi:10.6342/NTU202601026

致謝

首先，誠心感謝我的指導教授李峻霣教授，從大學部專題到碩士學位，引領我走入半導體物理的領域，並教導我研究上的方法與態度。特別感謝老師在我好幾次在人生選擇上陷入躊躇時，持續的耐心等待與開導，給予我許多寶貴的建議，除了學術上的啟發，更是人生中重要的導師。感謝口試委員李敏鴻教授、與卓大鈞博士，在百忙之中審閱論文，並在口試中提供寶貴的學術建議，使本研究內容更加嚴謹與完備。

在研究室的日子裡，我有幸得到許多前輩與同儕的指引與支持，心中滿懷感激。感謝俞叡學長帶我熟悉 QEL 的環境並教會我製程，感謝旻叡與祥順學長給予的各種幫助，實驗室有你們在總是令人安心。感謝學長姊凱瑩、士傑、蘇遙、瑋哲、驊凌、邰靖、政凱在研究上的解惑。感謝陳恩、鈺瑄、案慈、沂霈與 Muskan 一起做實驗與討論，感謝同學昊陽、彥洋、偉翔、俊瑋、昱呈、宙緯的陪伴，與學弟妹明瑢、奕家、品翔、柏孺、啟崴、睿寬、若庭、牧白、Khoa、Abhinav 的陪伴，也感謝助理伊伶的諸多協助，讓這段研究之路不再孤單。衷心期望實驗室的大家在未來都能研究順利，並在各自的領域中發光發熱。

感謝好友彭微、采俐、慕曦與晴雅，雖然都在不同的路上努力著，聚在一起的時光總是我的充電站。最後，我要深深感謝我的父母與弟弟。感謝你們多年來無條件的支持與信任，讓我在學業上探索不同的領域，並支持我的選擇。謹以此文，表達我最誠摯的謝意。

doi:10.6342/NTU202601026

摘要

隨著平面電晶體元件尺寸縮放逼近物理極限，量子穿隧效應使閘極漏電劇增，摩爾定律的延續除了走向元件結構及材料的創新，範式的轉移也是增加算力非常具前瞻性的策略。大規模量子計算架構開始由實驗室轉向商業化應用，開發能在極低溫環境下直接封裝於量子處理器旁的低溫電晶體（Cryo-CMOS）控制電路，已成為降低訊號延遲與解決熱負載瓶頸的關鍵要素。傳統互補式場效電晶體（CMOS）設計在極低溫下會遭遇顯著的物理性質偏差，針對各項參數提出基於物理的精簡模型將是成功設計低溫元件的基礎。因此本論文將著重在矽電晶體與接觸電阻元件的變溫特性，以幫助了解其低溫行為。

第二章彙整了近年對於半導體物理以及電晶體電性的低溫特性的發現，如載子凍結效應、臨界電壓飄移、次臨界擺幅飽和等現象，以及其可能的物理模型解釋。接著詳細記錄自行製作矽基電晶體的製作流程，並進行量測與分析。n 型電晶體與 p 型電晶體在低溫皆出現臨界電壓上升與次臨界擺幅下降的趨勢，其中 n 型電晶體的結果觀察到在約 50 K 時飽和的現象，可用能帶尾態模型來解釋。電晶體效能表現的部分上，n 型電晶體導通電流隨溫度下降而上升，同時聲子散射在低溫的下降也使電子遷移率出現 3 倍於室溫值的提升；p 型電晶體卻顯示出相反的趨勢，顯示 n 型電晶體相對 p 型電晶體具有良好的介面品質與接觸電阻率，加上電洞較大的有效質量，使得 p 型電晶體的轉導與載子遷移率在低溫劣化。

第三章深入研究了接觸電阻的變溫特性。首先介紹金屬-半導體介面的基礎特性及量測方法，並整理不同文獻中優化室溫與低溫電阻率的可行方案，最後詳細描述 RTLM 量測架構的製作過程，並對鎳矽與鎳鍺介面的變溫量測及分析。鎳/n 型矽與鎳/p 型矽元件在低溫皆出現劣化的狀況，即使其較高的矽基板摻雜濃度，傳輸特性表現仍無法達到場發射（FE）模式，兩者分別呈現了熱場發射（TFE）與熱發射（TE）特徵，兩者在低溫都會因熱能被嚴重壓制而使接觸電阻

doi:10.6342/NTU202601026

率指數性飆升。而鎳/n 型鍺元件雖具有相似溫度趨勢，但整體熱穩定度較高，從室溫到低溫始終維持在同一量級。

關鍵字：Cryo-CMOS、接觸電阻、量子計算

doi:10.6342/NTU202601026

Abstract

With large-scale quantum computers transition from laboratories to commercialization, the development of cryogenic CMOS (Cryo-CMOS) control circuits is critical for minimizing signal latency and overcoming thermal load constraints. However, conventional CMOS designs encounter significant physical deviations at cryogenic temperatures from room temperature. Establishing physics-based compact models is therefore essential for the successful design of cryogenic devices. Therefore, this thesis focuses on characteristic of Si MOSFETs and contact resistance under different temperatures for better understanding of their cryogenic behavior.

Chapter 2 introduces recent findings on cryogenic semiconductor physics and transistor electrical characteristics, including carrier freeze-out, threshold voltage shift, and subthreshold swing saturation, along with their underlying physical mechanisms. The fabrication process of silicon-based transistors is detailed, followed by comprehensive analysis and characterization. Both n-type and p-type transistors exhibit increased threshold voltage and reduced subthreshold swing at low temperatures. Notably, SS saturation in the n-type transistors occurs at approximately 50 K. Regarding device performance, the ON-current of n-type transistors improves as the temperature decreases due to reduced phonon scattering at low temperatures to enhances electron mobility. Conversely, p-type transistors show an opposing trend, which might be due to inferior interface quality and larger carrier effective mass.

Chapter 3 investigates the temperature-dependent characteristics of contact resistance using a Refined Transmission Line Method (RTLM) structure. Analysis of Ni/Si and Ni/Ge interfaces reveals that Ni/n-Si and Ni/p-Si interfaces degrade at low temperatures. Despite high substrate doping levels, their transport characteristics fail to

doi:10.6342/NTU202601026

reach the Field Emission (FE) mode, instead exhibiting Thermionic Field Emission (TFE) and Thermionic Emission (TE) behavior. The suppressed thermal energy at low temperatures causes contact resistivity to increase exponentially. While Ni/n-Ge devices follow a similar trend, they demonstrate superior thermal stability, maintaining resistivity within the same order of magnitude from room temperature down to cryogenic levels.

Keywords: Cryo-CMOS, Contact Resistance, Quantum Computing

doi:10.6342/NTU202601026

目次

誌謝 i

中文摘要 ii

Abstract iv

目次 vii

圖次 ix

表次 xiii

第一章　引言 1

1.1 研究動機 2

1.2 低溫電晶體 3

1.3 論文架構 6

第二章　低溫電晶體 7

2.1 低溫電晶體簡介 7

2.2 文獻回顧 11

2.3 電晶體的製作 22

2.4 電晶體的變溫特性 24

2.5 小結 38

第三章　金屬/半導體之低溫接觸電阻特性 39

3.1 接觸電阻簡介與量測方法 39

3.2 文獻回顧 45

3.2.1 接觸電阻率的降低 46

3.2.2 接觸電阻的低溫特性 51

3.3 鎳/矽與鎳/鍺接觸電阻的變溫特性 58

3.4 小結 67

第四章　結論與未來工作 69

doi:10.6342/NTU202601026

4.1 結論 69
4.2 未來工作 70

參考文獻 71

doi:10.6342/NTU202601026

圖次

圖1.1　摩爾定律，算力對時間（年）的關係圖[2]。

圖1.2　(a) FinFET 架構示意圖。(b) GAA 架構示意圖[4]。

圖1.3　量子位元狀態 $|\psi\rangle$ 在布洛赫球面上的幾何表示方式[6]。

圖1.4　用於量子位元控制與讀取的 cryo-CMOS 控制器之系統方塊圖[10]。

圖2.1　(a) 靠近p型矽價帶附近的費米能階位置對溫度的關係圖 (b) 矽塊材中不同摻雜濃度的施體或受體能階（E_D, E_A）對溫度的關係圖[12]。

圖2.2　(a) 矽與鍺的能隙對溫度關係圖[15]。(b) 長通道 nMOSFET 在 4.2 K 下的示意圖與通道能帶圖[12]。

圖2.3　表面電離機率對表面電位及溫度的關係圖[12]。

圖2.4　不同溫度下的通道電流對閘極電壓關係圖[12]。

圖2.5　(a) n 型 MOS 電容在 300 K-50 K 下的 C-V 曲線模擬 (b) 30 K-4 K[16]。

圖2.6　不同溫度下 n 型 FinFET 的電容對電壓在不同頻率下的關係圖[21]。

圖2.7　不同溫度下有效載子遷移率對固定載子密度的關係圖，三張圖分別為 (100)、(120) 與 (110) 晶向的量測結果[23]。

圖2.8　(a) 高載子密度之載子遷移率對溫度的關係圖與可能的成因。(b) 低載子密度之載子遷移率對溫度的關係圖[23]。

圖2.9　nMOSFET 與 pMOSFET 的臨界電壓對溫度的關係圖[26]。

圖2.10　不同元件結構中量測到的次臨界擺幅對溫度的關係圖[31]。

圖2.11　可能造成次臨界擺幅在低溫飽和的物理成因[25]。

圖2.12　次臨界擺幅與汲極電流之關係圖[37]。

圖2.13　指數型能帶尾在能帶中的示意圖[31]。

圖2.14　(a) Beckers 等人提出的尾態與局域態模型，(b) Kang 等人提出的尾態模型[39]。

圖2.15　電晶體的製作流程圖與元件上視及側視圖。

doi:10.6342/NTU202601026

圖2.16　(a) I_d-V_g 的量測架構。(b) n-MOSFET 在不同溫度下的線性 I_d-V_g 量測結果。 (c)半對數尺度 I_d-V_g 量測結果。

圖2.17　(a) n-MOSFET 在不同溫度下的 I_d-V_{OV} 關係圖。(b) 導通電流對溫度的關係圖。

圖2.18　(a) n-MOSFET 的臨界電壓對溫度的關係圖。(b) 最大轉導對溫度的關係圖。(c) 次臨界擺幅對溫度的關係圖。

圖2.19　(a) n-MOSFET 的 MOS C-V 量測架構。(b) 不同溫度下的 MOS C-V 量測結果。

圖2.20　(a) n-MOSFET 的 split C-V 量測架構。(b) 不同溫度下的 split C-V 量測結果。

圖2.21　(a) 不同溫度下 n-MOSFET 的有效遷移率對閘極電壓的關係圖。(b) 最大有效遷移率對溫度的關係圖。

圖2.22　(a) p-MOSFET 在不同溫度下的線性 I_d-V_g 量測結果。 (b)半對數尺度 I_d-V_g 量測結果。

圖2.23　(a) 不同退火溫度下的硼原子濃度對深度的模擬關係圖。(b) BF2。

圖2.24　(a) p-MOSFET 的臨界電壓對溫度的關係圖。(b) 最大轉導對溫度的關係圖。(c) 次臨界擺幅對溫度的關係圖。

圖2.25　(a) 不同溫度下 p-MOS 的 C-V 特性。(b) p-MOSFET 的 Split C-V 特性。

圖2.26　(a) 不同溫度下 p-MOSFET 的有效遷移率對閘極電壓的關係圖。(b) 最大有效遷移率對溫度的關係圖。

圖2.27　(a) n-MOSFET 在 300 K 下的 I_d-V_g 曲線。 (b) 4 K 下的 I_d-V_g 曲線。 (c) 300 K 與 (d) 4 K 下的最大轉導對通道長度的關係圖。

圖2.28　(a) p-MOSFET 在 300 K 下的 I_d-V_g 曲線。 (b) 4 K 下的 I_d-V_g 曲線。 (c) 300 K 與 (d) 4 K 下的最大轉導對通道長度的關係圖。

圖3.1　金屬與的 n 型半導體接觸的能帶圖。其介面傳輸機制由蕭基位障高度和

doi:10.6342/NTU202601026

寬度決定 (a) 熱電子發射 (b) 熱電子-場發射 (c) 場發射模型[46]。

圖3.2 (a) 未反應接觸 (b) 反應接觸 (c) 摻雜金屬接觸的示意圖[47]。

圖3.3 線性 TLM 結構的量測架構示意圖[46]。

圖3.4 TLM 測試結構及量測結果 $R_T - d$ 示意圖[46]。

圖3.5 CTLM 結構示意圖，其中黑色部分為金屬覆蓋區域。(a) 標示出圓形接觸半徑 L 與間距 d。 (b) 不同間距的量測結構[46]。

圖3.6 RTLM 結構的量測架構示意圖，藍色部分為高台範圍，黑色部分為金屬接觸範圍。

圖3.7 (a) 金屬與半導體接觸時， MIGS 以衰減波形式由金屬向半導體延伸，(b) 電荷中性能階（CNL）在半導體能階中的示意圖，即電子填滿 MIGS 狀態時所在的能量位置[52]。

圖3.8 在 Ti/GaAs 介面加入(a) ZnO 中間層 (b) ZnO 中間層與 Ge 鈍化層的能帶結構示意圖，(c) 不同 ZnO 中間層與 Ge 鈍化層厚度測得的接觸電阻率[53]。

圖3.9 金屬矽化物（橘色點）與純金屬（紫色點）在矽表面的蕭基能障高度與金屬或矽化物的功函數之關係圖[51]。

圖3.10 (a) 矽表面的懸鍵在能階中的位置和金屬與矽接觸的表面時的態密度，(b) 金屬矽化物與矽接觸時的能階與態密度示意圖[51]。

圖3.11 金屬與半導體介面的電荷分布情況 (a) 無摻雜介面 (b) 進行電荷調整後的介面[54]。

圖3.12 (a) 不同摻雜濃度下的 Ni/Si 接觸電阻率與溫度的關係[57]。(b) 不同矽基板摻雜濃度的 Ni/Si 介面 E00 與 kT 的比較。

圖3.13 (a) 理想 Sm-S 蕭基能障的能帶圖。(b) 圖(a)費米能階附近的放大圖[58]。

圖3.14 (a) 非理想的 Sm-S 接面，界面處存在帶負電的表面態（橘色實心圓圈）。(b) 洩漏通道的實體空間示意圖。其中通道 1 表示經由界面陷阱態（同

doi:10.6342/NTU202601026

圖 (a)）發生的洩漏，通道 2 則是施體誘發的洩漏通道[58]。
圖3.15　(a) 絕緣層（I）鈍化效應的能帶圖與 (b) 實體空間示意圖[58]。
圖3.16　RTLM 測試元件的製作流程與元件上視圖。
圖3.17　(a) NiSi 薄膜的薄層電阻對 RTA 溫度的關係[63]。(b) NiGe 薄膜的薄層電阻與 RTA 溫度的關係圖，其中黑色數據點為無中間層的 NiGe 系統[65]。
圖3.18　鎳/n 型矽介面總電阻在不同溫度下與間距的關係圖。
圖3.19　(a) 鎳/n 型矽介面的薄層電阻對量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。
圖3.20　鎳/p 型矽介面總電阻在不同溫度下對間距的關係圖。
圖3.21　(a) 鎳/p 型矽介面的接觸電阻率對量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。
圖3.22　鎳/n 型鍺介面總電阻在不同溫度下與間距的關係圖。
圖3.23　(a) 鎳/n 型鍺介面的接觸電阻率與量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。
圖 3.24　不同材料與製程條件下的接觸電阻率與溫度的關係圖。

doi:10.6342/NTU202601026

表次

表 3.1　磊晶區域的霍爾效應量測結果。

doi:10.6342/NTU202601026

第一章　引言

在過去半個世紀，全球電子產業的演進始終圍繞著摩爾定律（Moore's Law）運轉。摩爾定律的起點可追溯至 1959 年平面矽電晶體的問世，Gordon Moore 於 1965 年發表其觀察，如圖 1.1 所示，積體電路複雜度具有每隔約 18 至 24 個月翻倍的趨勢[1, 2]。摩爾定律並非物理定律，而是一種技術觀察，過去數十年更是演變為半導體產業的產業共識，強制整個供應鏈在經濟動機的驅使下，維持穩定增長頻率。

支撐摩爾定律演進的技術推動力主要歸納為以下三大要素[1]：晶片面積增加，透過提升晶圓尺寸與降低缺陷密度，容許單一晶片容納更多元件；特徵尺寸縮減，縮小電晶體幾何尺寸以提升運算密度與操作速度；與設計靈活性，透過更精妙的電路佈局來優化空間利用率。然而，這套驅動公式目前已面臨物理法則的極限。首先，晶片面積的擴張早已停滯在 12 吋晶圓，並且隨著元件微縮化進入數奈米級別，製程複雜度導致晶圓廠建置成本呈指數級攀升，研發收益遞減時，古典微縮化已不再具備戰略擴張性，摩爾定律的延續已從單純縮小電晶體尺寸，轉向結合多種技術的協同發展，半導體產業正透過結構改良、新材料引入、計算架構革新、3D 異質封裝整合與低溫環境應用來推動進步。

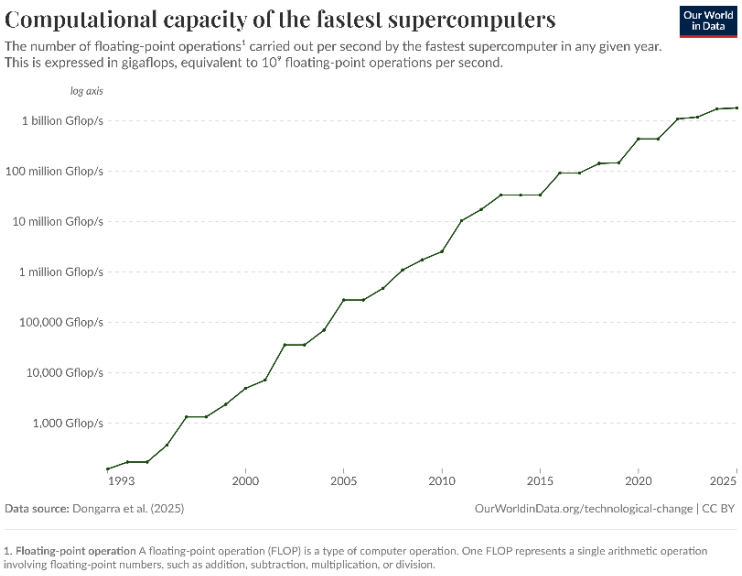


圖 1.1　摩爾定律，算力對時間（年）的關係圖[2]。

doi:10.6342/NTU202601026

1.1 研究動機

當積體電路的尺寸縮放（Scaling）接近物理極限時，開始出現了電壓縮放限制、漏電、熱效能、物理效應等方面的問題。傳統電晶體的微縮依賴於電壓與特徵尺寸同步縮放，然而，由於熱雜訊（Thermal noise）不會隨著尺寸縮小，電壓已不再能繼續降低，持續縮小尺寸會導致晶片單位面積的功耗密度呈指數增長。由於散熱限制，處理器時脈頻率自 2003 至 2005 年起就已陷入停滯，無法再透過提高頻率來提升效能[3]。另外，當電晶體的絕緣層（如閘極氧化層）縮減到僅剩數個原子厚度時，會發生直接量子穿隧效應，導致閘極漏電流大幅增加，造成嚴重的靜態功耗問題[3]。

當平面結構達到極限後，半導體產業轉向了立體結構與 3D 整合技術，如鰭式場效電晶體（FinFET）與全閘極包覆（GAA）結構元件（如圖 1.2 所示），以提供更好的閘極控制並減少漏電。並且透過單片 3D 整合（Monolithic 3D Integration），將多層邏輯與記憶體垂直堆疊在同一個晶粒上，在不縮小單個電晶體的情況下，顯著提高單位面積的電晶體密度。新材料的導入也是一大開發重點，新興電子材料如碳奈米管（Carbon Nanotubes）與 2D 原子晶體等材料，可以在極薄的狀態下保持良好的導電性，且不易受到表面缺陷影響，非常適合用於 3D 堆疊架構。除了物理架構及材料的演進，計算範式轉向更具效率的運算架構。專用加速器（Accelerators）與類神經運算（Neuromorphic Computing）等非馮紐曼架構（non-Von Neumann architecture），針對特定演算法（如影像處理或人工智慧）設計專用電路，以在有限功耗下極大化運算效率[3]。

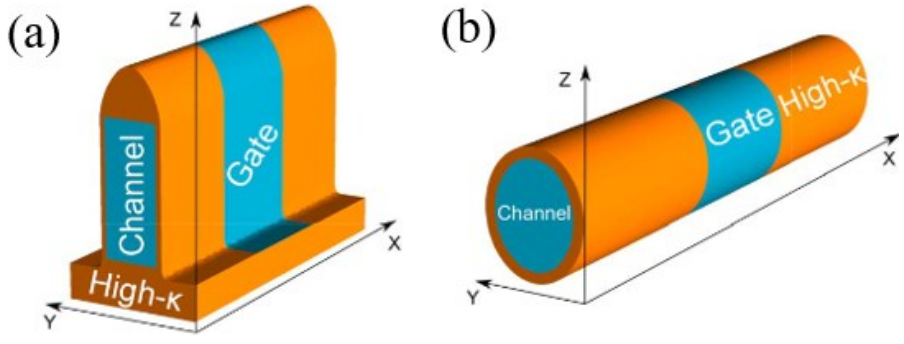


圖 1.2　(a) FinFET 架構示意圖。(b) GAA 架構示意圖[4]。

doi:10.6342/NTU202601026

將運作環境移往低溫（Deep-cryogenic）是也突破熱能限制的新嘗試。在極低溫（如 4.2 K）下，電晶體的載子遷移率會顯著提升，且洩漏電流大幅降低。低溫環境提供的低熱雜訊允許操作電壓降至幾十毫伏，藉此獲得極高的運算速度與能效比[9]。本論文將在第二章詳細分析其優勢與困境。

當古典位元的縮減路徑受阻時，量子計算被視為摩爾定律之後的下一個巔峰。它利用量子相干性與糾纏來處理傳統超級電腦難以解決的複雜問題，如藥物研發與複雜優化等。量子計算並非經典計算的延伸，接下來將概述量子計算與其周邊電路的實現方式。

1.2 低溫電晶體

量子位元（Qubit）是量子計算中的基本資訊單位，類比於傳統計算機中的位元（Bit）[5]，接下來將介紹其核心物理特性。首先是疊加狀態（Superposition），不同於傳統位元只能是 0 或 1，量子位元可以同時處於 $|0\rangle$ 與 $|1\rangle$ 的疊加態，如圖 1.3 所示，其狀態通常以布洛赫球（Bloch sphere）表面上的一個點來表示。量子位元的另一個重要特性是糾纏（Entanglement），量子位元之間可以產生強烈的關聯性。由於疊加與糾纏的特性，量子位元（Qubit）允許在 2^n 維度的希爾伯特空間（Hilbert Space）中進行運算[5]，賦予了量子系統處理指數級複雜任務的能力，這是傳統矽基電路在物理上永遠無法達成的空間維度。

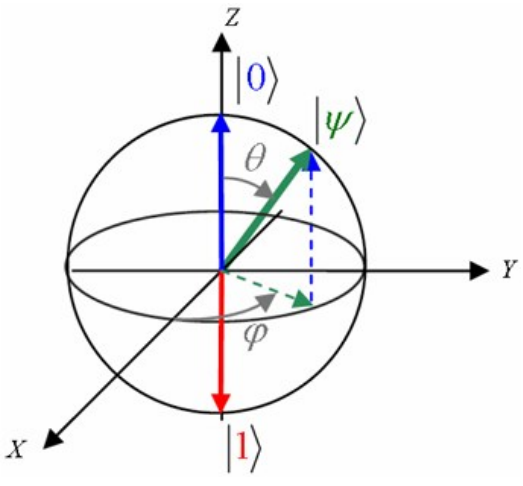


圖 1.3　量子位元狀態 $|\psi\rangle$ 在布洛赫球面上的幾何表示方式[6]。

doi:10.6342/NTU202601026

固態量子點（Solid-state Quantum Dots, QDs）是實現大規模量子計算最受關注的硬體平台之一，其主要原理是利用電場將單個電荷（電子或電洞）限制在奈米尺度的半導體結構中，並以其自旋狀態作為量子位元來編碼資訊。量子點可以透過多種材料與結構來實現，包括矽基自旋量子位元（Silicon Spin Qubits）[6]、超導量子位元（Superconducting Qubits）[7]、矽/矽鍺異質結構（Si/SiGe Heterostructures）[8]、奈米線量子點（Nanowire QDs）[8]，以及摻雜原子量子點（Dopant-based QDs）[8]等技術。

其中矽基量子位元利用半導體量子點（Quantum Dot）中單個電子或電洞的自旋來編碼資訊，其尺寸極小（約 100×100 nm^2），且其製造工藝與現有的半導體產業相容，這意味著可以利用現有的工業潔淨室大規模生產數以百萬計的量子位元[9]。矽的長相干時間（Coherence Time）也是一大重要優勢。矽材料具有較弱的自旋軌道耦合，特別是經過同位素純化，移除具核自旋的 ^{29}Si，僅保留 ^{28}Si 後，量子點自旋量子位元能展現極長的相干時間（超過 20 毫秒）[6]。相較於超導量子位元通常需在 10 mK 運作，矽基量子點已被證明可以在 1 K 以上運作，較高的運作溫度大幅緩解了冷卻成本與散熱預算的限制[9]。未來的發展願景是建立一個包含量子層（量子點陣列）、量子-古典介面以及古典處理層的全堆疊系統。透過將量子點與 Cryo-CMOS 控制電路封裝在一起，甚至實現在同一矽基板上，可以大幅減少接線複雜度、降低延遲，並提高整體系統的可靠性，從而實現具備糾錯能力的容錯量子計算（Fault-tolerant Quantum Computing）[9, 10]。

要實現穩定且具備容錯能力的量子運算，極低溫環境（Cryogenic environment）是不可或缺的物理基礎。量子位元的量子狀態極其脆弱，容易受到熱雜訊及環境雜訊干擾而失去資訊，此現象稱為去相干（Decoherence）。因此，將系統冷卻至基態（Ground state）是提升操作保真度的前提[10]。在硬體架構層面，低溫控制電路的研發已成為當務之急。

量子位元控制電路主要分為兩個路徑：操控（Control）與讀取（Readout），

doi:10.6342/NTU202601026

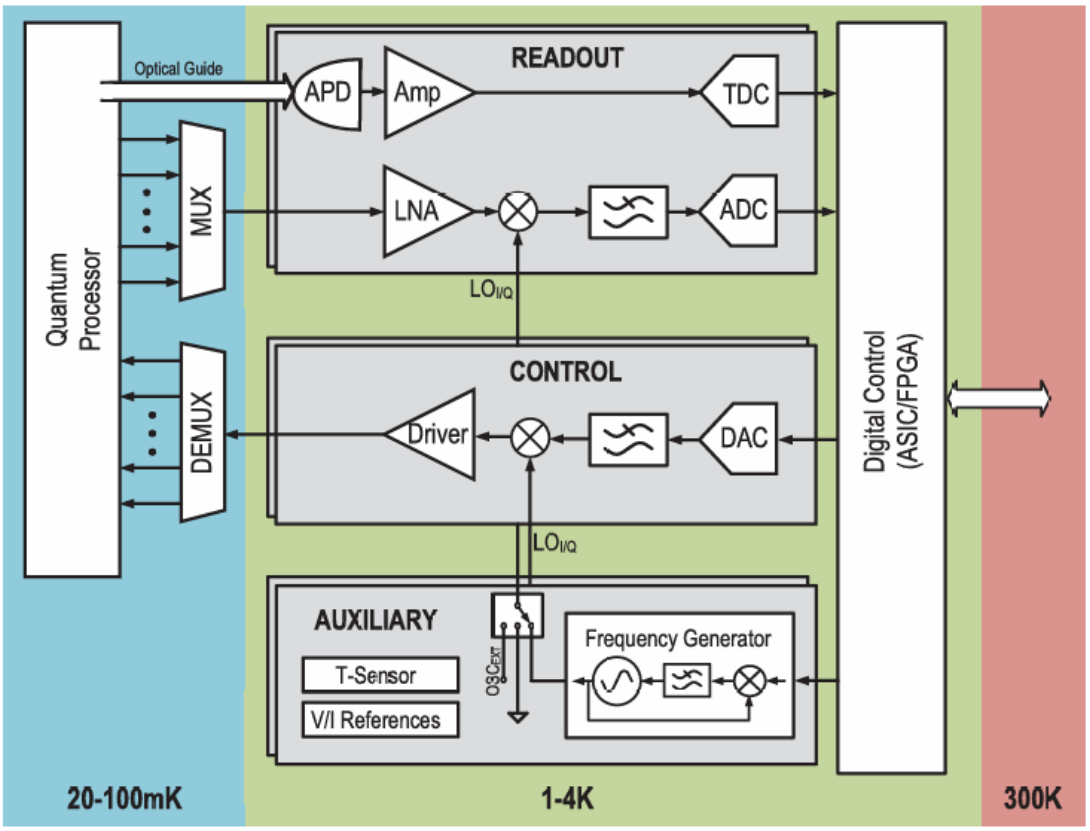


圖 1.4　用於量子位元控制與讀取的 cryo-CMOS 控制器之系統方塊圖[10]。

圖 1.4 顯示其相關電路示意圖。操控路徑負責產生精確的電學信號來旋轉量子位元的狀態。這包括產生數個 GHz 到數十 GHz 的微波脈衝（Microwave bursts），以及頻寬達數十 MHz 的電壓或電流脈衝。其核心組件包含數位類比轉換器（DAC）、數位控制振盪器（DCO）及驅動電路。讀取路徑負責偵測量子位元的微弱輸出信號。常用技術包括利用自旋至電荷轉換（Spin-to-charge conversion）配合單電子電晶體（SET）或射頻反射計技術（RF-reflectometry）。關鍵組件包括低雜訊放大器（LNA）、混頻器（Mixer）及類比數位轉換器（ADC）。數位控制與輔助模組包含 FPGA 或 ASIC 處理單元，用於執行量子錯誤校正（QEC）迴路、偏壓參考電路（Bias/References）以及溫度感測器[10]。

低溫電晶體的研究對於實現大規模量子計算至關重要，主要原因在於解決連線（Wiring）瓶頸、應對嚴苛的功耗限制，以及填補低溫物理模型。目前的量子計算原型系統多將控制電子設備置於室溫環境，透過長線路連接到低溫稀釋致冷

doi:10.6342/NTU202601026

機內（Dilution Refrigerator）的量子處理器[10]。當量子位元數量增加時，數以萬計的控制線路會產生巨大的熱負荷、空間佔用與訊號延遲等問題。研究低溫電晶體使控制電路能直接放置在 4 K 或更低溫的環境中，大幅縮短互連距離，並減少系統複雜度與體積。其次，低溫致冷機的冷卻功率極其有限（例如在 4 K 階段僅約幾瓦，而在 20-100 mK 階段僅不到 1 mW）[10]。為了在有限的冷卻功率下控制數千個位元，每個位元通道的平均功耗預算必須低於 1 mW。

深入研究電晶體在低溫下的行為，能幫助工程師利用其在低溫下載子遷移率提高和次臨界擺幅改善的特性，開發出工作電壓極低的超低功耗電路。低溫電晶體研究也能建立理論與實務的橋樑，現有的工業標準電晶體模型（如 BSIM 或 PSP）主要是針對室溫環境設計的，在極低溫（＜10 K）環境下會失效[25]。在缺乏準確模型的情況下設計電路，容易導致系統效能不穩、功耗超標，且需經歷多次昂貴的下線生產測試。低溫電晶體的研究為低溫下的異常行為建立基於物理的準確模型，對於設計可靠的量子與古典介面至關重要，確保了古典電子元件在極端環境下仍能提供精確、穩定且超低功耗的操控能力。因此本研究將深入研究電晶體與接觸電阻從室溫到低溫的特性，望建立更加完善的低溫元件模型。

1.3 論文架構

本研究將在第二章節深入探討低溫電晶體的物理行為，從文獻回顧出發，詳細紀錄元件製備流程，並透過變溫 I-V 與 C-V 量測系統性地分析閾值電壓（V_{th}）、次臨界擺幅（SS）、轉導（g_m）及載子遷移率（mobility）等關鍵參數隨溫度的變化，最後針對不同通道長度的矽電晶體進行對比分析。第三章聚焦於接觸電阻的變溫特性，這是提升低溫元件效能的重要指標。研究中利用 RTLM 製作量測架構，精確提取薄層電阻（R_{sh}）、接觸電阻率（ρ_c）及傳輸長度（L_T）隨溫度變化的實驗結果。最後，第四章總結研究發現，並針對未來低溫 CMOS 元件的優化方向提出建議。

doi:10.6342/NTU202601026

第二章　低溫電晶體

隨著量子計算等前沿科技的飛速發展，科學界與工程界對於能在極低溫（deep-cryogenic temperatures，通常指低於 10 K）環境下能操控及讀取量子位元之電子元件的需求日益迫切。這些元件是構建大規模量子處理器所需之複雜古典控制電路的核心，以達成低雜訊與低延遲的周邊控制系統。然而，在如此極端的溫度下，半導體材料與電晶體元件的行為與室溫下截然不同，不僅影響載子傳輸機制，也改變半導體的能帶結構、摻雜與氧化層界面陷阱特性，呈現出多樣且複雜的物理效應。本章將針對半導體的低溫效應與其文獻進行探討，系統性地剖析半導體與電晶體在低溫下的基礎物理學，為後續章節理解低溫電晶體的電性行為奠定理論基礎。

2.1 低溫電晶體簡介

在半導體材料中，根據電中性原則，載子與游離化摻雜原子的關係可表示為[11, 12]

$$n + N_A^- = p + N_D^+ ,$$

其中 n 為電子數量，N_A^- 為離子化的受體（ionized acceptor）原子數量，p 為電洞數量，而 N_D^+ 為離子化的施體（ionized donor）原子數量。以 p 型半導體為例，受體摻雜原子遠多於施體摻雜原子，上式可簡化為 $p = N_A^-$ 。原子的游離機率可用費米-狄拉克分佈（Fermi-Dirac distribution, $f(E)$）表示，

$$N_A^- = N_A \times f(E_A) = \frac{N_A}{1+g_A \exp\left(\frac{E_A - E_F}{kT}\right)} ,$$

其中 g_A 為簡併係數（degeneracy factor），E_A 為受體能階（acceptor energy level），E_F 為費米能階（Fermi level），k 為波茲曼常數（Boltzmann constant），T 為溫度。從此式可以得知，溫度直接影響了半導體內的自由載子數量，除了溫度的指數型趨勢，其他如費米能階位置與簡併狀態等也會受到溫度的影響。

doi:10.6342/NTU202601026

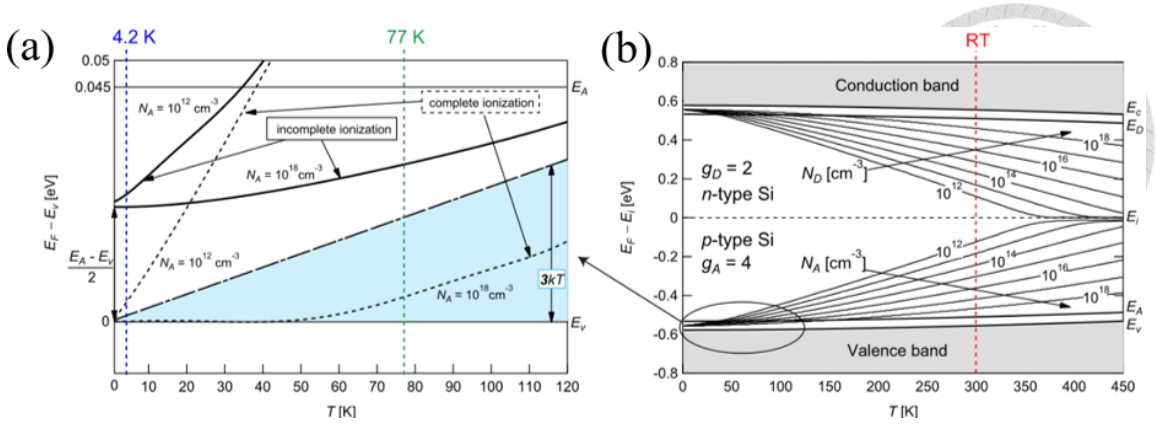


圖 2.1 (a) 靠近 p 型矽價帶附近的費米能階位置對溫度的關係圖 (b) 矽塊材中不同摻雜濃度的施體或受體能階（E_D, E_A）對溫度的關係圖[12]。

當矽的溫度從室溫（約 300 K）降至極低溫時，其熱能顯著降低，進而深刻影響摻雜原子的電離行為。在室溫條件下，熱能足以使幾乎所有摻雜原子電離，提供電子與電洞等自由載子至半導體能帶。然而，當溫度下降至液態氦溫度（4.2 K）時，可利用的熱能（kT ≈ 0.36 meV）遠低於矽中摻雜原子的束縛能，例如硼原子約為 45 meV[11]。在此情況下，自由載子將重新被其母摻雜原子捕獲，形成摻雜電離不完全的現象，稱為摻雜凍結（dopant freezeout）[12, 13]。此機制對費米能階（E_F）的位置造成直接影響。依據矽能階隨溫度變化的關係（圖 2.1 (b)）顯示，在相同溫度下，摻雜濃度越高的半導體其費米能階位置越接近能隙邊緣。而隨著溫度降低，費米能階漸漸向價帶或導帶靠攏。

從圖 2.1 (a) 可以進一步觀察到，在 p 型矽基板中，當溫度小於 120 K 時，費米能階已低於受體能階，表示此時半導體處於不完全電離的狀態，並在溫度趨近於 0 K 時到達受體能階與價帶的中間位置（$(E_A - E_v)/2$）。即使在極低溫下，矽的費米能階仍維持於能隙內，並距離能帶邊緣數個 kT，表示塊材（bulk）內自由載子濃度依然維持於低水平。相對地，若假設摻雜原子於低溫下仍完全電離，將導致費米能階被誤判為與價帶或導帶的能量差距 <3kT，進而得出半導體材料呈現簡併（degenerate）狀態的結論，而此現象並不符合實際物理情況。

doi:10.6342/NTU202601026

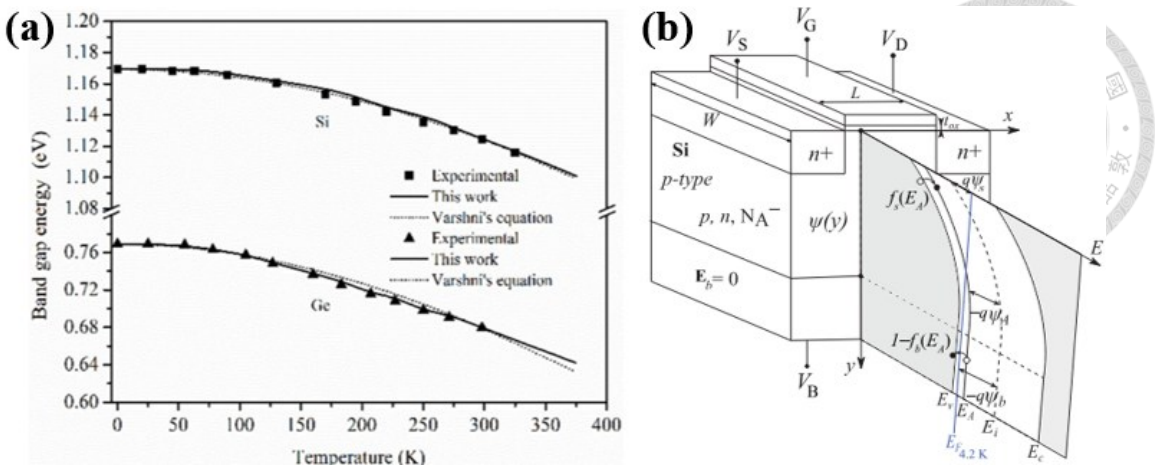


圖 2.2 (a) 矽與鍺的能隙對溫度關係圖[15]。(b) 長通道 nMOSFET 在 4.2 K 下的示意圖與通道能帶圖[12]。

半導體的能帶結構也具有溫度相關性[4]。以矽為例，其能隙會隨著溫度的降低而逐漸展寬（widening），如圖 2.2（a）所示，從室溫下的約 1.12 eV，在 0 K 時增加至約 1.17 eV[15]。這一現象源於晶格振動能量（聲子）的減少與原子間距的微小變化。能帶展寬效應會直接影響元件的內在載子濃度（intrinsic carrier density, n_i）[11]，

$$n_i = \sqrt{N_C N_V}\, exp\left(-\frac{E_g}{2kT}\right),$$

N_C 與 N_V 分別為導帶與價帶的狀態密度（density of state）。由上式可知，溫度與能隙共同影響半導體的內在載子濃度，進而影響半導體的其他多項電性參數。雖然摻雜凍結效應在半導體塊材區域中占據主導地位，但其對金氧半場效電晶體（MOSFET）運作之實際影響極為有限。主要原因在於，電晶體作用區域內的摻雜原子電離並非僅依賴熱能。於 MOS 結構中，閘極施加之強垂直電場可提供足夠能量，使載子自其摻雜原子中脫離，形成電場輔助電離（field-assisted ionization）[12]。

4.2 K 之下的長通道 n 型場效電晶體的示意圖（圖 2.2 (b)）中，電場輔助電離可見於通道附近的能帶圖。低溫下，基板內的費米能階（E_F）低於受體能階（E_A），導致基板載子凍結。當靠近表面區域時，受體能階因能帶彎曲而低於費米能階，

doi:10.6342/NTU202601026

此時受體摻雜原子在電場輔助下被完全電離，確保了即使在缺乏熱能的環境下，依然能夠在通道中形成足夠的導電載子。

表面電離機率之分析顯示（圖 2.3），表面的摻雜電離行為由熱電離（T）與電場輔助電離（$\psi_s - \psi_b$）兩種機制共同決定。當僅有約 20% 的摻雜原子被電離時，即可視為進入凍結狀態。此情況僅在溫度低於約 50 K 且接近平帶條件（flat band, $\psi_s \approx \psi_b$）時發生。隨著表面電位 ψ_s的提升，閘極所形成的電場使能帶彎曲，使摻雜能階位於表面區域之費米能階以下，進而驅動電離行為，於各種溫度下皆會快速轉變達到完全電離。因此，在 MOSFET 中，摻雜活化問題於通道操作區內實際上已被有效緩解。儘管基板本體仍維持於凍結狀態，但對電晶體操作至關重要的通道區域內，摻雜原子已完全活化[12]。

低溫操作時，元件的行為也會因界面陷阱（interface traps）、能帶尾（band tails）等非理想效應的加劇而偏離傳統理論模型的預測。這些從材料到元件層級的基礎物理效應共同作用，塑造了低溫電晶體的宏觀電性，為更深入地探討這些效應如何具體體現在各項關鍵電性參數的溫度相關性上提供重要理論基礎。

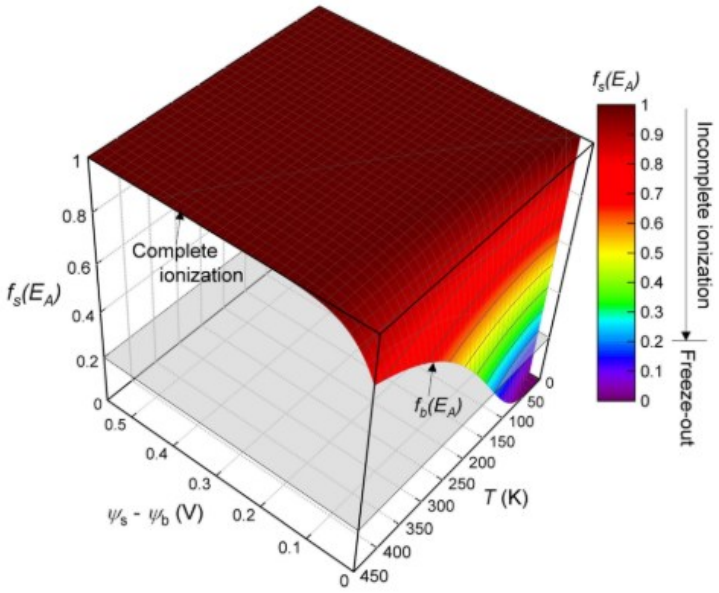


圖　2.3　表面電離機率對表面電位及溫度的關係圖[12]。

doi:10.6342/NTU202601026

2.2 文獻回顧

當溫度下降時，電晶體之行為會顯著偏離室溫條件下的表現，既帶來潛在的性能提升，也引入新的建模挑戰。深入理解這些特性的溫度相關性，是開發準確、具備物理意義的低溫元件模型的根本基礎。本小節將回顧近年的學術文章中，關於電晶體的關鍵電性參數，包括導通電流、電容特性（C-V）、載子遷移率（carrier mobility）、臨界電壓（threshold voltage, V_{th}）與次臨界擺幅（subthreshold swing, SS），隨溫度從室溫降低至極低溫時所呈現的具體變化，並整理學界針對其背後物理機制所提出的主流模型與解釋。汲極電流-閘極電壓（I_d-V_g）特性曲線是評估電晶體性能最核心的指標之一，相較於室溫操作，其特性曲線在低溫呈現若干重要變化。從線性的 I_d-V_g 曲線可觀察到（如圖 2.4），隨著溫度降低，電晶體的導通電流呈現上升趨勢。冷卻後臨界電壓（threshold voltage）上升，形成導電通道並使元件導通所需的閘極電壓增高。由對數尺度的 I_d-V_g 曲線可觀察到，電晶體的開通特性顯著變陡，次臨界擺幅的改善使電晶體能更高效地在開關狀態之間切換。這些特殊現象將在後續深入探討。

MOS 電容（MOS Capacitor）的 C－V 特性在低溫下的變化主要反映了摻雜凍結的影響。當 MOS 元件在低溫下進行 C－V 量測時，其曲線在偏壓接近平帶電壓（flat-band voltage, Vfb）的區域會出現一個明顯的扭折（kink）或駝峰

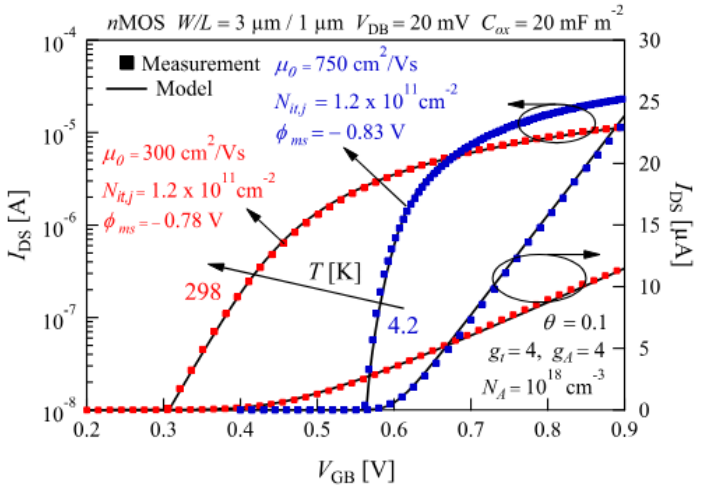


圖　2.4　不同溫度下的通道電流對閘極電壓關係圖[12]。

doi:10.6342/NTU202601026

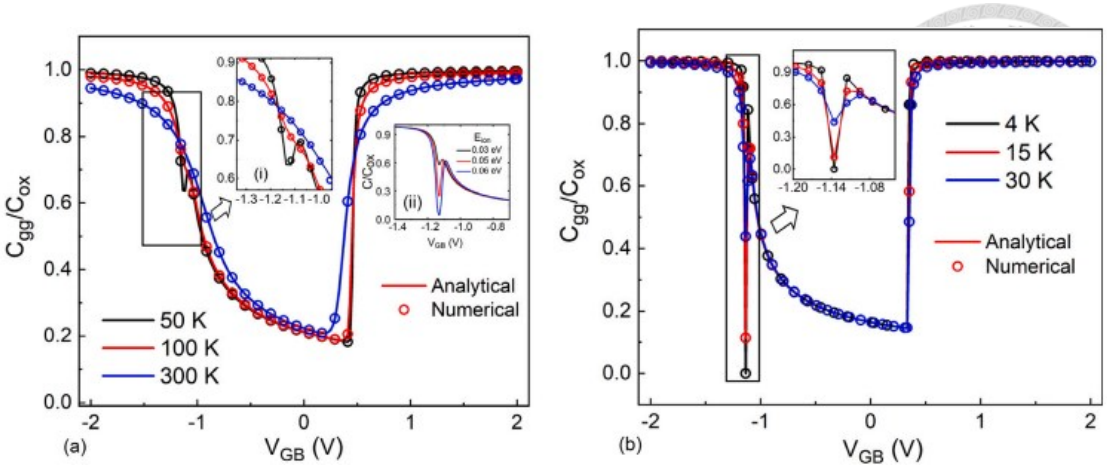


圖　2.5　(a) n 型 MOS 電容在 300 K-50 K 下的 C-V 曲線模擬 (b) 30 K-4 K[16]。

狀的異常突起[16, 17, 18]。此現象隨著溫度的降低而愈發顯著，在室溫下則幾乎消失。在載子凍結程度較低時，電容值在平帶區持續下降，但其斜率發生改變，在 C-V 曲線上形成一個肩狀結構（圖 2.5 (a)中紅色曲線）。當載子凍結程度足夠高時，C-V 曲線會展現出一個明顯的先降後升的趨勢，即電容值在局部區域增加後才繼續下降，在極低溫下（如 4 K 或 15 K）形成一個非常尖銳的凸起（圖 2.5 (b)）。這個凸起源於閘極電壓引發的電場輔助電離過程。當閘極電壓從平帶電壓略微增加時，半導體表面開始形成耗盡區，界面處的電場隨之增強，降低摻雜原子電離所需的能量，輔助那些原本被凍結的摻雜原子釋放出載子。這個由電場觸發的快速電離過程，使得界面附近的可移動電荷密度急劇增加，導致半導體電容迅速回升，從而在總 C-V 曲線上形成先降後升的凸起。然而，一旦元件進入弱反轉區域，此現象對其電容特性的影響就變得極小，再次印證了電場輔助電離機制在低溫下的主導作用。

在高頻元件應用中，C-V 特性的頻率相關性是一個關鍵考量，它直接影響到射頻 (RF) 電路中壓控振盪器（voltage-controlled oscillator, VCO）等元件的性能[25]。在低溫環境下（例如 20 K 至 50 K），C-V 曲線在累積區 (accumulation region) 與空乏區 (depletion region) 的電容值會隨著測量頻率的增加而下降[19]。與此同時，若固定測量頻率，隨著溫度從室溫降低至極低溫，此頻率色散（frequency dispersion）現象會變得更加顯著[19, 20, 21]（圖 2.6）。低溫下載子遷

doi:10.6342/NTU202601026

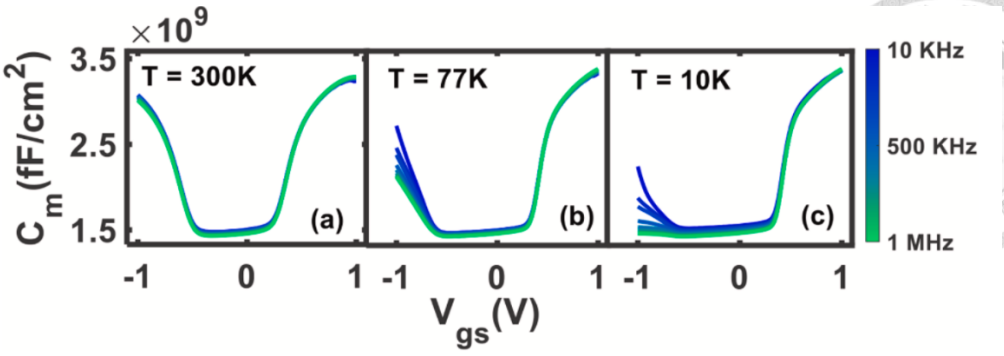


圖　2.6　不同溫度下 n 型 FinFET 的電容對電壓在不同頻率下的關係圖[21]。

移率的降低與顯著的載子凍結效應共同導致基板電阻大幅增加，這個巨大的基板電阻與基板電容構成了一個等效的 RC 電路，此 RC 電路的時間常數（$\tau_{sub} = R_{sub}C_{sub}$）限制了半導體響應外部 AC 小訊號電壓變化的速度。由於基板電阻與多數載子濃度成反比，而載子濃度又對溫度有指數相關，因此在低溫下會急劇增加，從而延長了多數載子響應 AC 訊號所需的時間[21]。

載子遷移率 (carrier mobility, μ) 是衡量電晶體導電能力與開關速度的核心指標，其在不同溫度與電場下的行為直接決定了元件的性能。在低溫環境中，載子遷移率的變化並非單調的線性關係，而是多種散射機制相互競爭的複雜結果。是室溫下影響遷移率的主要因素。在室溫下，由晶格熱振動產生的聲子散射（phonon scattering）對載子傳輸構成主要阻礙。當溫度降低時，晶格振動減弱，聲子數量大幅減少，載子得以在矽通道中更自由地傳輸，從而導致更高的遷移率，進而在相同閘極電壓下產生更大的驅動電流[37]。對 28 nm MOSFET 元件的數據分析顯示[22]，當溫度降至 4.2 K 時，nMOSFET 載子遷移率相比室溫可提升約 3 倍，由約 250 cm^2/Vs 增至 750 cm^2/Vs；相較之下，pMOSFET 的遷移率提升則較為有限。這一趨勢是 cryo-CMOS 技術相較於室溫操作時，能在速度與效能上獲得提升的主要原因之一。

然而，這種提升並非無限制的。在極低溫下，摻雜離子、介面陷阱電荷或遠程雜質（remote impurity）等因素導致的庫倫散射（Coulomb scattering）會逐漸成為主導，使得遷移率最終趨於飽和[23]。在高閘極電壓驅動下，載子被強烈地

doi:10.6342/NTU202601026

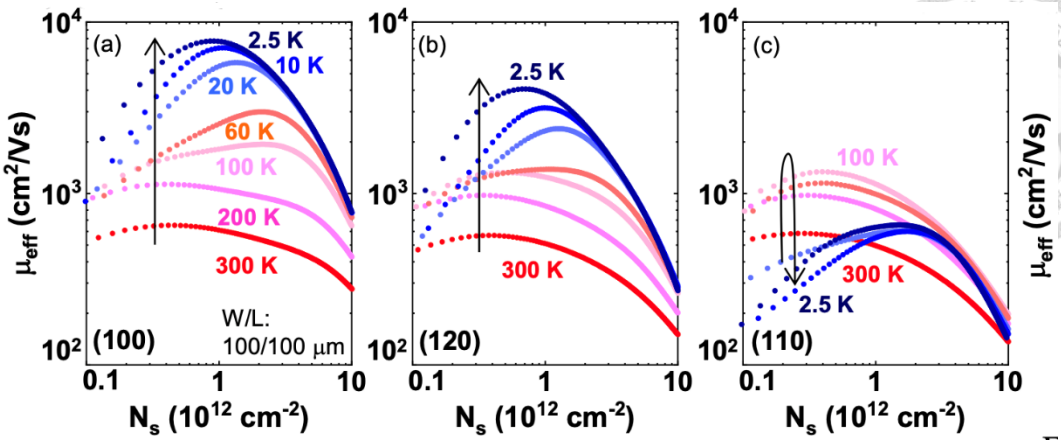


圖 2.7 不同溫度下有效載子遷移率對固定載子密度的關係圖，三張圖分別為 (100)、(120) 與 (110) 晶向的量測結果[23]。

束縛在氧化層與半導體的介面附近，此時表面粗糙度散射（Surface Roughness Scattering）對遷移率的影響也逐漸顯著。在高垂直電場下，載子與不平整的半導體/氧化層介面發生碰撞的機率增加，導致遷移率下降[24, 25]。綜合效應下，即使在極低溫環境，電晶體的遷移率在高閘極電壓的強反轉區依然會出現劣化現象。

為了有效剖析氧化層/矽界面陷阱態對遷移率的影響，Oka 等人採用了 (100)、(120) 與 (110) 三種不同晶向的 n-MOSFET 進行對比分析[23]。從圖 2.7 可以觀察到，在室溫環境下，三種晶向的 MOSFET 展現出相似的電子遷移率。然而，當溫度降至 100 K 以下時，它們的性能出現了顯著分歧。(100) 晶向的元件表現出優異的低溫性能，隨溫度下降持續上升，其峰值遷移率在 2.5 K 時高達 7,743 cm^2/Vs，(120) 晶向的遷移率在低溫的上升幅度相較之下略低，但仍維持隨溫度降低上升的趨勢。與之形成鮮明對比的是，(110) 晶向元件在約 100 K 達到最高的遷移綠，隨後開始降低，在 2.5 K 的峰值遷移率僅為 654 cm^2/Vs。

利用遷移率對溫度的斜率因子，可以分析出不同散射的影響區間（圖 2.8）。結果顯示，散射行為可劃分為兩個溫度區間，以 100 K 為分界。在溫度高於 100 K 的區間，三種元件表現相似，無論在高或低載子面密度下，皆是由聲子散射主導載子遷移率。在 $T < 100$ K 時，低載子面密度下不同晶向元件的散射機制隨溫度降低而急劇變化（圖 2.8 (a)），呈現出強烈的溫度與表面晶向相關性。在低溫

doi:10.6342/NTU202601026

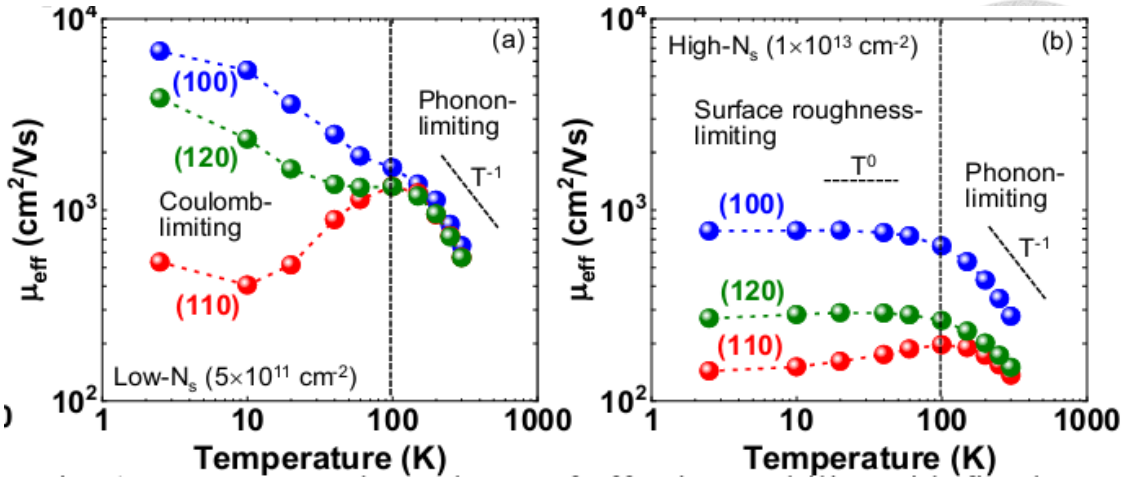


圖 2.8 (a) 高載子密度之載子遷移率對溫度的關係圖與可能的成因。(b) 低載子密度之載子遷移率對溫度的關係圖[23]。

下要使半導體表面形成反轉層通道，需要一個更深入的表面電位，那些因深表面電位而被活化的電荷陷阱嚴重加劇了元件中的庫倫散射。而在高載子面密度下（圖 2.8 (b)），所有元件皆由表面粗糙散射主導，載子遷移率幾乎不隨溫度變化，顯示高偏壓對遷移率的重大影響。

臨界電壓是決定電晶體開啟電壓的基礎參數，對於設定電路的工作點、確保邏輯準位以及控制靜態功耗至關重要。在低溫環境下，臨界電壓的行為同樣呈現出與室溫顯著不同的趨勢。對 nMOSFET 的實驗觀測到的一個普遍趨勢是，隨著溫度從室溫降低，MOSFET 的臨界電壓會顯著增加，並在極低溫區（約 50 K 以下）趨於飽和[24, 26, 27]，如圖 2.9 中藍色數據點所示。這一現象的主要物理成因是塊體費米能階 (bulk Fermi potential) 的溫度相關性[11, 12]，費米能階的位置決定了實現表面反轉所需的能帶彎曲程度。從室溫下降到低溫時，費米能階向能帶邊緣移動並最終飽和，從而使得開啟電晶體所需的臨界電壓增加並飽和[26]。除了費米能階的主導作用外，介面陷阱 (interface traps)也會對臨界電壓產生影響。如果介面陷阱在能隙中均勻分布，它們不會改變臨界電壓的溫度變化趨勢，只會使其整體增加。然而，如果介面陷阱以高斯分布 (Gaussian distribution) 的形式集中在靠近能帶邊緣的位置，它們會在極低溫下捕獲更多電荷，從而提高臨界電壓的最終飽和值[26]。

doi:10.6342/NTU202601026

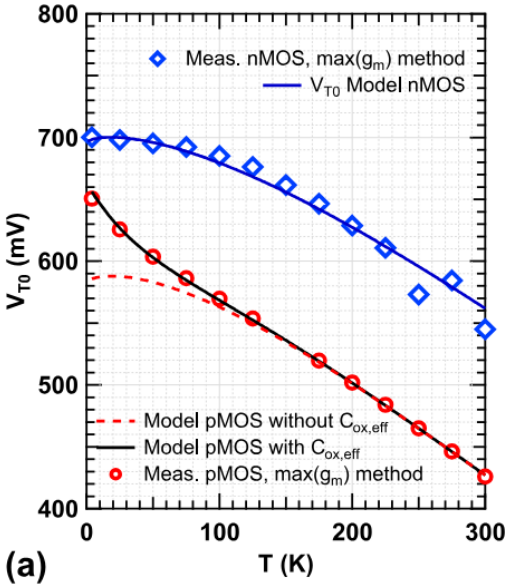


圖 2.9　nMOSFET 與 pMOSFET 的臨界電壓對溫度的關係圖[26]。

與 nMOSFET 元件臨界電壓普遍飽和的趨勢不同，部分 pMOSFET 元件的臨界電壓在極低溫下並未飽和，而是呈現出持續上升的趨勢[26]，如圖 2.9 中紅色數據點所示。此異常行為歸因於在極低溫下，費米能階掃描到非常靠近價電帶邊緣的位置，從而活化了高密度的介面受體陷阱 (interface acceptor traps)。這些陷阱被大量填充，對閘極電場產生額外的屏蔽效應，導致需要持續增加的閘極電壓才能達到反轉條件，臨界電壓對溫度的關係圖上表現為不飽和的持續上升[26, 27]。不同的元件結構也會影響臨界電壓的溫度相關性。全空乏絕緣上覆矽 (FDSOI) 技術在低溫應用中展現出獨特的優勢。由於其超薄的埋入式氧化層 (BOX)，可以利用背閘極電壓 (back-gate voltage) 作為一個額外的控制端，來有效調變臨界電壓。研究表明，利用正向的背閘偏壓可以有效補償臨界電壓在低溫下的增加[28, 29]。更重要的是，其調變效率幾乎與溫度無關，這為低溫電路的動態 Vth 控制和功耗優化提供了一個強而有力的工具。

次臨界擺幅 (Subthreshold Swing, SS) 是描述電晶體從關閉狀態轉換到導通態快慢的關鍵參數，定義為使汲極電流改變一個數量級所需的閘極電壓變化量[11]，

$SS \triangleq \partial V_g / \partial \log_{10}(I_d)$。

doi:10.6342/NTU202601026

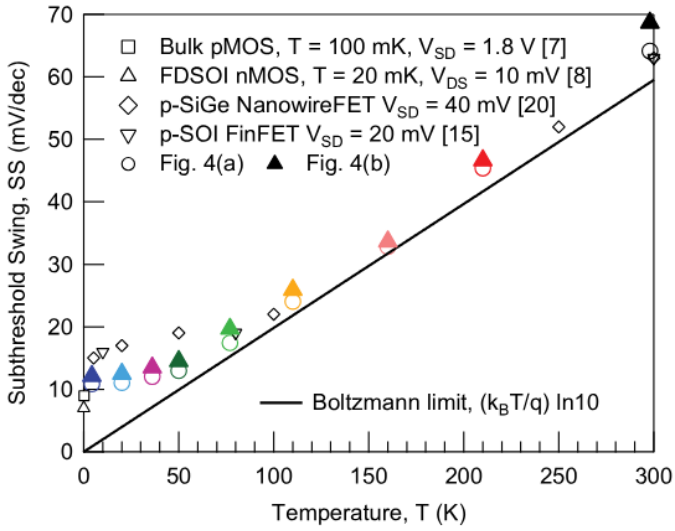


圖 2.10　不同元件結構中量測到的次臨界擺幅對溫度的關係圖[31]。

根據古典的半導體物理理論，理想 MOSFET 的次臨界擺幅應遵循波茲曼極限 (Boltzmann limit)，其值與絕對溫度成正比線性下降，公式為$SS = m \cdot (kT/q) \cdot \ln(10)$。其中 m 為斜率因子 (subthreshold-slope factor)，或稱體效應係數 (body-effect coefficient)。m在物理上代表閘極對通道電位的控制能力，其理想值為$1 + C_{dep}/C_{ox}$，其中C_{dep}是空乏層電容，C_{ox} 是閘極氧化層電容。考慮非理想元件，介面陷阱電容（interface trap capacitance, C_{it}）的效應也會呈現在斜率因子中，此時斜率因子表示為$1 + (C_{dep} + C_{it})/C_{ox}$，當存在介面陷阱，$m$相較理想情況增大，進而使次臨界擺幅劣化。理論上，在 4.2 K 時，SS 值應能達到約 1 mV/dec 的極低水平。然而，大量的實驗觀測結果[30, 31, 32, 33, 34] 卻呈現出截然不同的行為，當溫度降低至一個臨界溫度 Tc 以下時， SS 值不再遵循 SS ∝ T 的線性關係，而是趨於一個幾乎恆定的飽和值（圖 2.10）。這種飽和現象普遍存在於 Bulk、FDSOI、FinFET 等多種技術節點的元件中，是近年低溫電晶體相關研究中被廣泛探討的問題之一。

Beckers 等人[25]提出了可能造成次臨界擺幅在低溫飽和的物理原因（圖 2.11）。自熱效應（self-heating effect）曾被考慮為可能的原因之一[35]，在 FDSOI 元件或多閘極場效電晶體（例如 FinFETs 和奈米線 FETs）中，在元件開啟 (ON) 時，於汲極側產生的熱能，其熱量向外散逸的流出途徑受到阻礙，導致通道實際

doi:10.6342/NTU202601026

溫度較外界溫度高。此現象發生於高偏壓與高電流操作區域，而 SS 所著重的次臨界區，電流相較開啟狀態低了數個數量級。在極低的溫度下，晶格振動已被大幅抑制，自熱效應的影響也隨之變得微不足道。電子有效溫度也具有隨溫度下降並在低溫達到飽和的趨勢[25]，但其飽和發生在約 0.4 K，而 SS 數據觀察到的飽和現象在約 40 K。若強行將低溫下的飽和 SS 值代入傳統的波茲曼公式，會計算出斜率因子 m 呈現出與溫度成反比的趨勢 (m∝1/T)[31] ，抵銷了溫度 T 下降所帶來的 SS 改善。假設 SS 的飽和源於靠近導帶或價帶邊緣的界面陷阱密度（N_{it}）在低溫下急遽增加，N_{it} 在 mK 的溫度下將達到超出矽晶格面積密度（$\sim 6.78 \times 10^{14}\ cm^{-2}$）的$\sim 10^{18}\ eV^{-1}cm^{-2}$，並不符合物理現象。考慮空乏層電容（$C_{dep}$）或許受到載子凍結影響，也具有溫度相關性，與介面陷阱電容（C_{it}）共同影響了 m 值在低溫的趨勢，但如同前一節所提到，載子凍結效應在次臨界區已由電場輔助電離所取代。排除了諸多因素，SS 在低溫的飽和行為，導向了不均勻的能帶邊緣在低溫愈發顯著的影響，此部分將在後續進行更深入的探討。

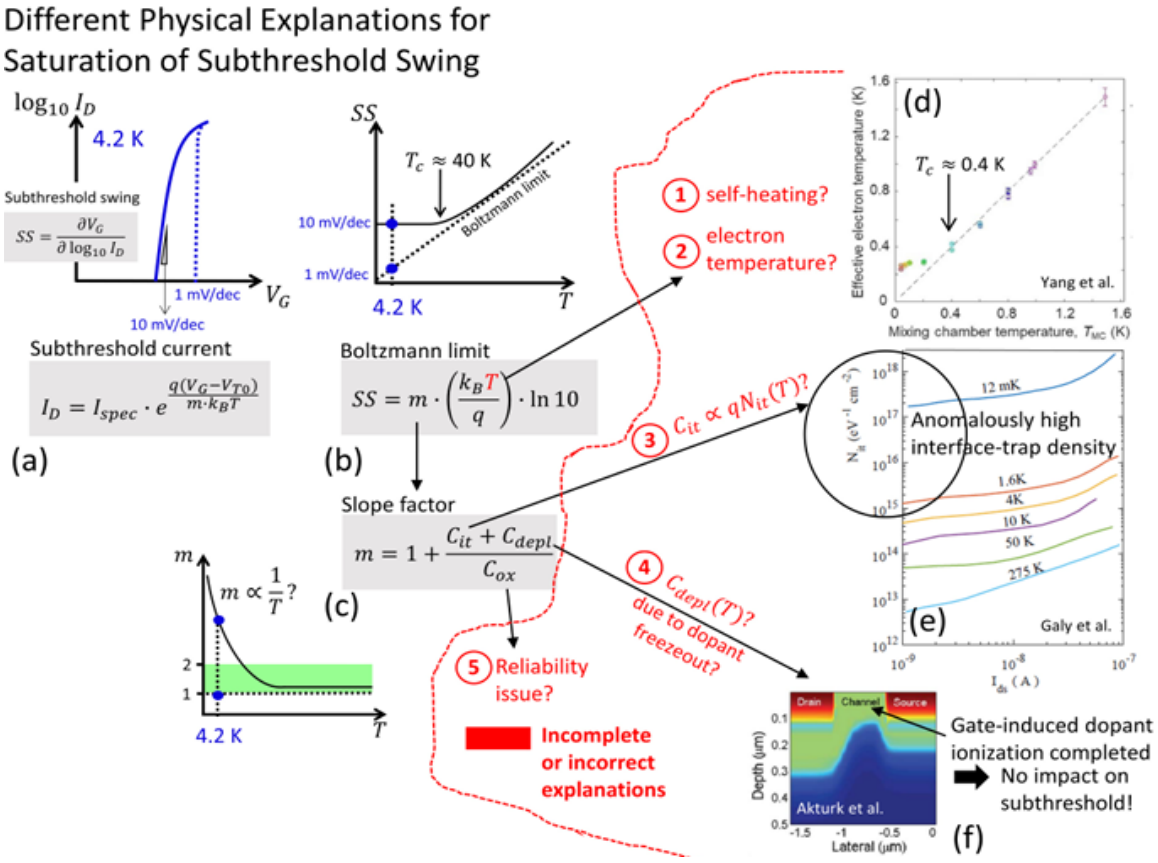


圖　2.11　可能造成次臨界擺幅在低溫飽和的物理成因[25]。

doi:10.6342/NTU202601026

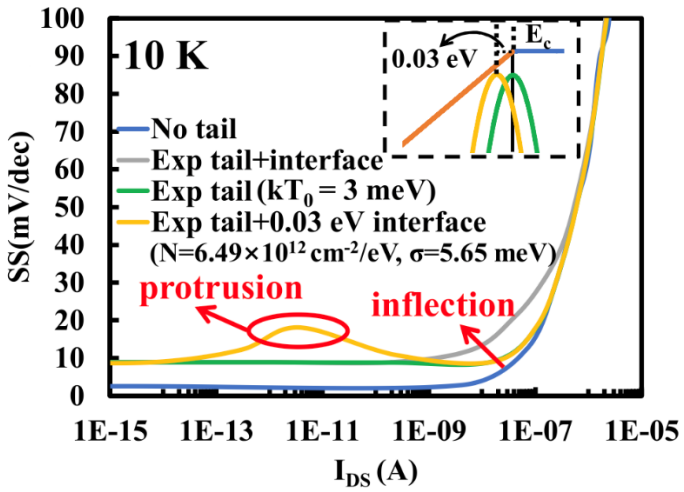


圖　2.12　次臨界擺幅與汲極電流之關係圖[37]。

除了平均值的飽和外，低溫下次臨界擺幅的形狀也出現了拐點（Inflection）現象。SS 值對汲極電流的關係圖（圖 2.12）中可觀察到，在低溫下，相較於傳統擴散模型，SS 值有向內減少曲率的偏移現象[36, 37]。在 FinFET 與 bulk p-MOSFET 元件中觀測到除拐點現象之外的另一種現象，其 SS-I_{DS} 曲線在特定電流範圍內出現突起（protrusion）[37]。這些在不同元件上觀測到的實驗現象，促使研究人員發展更穩健的物理模型來解釋其根源，其中能帶邊緣態（band-edge states）或能帶尾（band tail）模型是解釋 SS 飽和現象的主流理論之一。理想半導體的能帶結構模型假設其導帶與價帶的邊緣是陡峭且明確的。然而，在實際元件中，晶格的無序性（disorder）、雜質散射以及介面缺陷等因素，使局部的能帶邊緣模糊化[36, 38]，從而導致電子態密度（Density of States, DOS）延伸至傳統的能隙中，形成能帶尾（band tail）。以下段落將分析不同的能帶尾模型如何解釋前述的 SS 低溫飽和與變異現象，以及此模型的發展與完善。

首先 Beckers 等人提出指數型能帶尾 (exponential band tail)模型[31]。此模型假設能帶尾端的 DOS 隨能量深入能隙而呈指數衰減。模型引入了一個特徵能量 W_t 或等效的臨界溫度 T_c，用以描述衰減的陡峭程度($W_t = kT_c$)。當系統的熱能 kT小於特徵能量寬度 W_t (即 $T < T_c$) 時，載子的激發不再主要由熱能決定，而是由能帶尾端的態分佈主導。此時，SS 的極限值將由 W_t 而非溫度 T 決定，

doi:10.6342/NTU202601026

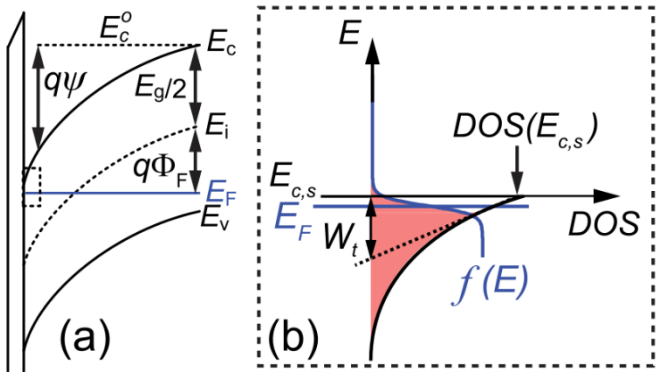


圖　2.13　　指數型能帶尾在能帶中的示意圖[31]。

導致其飽和在$SS \approx m \cdot (W_t/q) \cdot \ln(10)$[31]。換言之，能帶尾的長度 ($W_t$的大小) 成為了限制低溫開關性能的物理瓶頸。為了更精確地描述 SS 飽和與拐點現象，模型進一步將能帶尾態區分為兩種類型[36, 38]，可移動態 (mobile states)與局域態 (localized states)。在價帶或導帶邊緣引入了高斯分佈的局域介面能態（圖 2.14 (a)），來表示半導體與氧化層介面的無序性及陷阱等缺陷帶來的效應，而指數型衰減的可移動態則表示材料內部的機制，如電子間的交互作用與聲子散射等，所造成的能帶邊緣模糊現象[36]。由實驗所得的 SS-I_{DS} 曲線與飄移-擴散理論的偏移程度，可以得到高斯局域態的高度與寬度，用以評估介面的缺陷狀態。

關於能帶尾的物理機制，Kang 等人的研究[39]透過系統性地改變基板的雜質濃度 N_{sub}，發現 W_t 會隨著 N_{sub} 的增加而顯著增大。這強烈支持了摻雜原子誘發模型 (impurity-induced model 或 Lifshitz model)，該模型認為能帶尾端的形成主要源於摻雜離子隨機分佈所造成的靜電位擾動[39]。同時，該研究透過背閘極偏壓實驗，改變了通道表面的電場，發現能帶尾的能量分布並未隨之改變，而缺陷相關的能態具有固定的能階，也不隨能帶邊緣的移動改變。這一結果顯示，能帶尾態與局域態或許具有相同的物理成因。Kang 等人[38] 提出了將局域態包含在指數型衰減的尾態中（圖 2.14 (b)）。可移動態是位於靠近能帶邊緣的淺層能態，它們在 $k_BT < W_t$ 時在理想能帶邊緣下方提供了一條導電路徑，低溫下載子傳輸的主導機制轉變為在這些淺層移動態中的傳導。而局域態是位於能帶隙中更深位置的能態，主要扮演電荷陷阱 (charge traps) 的角色，不直接貢獻電流。

doi:10.6342/NTU202601026

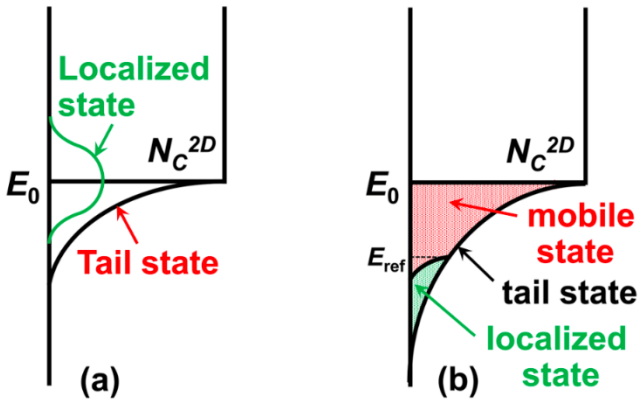


圖　2.14　(a) Beckers 等人提出的尾態與局域態模型，(b) Kang 等人提出的尾態模型[39]。

當施加閘極電壓時，費米能階必須先填充這些陷阱態，此過程消耗了閘極電壓卻未增加汲極電流，從而在特定的閘極偏壓下劣化了 SS，造成了拐點現象。

相較於能帶尾態由介面不完美導致的次臨界擺幅劣化，對於奈米級且介面品質極高的元件，另一種物理解釋被提出，認為源汲極直接穿隧 (Source-to-Drain Direct Tunneling, SDDT) 是 SS 飽和的主要原因[40]。該模型指出，在極短通道的元件中，即使在次臨界區，載子也可能直接從源極穿隧至汲極，形成穿隧電流。在極低溫下，當熱激發電流被極度抑制後，這種穿隧電流成為主要的漏電機制。此穿隧電流的能量主要固定 (pinned) 在源極的費米能階附近，對閘極電壓的調變不敏感。當總電流由此類穿隧電流主導時，會導致 SS 急劇劣化。如果這個 SS 劣化的電流區間恰好與元件的實際操作電流範圍重疊，從宏觀上看，便表現為 SS 在此區間內不再隨溫度改善，即觀測到 SS 飽和。能帶邊緣態模型與 SDDT 模型並非相互排斥，它們可能在不同類型的元件中分別主導或共同作用。

綜合所有討論，當前 cryo-CMOS 技術發展的主要瓶頸之一，在於缺乏能夠統一描述上述所有複雜物理現象，包括遷移率變化、次臨界擺幅飽和、臨界電壓飄移及量子效應，的精確模型。因此，大力投入開發基於物理的緊湊模型，並將其整合到標準的製程設計套件中，對於推動量子計算控制晶片及其他極低溫應用的積體電路設計，具有至關重要的意義。

doi:10.6342/NTU202601026

2.3 電晶體的製作

本節將說明矽基 n 型與 p 型金氧半場效電晶體（MOSFET）的製作流程（圖 2.15），以 gate-last 製程架構完成 MOSFET 元件的製作，作為後續量測與分析的樣品。n-MOSFET 的基板使用摻雜硼原子的 p 型矽基板，摻雜濃度約為 $2 \times 10^{15} \sim 1 \times 10^{16}\ cm^{-3}$。而 p-MOSFET 則使用摻雜磷原子的 n 型矽基板，摻雜濃度約為 $5 \times 10^{14} \sim 4 \times 10^{15}\ cm^{-3}$。將晶圓切割成為足夠容納光照圖形的 1.3 cm * 1.3 cm 破片，完成矽基板的準備。在晶片進入微影製程之前，首先以一系列有機溶劑清洗基板表面，將基板依序浸泡在丙酮、甲醇、及異丙醇中並振洗 3 分鐘，以去除有機汙染物與微粒。完成清洗後，開始第一次微影步驟，以定義對位標記（alignment mark）之圖形。對位標記的微影步驟利用 AZ5214 光阻作為正光阻，光阻旋塗流程包含 1000 rpm 十秒與 4000 rpm 四十秒的雙階段轉速設定，並以 95 °C 進行 90 秒 軟烤（soft-bake）。隨後以 MJB3 曝光機進行 12 秒曝光，

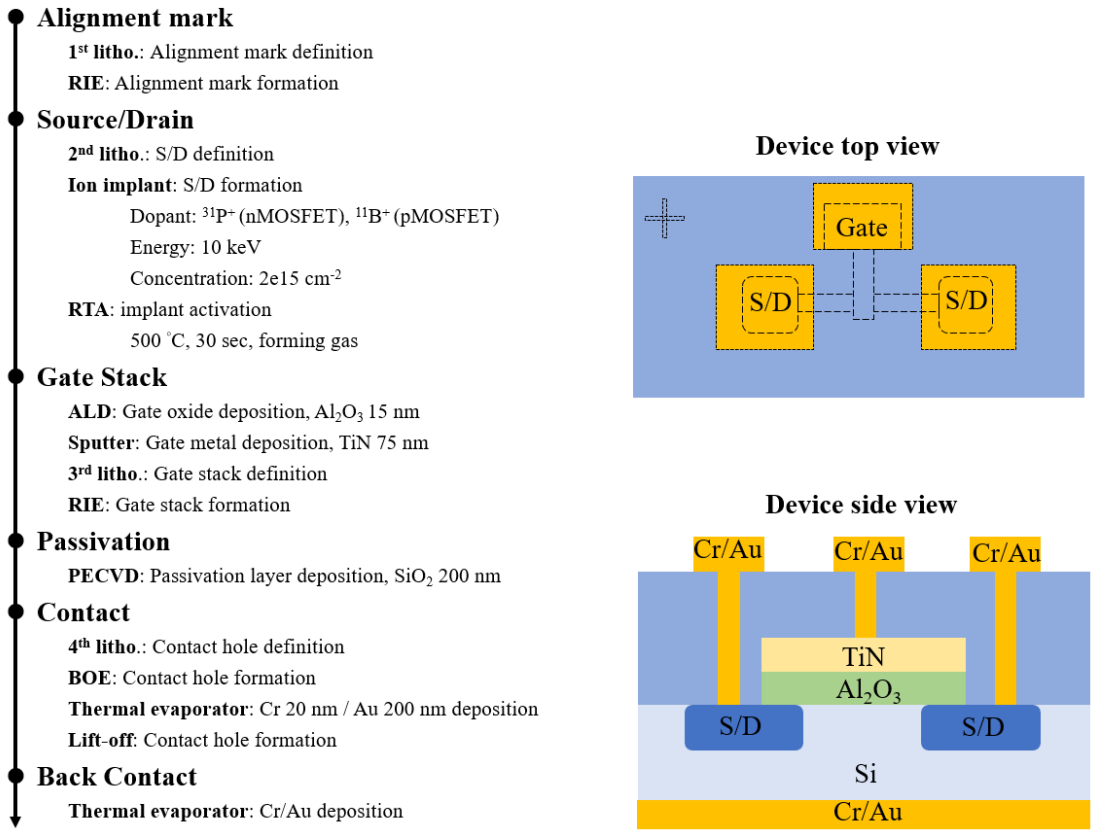


圖 2.15 電晶體的製作流程圖與元件上視及側視圖。

doi:10.6342/NTU202601026

並在 125 °C 下硬烤（hard-bake） 2 分鐘，增加光阻的強度，以維持後續蝕刻的圖形完整性。隨將樣品浸泡在顯影液中 24 秒，使對位標記圖形呈現在光阻上。顯影完成的圖形接著以反應離子蝕刻（reactive ion etching, RIE） 進行乾蝕刻，將圖形轉移至基板表面，使用 SF_6 與 O_2 氣體將對位標記蝕刻至大約 5000 Å 的深度，使其具備足夠的高度差以提供後續微影製程的準確對位。蝕刻結束後，以丙酮、甲醇、及異丙醇移除殘留光阻，完成對位標記形成。

接著進行源汲極區域的圖形定義。此步驟再次使用相同的 AZ5214 光阻塗佈、烘烤和曝光顯影條件，以確保光阻厚度與線寬控制的一致性。源汲極區域曝光與顯影完成後，進行離子佈植以形成 n^+ 與 p^+ 區域，nMOSFET 使用劑量 $2 \times 10^{15}\ cm^{-3}$ 的磷原子作為電晶體源極與汲極的摻雜原子，pMOSFET 則使用劑量 $2 \times 10^{15}\ cm^{-3}$ 的硼原子。佈植後，使用丙酮、甲醇、及異丙醇移除光阻。為了進一步去除殘留光阻與有機及聚合污染物，將樣品浸泡在食人魚溶液（piranha solution, H_2SO_4:$H_2O_2 \approx 3:1$）中 15 分鐘，用去離子水沖洗後置入稀釋氫氟酸（DHF, HF:$H_2O \approx 1:50$）中，以去除矽表面自然生成的氧化層（native oxide），形成疏水的表面，提供後續準確的氧化層沉積厚度估算。隨後將樣品置入快速熱退火（rapid thermal annealing, RTA）系統中，在 forming gas（5% H_2 與 95% N_2 混合氣體）環境中以 900°C、30 秒完成退火。此高溫快速退火能有效活化摻雜之原子，同時修復佈植造成的晶格損傷，形成低電阻的源汲極擴散層。

完成源汲極之後，便製作閘極結構。首先以原子層沉積（atomic layer deposition, ALD） 生長 15 nm 的氧化鋁（Al_2O_3）作為閘極介電層。接著以濺鍍（sputter）方式沉積氮化鈦（TiN）作為閘極金屬，厚度約為 750 Å。TiN 具良好導電性、熱穩定性以及與氧化層界面的相容性，因此被選為本元件的閘極材料。金屬閘極沉積完成後，進行閘極圖形化微影，微影條件與先前步驟一致。顯影後，在 RIE 機台使用 CF_4 與 O_2 進行乾蝕刻去除未覆蓋光阻之 TiN，以形成精準的閘極電極。蝕刻深度控制在略為超過 750 Å，使其完整移除金屬層並保留下方的氧

doi:10.6342/NTU202601026

化層，最後以丙酮、甲醇、及異丙醇移除殘留光阻，完成閘極結構的製作。為了降低環境污染、濕度等對元件造成之效能劣化，並改善後續接觸製程之均一性，使用電漿輔助化學氣相沉積（Plasma-Enhanced Chemical Vapor Deposition, PECVD），沉積一層約 200 nm 的 SiO_2 作為鈍化層。在鈍化層上，再次進行光學微影定義接觸孔圖形，並將樣品浸泡於緩衝氧化物蝕刻劑（Buffered Oxide Etch, BOE）與去離子水交替進行蝕刻，以逐層移除 PECVD SiO_2，直到露出下方 TiN 層為止。該開孔程序分別以 20 秒 BOE 與去離子水交替進行，可精確控制蝕刻速率，降低對金屬的過蝕刻風險。開孔完成後，再以丙酮、甲醇、及異丙醇洗去光阻，使接觸孔達到乾淨的金屬裸露面。

最後進入金屬電極製作階段。金屬電極區域同樣利用光學微影定義，唯此步驟只進行軟烤並縮短時間，不使光阻完全乾燥，以確保後續剝離（lift-off）步驟的穩定性。再以熱蒸鍍（thermal evaporation）方式沉積金屬，首先沉積 20 nm 的鉻作為黏著層，其上再蒸鍍 200 nm 的金，以提供低電阻、高導電性與良好化學穩定性的金屬電極。金屬沉積完成後，將晶圓浸入丙酮進行 lift-off，使多餘的金屬與光阻一同剝離，僅留下圖形化的 Cr/Au 電極，形成最終的接觸金屬層。最後，同樣以熱蒸度沉積 Cr/Au 在樣品背面，作為背電極金屬層。至此，Gate-last MOSFET 元件的完整製程流程即告完成。

2.4 電晶體的變溫特性

本節將深入解析前一節中製作的矽基 n 型與 p 型金氧半場效電晶體在極低溫下的電性量測數據，進階提取出臨界電壓、次臨界擺幅、轉導及載子遷移率等電性參數，觀察其隨溫度的變化趨勢。結合 2.1 與 2.2 節中的半導體元件物理理論與相關學術文獻，對觀測到的現象，例如導致電路偏壓複雜化的臨界電壓偏移，以及阻礙元件實現理想開關效率的次臨界擺幅飽和，提出物理機制層面的可能解釋，剖析限制理想低溫性能的關鍵物理現象。

doi:10.6342/NTU202601026

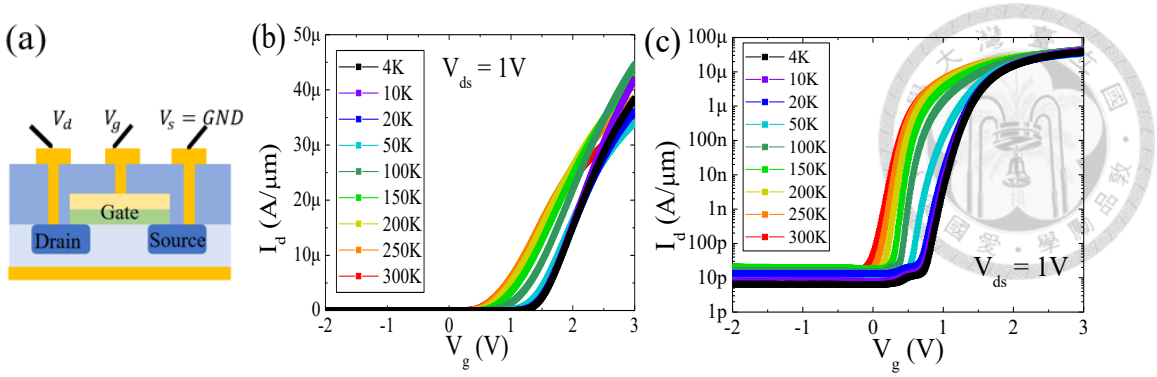


圖 2.16 (a) I_d-V_g 的量測架構。(b) n-MOSFET 在不同溫度下的線性 I_d-V_g 量測結果。 (c)半對數尺度 I_d-V_g 量測結果。

首先進行 n 型矽基金氧半場效電晶體的電性量測，I_d-V_g 的量測架構如圖 2.16（a）所示，圖 2.16（b）與（c）為 I_d-V_g 原始數據，接著基於原始數據進行各項關鍵電性的進階分析，呈現在圖 2.17 與 2.18 中，圖 2.19 與圖 2.20 為 C-V 量測結果，並結合 I_d-V_g 量測結果計算出有效電子遷移率（圖 2.21）。圖 2.16（b）展示了 n-MOSFET 的轉移特性曲線（transfer characteristics），其中橫軸為閘極電壓（V_g），縱軸為對元件通道寬度進行標準化的汲極電流（I_d），實驗溫度範圍涵蓋從室溫 300 K 降至極低溫 4 K。觀察圖中曲線變化，最顯著的趨勢在於隨著溫度下降，曲線整體向右平移，且導通區域的斜率大幅變陡。曲線右移現象表明臨界電壓隨著溫度降低而顯著增加，此部分將在後續圖 2.17（a）進行深入分析。導通電流斜率的增加代表轉導（transconductance, g_m）的提升，這直接反映了電子有效遷移率的改善。在室溫下，晶格振動引起的聲子散射是限制載子傳輸的主要機制；當溫度降至低溫環境，晶格振動減弱，聲子散射機率大幅降低，使得電子平均自由徑增加，進而提升電流驅動能力。同時觀察到導通電流從 300 K 到 100 K 有持續增加的趨勢，但在 100 K 以下卻有來回震盪的現象，此部分將在圖 2.17 進行詳細探討。

圖 2.16（c）以半對數座標（Semi-logarithmic scale）呈現轉移特性曲線，重點在於分析元件在次臨界區域的行為，以及更加清楚的觀察電晶體開關電流的差異。隨著溫度由 300 K 逐漸降低至 4 K，次臨界區域的斜率變得更加陡峭，

doi:10.6342/NTU202601026

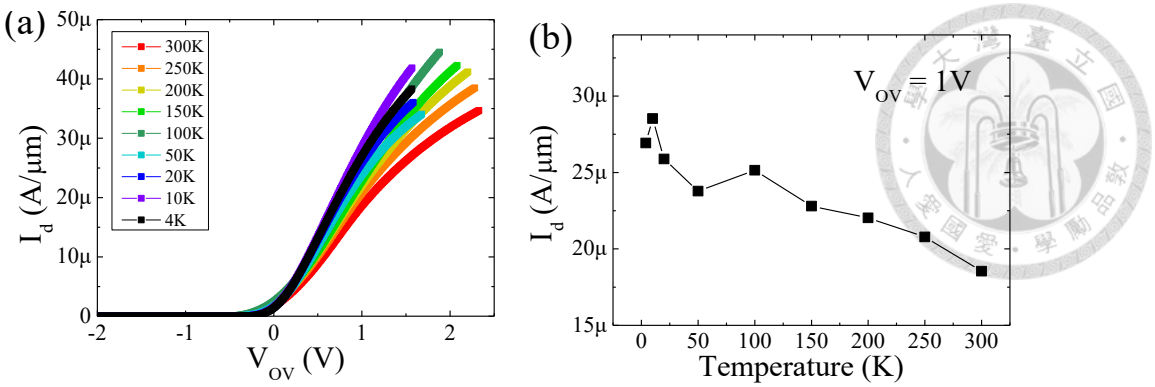


圖 2.17　(a) n-MOSFET 在不同溫度下的 I_d-V_{OV} 關係圖。(b) 導通電流對溫度的關係圖。

即次臨界擺幅數值顯著下降。這對於低功耗邏輯電路的應用極為有利，因為它允許元件在更低的電壓下實現更快的關斷速度。此外，觀察截止電流（Off-state current, I_{off}）可以發現，從室溫到極低溫下的關閉電流皆在約 10 pA/μm，開關比（ON/OFF）皆達到 10^6 以上，且隨溫度降低 I_{off} 有些微降低的趨勢，顯示極佳的靜態功耗表現。這主要歸因於矽基板內熱激發載子的減少以及擴散電流的抑制。然而，在極低溫（＜20 K）下，曲線在低電壓端可能出現雜訊或不穩定的導通現象，這通常與低溫下的載子凍結效應有關。當溫度過低時，摻雜雜質的游離能不足以被熱能克服，導致基板電阻率急劇上升，這可能會影響基板偏壓的穩定性，進而影響次臨界區域的精確量測。

圖 2.17（a）中顯示了不同溫度下汲極電流對驅動電壓（overdrive voltage, $V_{OV} = V_g - V_{th}$）的關係，並萃取出此 n-MOSFET 在 1 V 驅動電壓下的導通電流，其對溫度的關係記錄在圖 2.17（b）。首先觀察到導通電流確實從 300 K 到 100 K 持續增加，顯示聲子散射隨溫度降低被壓制的結果。然而，在 100 K 以下，電流增益出現飽和甚至微幅回落，這暗示了在庫倫散射或源/汲極串聯電阻增加的影響下，單純依靠降溫已無法進一步提升元件性能。

從圖 2.16（b）可以萃取出臨界電壓隨溫度變化的關係，圖 2.18（a）顯示臨界電壓與溫度呈現高度線性的負相關趨勢。隨著溫度從 300 K 降低，臨界電壓從約 0.65 V 單調上升至 4 K 時的約 1.45 V，總漂移量高達 0.8 V。這一趨勢對於低溫電路設計至關重要，因為過高的 V_{th} 會壓縮電壓操作餘裕（headroom），降

doi:10.6342/NTU202601026

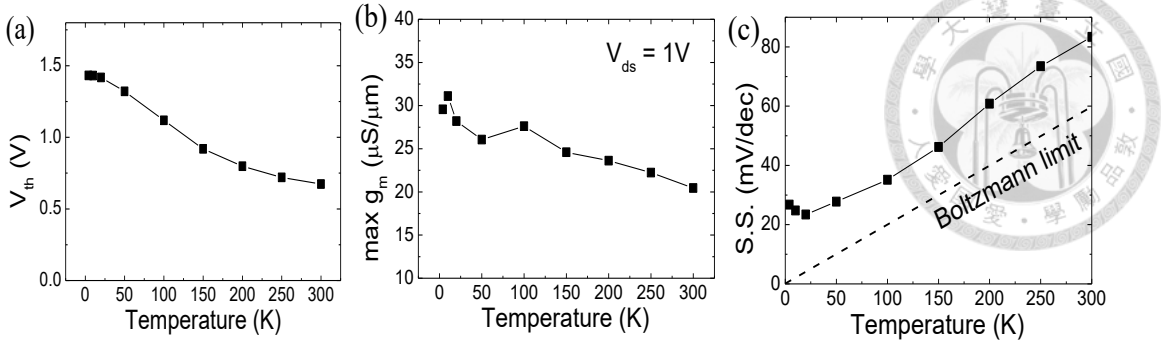


圖 2.18　(a) n-MOSFET 的臨界電壓對溫度的關係圖。(b) 最大轉導對溫度的關係圖。(c) 次臨界擺幅對溫度的關係圖。

低驅動電壓，從而抵消低溫下遷移率提升帶來的速度優勢。如同 2.2 節中所提到，物理機制上，n-MOSFET 表面通道附近費米位勢（Fermi potential, Φ_F）隨溫度降低而增大，由於開啟電晶體需要將表面位勢彎曲至 $2\Phi_F$，因此在低溫下需要施加更大的閘極電壓才能形成強反轉層。除此之外，矽的能隙隨溫度降低而變寬（Varshni 效應）也是造成 V_{th} 上升的次要原因。此外，氧化層/矽介面處的固定電荷或介面態在不同溫度下的佔據狀態改變，也可能貢獻部分的電壓漂移。在數學模型上，通常可以利用線性溫度係數來描述此變化，但在接近絕對零度的極低溫區，由於費米狄拉克分佈（Fermi-Dirac distribution）逐漸趨近於階躍函數（step function），加上不完全游離效應的影響，線性預測模型可能會產生些微誤差。因此在低溫應用中，必須針對 V_{th} 的漂移進行製程調整（如調整通道摻雜濃度）或電路補償的重要性。

圖 2.18（b）分析了元件最大轉導（maximum transconductance, max g_m）隨溫度變化的情形。轉導是衡量場效電晶體放大能力與開關速度的關鍵指標，定義為汲極電流對閘極電壓的微分（$g_m = \partial I_d / \partial V_g$）。從圖中可以觀察到，從室溫 300 K 降溫至約 100 K 的過程中，g_m 呈現穩定的上升趨勢，這是因為聲子散射被抑制所致。然而，當溫度進一步降低，g_m 的上升趨勢趨緩，甚至出現了輕微的衰退。這種在極低溫下的轉導退化現象，通常歸因於數個競爭機制的消長。首先，在極低溫下，庫倫散射取代聲子散射成為主導機制，來自游離摻雜原子或介面電荷的

doi:10.6342/NTU202601026

散射效應增強。其次，載子凍結效應導致源極與汲極延伸區（source/drain extensions）的寄生串聯電阻顯著增加。由於外加電壓部分降落在這些寄生電阻上，實際施加於通道的有效電壓減少，導致量測到的外部轉導下降。這顯示在極低溫元件優化時，必須特別注意接觸電阻與摻雜區的活化程度。

圖 2.18（c）探討次臨界擺幅與溫度的相關性，圖中實線與數據點顯示 SS 隨溫度下降而線性減小，虛線則代表理論上的波茲曼極限（$SS = (kT/q) \cdot \ln(10)$）。在室溫至約 50 K 的範圍內，實驗數據與理論預測吻合良好，並且從 300 K 下 SS 值與理想值（60 mV/dec）的偏差能夠推斷出元件的介面品質（即 m 值）。此元件在 300 K 的 SS = 83.4 mV/dec，因此 m 值為 1.39，透過此元件 MOS 結構的 C-V 量測（圖 2.23）可得到室溫下的 $C_{ox} = 724\,nF/cm^2$，$C_{dep} = 276\,nF/cm^2$，進而從 $m = 1 + (C_{dep} + C_{it})/C_{ox}$ 計算出 $C_{it} = 6.36\,nF/cm^2$，顯示元件介面品質優良。然而，當溫度極低（< 20 K）時，SS 值並未如理論預測般趨近於零，而是出現了飽和現象，停留在約 22 mV/dec。造成此飽和現象的原因相當複雜，主要涉及非熱激發的傳輸機制，在極低溫下，載子的熱能量極低，此時通道表面位勢的波動以及能帶尾的介面態密度開始主導次臨界行為。此外，源自源極到汲極的穿隧電流或是在能隙中的缺陷輔助穿隧也可能在極低溫下形成漏電路徑，使得 SS 無法進一步降低。這個飽和值定義了該元件在低溫操作下的開關極限，對於評估其在量子電腦讀取電路等極低溫應用中的雜訊邊限具有重要意義。

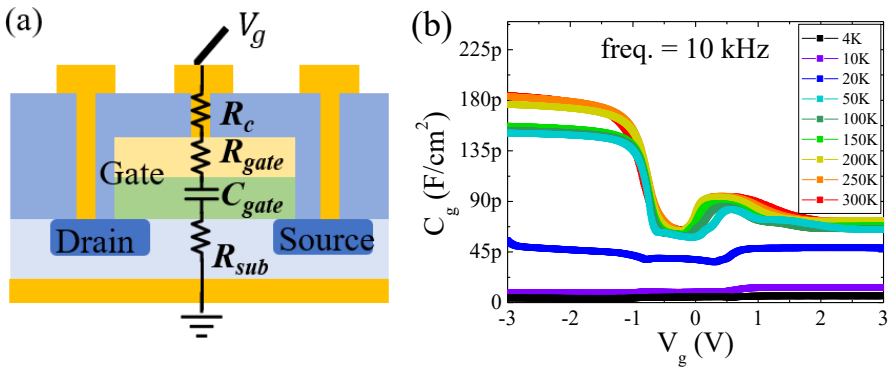


圖 2.19 (a) n-MOSFET 的 MOS C-V 量測架構。(b) 不同溫度下的 MOS C-V 量測結果。

doi:10.6342/NTU202601026

圖 2.19（b）呈現了金氧半（MOS）結構的電容-電壓（C-V）變溫特性，量測頻率為 10 kHz，圖 2.19（a）顯示其量測架構。C-V 量測是分析 MOS 介面特性與基板摻雜濃度的重要工具。在較高溫（100 K-300 K，紅、橙、黃線）下，曲線呈現標準的低頻 C-V 行為，包含左側的累積區、中間的空乏區以及右側的反轉區。然而，隨著溫度降至 50 K 以下（藍、黑線），曲線發生了劇烈的變形。首先，累積區與耗盡區的電容值顯著下降，不再維持氧化層電容的高值。這種現象推測為低溫載子凍結效應，在低溫下，矽基板中的多數載子被束縛在摻雜原子能階上無法游離，導致基板表現得像絕緣體，造成了極大的電阻。在 LCR meter 量測時會根據量測到的複數阻抗，計算出表觀電容（Apparent Capacitance, C_{ma}），即量測到的電容[41]。表觀電容與真實電容C_{ox}的關係為$C_{ma} = C_{ox}/(1 + \omega C_{ox} R_s)$，其中$\omega$為量測頻率，$R_s$為串聯電阻。如圖 2.19（a）所示，此 MOS 結構的 RC 電路由接觸電阻（R_c）、金屬閘極的電阻（R_{gate}）、基板電阻（R_{sub}）與閘極電容（C_{gate}）串聯而成，當R_{sub}因載子凍結而急遽上升時，串聯電阻也同時升高，導致量測到的有效電容大幅衰減。因此，在極低溫環境下進行電容式量測或設計動態電路時，必須考慮基板阻抗劇變帶來的電容補償問題。

圖 2.20（b）為 Split C-V 特性的量測結果，其中縱軸為閘極-通道電容（C_{gc}），圖 2.20（a）為其量測架構及電容模型，C_{gc} 包含串聯的閘極電容 C_{gate} 與通道電容 $C_{channel}$，再並聯 2 個閘極與源汲極的重疊電容 C_{ov}，Split C-V 量測將在後續用於計算有效遷移率。與 MOS C-V 類似，此圖在高溫下表現出清晰的開啟特性，隨

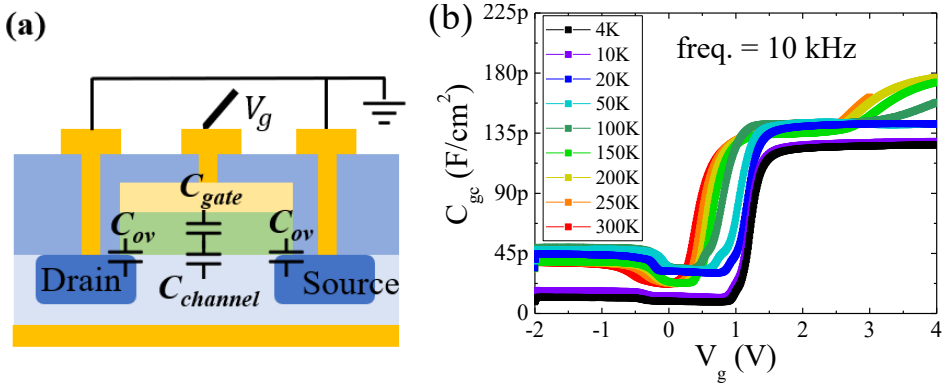


圖 2.20 (a) n-MOSFET 的 split C-V 量測架構。(b) 不同溫度下的 split C-V 量測結果。

doi:10.6342/NTU202601026

著閘極電壓超過臨界電壓，通道形成，電容值迅速上升並趨近於 C_{ox}，並且在 100 K 以上電容都有二次上升的行為。在 High-k 閘極堆疊結構中，High-k 薄膜與矽基板之間通常存在一層薄的界面層（如原生 SiO_2），其造成的分壓效應與晶格錯位缺陷，使 C_{gc} 在進入高偏壓時出現可能的異常色散或下降現象[45]。在圖 2.20（b）低溫（4 K-50 K）區間，同樣觀察到了電容衰減現象，這是由於基板電阻和介面陷阱響應時間的改變[30]，且 C_{gc} 在通道開啟後便幾乎維持定值，最大電容值遠低於室溫數據。同時，不同溫度下的 Split C-V 曲線也隨臨界電壓的趨勢而向右平移。

結合圖 2.16（b）的 $I_d - V_g$ 與圖 2.19（b）的 C-V 實驗數據，計算出本 n-MOSFET 元件從室溫到低溫有效遷移率隨閘極電壓變化的關係，如圖 2.21(a)。首先，觀察峰值遷移率（peak mobility），可見其隨溫度降低而大幅攀升（例如 20 K 的紫色曲線遠高於 300 K 的紅色曲線），圖 2.21（b）顯示最大有效遷移率隨溫度的變化，從室溫不到 400 cm^2/Vs 到 10 K 下測得最高值約 750 cm^2/Vs，這證實了與溫度正相關的聲子散射在低溫下被有效抑制。其次，觀察曲線的形狀，可分為三個區域[11]：（1）低電場區：遷移率隨 V_g 增加而上升。這是因為低 V_g 下反轉層載子濃度低，來自摻雜離子的庫倫散射為主導，隨著載子濃度增加，屏蔽效應增強，散射減弱，遷移率上升。（2）中電場區：遷移率達到峰值，此時受聲子散射限制最深，而聲子散射又與溫度有強烈的冪次定律關係，因此當量測

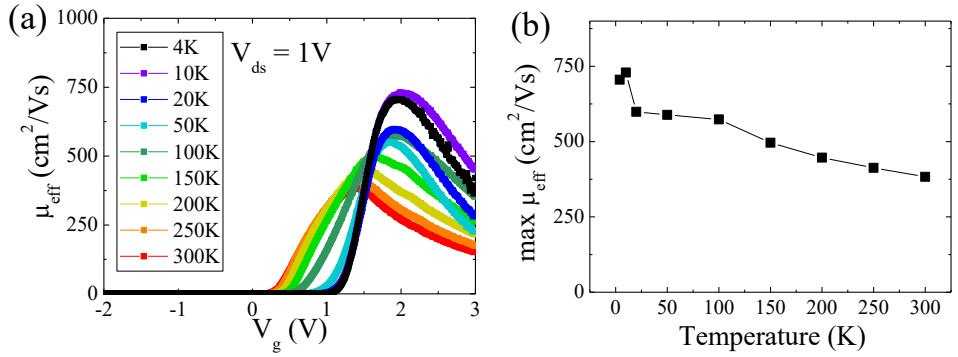


圖 2.21　(a) 不同溫度下 n-MOSFET 的有效遷移率對閘極電壓的關係圖。(b) 最大有效遷移率對溫度的關係圖。

doi:10.6342/NTU202601026

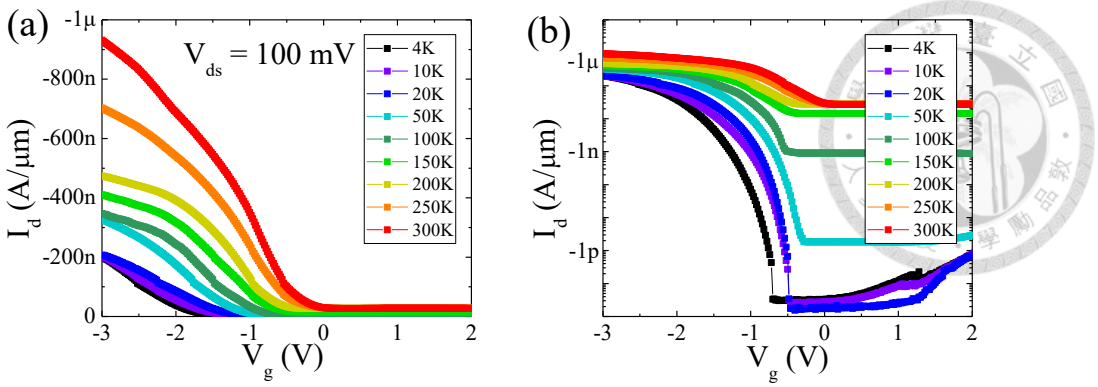


圖 2.22 (a) p-MOSFET 在不同溫度下的線性 I_d-V_g 量測結果。 (b)半對數尺度 I_d-V_g 量測結果。

不同溫度的遷移率曲線時，各溫度曲線在峰值附近的間距最大[23]。（3）高電場區：所有溫度下的曲線趨於收斂並下降。這是因為在高垂直電場下，載子被緊拉向矽/氧化層介面，表面粗糙散射成為主導機制。由於表面粗糙度是幾何性質，與溫度無關，因此高電場下的遷移率對溫度不再敏感。此結果完整描繪了 Matthiesen's Rule 中各項散射機制隨電場與溫度的權重變化[11]。

接下來將對 2.3 節中製作的 p-MOSFET 進行變溫量測及分析，與 n-MOSFET 相同，將先呈現 I_d-V_g 原始數據，並對關鍵電性參數進行分析，隨後分析 C-V 量測的結果，最後萃取出有效載子遷移率。圖 2.22（a）與（b）展示了 p-MOSFET 的轉移特性曲線，縱軸分別為線性與半對數尺度。與典型的 n-MOSFET 低溫行為（電流隨溫度降低而增加）截然不同，此 p-MOSFET 元件展現了顯著的電流衰退現象。在室溫 300 K（紅線）時，元件具有最大的導通電流；隨著溫度降低，電流逐漸減小，至 4 K（黑線）時電流降至最低。此現象可能是因為該 p-型元件在低溫下面臨嚴重的寄生電阻效應，且金屬電極與元件接觸的介面，也可能因接觸電阻率飆升而貢獻更多額外的電阻效應。

此外，曲線隨溫度降低向負電壓方向顯著平移，顯示臨界電壓絕對值大幅增加。這意味著在相同的閘極電壓下，低溫時的有效電場更弱，結合高阻抗的源/汲極接觸，導致了反常的電流溫度相關性。這可能是因為在該製程條件下，低溫遷移率的提升不足以彌補接觸電阻惡化帶來的損失。由圖 2.23（c）可見，隨著溫度由 300 K 降至 4 K，次臨界擺幅變得陡峭，與波茲曼極限的趨勢相符。這主

doi:10.6342/NTU202601026

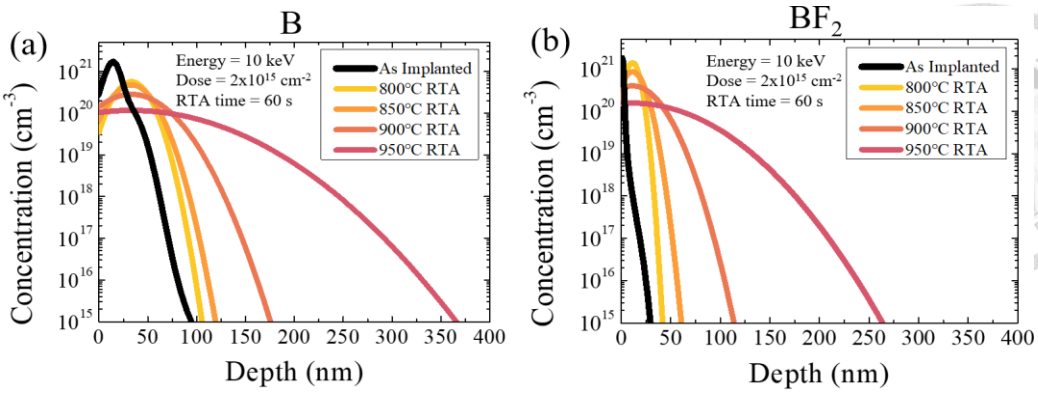


圖 2.23 (a) 不同退火溫度下的硼原子濃度對深度的模擬關係圖。(b) BF_2。

要歸功於截止電流隨溫度下降而顯著下降，從室溫的約 10 nA/μm 到 4 K 低於 100 fA/μm，開關比也從 10^2 上升到 10^7。隨著溫度降低，矽基板內的內在載子濃度呈指數級驟減，導致源自熱激發生成的載子以及 PN 接面的逆偏漏電流幾乎消失，導致 I_{off} 大幅下降至儀器的量測極限。

PN 接面的漏電流推測源於硼原子在退火製程中，因擴散距離過遠而導致有效通道長度縮短，使得閘極對通道的控制力減弱，進而使關斷狀態下的漏電流（off-state leakage）在熱能足夠時大幅上升。此 p-MOSFET 是使用硼離子作為源汲極的佈植離子，硼原子因為較輕，在進入矽晶格時容易沿著晶格空隙鑽入深處，退火後更會增加硼原子的擴散深度。將佈植原子從單純的硼換成氟化硼（BF_2）能夠有效改善接面深度的問題[66]。由於 BF_2 的分子量（約 49）遠大於單純的硼離子（約 11），在相同的佈植能量下，獲得更淺的硼原子分佈。圖 2.23（a）與（b）分別為使用 TCAD 模擬兩種離子在不同退火溫度下的硼原子濃度對深度的關係圖。B 在尚未進行快速熱退火前的高摻雜退化區域（degenerate, $N_a = 10^{20}$ cm^{-3}）深度將近 50 nm，而 BF_2 則幾乎緊貼表面。在擴散後，硼離子大幅擴散，以本實驗中的 p-MOSFET 退火製程條件 900℃ 來進行比較，硼離子的擴散深度約為 BF_2 的 1.5 倍。甚至在 950℃ 的退火條件下，幾乎未達到 10^{20} cm^{-3} 的源汲極理想濃度，在低溫下發生載子凍結的機率也將增加，進而增加源汲極串聯電容，影響元件品質。因此若想要改善 PN 接面的寬度，更改佈植原子或是降低退火溫度將是有效的選擇。

doi:10.6342/NTU202601026

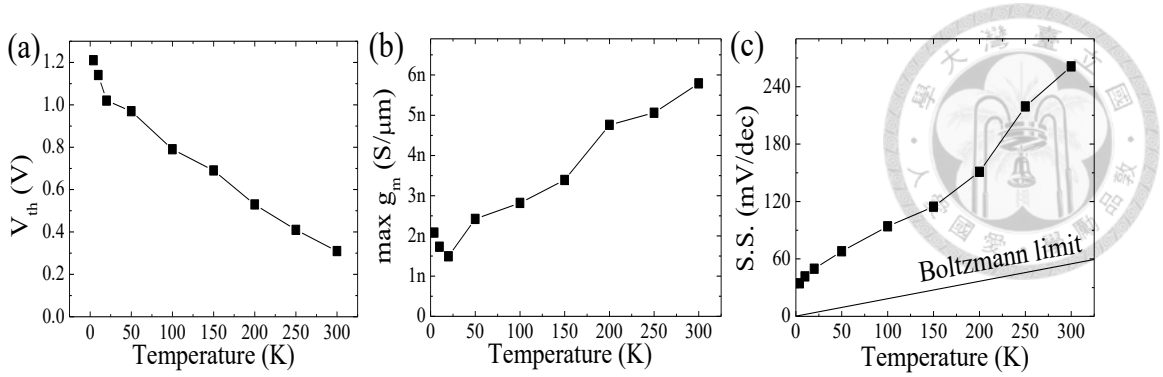


圖 2.24 (a) p-MOSFET 的臨界電壓對溫度的關係圖。(b) 最大轉導對溫度的關係圖。(c) 次臨界擺幅對溫度的關係圖。

圖 2.24（a）中分析了 p-MOSFET 臨界電壓絕對值隨溫度的變化關係。與 n-MOSFET 的結果相似，數據顯示出一種高度線性的反比關係，隨著溫度從 300 K 降至 4 K，V_{th} 由約 0.3 V 單調上升至約 1.2 V，總漂移量高達 0.9 V。如此大的 V_{th} 變動可能暗示了氧化層中存在固定電荷或高密度的介面態，這些缺陷在低溫下對表面位勢的屏蔽效應會變得更加顯著，導致 V_{th} 對溫度的敏感度高於理想理論值[11, 28]。圖 2.24（b）展示了最大轉導隨溫度的變化情形。此 p-MOSFET 呈現了隨著溫度降低而呈現單調下降的轉導值。在理想的低溫電子學中，由於聲子散射被抑制，載子遷移率應提升，進而使 g_m 增加，如 n-MOSFET 的典型表現。然而，此 p-MOSFET 的 g_m 從 300 K 的高點一路下滑，此情況主要源於高介面缺陷密度，隨溫度降低庫倫散射變為載子移動的主要限制源，使得轉導值的提升受到壓制，甚至導致低溫下的轉導值反而低於室溫，大大降低了閘極電場對通道導電通道的調控效率。此外，電洞作為多數載子，其有效質量較大，且更易受到表面粗糙度散射的影響。在低溫高電場下，載子被緊束於介面，粗糙度散射加劇，這也可能貢獻了部分 g_m 的衰退。

在圖 2.24（c）中探討了次臨界擺幅與溫度的關係，圖中實線為實驗數據，虛線為理論上的波茲曼極限。分析此圖可發現整體的趨勢與理論相同，但實驗數值遠高於理論極限，在 300 K 時，SS 高達約 250 mV/dec，而理論值應接近 60 mV/dec。這巨大的差異直接反映了極高的介面能態密度，計算可得，在室溫下

doi:10.6342/NTU202601026

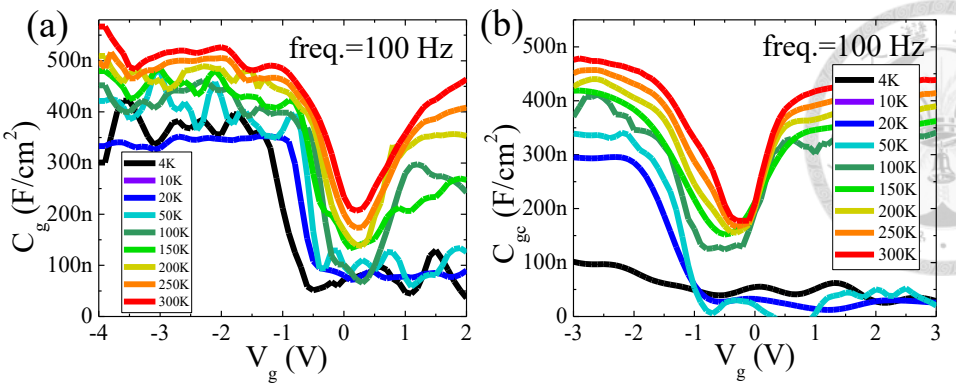


圖 2.25 (a) 不同溫度下 p-MOS 的 C-V 特性。(b) p-MOSFET 的 Split C-V 特性。

$C_{it} = 1.3\ \mu F/cm^2$，即介面陷阱密度 $D_{it} = 8.13 \times 10^{12}\ cm^{-2}eV^{-1}$，相較一般工業標準的約 $10^{11}\ cm^{-2}eV^{-1}$ 多了一個數量級，這顯示大量的介面缺陷在消耗閘極電壓的控制力。同時可以發現，SS 在 100 K 以下下降的幅度明顯趨緩，最終停留在約 40 mV/dec，呈現些微的飽和現象。對於 p-MOSFET 而言，靠近價帶的介面態通常對元件特性影響甚鉅，此結果顯示本元件的氧化層/矽介面品質不理想，導致其開關銳利度整體無法達到預期的優化效果。

圖 2.25（a）呈現了 p-MOS 電容結構在 100 Hz 低頻下的 C-V 特性曲線。在高溫（紅、橙、黃線）下，曲線展現了典型的 MOS 電容行為，當溫度降至 100 K 以下（綠、藍、黑線），特別是在累積區與反轉區，電容值急劇下降，甚至接近於零。同 n-MOS 元件，皆為載子凍結的效應。儘管測試頻率已低至 100 Hz，但在極低溫下，n-型基板中的施體摻雜與 p 型通道中的受體載子生成率皆極低，導致基板電阻率極高，RC 時間常數變得非常大（可能長達秒級）。因此，元件無法跟隨 100 Hz 的交流訊號進行充放電，導致量測到的電容僅剩下幾何電容或雜散電容。圖 2.25（b）展示了 Split C-V 量測結果。與 MOS C-V 類似，此圖在低溫下同樣表現出嚴重的訊號衰減與雜訊波動。在 300 K 時，曲線相對平滑並顯示出清晰的開啟特性。然而，隨著溫度降低，曲線不僅振幅變小，還出現了劇烈的震盪（特別是在 20 K 與 4 K，圖中藍線與黑線）。此類在低溫出現的劇烈震盪或不規則特徵，除了低頻雜訊的影響外，還與量子傳輸效應以及元件微觀結構的不均勻性有關[42, 43, 44]。

doi:10.6342/NTU202601026

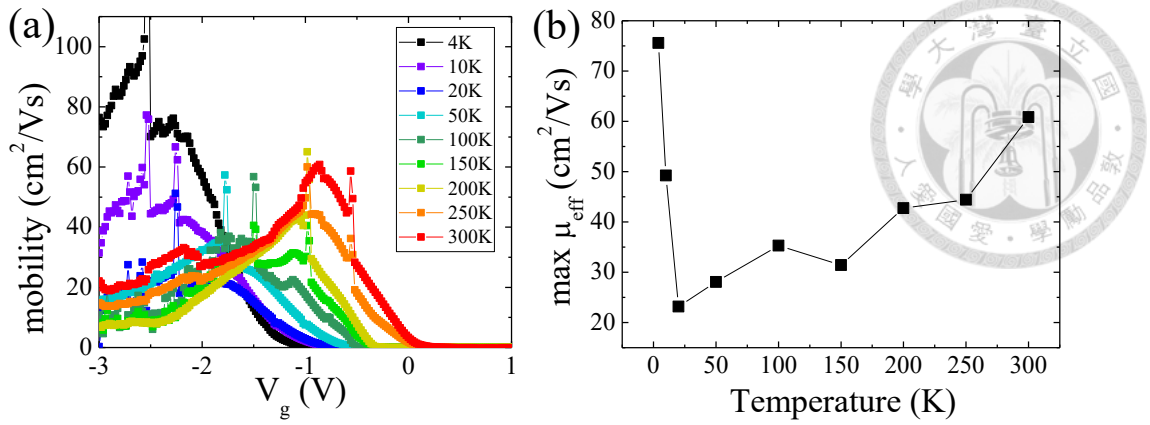


圖 2.26 (a) 不同溫度下 p-MOSFET 的有效遷移率對閘極電壓的關係圖。(b) 最大有效遷移率對溫度的關係圖。

在極低溫下，元件通道中由於晶格位錯或無序可能形成局部化的量子點，導致電荷在傳輸時出現庫倫阻塞震盪（Coulomb-blockade oscillations）[42]，如果通道中存在多個由無序誘導的量子點，震盪則會顯得雜亂且不規則。對於通道長度較短的元件（如 L＜160 nm），通道寬度的微小波動會導致通道內部的電勢產生起伏，進而在極低溫下誘發明顯的電信號震盪[43]。另外，某些深層能級的陷阱在低溫下變得非常緩慢。當閘極電壓掃描過快，或測試頻率與缺陷電壓響應的特徵時間重疊時，電荷的不連續捕捉與釋放會導致局部電容值的劇烈變動。若存在隨機電報雜訊（Random Telegraph Noise, RTN），單個缺陷的狀態切換在低溫下會變得更為明顯，形成離散的震盪點[44]。

圖 2.26（a）呈現不同溫度下有效遷移率隨閘極電壓的變化關係。首先，從數值上看，即使在低溫下，峰值遷移率也僅約 100 cm²/Vs，遠低於 n-MOSFET 的電子遷移率，這是電洞有效質量較大的物理本質所致。其次，觀察曲線趨勢，雖然 4 K（黑線）的峰值看起來比 300 K（紅線）高，暗示了聲子散射抑制帶來的正面效應，但嚴重的介面粗糙散射影響高電場區，以及庫倫散射影響低電場區，加上接觸電阻的限制，使得該 p-MOS 在低溫下的實際傳輸效率雖略有提升卻並不如預期般理想。圖 2.26（b）中整理了最大有效遷移率隨溫度變化的關係。從 300 K 到 20 K，大致呈穩定下降的趨勢，顯示愈趨主導的介面庫倫散射與屏蔽效

doi:10.6342/NTU202601026

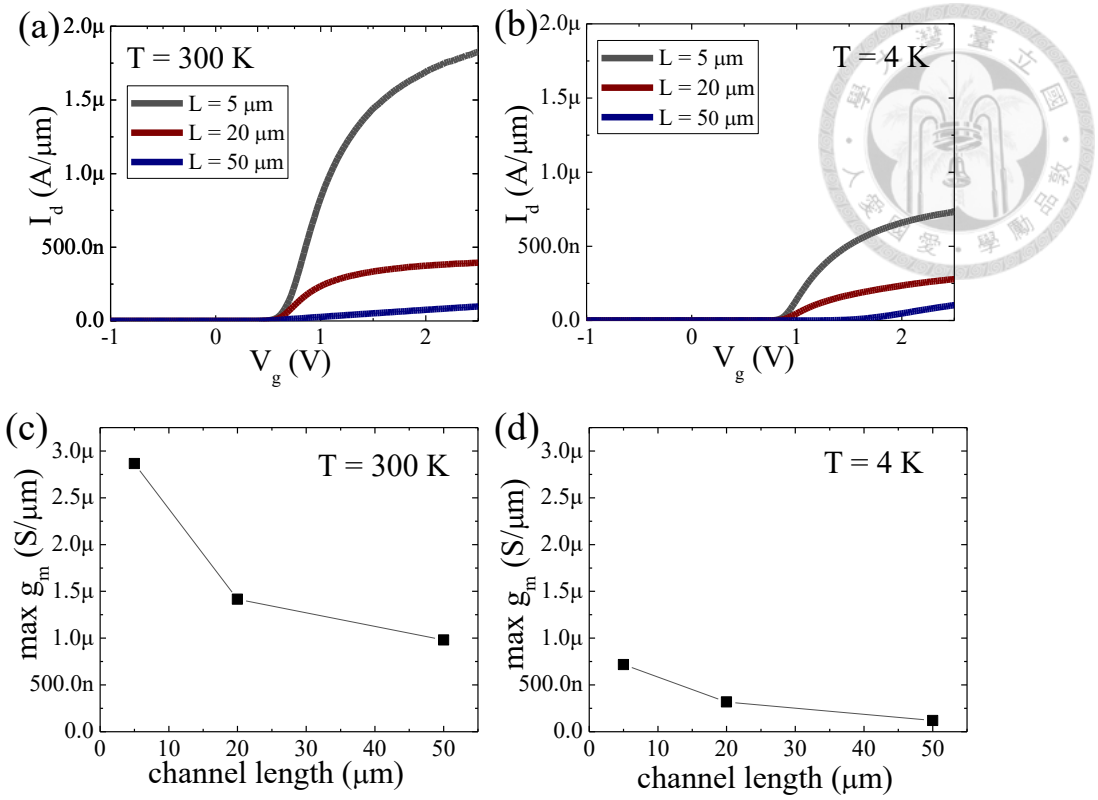


圖 2.27 (a) n-MOSFET 在 300 K 下的 I_d-V_g 曲線。 (b) 4 K 下的 I_d-V_g 曲線。 (c) 300 K 與 (d) 4 K 下的最大轉導對通道長度的關係圖。

應的影響，再次顯示此元件的介面缺陷所導致的效能下降。在 10 K 與 4 K 下，最大遷移率具有明顯提升的趨勢，但相比室溫的表現，提升效果仍有限。

接下來將針對 n-型與 p-型矽電晶體在不同通道長度與溫度（300 K 與 4 K）下的電性表現進行進一步分析。圖 2.27 (a) 與 (b) 分別顯示 n-MOSFET 在 300 K 與 4 K 下的 I_d-V_g 曲線。圖中三條不同顏色的曲線代表不同的通道長度，分別為 5 μm，20 μm 及 50 μm。觀察顯示，無論是在室溫或極低溫，電流大小皆嚴格遵循 $I_d \propto 1/L$ 的縮放規則，即通道越短、導通電流越大。對比溫度效應可發現，L = 20 μm 及 50 μm 的元件導通電流並未隨溫度有劇烈改變，而 L = 5 μm 的元件，導通電流峰值並未因低溫遷移率提升而增加，反而發生顯著衰退，由約 1.8 μA/μm 降至 0.75 μA/μm，表示該通道長度的元件，低溫下的臨界電壓漂移與源/汲極寄生電阻的增加，其影響力超過了通道遷移率的改善。圖 2.27 (c) 與 (d) 中顯示分別由圖 2.27 (a) 與 (b) 計算出對應的最大轉導值。兩張對通道長度的關

doi:10.6342/NTU202601026

係圖都顯示 g_m 和 L 呈現明顯的反比關係，符合長通道 MOSFET 的理論公式 $g_m = \mu C_{ox}(W/L)(V_g - V_{th})$，證實了幾何縮放律（scaling law）在極低溫（4 K）下依然有效。

圖 2.28 (a) 與 (b) 分別為 p-MOSFET 在 300 K 及 4 K 下的 I_d-V_g 曲線。與 n-MOSFET 類似，p-MOSFET 亦展現出明確的幾何相關性，短通道元件擁有較大的驅動電流。然而，在數值上，p-MOSFET 的導通電流遠低於 n-MOSFET，僅為 nA 等級，相差數個數量級，顯示其驅動能力極弱。在溫度效應方面，從 300 K 降至 4 K，p-MOSFET 的電流進一步萎縮，如 L = 5 μm 時由 35 nA/μm 降至 8 nA/μm。這種極低的電流水平與低溫下的進一步惡化，突顯了 p-型矽電晶體元件在低溫操作下面臨的挑戰，特別是電洞較低的遷移率。圖 2.28 (c) 與 (d) 為各 p-MOSFET 的最大轉導值對通道長度的關係圖，同樣顯示出符合預期的幾何縮放率。比較數值可見，n-MOSFET 的轉導性能顯著優於 p-MOSFET（約高出 100

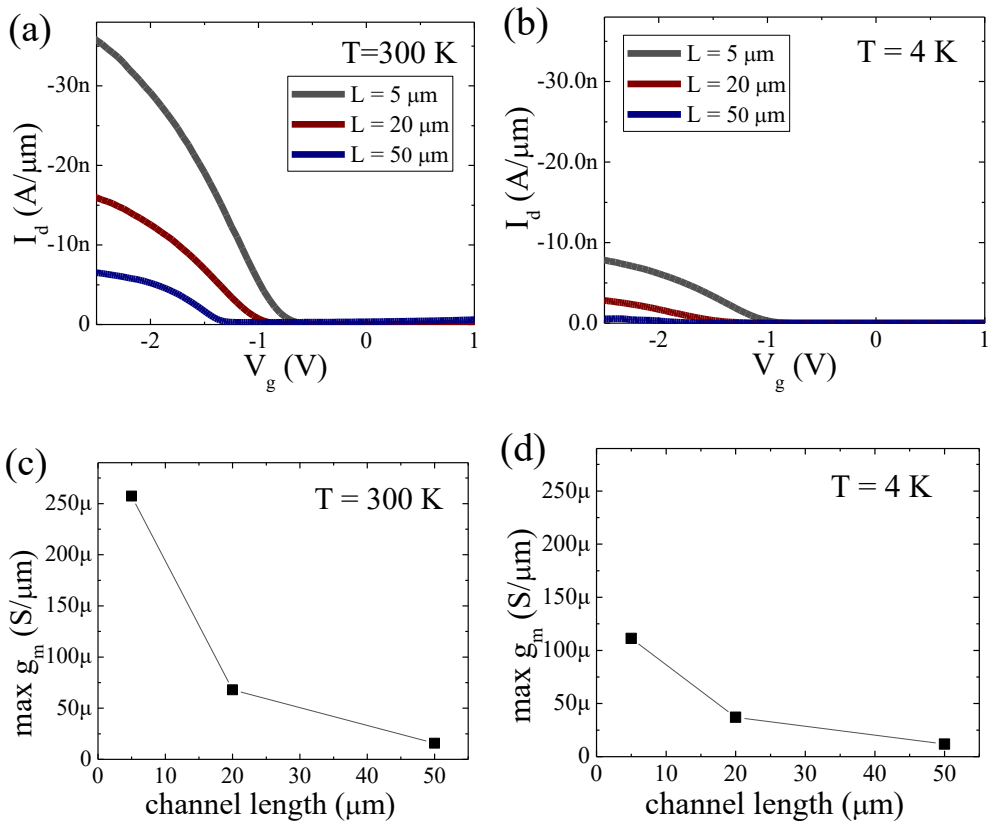


圖 2.28 (a) p-MOSFET 在 300 K 下的 I_d-V_g 曲線。(b) 4 K 下的 I_d-V_g 曲線。(c) 300 K 與 (d) 4 K 下的最大轉導對通道長度的關係圖。

doi:10.6342/NTU202601026

倍）。此外，受制於前述的電流衰退機制，無論是 n-型或 p-型元件，其 4 K 下的轉導值皆低於 300 K，這進一步顯示在此實驗條件下，介面缺陷與接觸電阻的惡化極可能主導了元件的動態特性。綜合上述分析，不同通道長度的元件所呈現的實驗數據，揭示了即便在 4 K 的極端環境下，元件電流與轉導仍嚴格遵循 1/L 的幾何關係，這意味著室溫下的尺寸設計邏輯可直接延伸至低溫電路設計。

2.5 小結

本章節從低溫半導體的塊材特性出發，延伸到電晶體元件的低溫電性表現，整理了近年文獻所提出對於導通電流、臨界電壓、次臨界擺幅與載子遷移率的低溫表現，以及他們對於異常行為所提出的可能物理解釋與模型。接著進行自製 n 型與 p 型電晶體的量測與分析，n-MOSFET 的臨界電壓隨溫度下降呈現線性上升，符合費米能階上升與半導體能隙展寬的理論預測。轉導在 300 K 降至 100 K 時穩定上升，但在低於 100 K 後因寄生串聯電阻與接觸電阻增加，使轉導上升趨緩甚至微幅衰退。次臨界擺幅在 300 K 至 50 K 區間隨溫度線性減小，但在 20 K 以下出現了飽和現象，停留在約 22 mV/dec，無法達到理論預測的零值，可能原因為通道表面位勢波動、能帶尾介面態密度主導及穿隧電流漏電等。n-MOSFET 峰值遷移率隨溫度下降大幅攀升，在 10 K 時達到約 750 cm^2/Vs，證實聲子散射在低溫被抑制的現象。與 n-MOSFET 相反，p-MOSFET 的導通電流隨溫度下降而減小，4 K 時電流最低。推測是因低溫下寄生電阻效應與接觸電阻嚴重上升，且遷移率的提升不足以彌補接觸電阻的惡化，轉導也因介面缺陷而隨溫度降低。臨界電壓與次臨界擺幅的表現皆符合理論預期，同樣出現隨溫度降低臨界電壓上升、次臨界擺幅下降的趨勢。兩種電晶體的 C-V 特性都出現了在 50 K 以下，累積區電容值因載子凍結效應顯著下降，因基板表現得像絕緣體，電阻急遽上升，導致量測電容衰減。同時透過不同通道長度的元件量測結果，證實即便在 4 K 的極端環境下，元件的電流與轉導仍嚴格遵循幾何縮放律。

doi:10.6342/NTU202601026

第三章　金屬/半導體之低溫接觸電阻特性

金屬半導體界面的歐姆接觸品質，可由一項關鍵的物理參數——接觸電阻率（contact resistivity, ρ_c)——來評估，此參數可用來比較不同金屬系統或製程優劣的基準，進而深入了解接觸的形成機制，並監測其穩定性與可靠度。隨著半導體製程演進至 10 奈米節點，元件尺寸縮放帶來的寄生效應已成為電路性能優化的核心瓶頸，其中，接觸電阻率的影響尤為顯著。在金屬-半導體（MS）介面，載子傳輸受限於位障寬度與高度，導致接觸電阻（R_c）在總串聯電阻中的佔比大幅提升，造成額外的巨大壓降，使得施加電壓無法完整供給汲極電壓，進而限制驅動電流（drive current）[46]。

本章首先將在 3.1 節探討接觸界面的物理模型與理論基礎，接著深入分析主流的平面接觸電流模型，並以此為基礎，詳細評估常見的測量技術，包括傳輸線法（transmission line method, TLM）及其衍生的進階結構。3.2 節將針對近年接觸電阻的各方學術研究進行文獻回顧，了解其研究瓶頸及解決方案，並深入推演接觸電阻在低溫的行為及表現。3.3 節將進行接觸電阻測試元件的製作與變溫量測，提取其關鍵參數並結合理論框架進行詳細物理機制分析。

3.1 接觸電阻簡介與量測方法

本小節旨在為理解金屬半導體界面複雜的電性行為奠定物理基礎。電流如何在界面傳輸，以及界面的物理結構如何影響其電性，是後續探討各種測量技術及其準確性的先決條件。金屬與半導體接觸時，其功函數（Work Function）差異會誘發介面電荷重新分布，形成一個空乏區，而介面則形成蕭基障壁（Schottky Barrier Height, Φ_B）。介面電荷傳導主要受限於此障壁，而電荷穿過障壁的物理模式則由特徵能量（Characteristic Energy, E_{00}）與熱能 kT 的比值決定。E_{00} 是一個與穿隧機率相關的能量參數，其值取決於半導體的摻雜濃度（N)、載子有效質量（m^*）及介電常數（ϵ)。與各項參數的關係可表示為[46]，

doi:10.6342/NTU202601026

$E_{00} = (q\hbar/2)(N/m^*\epsilon)^{1/2}$。

如圖 3.1 所示，電荷傳輸機制可歸納為以下三種模式[46, 47]：

1. 熱電子發射（Thermionic Emission, TE），當 $\frac{kT}{E_{00}} \gg 1$ 時，載子必須獲得足夠熱能以越過障壁。此機制主要發生在摻雜濃度較低或溫度較高的情況下。其接觸電阻率對溫度(T)、障壁高度($q\Phi_B$)和穿隧機率的關係可表示為 $\rho_c \propto exp\left(\frac{q\Phi_B}{kT}\right)$，在此機制下，接觸電阻率對溫度極為敏感，隨溫度降低呈指數級增加。
2. 熱電子-場發射（Thermionic-Field Emission, TFE）為介於 TE 與 FE 模式兩者之間的混合模式。$\frac{kT}{E_{00}} \approx 1$時，載子獲得部分熱能激發至較高能階後，穿隧通過位能障壁中段較薄的部分。其接觸電阻率可表示為 $\rho_c \propto exp\left(\frac{q\Phi_B}{E_{00}\ \coth(E_{00}/kT)}\right)$。
3. 場發射（Field Emission, FE)，當 $\frac{kT}{E_{00}} \ll 1$ 時，半導體摻雜濃度極高，空乏區變得非常窄，使得載子能夠直接以量子穿隧的方式通過位能障壁。其接觸電阻率可表示為 $\rho_c \propto exp\left(\frac{q\Phi_B}{E_{00}}\right)$，此模式下 ρ_c 主要受摻雜濃度與蕭基障壁高度影響，而與溫度 T 的關聯性極弱。同時可以從特徵能量公式觀察到，提高半導體的摻雜濃度是降低接觸電阻率最有效的方法。隨著摻雜濃度升高，E_{00} 逐漸增加，使得障壁高度的影響變得次要。

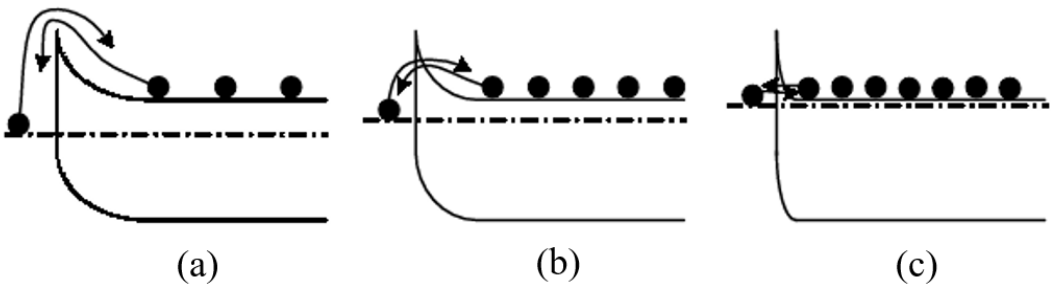


圖 3.1　金屬與的 n 型半導體接觸的能帶圖。其介面傳輸機制由蕭基位障高度和寬度決定 (a) 熱電子發射 (b) 熱電子-場發射 (c) 場發射模型[46]。

doi:10.6342/NTU202601026

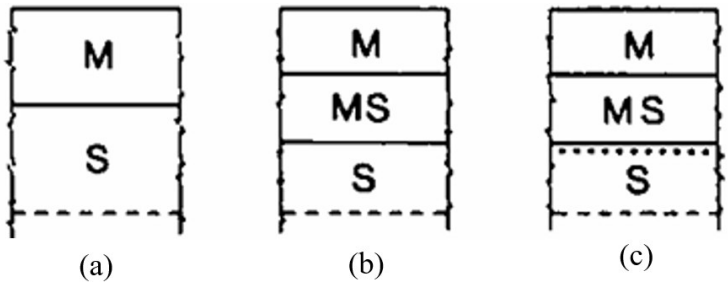


圖 3.2　(a) 未反應接觸 (b) 反應接觸 (c) 摻雜金屬接觸的示意圖[47]。

實際歐姆接觸其界面結構遠比理想模型複雜。根據[47]，可將其分為三類（圖 3.2），第一類是未反應接觸（Unreacted Contacts)，此類型接觸的特點是金屬與半導體之間存在一個清晰的界面，如 TiN/Si 接觸。由於金屬本身（如 TiN）的化學性質穩定，不會與半導體發生反應。在這種情況下，接觸品質對半導體表面的處理極為敏感，任何殘留的氧化物或污染物都可能導致 ρ_c 遠高於理論預期值。第二類是反應接觸（Reacted Contacts)，許多金屬在熱處理過程中會與半導體（如矽）發生反應，形成金屬矽化物等化合物，例如過渡金屬矽化物。這種反應通常是有益的，因為它能形成熱穩定性更佳、電性更優越的界面。在矽化物形成過程中，還可能發生摻雜原子的重新分佈，此效應極為有益，因其將摻雜原子推向矽化物/矽界面，增加了局部摻雜濃度（N），並正如理論模型所預測，透過 E_{00} 的增加，增強場發射的機率，指數級地降低了接觸電阻率。最後一類為含摻雜元素的金屬接觸（Contacts with Dopant Element)，此類型接觸是將摻雜劑直接加入金屬層中。在熱處理過程中，金屬熔化並溶解部分半導體，冷卻後，摻雜劑與半導體一同析出，在界面處形成一個高摻雜層。這種方法在 III-V 族半導體中被廣泛應用，例如在 n 型 GaAs 上常用的 Au-Ge-Ni 系統，能夠形成極低的接觸電阻率[47]。

接下來，我們將探討如何將這些理論應用於實際的測試結構設計與數據分析中，介紹用於精確量化接觸電阻率的常見實驗方法——傳輸線法（Transmission Line Method, TLM）[46]，包括傳統線性結構和其變體，Circular Transmission Line Method, CTLM[1, 2]及 Refined Transfer Length Method, RTLM[48]。傳輸線法是一

doi:10.6342/NTU202601026

種廣泛應用於製程監控和材料初階評估的技術，其測試結構通常由一系列共線排列的金屬接觸板構成，這些接觸板之間的間距 (d) 各不相同。通過測量不同間距接觸板之間的總電阻，來分離出接觸電阻和半導體薄層電阻，進而計算出接觸電阻率。

圖 3.3 為線性 TLM 結構的示意圖及量測架構，每個金屬接觸板的長皆為 L，寬為 W。其測量及數據分析步驟如下：

1. 電流注入： 在一對相鄰的接觸板之間施加一個已知的恆定電流 I。

2. 電壓量測： 測量這兩個接觸板之間的總電壓降 V，並計算出總電阻 $R_T = (V_2 - V_1)/I$。

3. 重複測量： 針對多對具有不同間距 (d) 的接觸板，重複上述步驟，獲得一系列 $(d,\ R_T)$ 數據點。

測量完成後，將總電阻 R_T 作為 Y 軸，接觸板間距 d 作為 X 軸，繪製關係圖（如圖 3.4）。在理想情況下，這些數據點應呈現良好的線性關係，表示為

$$R_T = \left(\frac{R_{sh}}{W}\right) d + 2R_c ,$$

擬合直線在 Y 軸上的截距等於兩倍的接觸電阻 $(2R_c)$，這是因為即使間距 d 趨近於零，電流仍然需要流經兩個金屬/半導體接觸介面。而擬合直線的斜率等於半導體導電層的薄層電阻 (sheet resistance, R_{sh}) 除以接觸板的寬度 (W)，即斜率 $= R_{sh}/W$。

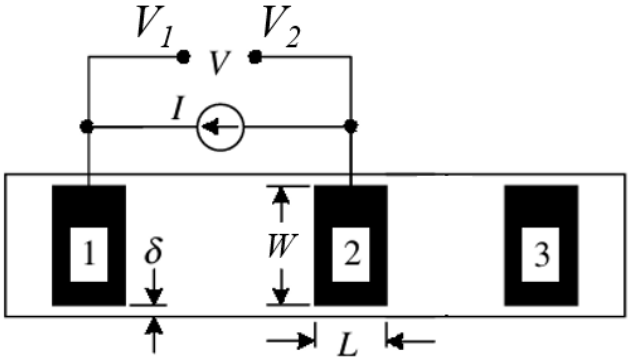


圖 3.3　線性 TLM 結構的量測架構示意圖[46]。

doi:10.6342/NTU202601026

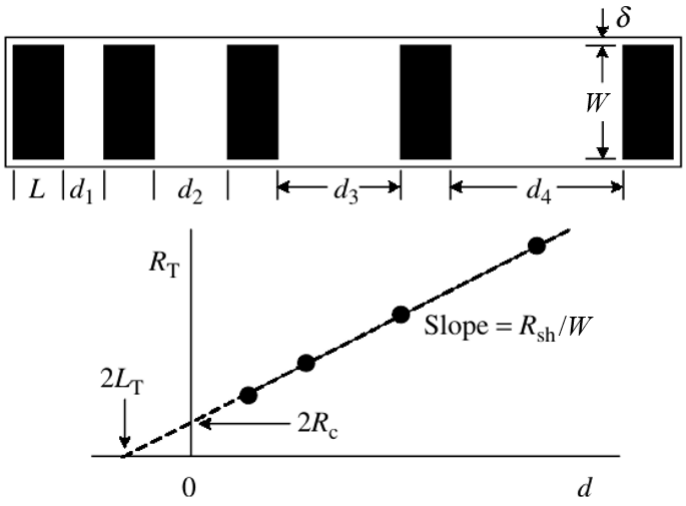


圖 3.4　TLM 測試結構及量測結果 $R_T - d$ 示意圖[46]。

由這些參數將可以進行接觸電阻率的分析。接觸電阻率的公式為接觸電阻乘以接觸面積，即 $\rho_c = R_c \cdot A$。在積體電路的平面技術中，電流主要在半導體薄層中水平流動，然後垂直進入上方的金屬接觸。這種電流路徑與電流均勻垂直穿過整個接觸面的垂直接觸截然不同，導致了電流擁擠（current crowding）現象，即電流會集中在接觸的前緣流入金屬，使接觸面積 A 小於金屬板面積（$W \cdot L$）[2]。因此在分析接處電阻率時，須考慮到電流擁擠現象發生的距離，因此引入一個參數——傳輸長度（transfer length, L_T），其定義為[46]：

$$L_T = \sqrt{\frac{\rho_c}{R_{sh}}},$$

傳輸長度的物理意義是電流在半導體層中，於接觸下方行進的平均距離，之後大部分電流便被上方的金屬層收集。L_T 值越小，表示電流擁擠效應越嚴重，電流越集中在接觸前緣。

當 L_T 遠大於金屬板長度 L 時，代表電流將大致均勻地流過整個金屬半導體介面，接觸面積約等於金屬板面積，而接觸電阻率可表示為 $\rho_c = R_c \cdot W \cdot L$。反之，當金屬板長度 $L \gg L_T$ 時，電流擁擠效應明顯，實際接觸面積需考慮傳輸長度，即 $\rho_c = R_c \cdot W \cdot L_T$。代入擬合直線的線性關係式可計算出，當 $R_T = 0$ 時，$d = -2 \cdot R_c \cdot W / R_{sh} = -2L_T$。因此，擬合直線在 X 軸負半軸上的截距定義為兩倍的傳輸長度 (L_T)。

doi:10.6342/NTU202601026

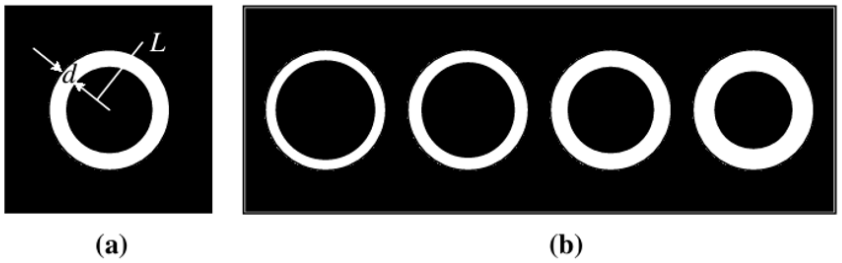


圖 3.5　CTLM 結構示意圖，其中黑色部分為金屬覆蓋區域。(a) 標示出圓形接觸半徑 *L* 與間距 *d*。 (b) 不同間距的量測結構[46]。

在半導體製程邁向更先進技術節點的過程中，將接觸電阻率降至遠低於 $1\times10^{-8}\,\Omega\cdot cm^2$ 的水平，已成為實現高效能元件的瓶頸[48]。然而，要準確地量測並萃取如此微小的電阻值，本身就是一項極具挑戰性的任務。傳統的量測方法在面對超低電阻率時，其準確性與解析度往往會受到各種非理想效應（如探針電阻、導線電阻等）的嚴重干擾，導致萃取出的數值失真。將寄生電阻納入分析模型，是確保在先進製程節點下量測結果準確性的關鍵一步，也體現了量測技術需與時俱進以應對新的挑戰。

CTLM（如圖 3.5 所示）是 TLM 的一種常見變體，其結構由一個中心圓形接觸和一個環形接觸組成。相較於線性的 TLM，CTLM 具有自我隔離（self-isolation）的優勢，其圓形對稱結構使得電流自然地被限制在中心接觸和環形接觸之間，無需通過額外的台面蝕刻（mesa etch）步驟來進行橫向電性隔離[2]。這簡化了製成步驟，使得 CTLM 在快速篩選或初步評估時，具有更短的製造週期與更低的成本。然而，CTLM 存在一個致命的缺點，其大型環狀電極的金屬電阻會因電位分布不均而嚴重干擾量測結果，從而降低萃取解析度，量測結果被測試結構本身的缺陷所主導。雖然理論上可透過極度精確的探針放置來縮減有效電極長度以減輕此問題，但在量產測試環境中，這種要求會嚴重影響量測的穩定性與效率，較不具備實用性[48]。

相較之下，RTLM（如圖 3.6 所示）的設計旨在實現極高的萃取準確性，其核心優勢是透過探針配置與大幅縮短電極長度，有效排除了金屬電阻的對電位

doi:10.6342/NTU202601026

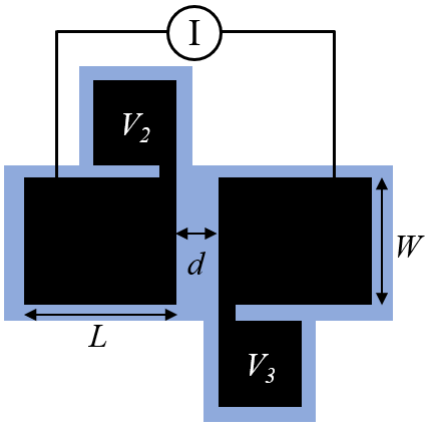


圖 3.6　RTLM 結構的量測架構示意圖，藍色部分為高台範圍，黑色部分為金屬接觸範圍。

分佈的干擾[48]。RTLM 需要更複雜的製造流程，特別是需要額外的平台蝕刻步驟來定義有效的導電區域，以防止電流在基板中橫向擴散。這不僅增加了額外的曝光與蝕刻步驟，也提高了製程的複雜度與成本。在極低接面電阻率（$\sim 10^{-8}$ $\Omega \cdot cm^2$）的情況下，RTLM 測得的數據標準差遠小於 CTLM，精確度更佳。

本小節介紹了接觸介面的原理，並回顧目前用於提取金屬半導體接觸電阻率的主要實驗方法，介紹了三種不同的傳輸線量測架構：（一）、傳統 TLM 理論成熟，已廣泛應用於工業界多年，易於理解與擬合。但對於低電阻接觸，量測數據對間距微小變化極為敏感，有時會外插出負的電阻值。（二）、CTLM 具有最簡便的製程，但電位分佈不均的問題使量測結果易受探針位置影響。（三）、RTLM 量測結構電位分佈較均勻，也有非常高的精確度，但其製程步驟及圖形都較其他兩種結構更為複雜，對曝光技術的要求較高。因其在低電阻率元件的量測精確度，本章節的自製元件皆使用 RTLM 結構來進行量測與分析。

3.2 文獻回顧

隨著元件尺寸縮小，接觸介面的電壓降佔總電壓的比重顯著提升，若電阻率無法有效降低，將導致驅動電流受限並增加功耗。在低溫運算領域，高接觸電阻引發的局部焦耳加熱在微瓦（microwatts）等級即可能超過微型冷卻器（micro-

doi:10.6342/NTU202601026

coolers）的總冷卻功率，導致元件的溫度上升[49]。因此，透過介面工程（interfacial engineering）有效提升接觸電阻品質，已成為實現高性能 MOSFET 與量子硬體的先決條件。本小節將解析學術文獻中，用於降低接觸電阻率的方法，面臨的難題，及其改善方式，最後介紹低溫環境的接觸電阻表現及機制，尤其是在極低溫有零電阻特性的超導接觸。

3.2.1 接觸電阻率的降低

提升接觸電阻率的直觀方式為降低蕭基位障。根據理想 Schottky-Mott 模型[55]，SBH（Φ_B）應隨金屬功函數（Φ_m）線性調整。然而，在實際物理系統中，界面處普遍存在的費米能級鎖定（Fermi Level Pinning, FLP）現象限制了這種可調性。學界常以鎖定因子（Pinning factor, $S = d\Phi_B/d\Phi_m$）來評核此效應[555]，當 $S \approx 1$ 時符合理論預測，而當 $S \approx 0$ 時，費米能級被強烈鎖定，使得 Φ_B 幾乎不受金屬功函數的影響[5]。解決費米能級鎖定是實現高性能高遷移率電晶體與極低電阻率歐姆接觸的重要課題，其物理基礎在於對界面態密度與電荷分佈的精準操控。費米能級鎖定並非單一因素造成，而是界面處複雜物理機制疊加的結果，主要有三個物理成因，一是金屬誘發能隙態（Metal Induced Gap State, MIGS）[50, 51, 52]，另一個為表面缺陷態的影響[50]，最後是介面偶極層的效應[46, 50, 51, 52]。

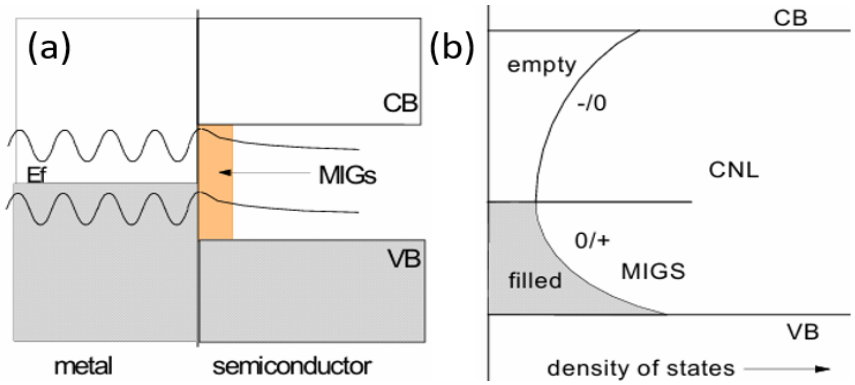


圖 3.7 (a) 金屬與半導體接觸時， MIGS 以衰減波形式由金屬向半導體延伸，(b) 電荷中性能階（CNL）在半導體能階中的示意圖，即電子填滿 MIGS 狀態時所在的能量位置 [52]。

doi:10.6342/NTU202601026

金屬誘發能隙態屬於原生性質（intrinsic），如圖 3.7（a）所示，當金屬與半導體接觸時，金屬的平面波態會以衰減波（evanescent waves）的形式滲入半導體側，形成連續的 MIGS 分布。而表面缺陷態屬外在性質（extrinsic），源於製程中產生的結構缺陷，如懸鍵（dangling bonds）、空缺或機械損傷。這些缺陷態捕捉電荷並加劇費米能級在界面處的非理想表現[52]。這些高密度的介面態導致了介面偶極層（interface dipole layer）的效應，為了達到熱平衡，電子會在金屬與界面態之間轉移，而界面態會捕獲電荷並形成強大的電偶極層，產生足以屏蔽金屬功函數影響的電場。當金屬功函數試圖將費米能階拉離電荷中性能階（Charge Neutrality Level, CNL）時，介面態會釋放或吸收大量電荷來抵消這種變化，導致費米能級被強行釘死在 CNL 附近，即介面處電子填充達成電中性的平衡點。如圖 3.7（b）所示，CNL 並不一定出現於能隙中央，甚至不限於能隙內。當費米能級位於 CNL 上方時，表面態呈現負電性（受體態），位於其下方時則呈正電性（施體態）[50]。

費米能級鎖定效應廣泛出現在金屬與半導體界面，而在鍺（Ge）、鍺錫（GeSn）、III-V 族材料（如 GaAs, InP）與二維材料中尤其嚴重，為突破此物理限制，學界開發了多種界面工程技術。接下來將從微觀物理機制出發，深入探討如何透過解鎖技術與材料相變來實現極低接觸電阻。針對介面工程（MIS 結構）、金屬矽化物技術及摻雜偏析效應這三種主流策略進行綜述。

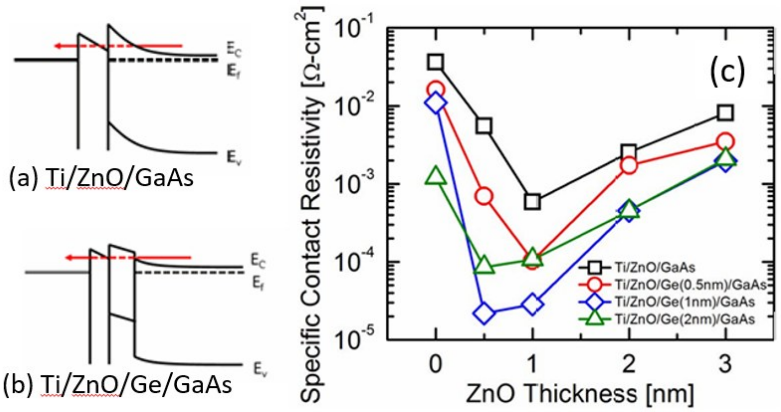


圖 3.8　在 Ti/GaAs 介面加入(a) ZnO 中間層 (b) ZnO 中間層與 Ge 鈍化層的能帶結構示意圖，(c) 不同 ZnO 中間層與 Ge 鈍化層厚度測得的接觸電阻率[53]。

doi:10.6342/NTU202601026

為了解除前述的 MIGS 鎖定效應，界面去鎖定技術（Fermi Level De-pinning, FLDP）成為優化歐姆接觸的關鍵工法[51, 52, 53, 54]。其核心在於金屬與半導體之間插入一層極薄（1-2 nm）的高質量絕緣層，如 SiO_2、Al_2O_3 或 TiO_2 [53]。中間層的主要作用是物理性地截斷金屬電子波函數向半導體內部的滲透。由於 MIGS 的密度取決於波函數在半導體內的衰減長度，插入絕緣層能有效降低半導體側的誘導態密度，使鎖定因子提升到接近 S=1 的理想狀態。如圖 3.8（a）所示，在 Ti/GaAs 介面插入一層薄的 ZnO 作為中間層（Interlayer）以阻擋 MIGS 穿透進半導體，同時搭配 Ge 鈍化層（Passivation Layer）來減少介面陷阱密度（D_{it}）。如圖 3.8（b）所示，這種 Ge/ZnO 雙層結構能將接觸電阻率降低約 1,660 倍[53]。界面去鎖定技術技術的實作瓶頸在於厚度的精確控制。若中間層厚度超過 2 nm，電子的穿隧機率將呈指數級下降，導致接觸電阻劇增；若厚度不足 0.5 nm，則無法有效阻隔 MIGS，導致鎖定效應復燃。因此，製程中常使用原子層沈積（ALD）或精準控制的熱氧化來確保厚度的均一性。

除了物理性的中間層阻隔，利用金屬與半導體反應生成的矽化物（Silicides）或鍺化物（Germanides）是另一條實現極低接觸電處率的重要路徑。這類材料不僅具備類金屬的低電阻率，更能提供原子級純淨且熱力學穩定的界面。在傳統金屬與矽的界面，矽表面的懸鍵直接貢獻了 MIGS 的密度（如圖 3.10 (a)），因此

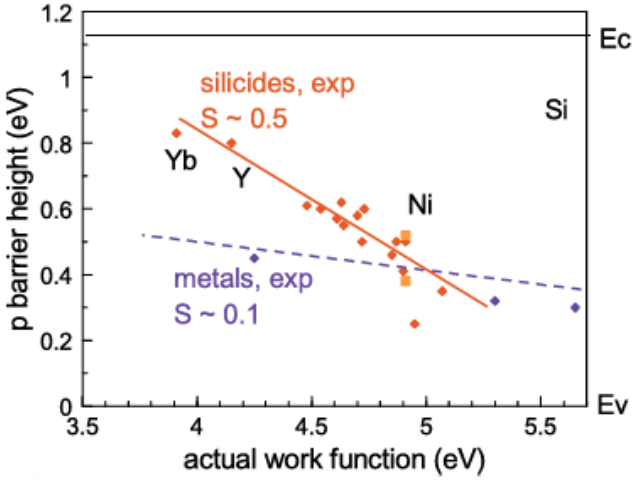


圖 3.9　金屬矽化物（橘色點）與純金屬（紫色點）在矽表面的蕭基能障高度與金屬或矽化物的功函數之關係圖[51]。

doi:10.6342/NTU202601026

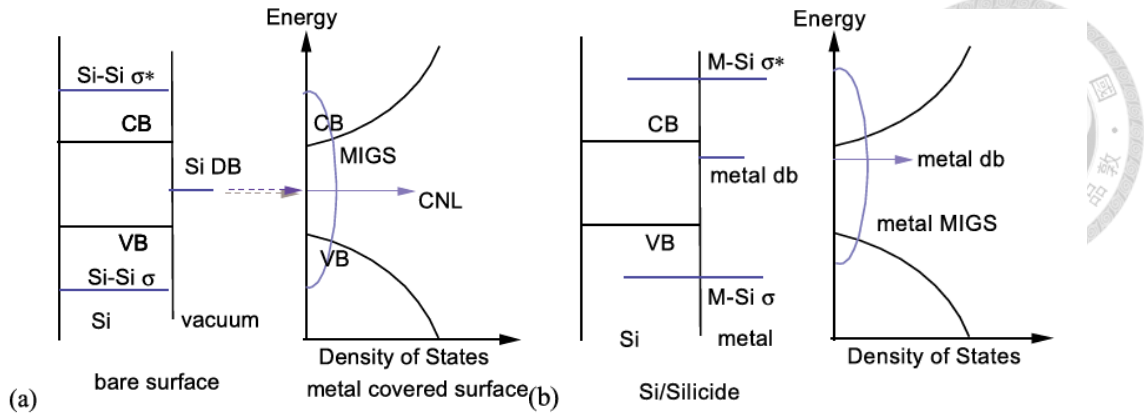


圖 3.10 (a) 矽表面的懸鍵在能階中的位置和金屬與矽接觸的表面時的態密度，(b) 金屬矽化物與矽接觸時的能階與態密度示意圖[51]。

鎖定效應極強（$S \approx 0.1$）。但在矽化物與矽的界面，如圖 3.9 所示，實驗觀測到的 S 值可提升至 0.45-0.50 [51]。這意味著矽化物的 SBH 對功函數的變化更為敏感。其物理成因是在矽化物與矽的界面，矽子晶格（sub-lattice）的共價鍵結是連續跨越介面的，消除了傳統界面上矽原子的表面懸鍵（dangling bonds, db），此時驅動 MIGS 的電子態不再是矽的懸鍵態，而是源自於矽化物側金屬原子的懸鍵態（如圖 3.10 (b)），且其能量受金屬原子種類直接調控，因此矽化物的費米能階鎖定較弱，為降低接觸電阻率提供了化學調控的可能性。

對於 n 型接觸，稀土矽化物（如 YSi_2、$ErSi_2$ 等）展現了卓越的低 SBH 特性。這類材料與 Si (111)面具有優異的晶格匹配，能形成磊晶生長（epitaxial growth）的完美界面[51]。對於 n-Ge 材料，原本被鎖定在價帶附近的費米能階可以被推向導帶，大幅降低電子注入障礙。計算預測稀土鍺化物能實現幾近為零的障壁高度，這對於解決鍺基互補金屬氧化物半導體（Ge-CMOS）中 n-FET 接觸電阻過大的先天難題至關重要。在 NiSi/Si 系統中，透過在介面摻雜低電負度的金屬雜質（如 Sc、Ti、Zr、Hf），這些雜質會向半導體側貢獻電子並形成電荷堆積區。這會產生指向金屬側的介面偶極，藉由控制介面的電荷分布，來降低蕭基位障高度[54]。如圖 3.11 (a) 所示，在金屬功函數大於半導體功函數的情況下，接觸時電子會從半導體轉移到金屬，導致半導體側形成電子空乏層。隨後，形成從金屬指向半導

doi:10.6342/NTU202601026

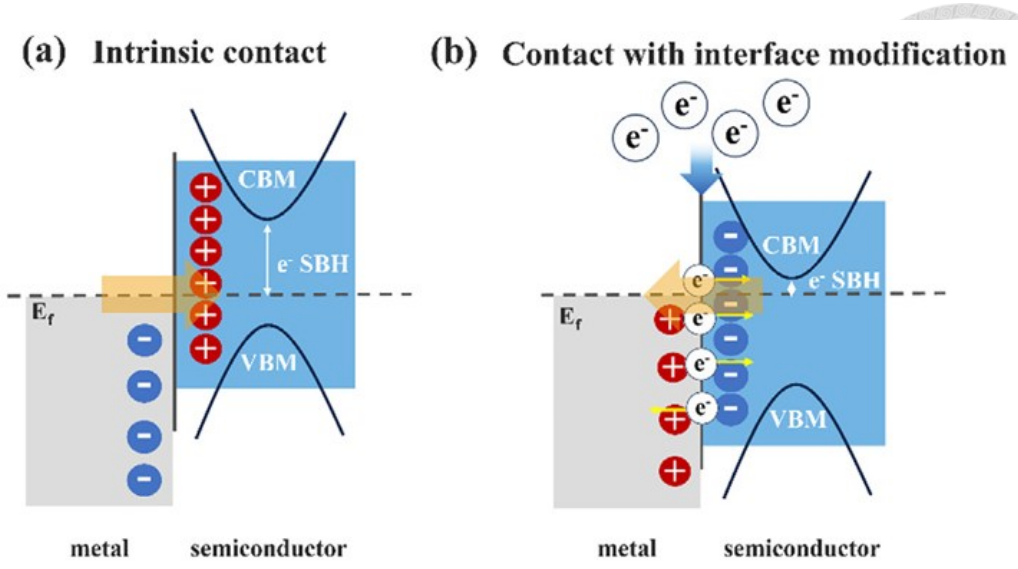


圖 3.11　金屬與半導體介面的電荷分布情況 (a) 無摻雜介面 (b) 進行電荷調整後的介面[54]。

體的介面偶極（interface dipole），累積的電子傾向於重新分佈，從而阻礙電子的傳輸。此外，介面偶極強度與電荷轉移和電荷重新分佈密切相關。為了實現低 SBH 值， 需要降低介面偶極強度，甚至反轉其方向，形成從半導體指向金屬的介面偶極方向。如圖 3.11 (b) 所示，藉由將電子注入介面以實現電荷補償。一方面，電子可以中和半導體側的電洞。另一方面，由於金屬和半導體之間的電負度（electronegativity）差異，當半導體側有多餘電子時，它們會誘導金屬側形成電洞。因此，在半導體側形成電荷累積區，在金屬側形成電荷空乏區，這表明形成了方向從半導體指向金屬的介面偶極。因此，預期可實現金屬與半導體之間 SBH 值的降低。此方法能夠有效降低接觸電阻率，為實現 3D 製程整合奠定低能耗的基礎，如鋯（Zr）雜質可將 NiSi/Si 的 SBH 從約 0.65 eV 降至 0.22 eV，穩定達成 $10^{-7}\ \Omega \cdot cm^{-2}$ 量級的超低接觸電阻[54]。

在調控位障高度的同時，另一種策略是透過增加界面載子濃度來縮減障壁寬度，從而強化電子穿隧。雜質偏析（dopant segregation）技術正是利用矽化物形成過程中的物理機制，在界面處製造雜質堆積（pile-up）的現象。雜質偏析是指雜質原子（如磷 P 或砷 As）在半導體製程（如氧化、矽化反應或退火）過程中，於介面處堆積或重新分布的現象，形成極高濃度的施體層[48, 54, 56]。根據

doi:10.6342/NTU202601026

接觸電阻率與界面摻雜濃度的關係，當界面摻雜濃度達到臨界值（通常大於 $10^{20}\,cm^{-3}$）時，空乏區寬度縮減至電子波函數可輕易貫穿的程度。此時，傳導機制由熱離子發射完全轉變為場發射穿隧。這不僅能抵消 FLP 的負面影響，更能透過極薄的高濃度層區，實現亞奈米級的空乏區寬度，從而顯著降低接觸電阻率。傳統製程中，單純增加摻雜會受限於固體溶解度（solid solubility）極限且容易造成接面漏電。雜質偏析技術則在不改變基板整體摻雜的情況下，實現了界面的局部高濃度堆積。儘管雜質偏析能調節位障，但其效果在特定條件下會受到限制。在重摻雜（例如 $\sim 10^{20}\,cm^{-3}$）的基板上，由基板摻雜產生的強大電場可能會遮蔽偏析雜質所產生的偶極效應，導致雜質偏析對於進一步降低重摻雜基板接觸電阻的邊際效益遞減[56]。此外，若偏析的雜質電負度較高（如 Au、Pt、Ir），則會產生反向效果，導致 SBH 增加而非減少[54]。

3.2.2 接觸電阻的低溫特性

當環境溫度降至極低溫時，熱電子發射機制會因指數項遞減而受到劇烈壓制，對於低摻雜接觸，這會導致接觸電阻率急劇上升，使原本的歐姆接觸退化為非線性、類似二極體的特性。然而，對於高摻雜（degenerately doped，例如 Si 摻雜濃度 $>10^{20}\,cm^{-3}$）的半導體界面，傳輸機制將會轉向場發射模式主導，由於穿隧效應與熱激發無關，其電阻率幾乎不隨溫度變化[46, 47]。因此，在超導運算或太空電子元件中，利用重摻雜誘導場發射傳輸模式是維持元件可靠度的核心策略。同時，隨著熱能下降，第二章提出的載子凍結效應在寬能隙半導體或摻雜不足的區域中變得顯著，雖然這主要影響半導體的電阻率，但也會造成介面空乏區寬度增加，進而改變接觸特性，影響串聯電阻[46, 57]。在量測上，必須排除因凍結導致的高阻抗對電壓監測所產生的誤差。另外，低溫下聲子散射顯著減少，通常會提升載子遷移率。然而，若介面處於熱電子發射模式而因低溫呈指數級成長，則移動率提升帶來的效能優勢將被接觸端巨大的電壓降完全抵消[46, 47]。圖 3.12(a)

doi:10.6342/NTU202601026

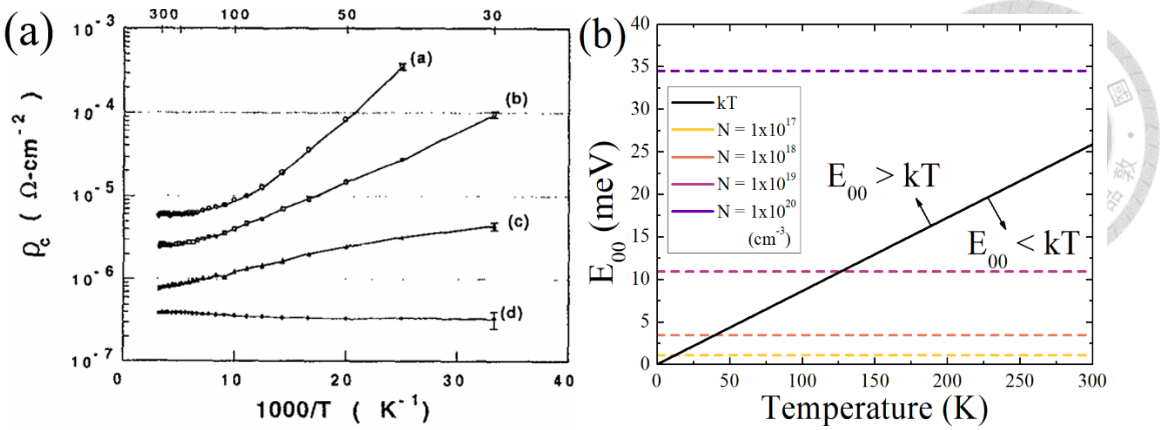


圖 3.12　(a) 不同摻雜濃度下的 Ni/Si 接觸電阻率與溫度的關係[57]。(b) 不同矽基板摻雜濃度的 Ni/Si 介面 E_{00} 與 kT 的比較。

中展示了不同摻雜濃度下的 Ni/Si 接觸電阻率對溫度的關係，其中（a）（b）（c）（d）曲線的摻雜濃度分別為 $9\times10^{16}\ cm^{-3}$、$6\times10^{17}\ cm^{-3}$、$1.5\times10^{18}\ cm^{-3}$ 與 $4.5\times10^{19}\ cm^{-3}$。可觀察到濃度愈低其接觸電阻率隨溫度變化愈劇烈，如（a）曲線從室溫的 $6\times10^{-6}\ \Omega\cdot cm^{-2}$ 上升到 40 K 時約$3\times10^{-3}\ \Omega\cdot cm^{-2}$，飆升了 3 個數量級。而（d）曲線的電阻率則幾乎不受溫度影響，從室溫到低溫皆維持在 $10^{-7}\ \Omega\cdot cm^{-2}$ 量級的低電阻率，甚至有隨溫度些微下降的趨勢，這是因為場發射傳輸模式使低溫高遷移率的效果浮現出來[57]。

為了更加了解矽基板摻雜濃度對傳輸機制的影響，即判斷在特定溫度下需要多少摻雜濃度 N 才能達到場發射（FE）模式，關鍵在於比較熱能 kT 與穿隧特徵能量 E_{00} 的相對大小。根據 3.1 節的結論，當 $\frac{kT}{E_{00}}\ll 1$ 時，介面傳輸機制將進入場發射模式，如圖 3.12（b）所示，黑色斜直線上方區域時，代表 $E_{00}>kT$，即此時穿隧機制的影響大於熱發射機制的影響；當 E_{00} 在 kT 下方區域時則反之，載子傳輸受熱發射限制。同時可以觀察到，當摻雜濃度 N 越大，則越容易進入場發射（FE）傳導模式，如 $N=1\times10^{20}\ cm^{-3}$時，$E_{00}$ 從室溫到低溫皆維持在 kT 斜線上方，較容易觀察到與溫度無關的場發射行為。$N=1\times10^{19}\ cm^{-3}$時，在約 120 K 才由熱發射模式轉向場發射模式主導，接觸電阻的變溫表現可能出現隨溫度降低而先下降或飽和，隨後在低溫上升的現象。而更低濃度下則幾乎處於熱發

doi:10.6342/NTU202601026

射模式（TE）主導，低溫下 E_{00} 仍貼近 kT 斜線，代表仍保持在熱場發射（TFE）機制影響之下，易出現電阻在低溫上升的趨勢。

在極低溫的量子傳輸測量中，材料的超導性質也將開始顯現出可觀的影響，接觸金屬的超導轉變會顯著改變接觸特性，而超導接觸的首要物理優勢就在於其在臨界電流範圍內的零電阻傳輸特性[58]。在某些合金歐姆接觸中，如 AuNiGe 接觸在約 1 K 以下會發生超導轉變，導致接觸電阻顯著下降，這種電阻下降歸因於接觸金屬內部的非均勻微結構形成了三維超導網絡，在金屬層與半導體之間提供了低電阻路徑[59]。然而超導轉變有時也會在低溫下產生異常的電阻峰值。如對於常用的接觸金屬鋁（Al），當溫度降低至其超導臨界溫度（$T_c \approx 1.175\,K$）以下時，金屬會進入超導態並形成超導能隙（BCS energy gap, Δ）[60]。在零磁場（$B = 0$）附近下，會導致接觸電阻顯著增加，在磁阻測量中表現為一個巨大的峰值。隨著溫度進一步降低，載子跨越 BCS 能隙所需的熱激發能量不足，導致接觸電阻隨溫度降低而呈指數級上升。當施加的磁場超過臨界磁場（如鋁約為 10.5 mT）時，超導態被破壞，該電阻峰值也會隨之消失。可見接觸金屬的超導轉變對接觸電阻率的影響，具體行為取決於接觸介面的物理機制與材料組合。

在當前凝聚態物理與微電子工程的交界處，超導體與半導體或常導金屬之間的介面品質，已成為決定量子位元（Qubits）、高靈敏度 THz 探測器以及固態微型冷卻器效能的核心因素[58]。隨著元件尺寸邁向奈米尺度，接觸介面的物理特性不再僅僅是電路中的寄生參數，而是直接決定了整個系統的量子相干性與能效表現。儘管在某些情況下超導轉變能降低電阻，但它對低溫物理實驗有嚴重的副作用。超導體在極低溫下的熱導率極低，這會阻礙半導體內部的載子與環境達成熱平衡，使得電子難以被冷卻至 100 mK 以下的極低溫[59]。並且超導轉變引起的電阻異常會干擾對弱局域化（weak localization）等量子傳輸現象的精確擬合與觀察。

doi:10.6342/NTU202601026

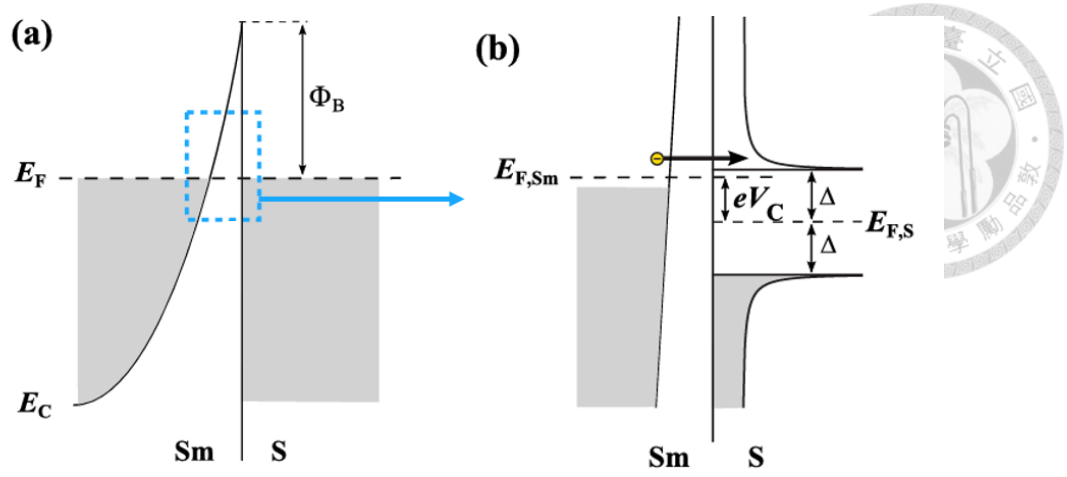


圖 3.13（a）理想 Sm-S 蕭基能障的能帶圖（b）圖（a）費米能階附近的放大圖[58]。

超導接觸的電荷傳輸涉及複雜的量子機制，核心在於鄰近效應（Proximity effect）、穿隧效應以及蕭基位障的競爭與耦合。當超導體（S）與正常材料（N）接觸時，超導特性不會在介面處立即消失，超導載子（庫柏對，Cooper pairs）會滲透進入正常材料，其影響深度由材料特有的物理指標相干長度（coherence length, ξ）所決定[61]。相干長度代表了超導序參數（order parameter）能發生顯著變化的最小距離，即電子對彼此感知並保持相干關係的空間範圍。圖 3.13（a）顯示了理想 Sm-S 蕭基能障的能帶圖，其中能障高度定義為 $\Phi_B = E_c - E_F$，即界面處半導體導帶邊緣 E_c 與費米能階 E_F 之間的差值。圖 3.13（b）為圖（a）費米能階附近的放大圖，揭示了理想的超導體態密度（DOS）和超導能隙 Δ，圖中也展示了從半導體隧道傳輸至超導體的熱電子。

針對超導元件與高溫超導體，界面的原子級完整性直接決定了鄰近效應的強度與超導電流的傳輸效率。在一般的金屬超導體中，相干長度通常遠大於原子間距（可能達到數百奈米），這意味著成千上萬的庫柏對在空間上是高度重疊的，這也是為什麼它們能產生強大的集體量子效應，其介面對原子級缺陷具備一定的容忍度。如鈮 Nb，其相干長度 $\xi \approx 40\,nm$，這意味著界面處存在數奈米的缺陷層時，超導性仍能有效傳導[61]。然而，對於高溫超導體（如釔鋇銅氧化物 YBCO, $\xi \approx 0.1\sim3\,nm$），介面處任何微小的化學退化或結構失配都會導致介面處臨界電流密度（J_c）的斷崖式下跌[61]。這些材料本質上是複雜的氧化物，介面化學不穩定

doi:10.6342/NTU202601026

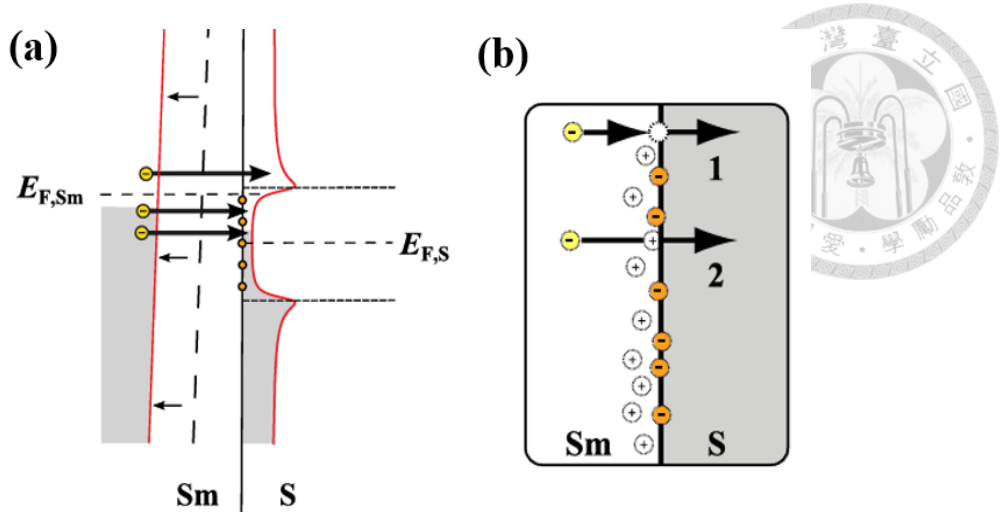


圖 3.14 (a)　非理想的 Sm-S 接面，界面處存在帶負電的表面態（橘色實心圓圈）。(b) 洩漏通道的實體空間示意圖。其中通道 1 表示經由界面陷阱態（同圖 (a)）發生的洩漏，通道 2 則是施體誘發的洩漏通道[58]。

性極高。例如，YBCO 表面在暴露於大氣時會迅速形成碳酸鹽（如 $BaCO_3$）或發生氧流失，導致原本超導的區域轉變為非超導的退化區域。這會在物理上完全切斷超導載子的穿透路徑，使界面轉變為高阻抗的隧道結構。這種厚度遠大於相干長度的退化層會將臨界電流密度降低數個數量級。

因此，理解並控制超導體介面處的能級結構，特別是有效抑制蕭基位障寬度與介面態密度，是提升元件臨界電流與降低接觸電阻率的必經路徑。以下將從物理機制出發，剖析當前技術瓶頸，並彙整學術文獻中提出的解決方案。在嘗試將超導體與半導體（Sm-S）或金屬（S-N）整合時，物理學界遭遇了以下不可迴避的挑戰。除了前述的費米能級釘紮在此處同樣影響甚鉅，超導接觸還有次能隙漏電流（Sub-gap Leakage）與結構失配等難題須研究與解決[58]。

導致次能隙漏電流的原因包含介面態（interface states）、摻雜誘導通道（dopant-induced channels）與能隙態誘導等。在半導體與超導體的介面處，存在著由表面斷鍵或缺陷形成的負電荷表面能態陷阱，這些位於費米能階附近的未佔據陷阱態會形成漏電通道，導致超導體理想中尖銳的準粒子態密度（DOS）發生被抹平（smearing）的現象（如圖 3.14 (a)）。這些能態在實空間中提供了讓電子

doi:10.6342/NTU202601026

跨越位障的途徑，從而產生非預期的次能隙電流。在蕭基穿隧位障中的摻雜原子（如磷 P）也會誘導出額外的漏電路徑[13]。如圖 3.14（b）所示，這些分佈在介面附近的施體會造成局部的導電通道，進一步破壞接面的透明度一致性，增加次能隙下的電子傳輸。介面能態與摻雜通道由於緊鄰超導體，可能會在超導體中誘導出能隙態（gap states），或是形成局部的高透明度（低電阻）通道。這會導致單粒子穿隧或雙粒子穿隧（即安德烈夫反射）的增加，使得在能量低於超導能隙時仍有顯著電流通過。耦合到系統中的環境雜訊也是次能隙漏電流的一個潛在來源。由於摻雜半導體的電阻顯著高於金屬，因此 Sm-S 元件對雜訊耦合更為敏感，這在實驗上常表現為低溫下次能隙電導（sub-gap conductance）的飽和現象[58]。

傳統的高透明度 Sm-S 接面常因上述成因遭受嚴重的次能隙漏電，導致冷卻效率低落。因此透過介面工程，如插入奈米級的絕緣氧化層，可以有效鈍化表面能態並隔離介面摻雜劑，從而將這種有害的漏電流降低一到兩個數量級。在超導冷卻器（Micro-coolers）的研究領域，Gunnarsson 等人透過在超導鋁（Al）電極與高度摻雜的矽（n^+-Si）之間主動引入奈米級的絕緣層（如 SiO_2 或 Al_2O_3），構建 SISm（超導體-絕緣體-半導體） 結構。突破了高透明度介面與高次能隙漏電之間的互斥矛盾[58]。

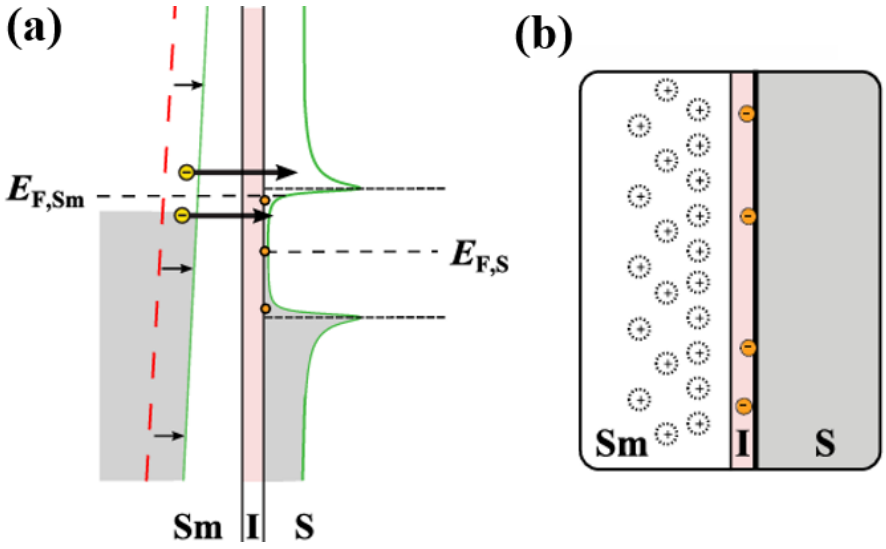


圖 3.15 (a) 絕緣層（I）鈍化效應的能帶圖與 (b) 實體空間示意圖[58]。

doi:10.6342/NTU202601026

傳統理論認為，引入絕緣隧道障壁會大幅增加接觸電阻，但 SISm 結構卻展現了優異的傳導特性。其核心物理機制包含兩點，首先是費米能級去釘紮，超薄絕緣層有效鈍化了 Si 表面的態密度，減少了電荷轉移（如圖 3.15 (a)），相較圖 3.14 (a)，減少了帶負電的表面態（橘色實心圓圈）。其次是摻雜偏析效應，在 550°C 的原位（In-situ）氧化過程中，磷（P）在氧化層中的溶解度極低，會被推回至矽表面，形成一個極薄但濃度極高的施主層（如圖 3.15 (b)）。這不僅顯著減薄了蕭基位障，還補償了絕緣層帶來的額外電阻。SISm 結構最大的優勢在於對次能隙漏電的極致壓制，絕緣層阻斷了由界面缺陷導致的非彈性通道過程，這種介面淨化效果直接轉化為強大的冷卻功率。在應變矽（Strained Si）環境下，由於電子-聲子耦合強度（electron-phonon coupling）比傳統矽降低了約 40 倍，SISm 結構展現了驚人的冷卻效率，能將電子溫度從 300 mK 成功冷卻至 100 mK 以下[58]。這種界面工程不僅解決了冷卻器的效能瓶頸，更為超導相關量子電路的開發提供了高品質的 Sm-S 結點。此外，結合絕緣氧化層技術後的元件在天文觀測領域中展現了巨大潛力，如超高靈敏度太赫茲 THz 輻射熱計（Bolometer）。透過在偵測器介面製造一個 SIN（超導體-絕緣體-正常金屬）接面，我們可以利用 BCS 能隙只允許高能電子通過的特性，把熱電子濾掉，從而實現對偵測器本身的在線冷卻（On-chip cooling）。這樣一來，偵測器就能在熱雜訊更低的環境下工作，進而偵測到宇宙深處極其微弱的 THz 訊號。這證明了人為引入隧道障壁非但不會阻礙傳輸，反而是精準控制量子傳輸過程的有效手段。

高溫超導介面的主要瓶頸在於非超導層的形成。由於氧在氧化物超導體中的擴散係數極大，界面處的氧流失會導致超導序參數消失。Ag 與 Au 因其化學惰性與對氧的良性相互作用，能有效防止退化層的形成。此外，貴金屬與 YBCO 界面不存在傳統半導體的費米能級釘紮與蕭基障壁問題，電荷傳輸主要受限於界面處的聲子散射。這使得貴金屬成為目前量子元件（如 Josephson Junctions）與大功率超導導線常見的業界接觸方案[60]。

doi:10.6342/NTU202601026

將這些界面物理發現應用於大能隙超導體（如 Nb, V）與 Si 技術的深度整合，是實現 1 K 以上高效冷卻的關鍵。這不僅能大幅提升超導電子學的實用性，更為超導量子位元與傳統 CMOS 電路的異質整合鋪平了道路。對界面物理的深度理解與精確控制，從原子鍵結的對稱性到雜質偏析等研究與技術，將是突破超導元件效能極限的核心動力。未來的界面優化將趨向於這些技術的複合整合，是實現極低功耗運算與大規模量子計算平台的必經路徑。

3.3 鎳/矽與鎳/鍺接觸電阻的變溫特性

本節將深入解析矽/鎳矽合金（n^+Si/NiSi、p^+Si/NiSi）和鍺/鎳鍺合金（n^+Ge/NiGe）介面從室溫到 4 K 的表現。首先介紹 RTLM 元件的製作流程，此元件將作為後續量測與分析的樣品。隨後使用 3.1 節中的分析方法對電流量測數據進行分析，提取出半導體薄層電阻、接觸電阻與電阻率及傳輸長度等參數，觀察其隨溫度的變化趨勢。結合 3.1 與 3.2 節中的接觸電阻理論與相關學術文獻，對觀測到的現象，提出物理機制層面的可能解釋，剖析限制理想低溫性能的關鍵物理現象。

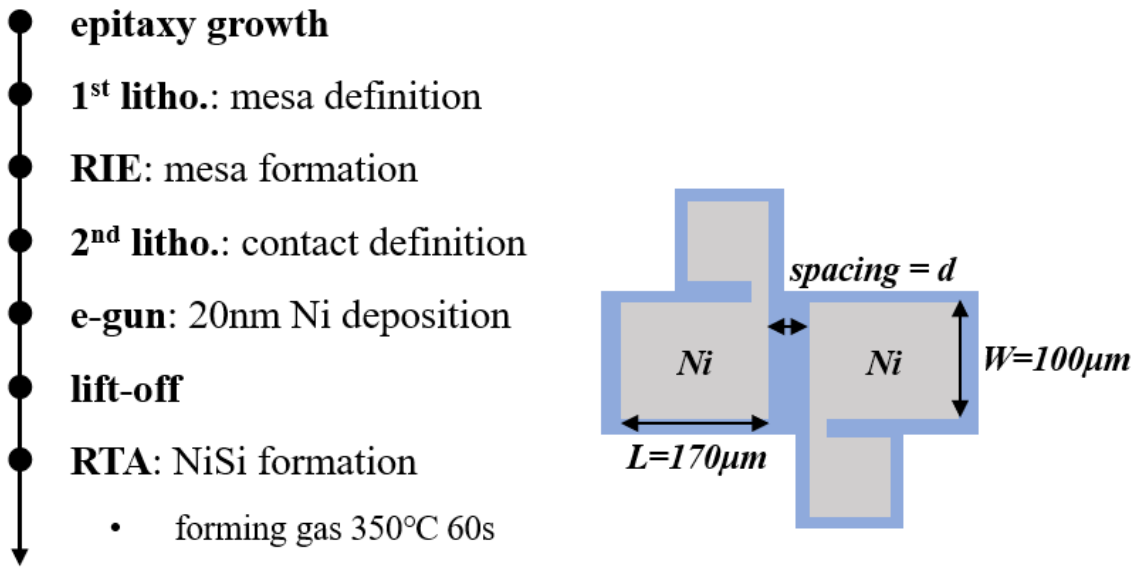


圖 3.16　RTLM 測試元件的製作流程與元件上視圖。

doi:10.6342/NTU202601026

圖 3.16 為 RTLM 測試結構的製作流程圖。首先分別在不同矽基板上磊晶生長高濃度摻雜的 n 型矽、p 型矽及 n 型鍺。參照表 3.1，鎳/n 型矽結構在 8 吋 p^- Si 晶圓上直接生長 100 nm 厚且摻雜濃度約為 1×10^{20} cm^{-3} 的 n^+ Si 磊晶層；鎳/p 型矽結構則在 n^- Si 晶圓上生長 100 nm 厚而摻雜濃度約為 1×10^{20} cm^{-3} 的 p^+Si；而鎳/n 型鍺結構則先在 p^- Si 基板上生長約 100 nm 的無摻雜鍺，再生長 100 nm 摻雜濃度約 1×10^{20} cm^{-3} 的 n^+Ge。將此三種基板切成 1 cm × 1 cm 的破片並進行四點霍爾效應量測（Hall effect measurement），以確認其表面摻雜濃度及半導體材料電阻率 ρ，記錄於表 3.1。由於半導體電阻率等於半導體薄層電阻與厚度相乘（$\rho = R_{sh} \cdot t$），本次量測範圍皆是厚度 100 nm 區域內的半導體薄膜，可以計算得出薄層電阻，並且使用 TCAD 模擬出理論的薄層電阻值，紀錄於表 3.1 最後列。結果顯示 n^+ Si 磊晶層的濃度為 1.42×10^{20} cm^{-3}，其薄層電阻為 81.4 Ω/□，非常貼近模擬得出的理論值。p^+ Si 磊晶層的濃度較 n^+ Si 高，因此即使電洞的遷移率低於電子遷移率，其薄層電阻也小於 n^+Si 磊晶層。n^+Ge 的摻雜濃度為三者最低，但鑒於鍺中的高電子遷移率，其薄層電阻也低於 n^+ Si 磊晶層。

接下來進行元件製作，第一道微影製程定義平台區域以避免側向電流流通造成的電阻效應。使用 AZ5214 光阻劑作為正型光阻，透過兩段式旋轉塗布（1,000 rpm/10 秒與 4,000 rpm/40 秒）確保光阻厚度均勻度。接著在 95˚C 下進

表 3.1　磊晶區域的霍爾效應量測結果。

Wafer	Bulk conc. (cm^{-3})	Bulk resistivity (ohm-cm)	Sheet resistance (ohm-□)	Simulated R_{sh} (ohm-□)
Measured region n+Si 100nm p-Si	1.42×10^{20}	8.14×10^{-4}	81.4	81.6
p+Si 100nm n-Si	3.82×10^{20}	1.96×10^{-4}	19.6	37.2
n+Ge 100nm p-Ge (no dope) 100nm p-Si substrate	7.58×10^{19}	6.12×10^{-4}	61.2	69.2

doi:10.6342/NTU202601026

行 90 秒軟烤以強化光阻。經過功率 1,350 W、波長 405 nm 的脈衝雷射直寫曝光與 24 秒的顯影後，暴露出欲蝕刻掉的矽表面部分，並將樣品在 125˚C 下進行 120 秒的硬烤。顯影完成的圖形接著以反應離子蝕刻進行乾蝕刻，將圖形轉移至基板表面，使用 SF6 與 O_2 氣體將對位標記蝕刻至超過 100 nm 的深度，即移除除 RTLM 結構外的高摻雜半導體部分，留下高台（mesa）區域。

接下來進行第二道微影製程，在摻雜區上方定義金屬電極。同樣使用 AZ5214 光阻並重複相似的旋轉塗布與軟烤步驟。此次光阻開口的圖案與內部的 RTLM 圖形對齊，暴露出之後要與金屬接觸的區域，其餘部分則被光阻覆蓋，以利後續的 lift-off 製程。將微影完成的樣本浸入稀釋氫氟酸（DHF）去除矽表面自然生成的氧化層，隨即利用電子槍蒸鍍（e-gun evaporation）鍍上 20 nm 的鎳金屬層。電子束的功率調節非常靈敏，可以精確控制蒸鍍速率，本實驗蒸鍍速率約在 2-3 Å/s，確保金屬會均勻覆蓋在光阻上方以及開口處的矽表面上。金屬層蒸鍍完成後進行 lift-off，將多餘的金屬移除，將樣本泡入丙酮中，丙酮會溶解光阻，使覆蓋在光阻上的金屬隨之脫落，僅留下與矽表面直接接觸的金屬。

最後，使用快速熱退火（RTA）形成鎳矽與鎳鍺合金，所有樣品皆選擇在 350˚C 下進行 60 秒的退火步驟。在 Ni 與 Si 的反應中，隨溫度升高會經歷 3 個階段的相變，在約 250˚C 以下 Ni_2Si 首先形成，在約 350˚C 到 750˚C 形成 NiSi

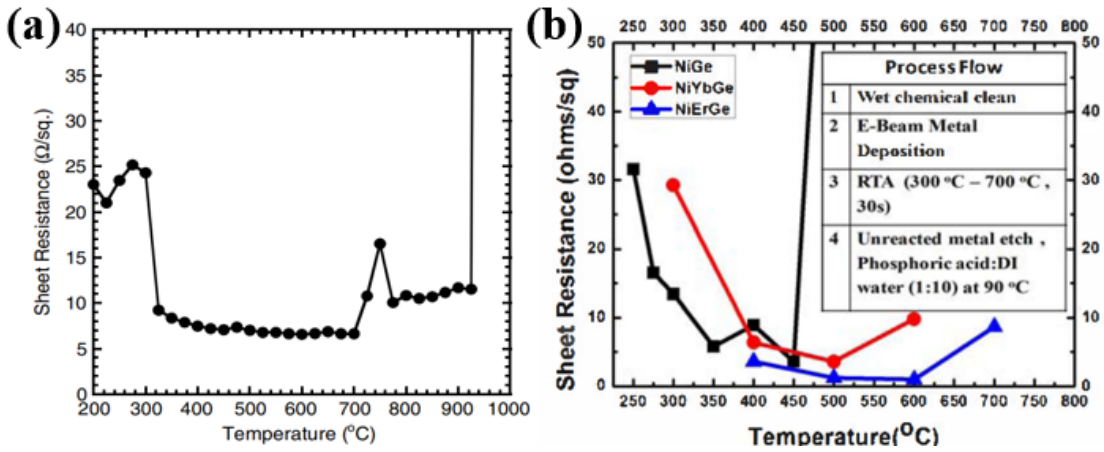


圖 3.17 (a) NiSi 薄膜的薄層電阻對 RTA 溫度的關係[18]。(b) NiGe 薄膜的薄層電阻與 RTA 溫度的關係圖，其中黑色數據點為無中間層的 NiGe 系統[65]。

doi:10.6342/NTU202601026

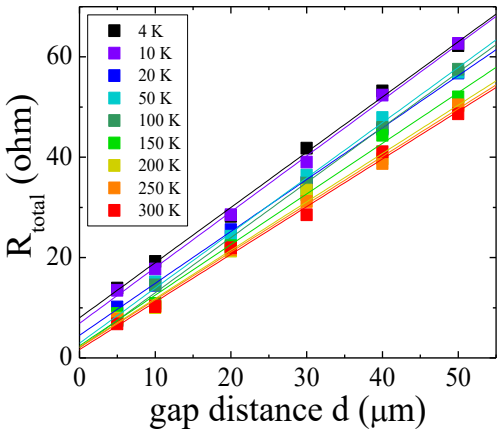


圖 3.18　鎳/n 型矽介面總電阻在不同溫度下與間距的關係圖。

（單矽化鎳），NiSi 是半導體製程中最理想的相，因為它具有最低的薄層電阻（如圖 3.17 (a)所示）。最後，在溫度高於 75˚C 時形成 $NiSi_2$，電阻率再次升高[62, 63]。本研究選擇的溫度 350˚C 正好處於 NiSi 開始大量形成的門檻。而 Ni 與 Ge 的反應相變順序與矽類似，但整體的反應溫度通常比矽低一點。低於 250˚C 時形成 Ni_5Ge_3 與 Ni_2Ge，在約 250˚C 到 500˚C 時形成 NiGe，並在更高溫時形成 $NiGe_2$ [64]。與鎳系合金系統類似，NiGe（單鍺化鎳）相是半導體製程中最理想的相。NiGe 的熱穩定性比 NiSi 差，如果溫度超過 500˚C，NiGe 容易產生團聚（agglomeration）現象，導致膜層不連續，進而使接觸電阻飆升（如圖 3.17 (b)所示）。因此，對於鎳鍺合金系統來說，350˚C 是一個非常理想且穩定的退火溫度。在此溫度下，可以形成電阻率低且界面平整的 NiGe 相。在完成所有樣品的退火後，即完成 RTLM 測試結構。

接著將鎳/n 型矽、鎳/p 型矽和鎳/n 型鍺元件以 3.1 節中的方法量測，並進行相關參數的萃取，分析元件從室溫到低溫環境的 TLM 量測結果，並深入探討接觸電阻與材料傳輸特性隨溫度的變化。圖 3.18 展示了在不同溫度(300 K 至 4 K)下，元件總電阻 R_{total} 隨接觸間隙距離 d 的原始量測數據，圖中所有溫度的曲線均呈現良好的線性關係。根據 TLM 理論公式 $R_T = \left(\frac{R_{sh}}{W}\right) d + 2R_c$，斜率代表該溫度下的薄層電阻特性，而 y 軸截距則對應於兩倍的接觸電阻。觀察發現，隨著溫度降低，曲線漸漸往上移動，即 Y 截距（$2R_c$）顯著上升，並且斜率也略微

doi:10.6342/NTU202601026

增加。這顯示在低溫環境下，載子散射機制與能障克服過程發生了變化，導致整體的電阻增加。

圖 3.19（a）顯示了半導體層的薄層電阻 R_{sh} 隨溫度變化的趨勢。數據顯示 R_{sh} 隨溫度降低呈現輕微上升的趨勢，從 300 K 的約 100 Ω/□ 增加至 4 K 的約 112 Ω/□。此現象主要歸因於介面與半導體材料中的載子凍結（Carrier Freeze-out）效應，即低溫下熱能不足以使所有施體雜質完全游離，導致自由載子濃度下降，其負面影響超過了因晶格散射減少而帶來的遷移率提升效益。

圖 3.19（b）呈現了接觸電阻率 ρ_c 與溫度的關係，當溫度低於 50 K 時，ρ_c 呈現指數級劇烈上升，從 300 K 的 $2 \times 10^{-6}\,\Omega \cdot cm^{-2}$ 增至 4 K 下的 $1.5 \times 10^{-4}\,\Omega \cdot cm^{-2}$。在 50 K 以下，載子熱能不足以跨越金屬/半導體介面的蕭基能障，熱電子發射（TE）傳導機制被強烈抑制。此時傳導必須依賴熱場發射（TFE）或場發射（FE）隧穿效應，但由於能障寬度或摻雜濃度的限制，隧穿效率仍低於室溫下的 TE 表現，導致 ρ_c 在極低溫下急劇飆升。根據霍爾效應量測（表 3.1）提取之摻雜濃度 $N_D = 1.42 \times 10^{20}\ cm^{-3}$ 與電子有效質量（$m^* \approx 0.19m_0$）計算，n-Si 的特徵穿隧能量 $E_{00} = (q\hbar/2)(N/m^*\epsilon)^{1/2} = 126\ meV$。在理論預測中，由於此數值高於室溫熱能 $kT \approx 25.9\ meV$，傳輸應以場發射（FE）機制為主導，其電阻率應對溫度變化不敏感。然而，實驗觀測到的 ρ_c 在極低溫下劇烈上升，顯示出明顯的熱場發射（TFE）特徵。

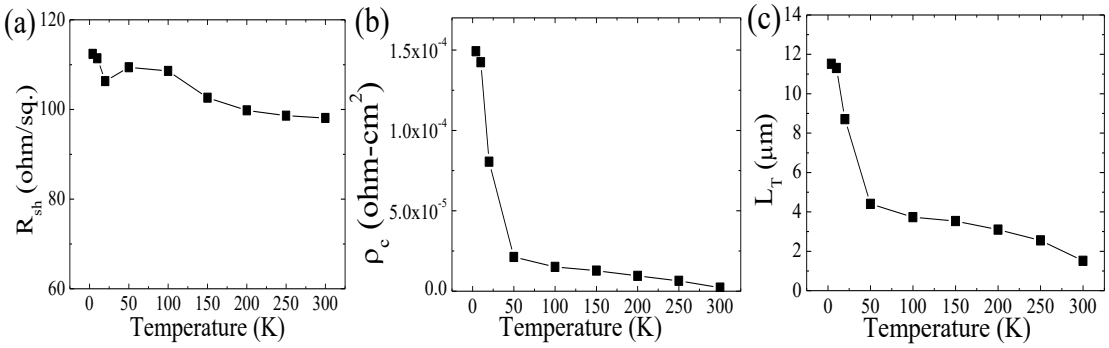


圖 3.19　(a) 鎳/n 型矽介面的薄層電阻對量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。

doi:10.6342/NTU202601026

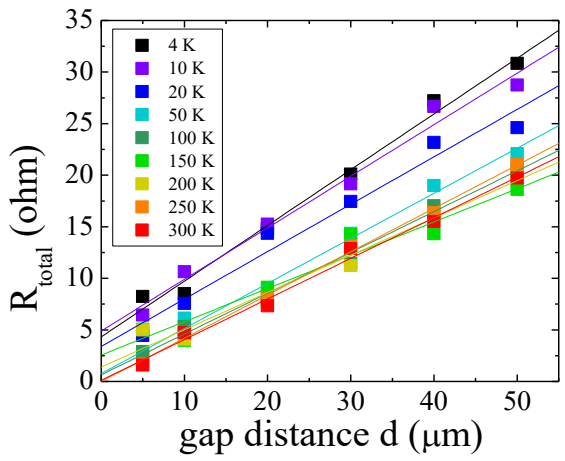


圖 3.20　鎳/p 型矽介面總電阻在不同溫度下對間距的關係圖。

這種理論與實驗的偏差可歸結於兩點，首先，鎳/n 型矽較高的蕭基位障高度（$SBH \approx 0.65\,eV$）使得載子在極低溫（50 K, $kT \approx 4.3\,meV$）下仍需部分熱能輔助以跨越障壁；其次，介面處的缺陷及載子凍結效應可能比體材料更為嚴重，導致局部有效 E_{00} 下降，使得熱激發分量受抑制後，純穿隧電流無法完全彌補損失。圖 3.19(c)顯示傳輸長度 L_T 隨溫度降低而增加，特別是在 50 K 以下增長迅速，最高達到約 12 μm，顯示電荷注入介面的效率已顯著惡化。由於 R_{sh} 在低溫下僅微幅變動，而 ρ_c 呈指數級增長，因此 L_T 的趨勢主要受 ρ_c 支配。關於傳輸長度的提取，此研究中的所有 RTLM 元件的測試電極長度 L 皆為 170 μm，遠大於變溫量測的最大值，代表即使在 4 K，接觸電極仍有足夠的長度讓電流完全衰減注入。這符合 TLM 模型的假設前提，確保了從圖 3.18 擷取參數的準確性。

接下來將分析 p 型矽與鎳矽合金接面在低溫環境下的接觸特性分析。相較於 n 型材料，鎳/p 型矽接觸系統在低溫環境下展現出更為嚴峻的傳輸挑戰。圖 3.20 透過 TLM 量測展示了不同溫度下總電阻隨距離 d 的變化，曲線在各溫度下均保持的一定線性度，但整體回歸性相較鎳/n 型矽的數據略低，這可能來自於量測時的不穩定因素，如金屬打線接點不穩定等。隨溫度從 300 K 降低至 4 K，整條直線向上平移（y 軸截距增加），且斜率微幅增加，這反映了低溫環境對接觸電阻 R_c 與半導體薄層電阻 R_{sh} 的雙重影響。與鎳/n 型矽介面相比，本組數據呈現了更低的薄層電阻（約 40-50 Ω/□），與霍爾效應量測數據吻合。

doi:10.6342/NTU202601026

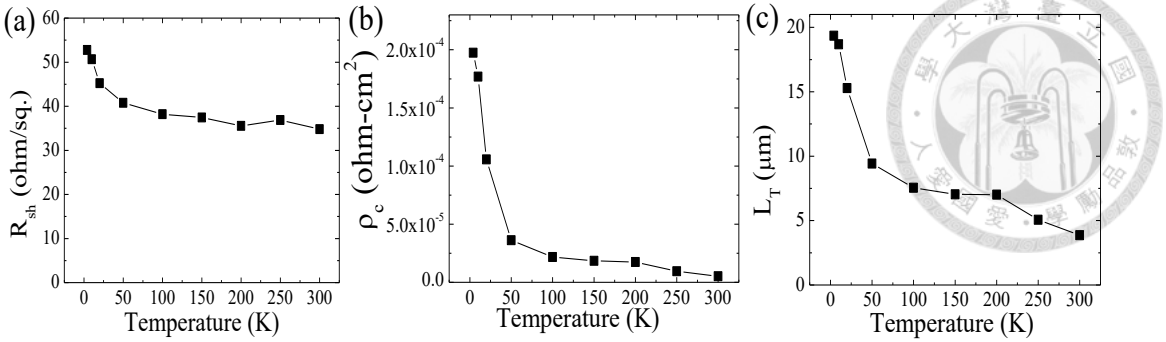


圖 3.21 (a) 鎳/p 型矽介面的接觸電阻率對量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。

從圖 3.21（a）同樣觀察到 R_{sh} 隨溫度降低而輕微上升的趨勢，p 型矽的 R_{sh} 隨溫度降低的上升幅度更為顯著，自室溫的 35 Ω/□ 攀升至 55 Ω/□，反映出其所摻雜之硼（Boron）因矽的能帶結構特性與載子有效質量較高[46]，在低溫下的凍結效應遠比 n 型摻雜更為劇烈。圖 3.21（b）顯示 ρ_c 隨溫度降低呈指數級上升，從室溫的 $4 \times 10^{-6}\,\Omega \cdot cm^{-2}$ 飆升至 4 K 下的約 $2 \times 10^{-4}\,\Omega \cdot cm^{-2}$。接觸電阻率在 50 K 左右即開始劇烈爬升，且其數量級與 n 型矽的元件相同，皆為 $10^{-4}\,\Omega \cdot cm^{-2}$，因此判斷物理機制上，也是由於熱電子發射（TE）傳導被抑制而導致電阻率上升。p-Si 的接觸性能劣化可由其較低的特徵穿隧能量 $E_{00} \approx 46.8\,meV$ 得到解釋，由於此數值僅略高於室溫熱能（25.9 meV），其電荷傳輸主要受控於熱場發射（TFE）機制。儘管鎳/p 型矽介面的蕭基障壁高度（$SBH \approx 0.45\,eV$）低於 n-Si，但由於電洞有效質量（heavy hole mass, $m^* \approx 0.49m_0$）相較電子大了約 3 倍，這兩者共同限制了載子穿過障壁的機率。電洞更難穿透障壁的本質結合嚴重的載子凍結，使得 p-Si 在低溫電路設計中成為主要的電阻瓶頸。若 n-Si 已面臨凍結挑戰，則電洞的高有效質量將無可避免地加劇低溫下的能障穿透難度。圖 3.21（c）中可觀察到傳輸長度 L_T 隨溫度降低而快速增長，從 300 K 的約 4 μm 增加至 4 K 的近 20 μm。由於 ρ_c 的增加速度遠高於 R_{sh}，這種接觸品質的急遽惡化，導致 L_T 在低溫下顯著擴張，引發了明顯的電流擁擠效應，顯示整體接觸效率已發生嚴重衰退。

doi:10.6342/NTU202601026

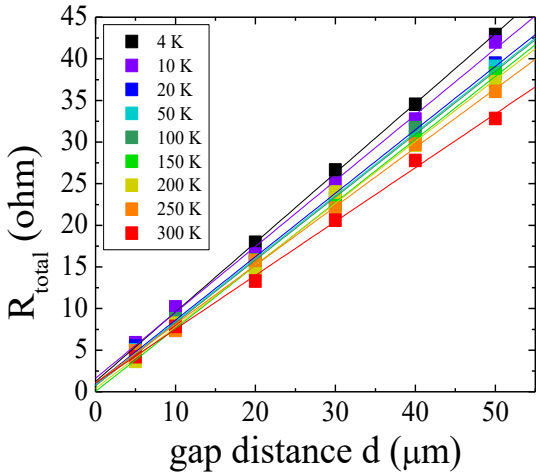


圖 3.22　鎳/n 型鍺介面總電阻在不同溫度下與間距的關係圖。

最後，將進行 n 型鍺與鎳鍺合金接面在低溫下的電學特性分析。相較於前述的鎳矽合金系統，n 型鍺現出截然不同的物理行為，特別是接觸電阻對溫度的敏感度較低。圖 3.22 展示不同溫度下總電阻隨間隙距離的線性演變，實驗數據在 4 K 至 300 K 範圍內均呈現極佳的線性度。值得注意的是，不同溫度的曲線斜率與截距差異較小，代表該系統的熱穩定性較高，接觸電阻隨溫度的波動幅度遠小於鎳矽介面。

圖 3.23（a）描述 n-Ge 層的薄層電阻隨溫度的變化趨勢。R_{sh} 隨溫度降低而輕微上升，從 300 K 的約 65 Ω/□ 增加至 4 K 的約 82 Ω/□。這種上升趨勢主要源於載子遷移率的演變。雖然低溫下聲子散射受抑，但由於 n-Ge 系統中雜質散射的主導作用，導致半導體中整體電阻隨溫降而攀升。圖 3.23（b）中顯示 ρ_c 隨溫度降低而增加，呈現指數級增長趨勢，但其增加幅度不如鎳矽介面劇烈。在室溫時 ρ_c 約為 $10^{-5}\,\Omega\cdot cm^{-2}$，溫度下降的過程中，其接觸電阻率穩定維持在 $10^{-5}\,\Omega\cdot cm^{-2}$ 量級，且隨溫度下降的增長極其平緩，未出現如矽材料般的發散現象。顯示鎳/n 型鍺介面的傳導機制中場發射（FE）隧穿效應佔比較大。

分析 n-Ge 性能領先的物理本質，首先在於鍺材料具備較小的電子有效質量，以及較小的能隙（0.67 eV 相較於矽的 1.12 eV[11]），使得鍺材料電阻率對溫度的敏感性較低，穿隧效應相對顯著許多。這使得 n-Ge 即使在摻雜濃度 $N_D = 7.58 \times 10^{19}\,cm^{-3}$ 低於 n-Si 的情況下，仍能計算出特徵穿隧能量 $E_{00} \approx 42.4\,meV$，

doi:10.6342/NTU202601026

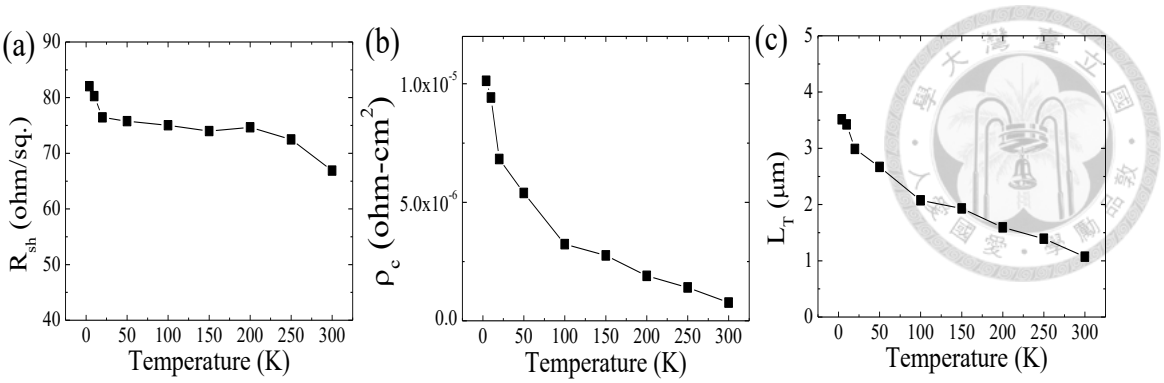


圖 3.23　(a) 鎳/n 型鍺介面的接觸電阻率與量測溫度的關係圖。(b) 接觸電阻率對量測溫度的關係圖。(c) 傳輸長度對量測溫度的關係圖。

從而主導了熱場發射（TFE）傳輸模式。另一關鍵因素在於鍺的費米能階釘紮位置靠近導帶，天然形成了極低的蕭基位障高度，在低溫時降低了載子注入的能障。若要進一步分析蕭基位障高度在低溫時對鎳鍺介面接觸電阻率的影響，應將鍺基板的磊晶區域濃度提高至超過 $N_D = 10^{20}\ cm^{-3}$ 量級，或至少能將費米能階提升至導帶或是價帶內，使得低溫下載子皆能夠完全游離，避免載子凍結的現象，才能有效排除熱發射模式（TE）的影響。在低有效質量與低位障的雙重優勢下，n-Ge 的電荷傳輸對溫度的依賴性被降至最低，使其成為優於矽基元件的低溫半導體解決方案。圖 3.23（c）顯示傳輸長度 L_T 隨溫度降低而緩慢增長。由於 ρ_c 在低溫下的增幅有限，且 R_{sh} 亦同步略微上升，使得 L_T 的變化相對平穩，始終穩定維持在 1–4 μm 之間。顯 n-Ge 系統即便在極低溫下仍能保持較小的電流注入長度，這對於低溫微縮元件的設計非常有利。

與鎳矽系統比較，n-Ge 系統表現出更優異的低溫接觸穩定性。這通常是因為鍺的有效質量較小且蕭基位障較低，有利於隧穿電流的產生。本實驗鎳矽系統在低溫受限於熱激發，n-Ge 可能更依賴於隧穿傳導。若要觸發鎳矽接觸的穿隧機制，應加強介面品質、調整退火參數或增加中間層來降低介面接觸電阻率，以促進低溫的表現。

最後將本實驗的接觸電阻率量測結果與不同文獻中紀錄的不同材料之量測結果整理在圖 3.24 中，以提供衡量標準。釔鋇銅氧（YCBO）等超導體接觸，

doi:10.6342/NTU202601026

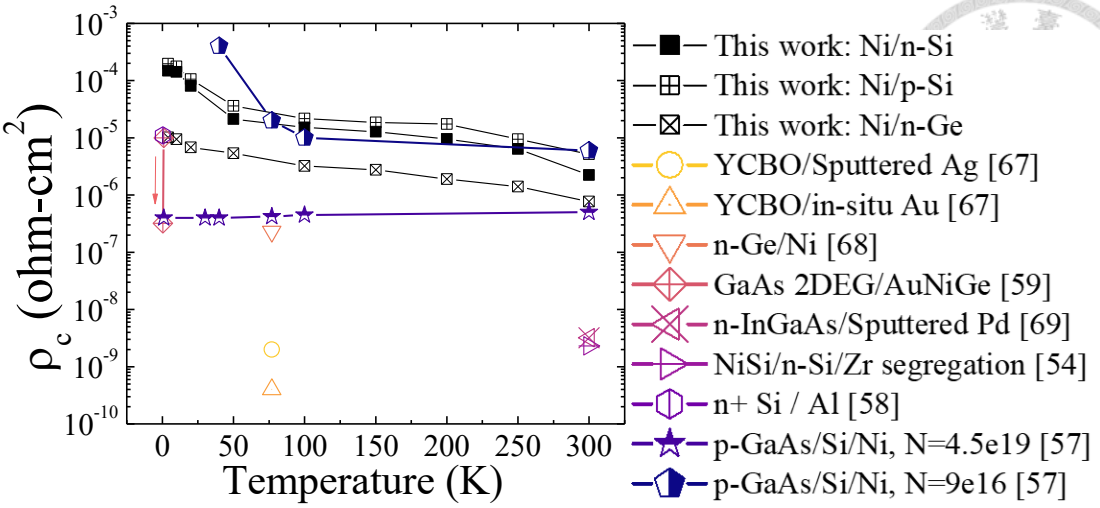


圖 3.24 不同材料與製程條件下的接觸電阻率與溫度的關係圖。

其接觸電阻率在低溫下可達到極低水準，具體數值取決於金屬種類與製程，如濺鍍的銀（Ag）、金（Au）與原位蒸鍍金膜（In-situ Au），在 77 K 下皆可達到約 $10^{-9}\,\Omega\cdot cm^{-2}$的極小電阻率[67]。化合物半導體的接觸特性受溫度影響顯著，特別是中低摻雜濃度時。如 p-GaAs/Si/Ni 接觸介面，在較低摻雜濃度與高摻雜濃度時的低溫表現截然不同[57]，InGaAs 也在室溫達到$10^{-9}\,\Omega\cdot cm^{-2}$量級的低電阻率[69]。另外 GaAs 2DEG 與 AuNiGe 接觸在 1 K 以上接觸電阻率約在 $10^{-5}\,\Omega\cdot cm^{-2}$，而在 0.9 K 以下，由於金屬發生超導轉變，電阻率驟降至 $2\times10^{-7}\,\Omega\cdot cm^{-2}$[59]。

3.4 小結

本章節採用 RTLM 結構進行鎳矽及鎳鍺介面系統 300 K 至 4 K 的變溫量測。實驗觀測到鎳/n 型矽在低溫下接觸電阻率劇烈上升，根據摻雜濃度計算出特徵穿隧能量$E_{00}\approx 126\,meV$，與室溫熱能（$kT=25.9\,meV$）比較，理論上應在室溫即進入場發射（FE）機制，但低溫實驗結果卻顯示熱場發射（TFE）特徵。此偏差主因在於鎳/n 型矽介面高達 0.65 eV 的位障以及介面缺陷導致局部有效 E_{00} 下降。鎳/p 型矽面臨更嚴峻的挑戰，特徵穿隧能量$E_{00}\approx 46.8\,meV$，顯示其在室溫就已呈現熱場發射（TFE）特徵，在低溫下則接觸電阻率增加更劇烈。因其電洞有效

doi:10.6342/NTU202601026

質量是電子的 3 倍，加上硼原子在低溫下較顯著的載子凍結效應，以及可能的介面缺陷，使其在低溫的表現明顯劣化。鎳/n 型鍺介面呈現了最為穩定的電阻率變化，從室溫到低溫始終維持在 $10^{-5}\,\Omega\cdot cm^2$ 量級。由於鍺具備較高的介電常數，確保了 E_{00} 即使在摻雜較低時仍能支撐穩定的熱場發射（TFE）機制。三種接觸結構的薄層電阻皆有隨溫度降低而略為升高的現象，主要歸因於載子凍結以及雜質散射效應。並且由於薄層電阻隨溫度的變化皆不如接觸電阻率劇烈，因此傳輸長度對溫度的關係皆由接觸電阻率主導，鎳矽系統在低溫下傳輸長度劇烈擴張至 20 μm，在低溫明顯上升，反觀鎳鍺接觸的傳輸長度穩定維持在 1-4 μm。即使傳輸長度在低溫的變化，三種結構都仍遠小於測試電極長度，確保了從總電阻對電極間距的關係圖（圖 3.20、圖 3.22 及圖 3.24）萃取相關參數的有效性。

doi:10.6342/NTU202601026

第四章　結論與未來工作

4.1 結論

本論文探討電晶體元件和金屬半導體介面在極低溫環境下的電性表現，首先在第二章介紹摻雜凍結效應、能帶結構改變以及電場輔助電離等物理機制，並說明這些現象如何影響元件的載子遷移率、臨界電壓與次臨界擺幅。接著透過自製 n-MOSFET 與 p-MOSFET 的實驗數據分析，觀察到電晶體在降溫時雖然能提升導通電流與開關效率，但也面臨參數飽和與非理想物理效應的挑戰。n-MOSFET 在降溫過程中，導通電流增加、最大轉導值與電子遷移率增加，同時臨界電壓上升，以及次臨界擺幅降低等現象，皆符合低溫物理現象造成的趨勢。其中在臨界擺幅的數據中也觀察到了在極低溫（＜20 K）下飽和的現象，推測是由介面陷阱導致的能帶尾態所造成。p-MOSFET 元件則具有較差的整體表現，與 n-MOSFET 相同，兩種元件都有隨溫度降低臨界電壓上升、次臨界擺幅下降的趨勢。但在載子傳輸方面卻有相反的結果，如導通電流隨溫度降低而降低，是由介面缺陷引發的寄生電阻所限制，最大轉導也同步下降，導致低溫的電洞遷移率提升優勢被抵銷，相較室溫並無顯著提升。

第三章探討了金屬半導體介面接觸電阻的變溫特性，首先介紹了金屬半導體介面的基本傳輸特性，說明降低接觸電阻的方法與難題，再延伸到低溫下的介面特性，隨後以 RTLM 量測架構對鎳矽與鎳鍺接觸進行變溫量測與分析。所有元件的接觸電阻率都出現了隨溫度降低而升高的趨勢，這是因為低溫下熱電子發射（TE）傳輸機制被顯著抑制，並且推測因介面缺陷，而使有效特徵穿隧能量 E_{00} 無法大幅超過熱能（kT）。實驗結果顯示鎳/n 型矽與鎳/n 型鍺介面呈現熱場發射（TFE）特徵，鎳/p 型矽更是主要呈現熱發射（TE）行為，皆沒有觸發較不受溫度影響的場發射（FE）傳輸模式，而無法發揮高摻雜基板的優勢。鎳鍺介面在接觸電阻率的穩定性上最為突出，即使其摻雜濃度是三者中最低，雖有在低溫上升的趨勢，整體仍維持在同一量級。這顯示了介面缺陷的控管對接觸特性的影響甚

doi:10.6342/NTU202601026

鉅，而對於異質接觸的研究與介面工程的發展更是低能耗元件的必要條件。

4.2 未來工作

本研究的未來工作分為以下部分：

1. 物理模型精細化：針對次臨界擺幅飽和現象，進一步研究能帶尾態模型中各項參數的物理成因，如將指數型可移動態與高斯型局域態進行數學解耦，以準確預測不同工藝節點下的開關下限。
2. p-MOSFET 效能提升：對 p-MOSFET 的製程參數進行優化，如調整離子佈植參數、元件退火時間，與氧化層生長條件，以在 CMOS 中達到能與 n-MOSFET 相匹配的元件操作效能。同時製作矽化物合金以降低接觸電阻，減少因其產生的電流下降效應。
3. 材料與界面創新：針對金屬與半導體介面的電阻率降低，引入中間層、調整退火溫度與時間，或是進行更精確的摻雜離子操作以降低空乏區寬度，是實現低接觸電阻率的有效手段。

doi:10.6342/NTU202601026

參考文獻

[1] C. A. Mack, "Fifty years of Moore's law," *IEEE Trans. Semicond. Manuf.*, vol. 24, no. 2, pp. 202–207, 2011.

[2] "Supercomputer Power," *Our World in Data*. [Online]. Available: https://ourworldindata.org/grapher/supercomputer-power-flops. [Accessed: Apr. 1, 2026].

[3] T. N. Theis and H.-S. P. Wong, "The end of Moore's law: A new beginning for information technology," *Comput. Sci. Eng.*, vol. 19, no. 2, pp. 41–50, 2017.

[4] D. Nagy *et al.*, "FinFET versus gate-all-around nanowire FET: performance, scaling, and variability," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 332–340, 2018.

[5] A. Steane, "Quantum computing," *Rep. Prog. Phys.*, vol. 61, no. 2, pp. 117–173, 1998.

[6] E. Charbon *et al.*, "Cryo-CMOS for quantum computing," in *Proc. IEEE Int. Electron Devices Meeting (IEDM)*, 2016, pp. 13.5.1–13.5.4.

[7] F. Sebastiano *et al.*, "Cryo-CMOS electronic control for scalable quantum computing," in *Proc. 54th Annu. Design Autom. Conf. (DAC)*, Art. no. 71, pp. 1-6, 2017

[8] F. A. Zwanenburg *et al.*, "Silicon quantum electronics," *Rev. Mod. Phys.*, vol. 85, no. 3, pp. 961–1019, 2013.

[9] M. F. Gonzalez-Zalba *et al.*, "Scaling silicon-based quantum computing using CMOS technology," *Nat. Electron.*, vol. 4, no. 12, pp. 872–884, 2021.

[10] B. Patra *et al.*, "Cryo-CMOS circuits and systems for quantum computing applications," *IEEE J. Solid-State Circuits*, vol. 53, no. 1, pp. 309–321, 2017.

[11] S. M. Sze, Y. Li, and K. K. Ng, *Physics of Semiconductor Devices*. Hoboken, NJ, USA: John Wiley & Sons, 2021.

doi:10.6342/NTU202601026

[12] A. Beckers, F. Jazaeri, and C. Enz, "Cryogenic MOS transistor model," *IEEE Trans. Electron Devices*, vol. 65, no. 9, pp. 3617–3625, 2018.

[13] A. K. Jonscher, "Semiconductors at cryogenic temperatures," *Proc. IEEE*, vol. 52, no. 10, pp. 1092–1104, 1964.

[14] K. P. O'Donnell and X. Chen, "Temperature dependence of semiconductor band gaps," *Appl. Phys. Lett.*, vol. 58, no. 25, pp. 2924–2926, 1991.

[15] P. Geng *et al.*, "A novel theoretical model for the temperature dependence of band gap energy in semiconductors," *J. Phys. D, Appl. Phys.*, vol. 50, no. 40, p. 40LT02, 2017.

[16] W. Manzoor, A. K. Dutta, and Y. S. Chauhan, "Analytical approximation of surface potential and analysis of C–V characteristics of bulk MOSFETs at cryogenic temperatures," *Microelectronics J.*, vol. 129, p. 105586, 2022.

[17] A. Pirovano *et al.*, "Novel low-temperature CV technique for MOS doping profile determination near the Si/SiO_2 interface," *IEEE Trans. Electron Devices*, vol. 48, no. 4, pp. 750–757, 2002.

[18] P. Bouillon and T. Skotnicki, "Theoretical analysis of kink effect in CV characteristics of indium-implanted NMOS capacitors," *IEEE Electron Device Lett.*, vol. 19, no. 1, pp. 19–22, 2002.

[19] R. Divakaruni, "MOS investigations in the freezeout regime," Ph.D. dissertation, Univ. California, Los Angeles, CA, USA, 1994.

[20] C. R. Viswanathan, R. Divakaruni, and J. Kizziar, "Low-temperature CV dispersion in MOS devices," *IEEE Electron Device Lett.*, vol. 12, no. 9, pp. 503–505, 2002.

[21] S. Gupta *et al.*, "Investigation and modeling of multifrequency CV characteristics for 10-nm bulk FinFETs at cryogenic temperatures," *Solid-State Electron.*, vol. 211, p. 108820, 2024.

doi:10.6342/NTU202601026

[22] M. Cassé *et al.*, "FDSOI for cryoCMOS electronics: device characterization towards compact model," in *Proc. IEEE Int. Electron Devices Meeting (IEDM)*, 2022, pp. 543–546.

[23] H. Oka *et al.*, "Effect of conduction band edge states on coulomb-limiting electron mobility in cryogenic MOSFET operation," in *Proc. IEEE Symp. VLSI Technol. Circuits*, 2022, pp. 248–249.

[24] W. Manzoor, A. K. Dutta, and Y. S. Chauhan, "A comprehensive study of threshold voltage extraction techniques from room to cryogenic temperatures," *IEEE J. Electron Devices Soc.*, 2024, doi: 10.1109/JEDS. 2024, 13: 915-923.

[25] A. Beckers, "Cryogenic MOSFET modeling for large-scale quantum computing," Ph.D. dissertation, École Polytechnique Fédérale de Lausanne, Lausanne, Switzerland, 2021.

[26] A. Beckers *et al.*, "Physical model of low-temperature to cryogenic threshold voltage in MOSFETs," *IEEE J. Electron Devices Soc.*, vol. 8, pp. 780–788, 2020.

[27] H. Hanamura *et al.*, "Operation of bulk CMOS devices at very low temperatures," *IEEE J. Solid-State Circuits*, vol. 21, no. 3, pp. 484–490, 1986.

[28] H.-C. Han *et al.*, "Novel approach to FDSOI threshold voltage model validated at cryogenic temperatures," *IEEE Access*, vol. 11, pp. 56951–56957, 2023.

[29] M. Cassé and G. Ghibaudo, "FDSOI transistors for cryo CMOS applications," in *Low-Temperature Technologies and Applications*, 2022, p. 17.

[30] G. Ghibaudo *et al.*, "On the modelling of temperature dependence of subthreshold swing in MOSFETs down to cryogenic temperature," *Solid-State Electron.*, vol. 170, p. 107820, 2020.

[31] A. Beckers, F. Jazaeri, and C. Enz, "Theoretical limit of low temperature subthreshold swing in field-effect transistors," *IEEE Electron Device Lett.*, vol. 41, no. 2, pp. 276–279, 2019.

doi:10.6342/NTU202601026

[32] H. Bohuslavskyi *et al.*, "Cryogenic subthreshold swing saturation in FD-SOI MOSFETs described with band broadening," *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 784–787, 2019.

[33] R. M. Incandela *et al.*, "Characterization and compact modeling of nanometer CMOS transistors at deep-cryogenic temperatures," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 996–1006, 2018.

[34] P. Galy *et al.*, "Cryogenic temperature characterization of a 28-nm FD-SOI dedicated structure for advanced CMOS and quantum technologies co-integration," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 594–600, 2018.

[35] K. Triantopoulos *et al.*, "Self-heating effect in FDSOI transistors down to cryogenic operation at 4.2 K," *IEEE Trans. Electron Devices*, vol. 66, no. 8, pp. 3498–3505, 2019.

[36] A. Beckers, F. Jazaeri, and C. Enz, "Inflection phenomenon in cryogenic MOSFET behavior," *IEEE Trans. Electron Devices*, vol. 67, no. 3, pp. 1357–1360, 2020.

[37] X. Zhang *et al.*, "Modeling of the subthreshold swing in cryogenic MOSFET with the combination of Gaussian band tail and Gaussian interface state," *IEEE Trans. Electron Devices*, vol. 71, no. 2, pp. 1173–1178, 2023.

[38] M.-S. Kang *et al.*, "Characterization and quantitative understanding of subthreshold swing of Si metal–oxide–semiconductor field effect transistors at cryogenic temperatures," *J. Appl. Phys.*, vol. 136, no. 19, 2024.

[39] M.-S. Kang *et al.*, "Influence of substrate impurity concentration on sub-threshold swing of Si n-channel MOSFETs at cryogenic temperatures down to 4 K," *Jpn. J. Appl. Phys.*, vol. 62, p. SC1062, 2023.

doi:10.6342/NTU202601026

[40] J. Lee *et al.*, "Subthreshold swing (SS) degradation as the origin of SS saturation in nanoscale cryogenic gate-all-around MOSFETs," *Semicond. Sci. Technol.*, vol. 40, no. 9, p. 095002, 2025.

[41] E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*. Hoboken, NJ, USA: John Wiley & Sons, 2002.

[42] T.-Y. Yang *et al.*, "Quantum transport in 40-nm MOSFETs at deep-cryogenic temperatures," *IEEE Electron Device Lett.*, vol. 41, no. 7, pp. 981–984, 2020.

[43] S. Sekiguchi *et al.*, "Subthreshold swing in silicon gate-all-around nanowire and fully depleted SOI MOSFETs at cryogenic temperature," *IEEE J. Electron Devices Soc.*, vol. 9, pp. 1151–1154, 2021.

[44] H. Oka *et al.*, "Origin of low-frequency noise in Si n-MOSFET at cryogenic temperatures: The effect of interface quality," *IEEE Access*, vol. 11, pp. 121567–121573, 2023.

[45] J. Tao *et al.*, "Extrinsic and intrinsic frequency dispersion of high-k materials in capacitance-voltage measurements," *Materials*, vol. 5, no. 6, pp. 1005–1032, 2012.

[46] D. K. Schroder, *Semiconductor Material and Device Characterization*, 3rd ed. Hoboken, NJ, USA: John Wiley & Sons, 2015.

[47] A. Scorzoni and M. Finetti, "Metal/semiconductor contact resistivity and its determination from contact resistance measurements," *Mater. Sci. Rep.*, vol. 3, no. 2, pp. 79–137, 1988.

[48] R. Dormaier and S. E. Mohney, "Factors controlling the resistance of Ohmic contacts to n-InGaAs," *J. Vac. Sci. Technol. B*, vol. 30, no. 3, 2012.

[49] R. Saligram, S. Datta, and A. Raychowdhury, "Design space exploration of interconnect materials for cryogenic operation: Electrical and thermal analyses," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 69, no. 11, pp. 4610–4618, 2022.

doi:10.6342/NTU202601026

[50] J. Robertson and L. Lin, "Fermi level pinning in Si, Ge and GaAs systems-MIGS or defects?," in *Proc. IEEE Int. Electron Devices Meeting (IEDM)*, pp. 1-4, 2009.

[51] L. Lin, Y. Guo, and J. Robertson, "Metal silicide Schottky barriers on Si and Ge show weaker Fermi level pinning," *Appl. Phys. Lett.*, vol. 101, no. 5, 2012.

[52] X. Liu *et al.*, "Fermi level pinning dependent 2D semiconductor devices: challenges and prospects," *Adv. Mater.*, vol. 34, no. 15, p. 2108425, 2022.

[53] S.-H. Kim *et al.*, "Fermi-level unpinning using a Ge-passivated metal–interlayer–semiconductor structure for non-alloyed ohmic contact of high-electron-mobility transistors," *IEEE Electron Device Lett.*, vol. 36, no. 9, pp. 884–886, 2015.

[54] M. Yuan *et al.*, "Charge redistribution to reduce contact resistivity in NiSi/Si system through interface modification: A first-principles study," *Appl. Phys. Lett.*, vol. 126, no. 13, 2025.

[55] E. H. Rhoderick, "Metal-semiconductor contacts," *IEE Proc. I (Solid-State Electron. Devices)*, vol. 129, no. 1, pp. 1–14, 1982.

[56] N. Duan *et al.*, "A modified scheme to reduce the specific contact resistivity of NiSi/Si contacts by means of dopant segregation technique," *ECS J. Solid State Sci. Technol.*, vol. 6, no. 12, p. P904, 2017.

[57] C. C. Han *et al.*, "The temperature dependence of the contact resistivity of the Si/Ni (Mg) nonspiking contact scheme on p-GaAs," *J. Appl. Phys.*, vol. 69, no. 5, pp. 3124–3129, 1991.

[58] D. Gunnarsson *et al.*, "Interfacial engineering of semiconductor–superconductor junctions for high performance micro-coolers," *Sci. Rep.*, vol. 5, no. 1, p. 17398, 2015.

[59] C. B. Beauchamp *et al.*, "Superconductivity in AuNiGe ohmic contacts to a GaAs-based high mobility two-dimensional electron gas," *Appl. Phys. Lett.*, vol. 117, no. 16, 2020.

doi:10.6342/NTU202601026

[60] C. M. Polley, W. R. Clarke, and M. Y. Simmons, "Comparison of nickel silicide and aluminium ohmic contact metallizations for low-temperature quantum transport measurements," *Nanoscale Res. Lett.*, vol. 6, no. 1, p. 538, 2011.

[61] J. Talvacchio, "Electrical contact to superconductors," *IEEE Trans. Comp., Hybrids, Manuf. Technol.*, vol. 12, no. 1, pp. 21–31, 2002.

[62] P. Nash and A. Nash, "The Ni−Si (nickel-silicon) system," *Bull. Alloy Phase Diagrams*, vol. 8, no. 1, pp. 6–14, 1987.

[63] K. Tsutsui *et al.*, "Analysis of irregular increase in sheet resistance of Ni silicides on transition from NiSi to NiSi$_2$," *Microelectron. Eng.*, vol. 85, no. 2, pp. 315–319, 2008.

[64] A. Nash and P. Nash, "The Ge−Ni (germanium-nickel) system," *Bull. Alloy Phase Diagrams*, vol. 8, no. 3, pp. 255–264, 1987.

[65] R. K. Mishra *et al.*, "Nickel germanide with rare earth interlayers for Ge CMOS applications," in *Proc. IEEE Int. Conf. Electron Devices Solid-state Circuits (EDSSC)*, pp. 1-2, 2013.

[66] Wilson, R. G. "Boron, fluorine, and carrier profiles for B and BF2 implants into crystalline and amorphous Si." *Journal of applied physics* 54.12. pp. 6879-6889, 1983.

[67] J. Talvacchio, "Electrical contact to superconductors," *IEEE Trans. Comp., Hybrids, Manuf. Technol.*, vol. 12, no. 1, pp. 21-31, 2002.

[68] K. Gallacher, et al., "Ohmic contacts to n-type germanium with low specific contact resistivity," *Appl. Phys. Lett.*, vol. 100, no. 2, 2012, Art. no. 022113.

[69] R. Dormaier and S. E. Mohney, "Factors controlling the resistance of Ohmic contacts to n-InGaAs," *J. Vac. Sci. Technol. B*, vol. 30, no. 3, 2012, Art. no. 031209.

doi:10.6342/NTU202601026