

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering  
College of Electrical Engineering and Computer Science


National Taiwan University

Master Thesis

40 奈米部份解離絕緣體上矽 N 型金氧半元件寄生雙載子電晶

體電容模型  $C_{BE}/C_{BC}$

Modeling the  $C_{BE}/C_{BC}$  Capacitance of the Parasitic Bipolar  
Device in the 40nm PD SOI NMOS Device



鄭宇亨

Yu-Heng Cheng

指導教授：郭正邦 博士

Advisor: James B. Kuo, Ph.D.

中華民國 100 年 6 月

June 2011

## 致謝

本論文能夠順利完成，首先要感謝我的指導教授郭正邦老師，老師總是希望把一切的知識都傳授給學生，也非常關心我們的學習狀況並適時給予指導，老師的用心良苦都是為了培養我們正確的學習態度以及待人處事的道理，在這兩年期間，我對於應有的求學態度成長了許多，也對專業領域有更深一層的了解，這一切都要歸功於老師的指導有方，在此學生由衷地感謝老師。

其次要感謝的是實驗室的學長、學弟們，在這段期間的幫忙和鼓勵，讓我更有信心、更有毅力地完成實驗，並且順利克服了許多難關，謝謝你們。

最後感謝關心我的家人朋友們，特別要感謝我父親、母親不求回報地付出與支持，並給予我最大的關懷與溫暖，讓我能專心在學業上打拼，無後顧之憂地學習，謝謝你們。

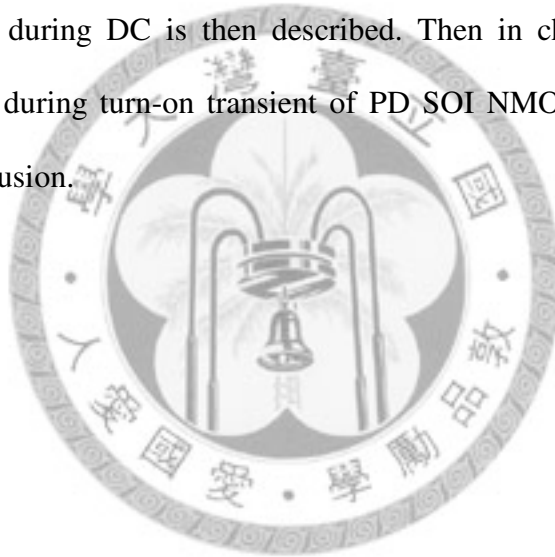


## 中文摘要

本論文敘述 40 奈米部份解離絕緣體上矽 N 型金氧半元件寄生雙載子電晶體之電容模型  $C_{BE}/C_{BC}$ 。第一章對絕緣體上矽互補式金氧半元件(PD SOI CMOS)作介紹，並比較部份解離絕緣體上矽金氧半元件(PD SOI MOS)與完全解離絕緣體上矽金氧半元件(FD SOI MOS)。第二章先說明部分解離絕緣體上矽金氧半元件(PD SOI MOS)之電流傳導機制並且考慮浮動基體效應(floating-body effect)。接著利用 Gummel-Poon model 解釋部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之暫態行為。再利用數學分析方法推導部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之寄生雙載子電晶體(parasitic bipolar device)電容模型  $C_{BE}/C_{BC}$ ，且在直流情況下觀察電容行為。第三章為暫態分析，描述出部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar device)電容  $C_{BE}/C_{BC}$  之上升暫態行為。第四章為最後總結。

# ABSTRACT

This thesis describes the model of the parasitic bipolar device in the 40nm PD SOI NMOS, and observes the charges in the thin film via transient analysis. The SOI CMOS device is described in chapter 1. Chapter 2 illustrates current mechanism considering the floating-body effect. For transient analysis, the Gummel-Poon model for the parasitic bipolar device in the PD SOI MOS device is very important. The  $C_{BE}/C_{BC}$  capacitance models are important in the Gummel-Poon model for transient analysis.  $C_{BE}/C_{BC}$  capacitance behavior during DC is then described. Then in chapter 3, the  $C_{BE}/C_{BC}$  capacitance behavior during turn-on transient of PD SOI NMOS device is described. Chapter 4 is the conclusion.



# CONTENTS

口試委員會審定書 .....	#
致謝 .....	i
中文摘要 .....	ii
ABSTRACT .....	iii
CONTENTS .....	iv
圖目錄 .....	vi
<b>Chapter 1 Introduction.....</b>	<b>1</b>
1.1 絕緣體上矽金氧半元件 .....	2
1.2 部分解離絕緣體上矽(PD SOI)金氧半元件 V.S. 完全解離絕緣體上矽 (FD SOI)金氧半元件 .....	5
1.3 部分解離絕緣體上矽金氧半元件之電流傳導機制 .....	8
1.4 結論 .....	9
<b>Chapter 2 部分解離絕緣體上矽 N 型金氧半元件之寄生雙載子電晶體模型:         C<sub>BE</sub>/C<sub>BC</sub> Modeling the parasitic bipolar device in the PD SOI         NMOS device: C<sub>BE</sub>/C<sub>BC</sub> .....</b>	<b>10</b>
2.1 飽和區汲極電流模型 .....	11
2.2 元件模擬 .....	15
2.3 Gummel-Poon model.....	19
2.4 Partitioned Charge method: Q <sub>BE</sub> /Q <sub>BC</sub> .....	22
2.5 寄生雙載子電晶體電容分析:C <sub>BE</sub> /C <sub>BC</sub> .....	26
2.6 結論 .....	32

<b>Chapter 3</b>	<b>部分解離絕緣體上矽 N 型金氧半元件之寄生雙載子電晶體模型暫態分析</b>	<b>Transient analysis of the parasitic bipolar device in the PD SOI NMOS device.....</b>	<b>33</b>
3.1	部分解離絕緣體上矽 N 型金氧半元件暫態分析 .....		34
3.2	寄生雙載子電晶體模型 turn-on 暫態分析 .....		39
3.3	寄生雙載子電晶體模型 turn-off 暫態分析 .....		48
3.4	結論 .....		51
<b>Chapter 4</b>	<b>總結.....</b>		<b>52</b>
REFERENCE .....			54



## 圖目錄

圖 1-1	: 傳統金氧半元件(bulk)之剖面圖。.....	3
圖 1-2	: 絕緣體上矽金氧半元件(SOI)之剖面圖。.....	3
圖 1-3	: 傳統金氧半元件(bulk MOS)之寄生電容。.....	4
圖 1-4	: 傳統金氧半元件(bulk MOS)之完整小訊號電路圖。.....	4
圖 1-5	: 部分解離絕緣體上矽(PD SOI)金氧半元件。.....	7
圖 1-6	: 完全解離絕緣體上矽(FD SOI)金氧半元件。.....	7
圖 2-1	: 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電 流傳導機制(current conduction mechanism)的截面示意圖。.....	14
圖 2-2	: 40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之穿透 式電子顯微鏡(TEM)圖。.....	16
圖 2-3	: 40nm 部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之模擬 結構示意圖。.....	17
圖 2-4	: 40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之汲 極電流( $I_D$ )對汲極電壓( $V_D$ )關係圖。.....	18
圖 2-5	: Gummel-Poon model.....	20
圖 2-6	: 簡化之 Gummel-Poon model.....	20
圖 2-7	: 根據簡化之 Gummel-Poon model, 再加上原本的直流電流模型, 即可把 完整的部分解離絕緣體上矽金氧半(PD SOI MOS)元件化作為一等效電 路模型。.....	21
圖 2-8	: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電荷 $Q_{BE}$ 作圖, 電荷	

$Q_{BE}$ 為利用 Partitioned Charge 方法求得。 .....	24
圖 2-9 : PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電荷 $Q_{BC}$ 作圖，電荷 $Q_{BC}$ 為利用 Partitioned Charge 方法求得。 .....	25
圖 2-10: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體之基-射極電壓 $V_{BE}$ 作圖。 .....	28
圖 2-11: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電容 $C_{BE}$ 作圖，電容 $C_{BE}$ 為利用微分方法求得。 .....	29
圖 2-12 : PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體之基-集極電壓 $V_{BC}$ 作圖。 .....	30
圖 2-13: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電容 $C_{BC}$ 作圖，電容 $C_{BC}$ 為利用微分方法求得。 .....	31
圖 3-1 : 設定閘極電壓從 0V 上升到 2V、汲極電壓固定在 2V，上升時間分別為 10ns 與 100ns 之汲極電流與輸入閘極電壓圖，實線與虛線為模擬結果，點則表示為實際量測結果。 .....	36
圖 3-2 : 在上升時間為 10ns 與 100ns 下，時間分別對乘增因子 $M-1$ (multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)作圖。 .....	37
圖 3-3 : 在下降時間為 10ns 與 100ns 下，時間分別對乘增因子 $M-1$ (multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)作圖。 .....	38
圖 3-4 : 在 $V_D=1V$ 、 $V_G=0V \rightarrow 1V$ 時，上升時間對寄生雙載子電晶體之基極-射極電壓 $V_{BE}$ 作圖。 .....	41
圖 3-5 : 在 $V_D=1V$ 、 $V_G=0V \rightarrow 1V$ 時，上升時間對寄生雙載子電晶體電荷 $Q_{BE}$ 、 $Q_{BC}$ 作圖。 .....	42



圖 3-6：在 $V_D=1.5V$ 、 $V_G=0V \rightarrow 1.5V$ 時，上升時間對寄生雙載子電晶體之基極-射極電壓 $V_{BE}$ 作圖。 .....	43
圖 3-7：在 $V_D=1.5V$ 、 $V_G=0V \rightarrow 1.5V$ 時，上升時間對寄生雙載子電晶體電荷 $Q_{BE}$ 、 $Q_{BC}$ 作圖。 .....	44
圖 3-8：在 $V_D=2V$ 、 $V_G=0V \rightarrow 2V$ 時，上升時間對寄生雙載子電晶體之基極-射極電壓 $V_{BE}$ 作圖。 .....	45
圖 3-9：在 $V_D=2V$ 、 $V_G=0V \rightarrow 2V$ 時，上升時間對寄生雙載子電晶體電荷 $Q_{BE}$ 、 $Q_{BC}$ 作圖。 .....	46
圖 3-10：在 $V_D=1.5V$ 、 $V_G=0V \rightarrow 1.5V$ 時，上升時間對寄生雙載子電晶體電容 $C_{BE}$ 、 $C_{BC}$ 作圖。 .....	47
圖 3-11：在 $V_D=2V$ 、 $V_G=2V \rightarrow 0V$ 時，下降時間對寄生雙載子電晶體之基極-射極電壓 $V_{BE}$ 作圖。 .....	49
圖 3-12：在 $V_D=2V$ 、 $V_G=2V \rightarrow 0V$ 時，下降時間對寄生雙載子電晶體之電荷 $Q_{BE}$ 、 $Q_{BC}$ 作圖。 .....	50

# Chapter 1 Introduction

科技日新月異，不斷創新進步，電壓不斷降低，元件尺寸越縮越小。元件尺寸縮小的主要目的在於改善金氧半元件的特性，增進電路設計的效能。金氧半元件尺寸縮小，能改善元件內部本身的寄生雜散電容(parasitic capacitance)，可以提升元件的操作速度，且能有效提升電路封裝的密度，使電路的成本降低。

尺寸不斷的縮小，需要更先進的製程技術外，還得面臨元件日益縮小後產生的非理想效應，例如二次效應變嚴重，使得元件更難以控制。為了改善金氧半元件的非理想效應與增進控制元件的能力，先進研究的絕緣體上矽(silicon on insulator ; SOI)互補式金氧半元件已經越來越受到重視[1]。絕緣體上矽互補式金氧半元件(SOI CMOS)是以絕緣體和其上的一層單晶矽為基材加工製造出來的半導體元件，比一般的金氧半元件(bulk MOS)多了一層潛埋氧化層(buried oxide)，所以元件之間不再共用一層基底 (substrate)，潛埋氧化層 (buried oxide) 的結構可提供良好的絕緣能力，使得絕緣體上矽金氧半元件的漏電流變得相當小，此外絕緣體上矽金氧半元件技術和之前傳統的金氧半元件(bulk MOS)相比，還具有元件密度高 [2]、臨界電壓較小、抗輻射能力強、寄生電容小、二次效應(second-order effect) 小、沒有 latch-up 現象、功率消耗低、速度快、和現有超大型積體電路(VLSI)設計技術相容等許多優點[3][4]。故在未來的電路設計上，可能會大幅採用此種製程技術。在本章中，首先介紹絕緣體上矽金氧半元件，其次為部份解離絕緣體上矽金氧半元件(PD SOI MOS)與完全解離絕緣體上矽金氧半元件(FD SOI MOS)的比較，最後介紹絕緣體上矽金氧半元件內部的電流傳導機制。

## 1.1 絕緣體上矽金氧半元件

絕緣體上矽金氧半元件(SOI MOS)和傳統金氧半元件(bulk MOS)最大的不同在於絕緣體上矽金氧半元件有潛埋氧化層(buried oxide)的存在，潛埋氧化層隔離了矽薄膜層和基板，可以避免元件間 latch-up 的現象[5]。而且潛埋氧化層的存在，減少了元件源極與汲極端的空乏區，尤其是源極汲極區域下方部份，使絕緣體上矽金氧半元件的寄生電容較傳統金氧半元件小，電路速度可因而變快。有潛埋氧化層(buried oxide)作為隔離，可減少高能射線照射產生之電子電洞對對元件的影響[6]，故絕緣體上矽金氧半元件(SOI MOS)比傳統金氧半元件(bulk MOS)更適合用於航太科技。除此之外，潛埋氧化層(buried oxide)可使 N 型金氧半元件(NMOS)及 P 型金氧半元件(PMOS)之 p 型及 n 型的汲極(drain)、源極(source)區域在元件設計時直接接觸，即 N 型金氧半元件(NMOS)及 P 型金氧半元件(PMOS)可以靠在一起，使元件密度提高，減少電路設計時的面積消耗。

潛埋氧化層(buried oxide)的存在使得元件薄膜底層沒有接觸(contact)，讓多餘的電荷無法排出而不斷累積，此電荷將會受到外加偏壓影響而有所改變，行為如同電容，而本論文之重點為探討部份解離絕緣體上矽金氧半元件(PD SOI MOS)薄膜層內部寄生雙載子電晶體之電容現象，此電容現象在傳統金氧半元件(bulk MOS)是看不到的，如圖 1-3。後面章節會逐一推導出寄生雙載子電晶體電容之模型。

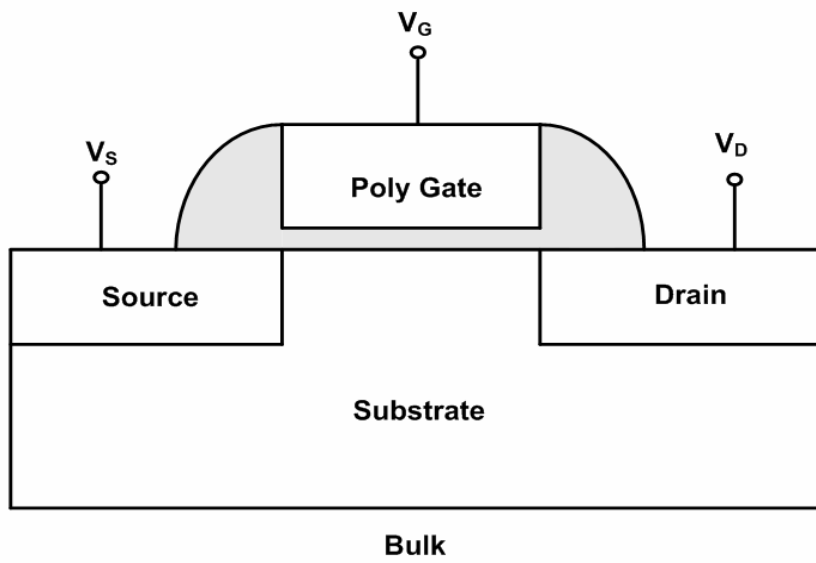


圖 1-1 : 傳統金氧半元件(bulk)之剖面圖。

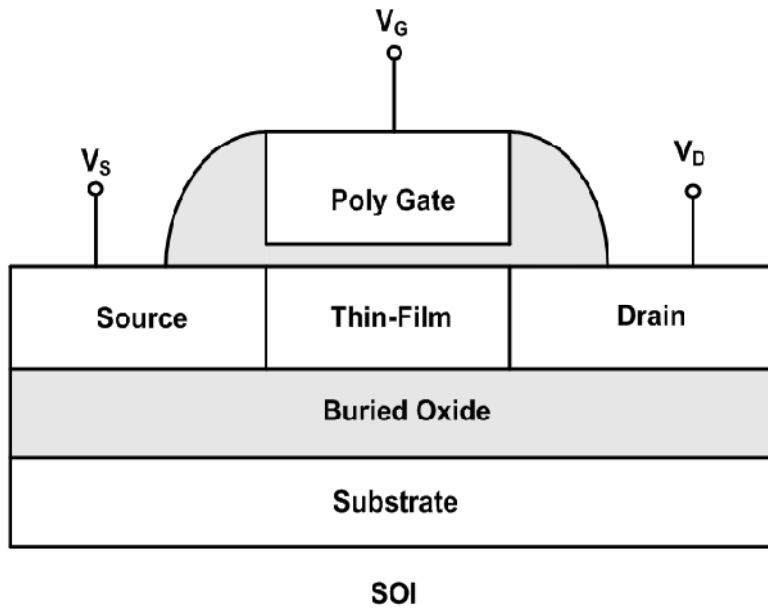


圖 1-2 : 絕緣體上矽金氧半元件(SOI)之剖面圖。

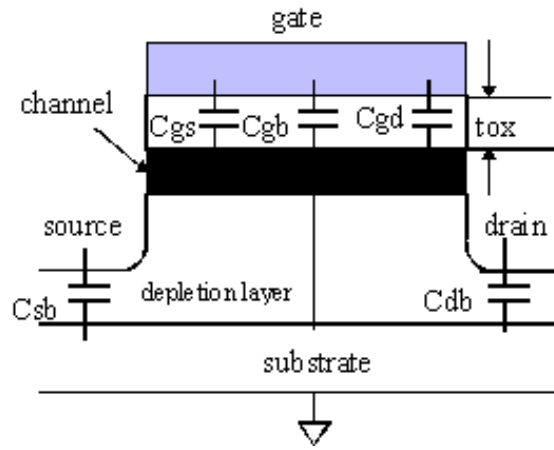


圖 1-3 : 傳統金氧半元件(bulk MOS)之寄生電容。

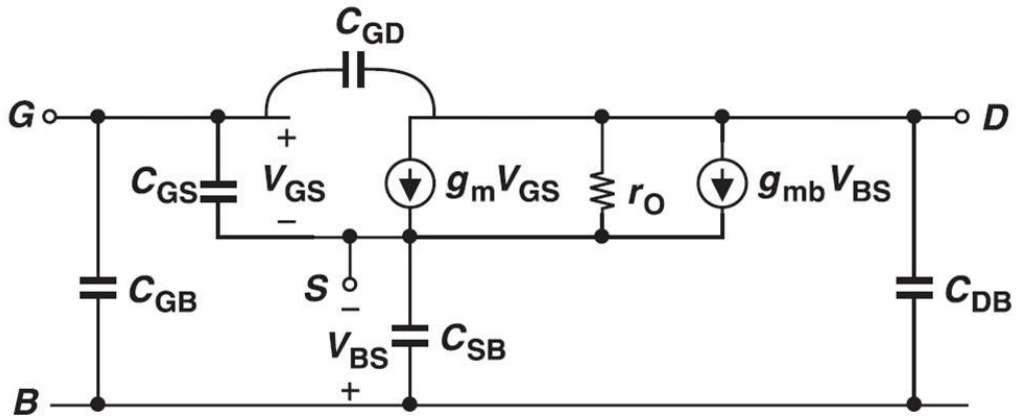


圖 1-4 : 傳統金氧半元件(bulk MOS)之完整小訊號電路圖。

## 1.2 部分解離絕緣體上矽(PD SOI)金氧半元件 V.S. 完全解離絕緣體上矽(FD SOI)金氧半元件

絕緣體上矽(SOI)金氧半元件可以分為厚膜(thick thin-film)與薄膜(thin thin-film)兩種。厚膜元件只有矽薄膜層上方的部份產生空乏解離，矽薄膜層的下方保持中性，此元件稱為部份解離絕緣體上矽金氧半元件(partially-depleted SOI ; PD SOI)。如果是薄膜元件，則矽薄膜層會完全空乏解離，我們稱之為完全解離絕緣體上矽(fully-depleted SOI ; FD SOI)。

這兩種不同類型的絕緣體上矽金氧半元件各有其優缺點。部分解離絕緣體上矽金氧半元件(PD SOI MOS)的優點在於因為矽薄膜層不完全解離，所以部分絕緣體上矽金氧半元件的臨界電壓(threshold voltage)不受矽薄膜層厚度的影響，有較穩定的臨界電壓，且製程較易。除此之外，部分解離絕緣體上矽金氧半元件的優點還包括因為矽薄膜層不需特別要求厚度精準，提供工業製造上大量生產的可能性，其優點有：比較大的臨界電壓(threshold voltage)、元件容易設計、多重臨界電壓(multi-threshold voltage)選擇性，較小的二次效應等；但是部分解離絕緣體上矽金氧半(PD SOI MOS)元件存在中性區域會有浮動基體效應(Floating-body effect) [7][8][9]產生，此效應是元間偏壓在強反轉區(strong inversion)時，電子受到橫向電場的作用加速前進，在靠近汲極端會撞擊晶格產生電子電洞對(electron-hole pair)，所產生之載子受到電場影響繼續撞擊晶格產生更多電子電洞對，一直循環擴大稱之為撞擊游離(impact ionization)[10]。在發生撞擊游離過程當中電子往汲極移動而電洞會往薄膜底層基板(substrate)移動並儲存在中性基體，此為浮動基體效應

(Floating-body effect)，當基體電壓越來越高使得寄生雙載子電晶體基-射接面導通，會使汲極電流有一突增發生，稱之為電流突增效應 Kink effect [11][12][13]，此為部分解離絕緣體上矽金氧半之非理想特性。

對完全解離絕緣體上矽金氧半(FD SOI MOS)元件而言，沒有中性區(neutral region)存在，所以不會有浮動基體效應(Floating-body effect)所產生的電流突增效應 Kink effect，其優點有：沒有磁滯效應(hysteresis behavior)、比較好的次臨界區電流(subthreshold current)特性，即較小的次臨界斜率，元件轉導(transconductance)大等，但是由於完全解離絕緣體上矽金氧半(FD SOI MOS)元件因為薄膜層太薄，元件臨界電壓(threshold voltage)對製程因素極為敏感，所以製程的一致性(uniformity)非常重要，在工業製造上較為困難。



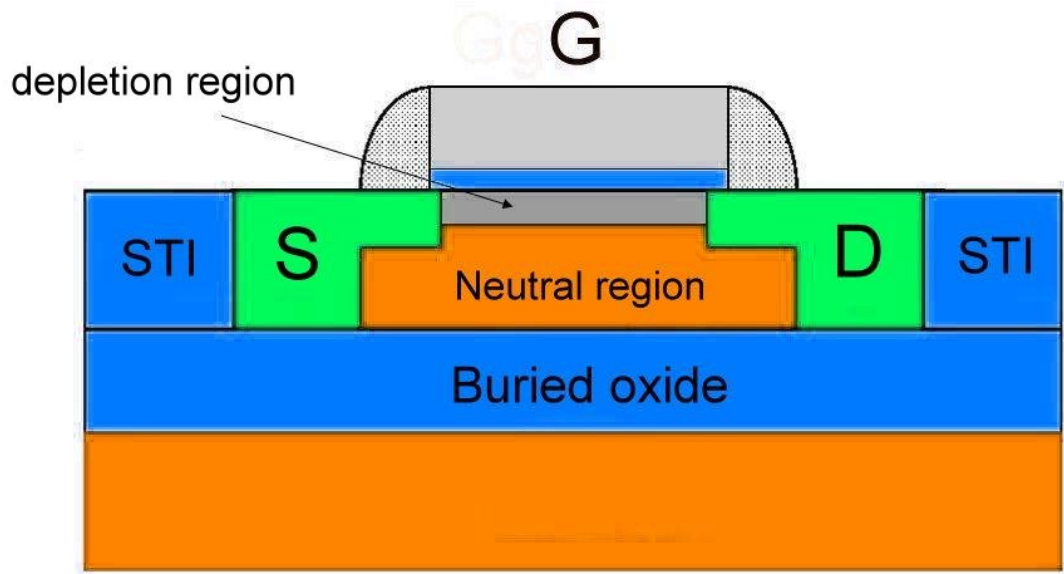


圖 1-5 : 部分解離絕緣體上矽(PD SOI)金氧半元件。

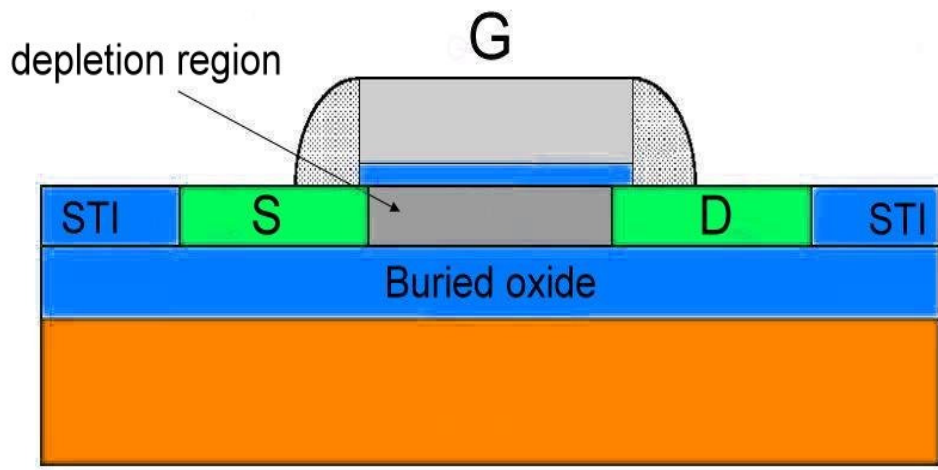


圖 1-6 : 完全解離絕緣體上矽(FD SOI)金氧半元件。



### 1.3 部分解離絕緣體上矽金氧半元件之電流傳導機制

接下來針對部分解離絕緣體上矽金氧半(PD SOI MOS)元件之浮動基體效應(Floating-body effect)所造成的影響作深入探討。當元件操作在飽和區間(saturation region)時，在氧化層/矽(SiO<sub>2</sub>/Si)表面的反轉層內，會有由電子群漂移所形成的通道電流。在接近汲極端的高電場區域，即後夾止區域(post pinch-off)，因存在強大的橫向電場(lateral electric field)，傳導的電子將會受靠近汲極的橫向電場作用而加速向汲極端撞擊晶格(lattice)，而游離產生新的電子電洞對(electron-hole pair)，而這些新產生出來的自由載子又受到內建電場加速繼續撞擊晶格產生更多電子電洞對，如此循環擴大稱之為撞擊游離(impact ionization)。新產生出來的電子被正電吸引往汲極移動，而電洞會受到垂直電場作用向下往潛埋氧化層移動並累積於中性基體中，由於部分解離絕緣體上矽金氧半(PD SOI MOS)元件因為不完全解離的矽薄膜層產生了浮動基體效應(Floating-body effect)，所產生的多餘載子無法由基底排掉，電洞越累積越多使得潛埋氧化層裡的寄生雙載子電晶體基-射界面導通，在寄生雙載子電晶體區間，一部分的集極電流會移往高電場區，同時也增加碰撞游離電流並產生電子電洞對。

## 1.4 結論

此章比較絕緣體上矽金氧半(SOI MOS)元件與傳統金氧半元件(bulk MOS)的特性，絕緣體上矽金氧半元件具有元件密度高、臨界電壓較小、抗輻射能力強、寄生電容小、二次效應(second-order effect)小、沒有 latch-up 現象、功率消耗低、速度快、和 VLSI 設計技術相容等許多優點。並且討論部分解離絕緣體上矽(PD SOI)金氧半元件與完全解離絕緣體上矽(FD SOI)金氧半元件的優缺點。最後是探討部分解離絕緣體上矽(PD SOI)金氧半元件的電流導通機制，在下一章節將會對潛埋氧化層之寄生雙載子電晶體(parasitic bipolar device)進行分析，觀察底層電荷隨外加電壓之變化，進而推導出電容模型。



## Chapter 2 部分解離絕緣體上矽 N 型金氧半元件之寄

### 生雙載子電晶體模型： $C_{BE}/C_{BC}$

### Modeling the parasitic bipolar device in the PD SOI NMOS device: $C_{BE}/C_{BC}$

在本章節中將探討部分解離絕緣體上 N 型矽金氧半(PD SOI NMOS)元件浮動基底效應(Floating-body effect)影響寄生雙載子電晶體電容行為分析。首先先介紹部分解離絕緣體上 N 型矽金氧半(PD SOI NMOS)元件之飽和區汲極電流模型，觀察元件浮動基底效應(Floating-body effect)與底層寄生雙載子電晶體(parasitic bipolar device)導通的過程。再來是利用 Gummel-Poon model 建立部分解離絕緣體上 N 型矽金氧半(PD SOI NMOS)元件之等效電路模型，以觀察內部寄生電容對元件之影響。接下來針對矽薄膜內的電荷作分析，利用 Partitioned charge method 求出寄生雙載子電晶體(parasitic bipolar device)之 base-emitter junction 與 base-collector junction 電荷分佈與數量，最後由數學微分方法推導出一等效寄生雙載子電晶體之電容模型： $C_{BE}/C_{BC}$ 。

## 2.1 飽和區汲極電流模型

當元件操作在飽和區間(saturation region)時，在氧化層/矽( $\text{SiO}_2/\text{Si}$ )表面的反轉層內，會有由電子群漂移而形成的通道電流。在接近汲極端的高電場區域，即後夾止區域(post pinch-off)，因存在大的橫向電場(lateral electric field)，漂移的電子群會劇烈撞擊晶格(lattice)，產生電子電洞對。這些生成的電子群、電洞群會因電場作用而往反方向移動，生成的電子群向汲極移動，生成的電洞群向源極移動。因此造成生成的電子電流和電洞電流大小相同方向相反，此電流稱為撞擊游離電流(impact ionization current)。一部分的撞擊游離電流(impact ionization current)會因垂直電場(vertical electric field)作用，而直接垂直到潛埋氧化層(buried oxide)，造成潛埋氧化層(buried oxide)上方的矽薄膜(thin film)內會有電洞累積，不斷累積而觸發潛埋氧化層(buried oxide)上方寄生雙載子電晶體(parasitic bipolar transistor)導通。當寄生雙載子電晶體(parasitic bipolar transistor)被觸發，這些累積的電洞群會與電子群在基體(body)內進行復合。假如忽略此復合效應，到達穩定狀態(steady state)時，經由撞擊游離(impact ionization)所產生的電洞群會與進入源極端的電洞群相同。在寄生雙載子電晶體(parasitic bipolar transistor)內，一部分由電子群所組成的集極電流(collector current)，會因垂直電場(vertical electric field)向高電場處流動。此電子群也會撞擊晶格(lattice)，因此亦會與通道電流機制相同，進而有電子電洞對的產生。

由圖 2.1 可知，當部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)操作在飽和區間(saturation region)時，其汲極電流(drain current ;  $I_D$ )分別是由表面通道電流(surface channel current ;  $I_{ch}$ ) [14]、撞擊游離電流(impact ionization current ;  $I_h$ )、以及寄生雙載子電晶體(parasitic bipolar transistor)之集極電流(collector current ;  $I_C$ )所共同組成的：

$$I_D = I_{ch} + I_h + I_C \quad (2.1)$$

元件內的源極電流(source current ;  $I_S$ )分別是由為表面通道電流(surface channel current ;  $I_{ch}$ )、一部分的碰撞游離電流(impact ionization current ;  $I_h$ )、以及寄生雙載子電晶體(parasitic bipolar transistor)的射極電流(emitter current ;  $I_E$ )所加起來的結果：

$$I_S = I_{ch} + (1 - K)I_h + I_E \quad (2.2)$$

其中， $K$  為一常數，表示有多少比例的撞擊游離電流流入寄生雙載子電晶體(parasitic bipolar transistor)的基極(base)。

撞擊游離電流(impact ionization current)是表面通道電流(surface channel current ;  $I_{ch}$ )、以及一部份通過高電場區的集極電流(collector current ;  $K' I_C$ )之共同的函數，所以可表示為：

$$I_h = (M - 1)(I_{ch} + K' I_C) \quad (2.3)$$

其中，M 是指元件內的乘增因數(multiplication factor)[7]：

$$M - 1 = \alpha(V_D - V_{DSAT}) \exp\left(-\frac{\beta}{V_D - V_{DSAT}}\right) \quad (2.4)$$

其中， $\alpha$  與  $\beta$  為製程有相關的調整參數(fitting parameter)，對溫度並不敏感， $V_{DSAT}$  是剛進去飽和區(saturation region)的汲極電壓(drain voltage)。若以直流的情形去考量，則元件內的源極電流(source current)必須跟汲極電流(drain current)相等。所以根據這個條件可知，汲極電流(drain current)的公式應為：

$$I_D = GI_{ch} + HI_{CBO} \quad (2.5)$$

$$G = 1 + \frac{(M - 1)(1 - (1 - K)\alpha_0)}{1 - (1 + KK'(M - 1))\alpha_0} \quad (2.6)$$

$$H = \frac{1 + K'(M - 1)}{1 - (1 + KK'(M - 1))\alpha_0} \quad (2.7)$$

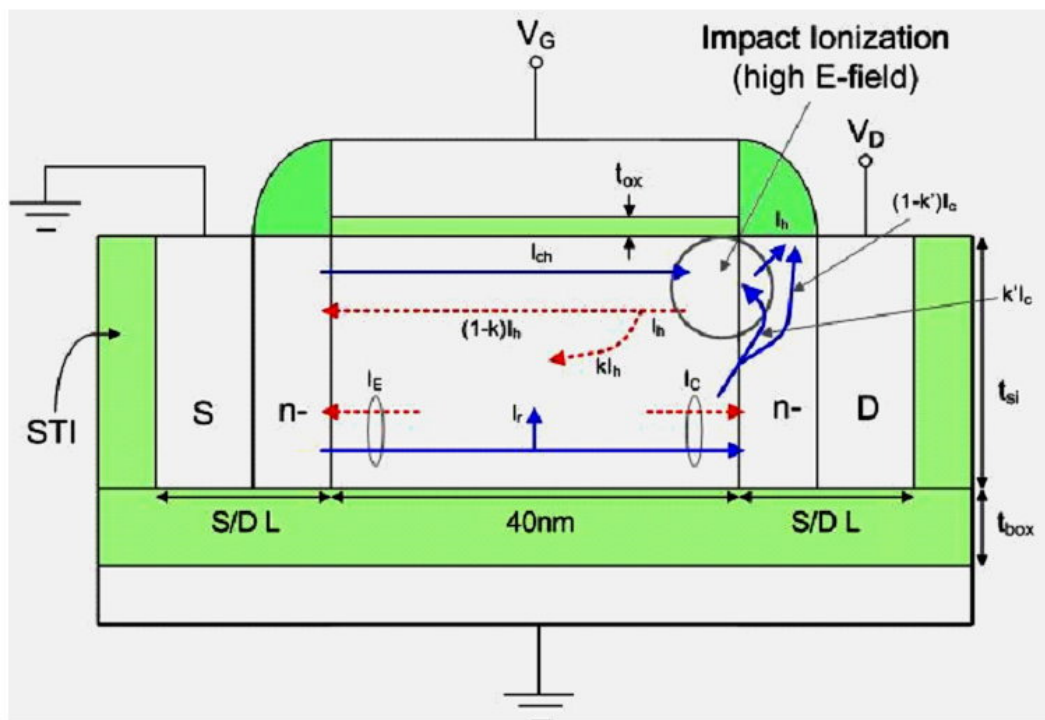


圖 2-1： 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電流傳導機制(current conduction mechanism)的截面示意圖。

## 2.2 元件模擬

圖 2-2 為有效通道長度(effective channel length) 40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之穿透式電子顯微鏡(TEM)圖;圖 2-3 為二維模擬器 Medici[15]所建立之元件架構圖,結構如下:通道長度(channel length)為 40 奈米(nm);薄膜層(thin-film)的厚度為 70 奈米(nm),摻雜 p 型雜質,摻雜濃度為  $2.5 \times 10^{18} \text{ cm}^{-3}$ ;源/汲極區(Soure/Drain)摻雜 n 型濃度為  $10^{22} \text{ cm}^{-3}$ ;邊牆(sidewall spacer)下方有 65 nm 長的 n 型輕摻雜區域(lightly doped drain;LDD),摻雜濃度為  $1 \times 10^{19} \text{ cm}^{-3}$ ;潛埋氧化層(buried oxide)厚度為 145 奈米(nm);閘極氧化層(gate oxide)為 2 奈米(nm)的二氧化矽( $\text{SiO}_2$ )材料。使用二維模擬器 Medici 萃取出潛埋氧化(buried oxide)層內部電荷分佈與相關數據。

圖 2-4 為 40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之汲極電流(Drain current ;  $I_D$ )對汲極電壓(Drain voltage ;  $V_D$ )關係圖,其中閘極電壓 (Gate Voltage ;  $V_G$ ) 分別設定為 0.5V、1.0V、1.5V 與 2.0V,當閘極電壓 (Gate Voltage; $V_G$ ) 較越小時,其後夾止區域(post pinch-off)越大,亦即載子發生碰撞的區域越大,使得電洞的累積較快,電流突增現象 (Kink effect) 會提早發生。



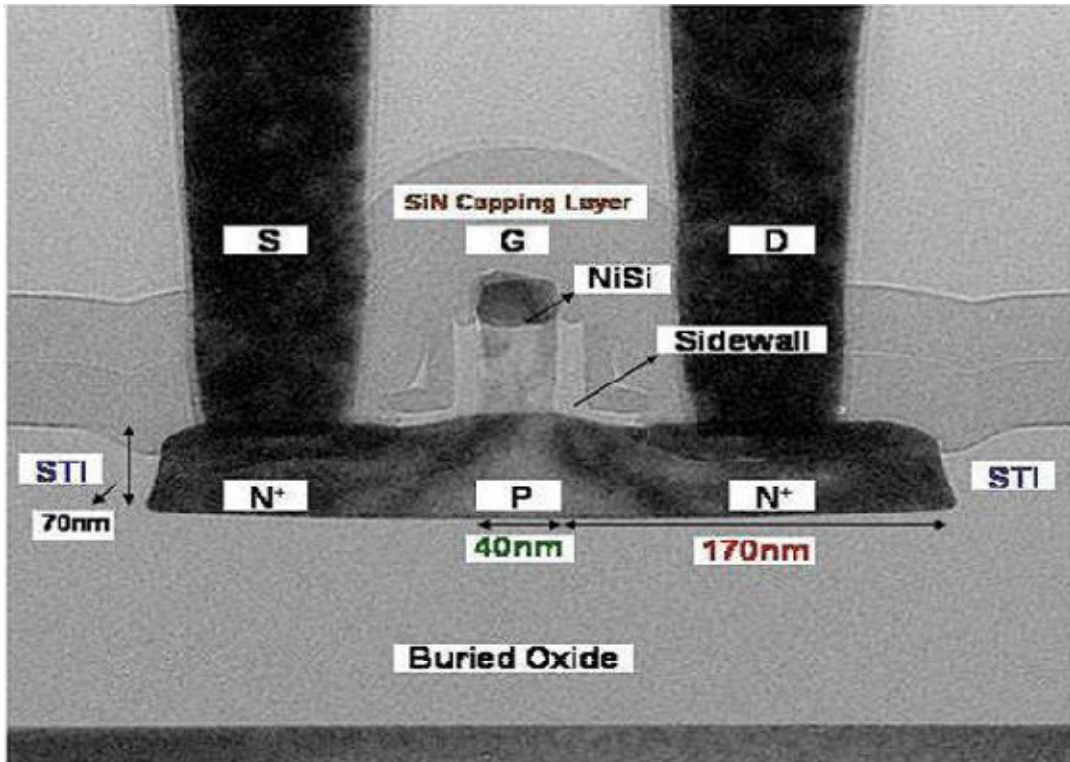


圖 2-2：40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之穿透式電子顯微鏡(TEM)圖。

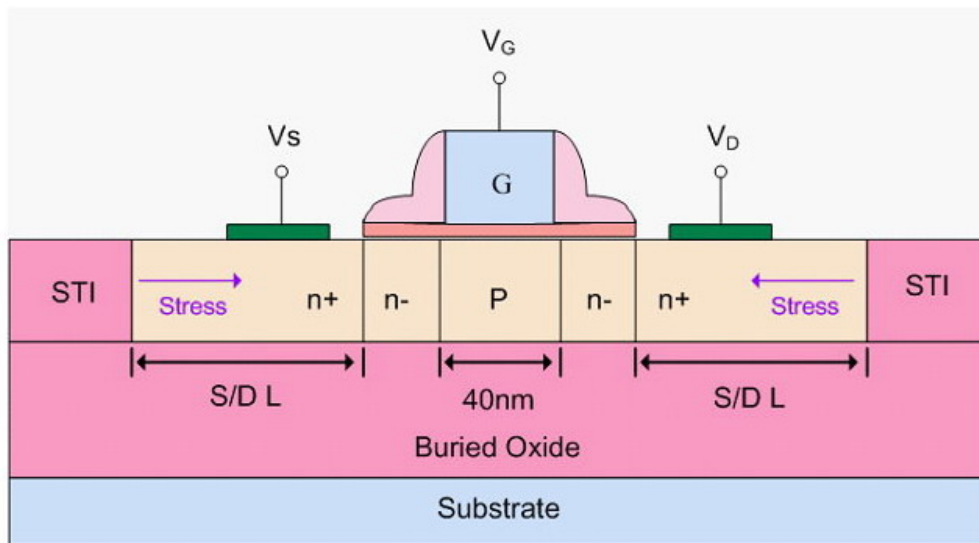


圖 2-3 : 40nm 部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之模擬

結構示意圖。



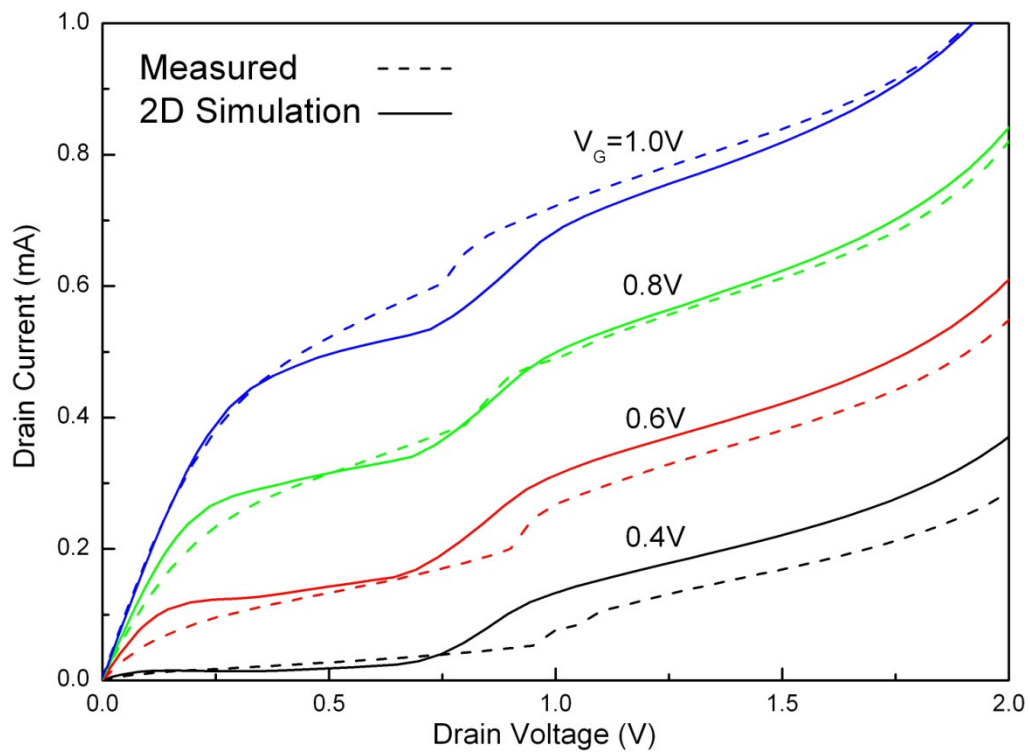


圖 2-4：40 奈米部分解離絕緣體上矽 N 型金氧半(40 nm PD SOI NMOS)元件之汲極電流( $I_D$ )對汲極電壓( $V_D$ )關係圖。

## 2.3 Gummel-Poon model

雙載子電晶體元件(BJT)最早之模型為 Ebers-Moll model,此模型常用於直流分析,常用於解釋電晶體不同的操作模式,也能以等效電路解釋雙載子電晶體元件(BJT)內部之復合(recombination)現象,且能解釋電流增益(current gain)之發生。但 Ebers-Moll model 無法用於小訊號分析,所以就需要 Gummel-Poon model[16][17]來幫助分析元件小訊號現象。

Gummel-Poon model 又稱 charge control model,是加入電荷模型至直流模型,用來分析元件受外在條件變化影響的瞬間狀況。Gummel-Poon model 比 Ebers-Moll model 多了四個非線性電容,非線性之電容代表電荷  $Q_F$ 、 $Q_R$ 、 $Q_{VE}$ 、 $Q_{VC}$ ,  $Q_F$  是 forward mobile charge,  $Q_R$  是 reverse mobile charge,  $Q_{VE}$  與  $Q_{VC}$  分別是 base-emitter junction、base-collector junction 內部空乏區間的空間電荷(space charge),如圖 2-5。為了簡化模型而將忽略空間電荷  $Q_{VE}$  與  $Q_{VC}$ ,圖 2-6 為簡化後之 Gummel-Poon model。 $Q_F$  是由 base-emitter junction 所產生在基極(base)中之總電子量, $Q_F$  的分析可簡化為集極電流 (Collector current) 與基極傳輸時間 (forward transit time) 之乘積:

$$Q_F = \tau_F I_C \quad (2.8)$$

同理, $Q_R$  是由 base-collector junction 所產生在基極(base)中之總電子量,可表示為射極電流 (Emitter current) 與 reverse transit time 之乘積:

$$Q_R = \tau_R I_E \quad (2.9)$$

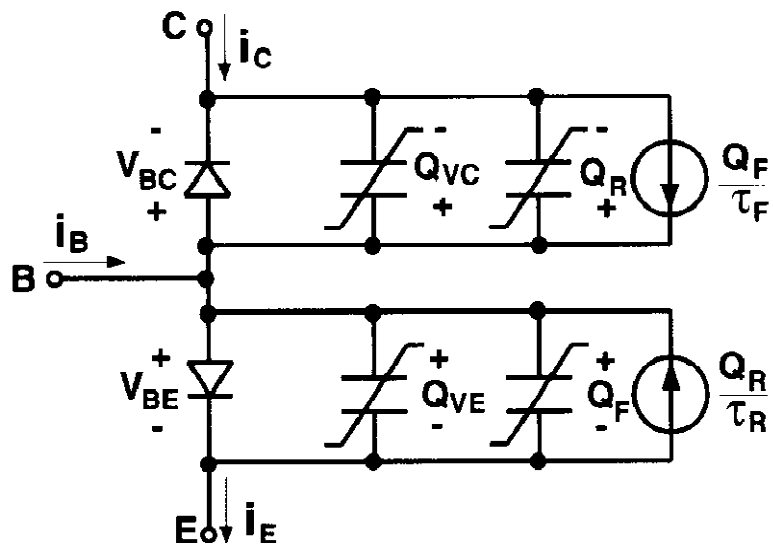


圖 2-5 : Gummel-Poon model

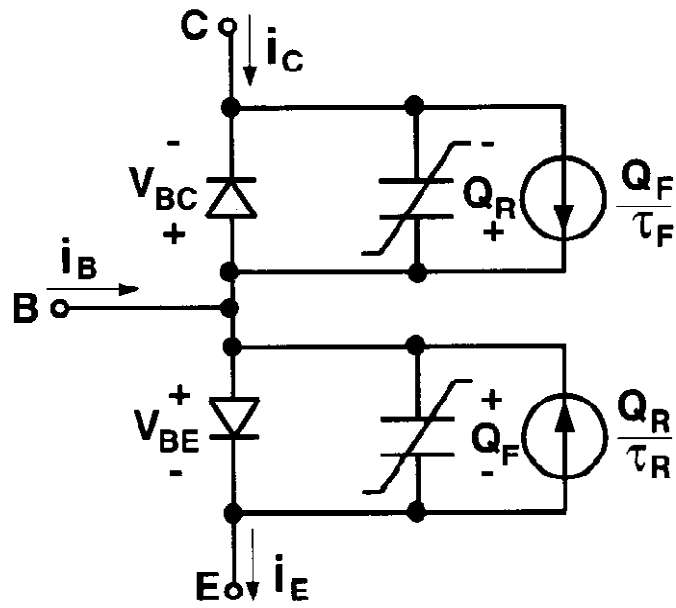


圖 2-6 : 簡化之 Gummel-Poon model

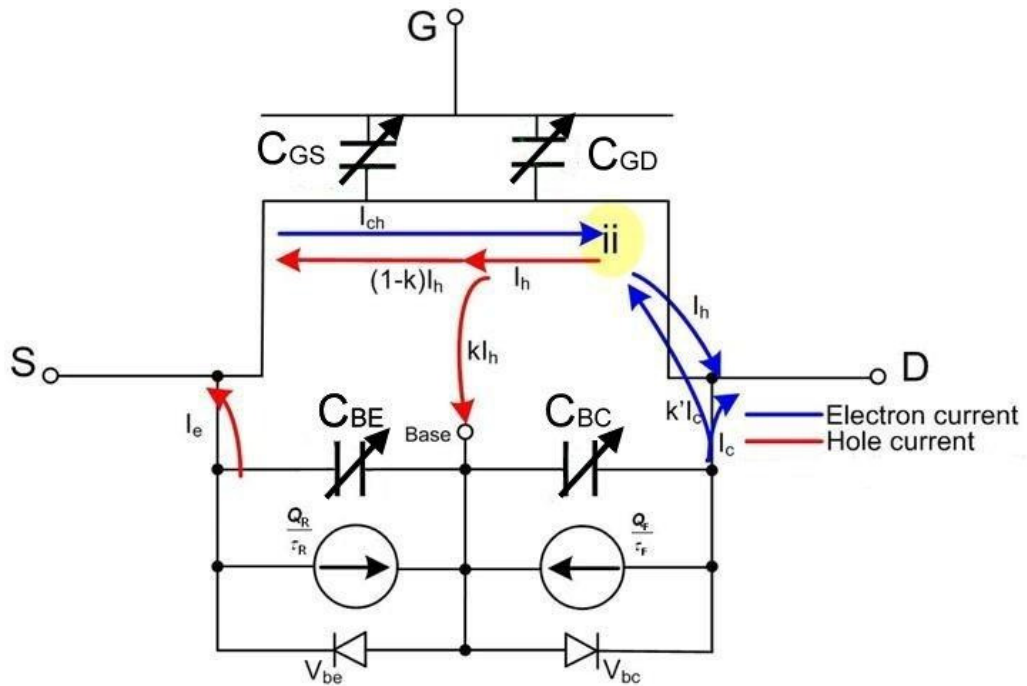


圖 2-7：根據簡化之 Gummel-Poon model，再加上原本的直流電流模型，即可把完整的部分解離絕緣體上矽金氧半(PD SOI MOS)元件化作為一等效電路模型。

## 2.4 Partitioned Charge method: $Q_{BE}/Q_{BC}$

此章節為利用 Partitioned Charge 方法求出在潛埋氧化(buried oxide)層上方之元件薄膜層(thin-film)內部之電荷分佈。當外加汲極電壓(Drain voltage)不斷上升時，撞擊游離效應不斷增強，使得電子電洞對一直撞擊游離產生，電洞會被垂直電場排到元件薄膜層的底層，而底層並無接觸(contact)，使得電洞不斷累積，等效電壓持續上升，寄生雙載子元件將會導通。我將利用二維模擬軟體 Medici 萃取出元件薄膜(thin-film)層內之總電荷量，以元件薄膜(thin-film)底層電荷分離為端點電荷，再劃分出靠汲極端之薄膜底層電子量為  $Q_{BC}$ ，即寄生雙載子電晶體(parasitic bipolar transistor)之 base-collector junction 電子量。同理， $Q_{BE}$  為靠近源極之薄膜底層電子量，即寄生雙載子電晶體(parasitic bipolar transistor)之 base-emitter junction 電荷。所以  $Q_{BC} + Q_{BE}$  為薄膜底層內的全部電子量，此即為 Partitioned Charge 方法 [18][19]。而我們會忽略解離之載子。

實際操作為先利用比重(weight)積分方法將模擬出來全部薄膜底層電子量 ( $Q_I$ ) 乘上比重(weight)，從全部薄膜底層電子量 ( $Q_I$ ) 分別取出汲極電荷 ( $Q_{BC}$ ) 與源極電荷 ( $Q_{BE}$ )。以  $Q_{BE}$  例，越靠近源極(source)比重越大，離源極(source)越遠則比重小；反之， $Q_{BC}$  為越靠近源極(source)比重越大小，離源極(source)越遠則比重大：

$$Q_{BE} = -\int_0^L \left(1 - \frac{y}{L}\right) Q_I(y, t) dy \quad (2.10)$$

$$Q_{BC} = -\int_0^L \left(\frac{y}{L}\right) Q_I(y, t) dy \quad (2.11)$$

圖 2-8、圖 2-9 為利用 Partitioned Charge 方法求出之底層電荷  $Q_{BE}$  與  $Q_{BC}$ ，分別考慮  $V_G=0.4V$ 、 $0.6V$ 、 $0.8V$ 、 $1V$  下四種不同的例子。由圖 2-8 可看出電荷量  $Q_{BE}$  隨外加汲極電壓(Drain voltage)不斷上升，當汲極電壓(Drain voltage)到達  $0.6 V$  左右，推論為 Kink Effect 發生，造成大量載子產生。而在  $V_G=1V$  的情形下，需較大的汲極電壓才能讓電荷  $Q_{BE}$  大量增加，是因為較大的閘極電壓(Gate voltage)，使得後夾止區域(post pinch-off region)變小，撞擊游離效應變弱，與之前探討的直流分析不謀而合。反觀圖 2-9，電荷  $Q_{BC}$  先隨外加汲極電壓上升而下降，是因為一開始汲極電壓較小，撞擊游離效應較弱，而電荷  $Q_{BC}$  會被汲極電壓(正電)吸引，產生的電荷數量小於被吸引的電荷數量，使得電荷  $Q_{BC}$  越來越小。但當汲極電壓到達  $0.6 V$  左右，推論為 Kink Effect 發生，撞擊游離效應產生大量的載子，電荷  $Q_{BC}$  則越來越大。





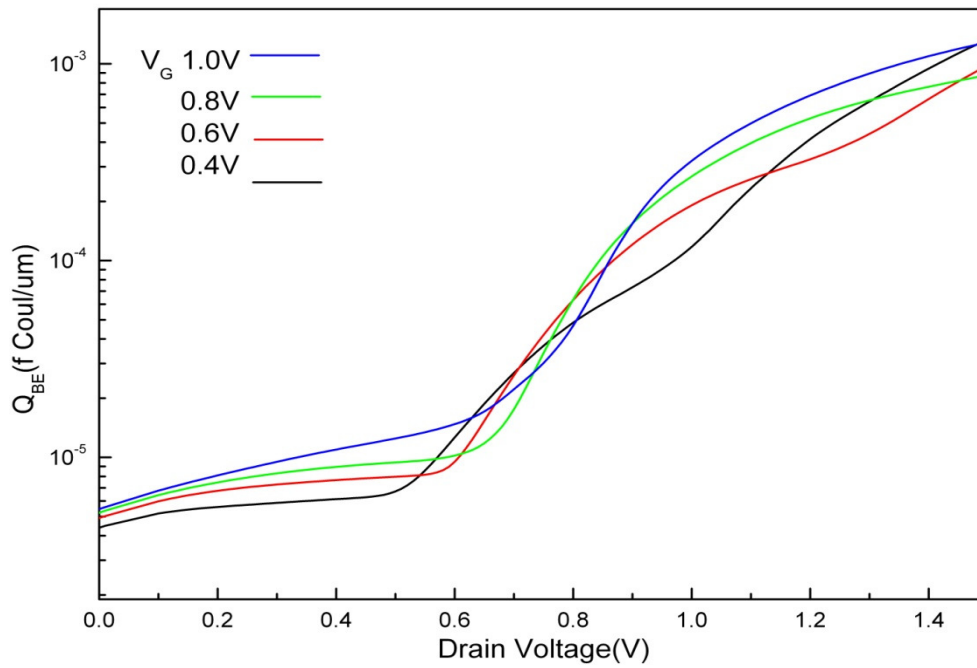


圖 2-8：PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電荷  $Q_{BE}$  作圖，電荷

$Q_{BE}$  為利用 Partitioned Charge 方法求得。



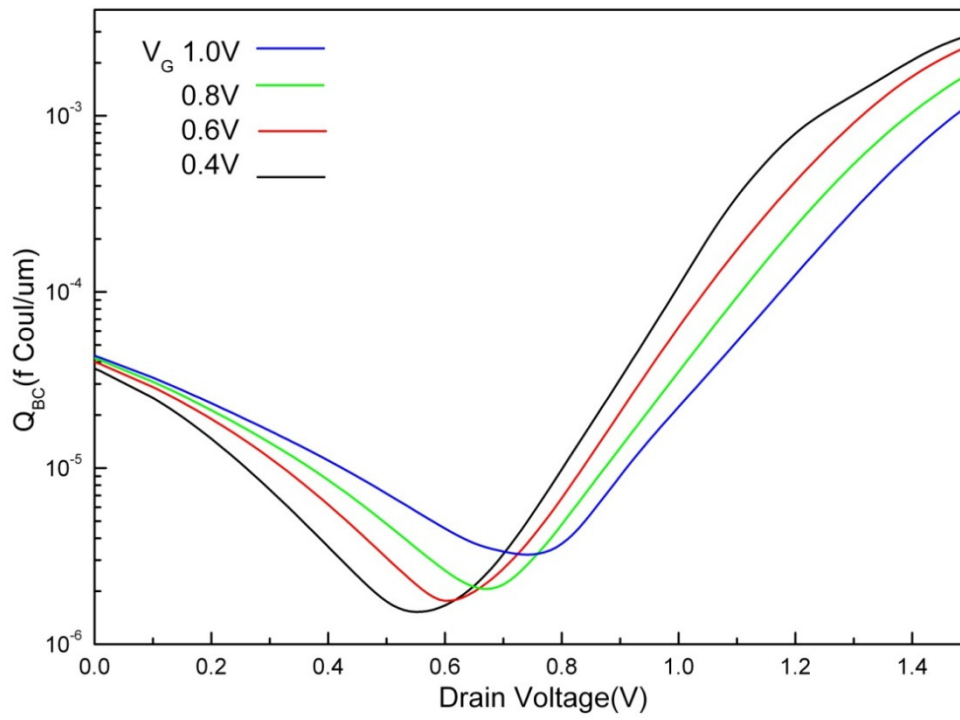


圖 2-9 : PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電荷  $Q_{BC}$  作圖，電荷  $Q_{BC}$  為利用 Partitioned Charge 方法求得。



## 2.5 寄生雙載子電晶體電容分析: $C_{BE}/C_{BC}$

此章節將探討在潛埋氧化(buried oxide)層上方之元件薄膜層(thin-film)電荷對寄生雙載子元件電容模型的影響[20][21]。當外加汲極電壓(Drain voltage)不斷上升時，撞擊游離效應不斷增強，使得電子電洞對一直產生，電洞會被排到元件薄膜(thin-film)的底層，而底層並無接觸(contact)，使得電洞不斷累積，等效電壓持續上升，寄生雙載子元件將會導通。在薄膜層內之電荷將會受到外加偏壓的影響，電壓改變影響電荷量變化之行為如同電容效應，本章節將會以 Gummel-Poon 模型為基礎，推導出寄生雙載子元件的電容模型。以 base-emitter junction 之寄生電容  $C_{BE}$  為例，定義為電壓  $V_{BE}$  改變而影響  $Q_{BE}$  改變，將這兩個變化量相除(即微分)就可得到  $C_{BE}$  的值，由於  $V_{BE}$  對  $Q_{BE}$  不是直接的線性關係，為了準確性我將式子拆成兩個除式，即  $V_D$  的改變影響  $Q_{BE}$ 、 $V_{BE}$  的變化，base-collector junction 之寄生電容  $C_{BC}$  以此類推，公式如下：

$$C_{BE} = \frac{\partial Q_{BE}}{\partial V_{BE}} = \frac{\partial Q_{BE}}{\partial V_D} \frac{\partial V_D}{\partial V_{BE}} \quad (2.12)$$

$$C_{BC} = \frac{\partial Q_{BC}}{\partial V_{BC}} = \frac{\partial Q_{BC}}{\partial V_D} \frac{\partial V_D}{\partial V_{BC}} \quad (2.13)$$

由圖 2-10、圖 2-11 可知，當元件之汲極電壓(Drain voltage)不斷上升時，寄生雙載子電晶體之基-射極電壓  $V_{BE}$  (即 SOI NMOS 元件之 Body 與 Source)將不斷上升將使得雙載子電晶體導通。當汲極電壓到達 0.6 V 左右，Kink Effect 發生造成大量載子產生，基-射極電壓  $V_{BE}$  開始快速上升，且電荷開始劇烈增加，使得基-射極電壓  $V_{BE}$  稍微增加電荷就能迅速增加，即電容值  $C_{BE}$  越來越大。而閘極電壓  $V_G$  加大時使得 Kink Effect 延後發生，電容值突增的情況也會延後發生。

之後觀察電容值  $C_{BC}$  隨寄生雙載子電晶體基-集極電壓  $V_{BC}$  (即 SOI NMOS 元件之 Body 與 Drain)的變化。由圖 2-12、圖 2-13 看出，基極-集極電壓  $V_{BC}$  呈現越來越負的情況，是因為寄生雙載子電晶體基極(Base)電壓增加得比汲極(Drain)電壓慢，造成接面尚未導通即逆偏。當汲極電壓到達 0.6 V 左右，Kink Effect 發生，造成大量載子產生，但寄生雙載子電晶體基極(Base)電壓還是增加的比汲極(Drain)電壓慢，即基-集極電壓  $V_{BC}$  越來越負。純粹以數學角度來看的話，電壓越來越負，電荷卻越來越多，使得微分出來的結果為負，如圖 2-13 所示電容值越來越負。若閘極電壓越加越大，會使電容值快速下降的情形延後發生，也是與 Kink Effect 延後發生有關。

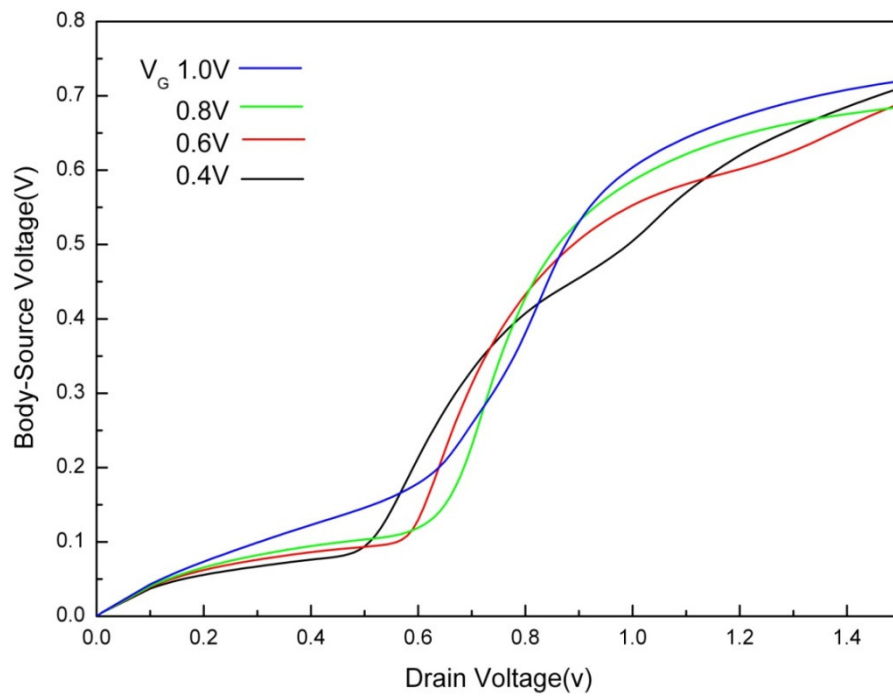


圖 2-10: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體之基-射極電壓  $V_{BE}$  作

圖。



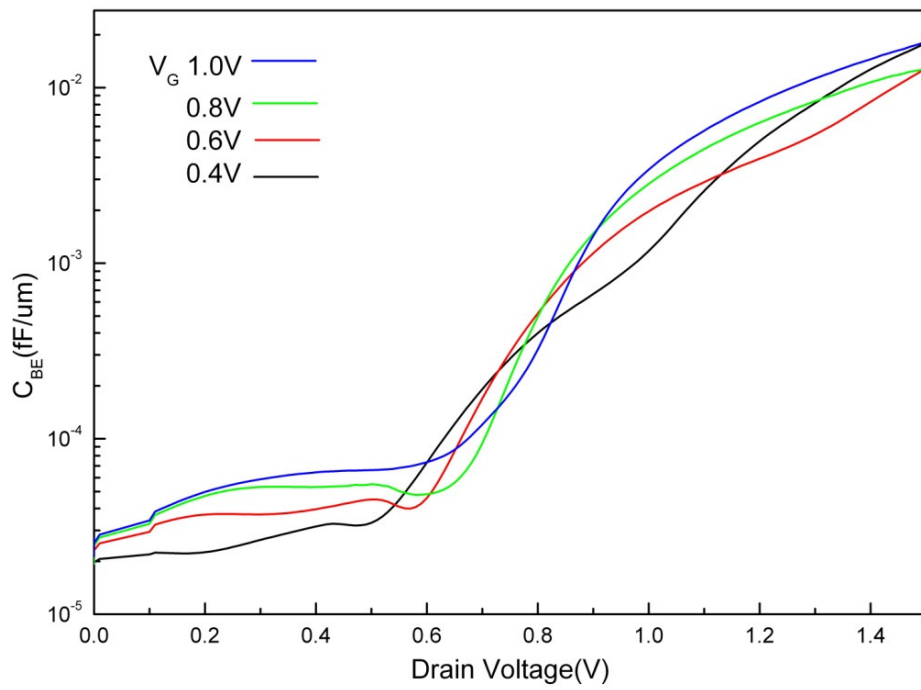


圖 2-11: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電容  $C_{BE}$  作圖，電容  $C_{BE}$  為利用微分方法求得。



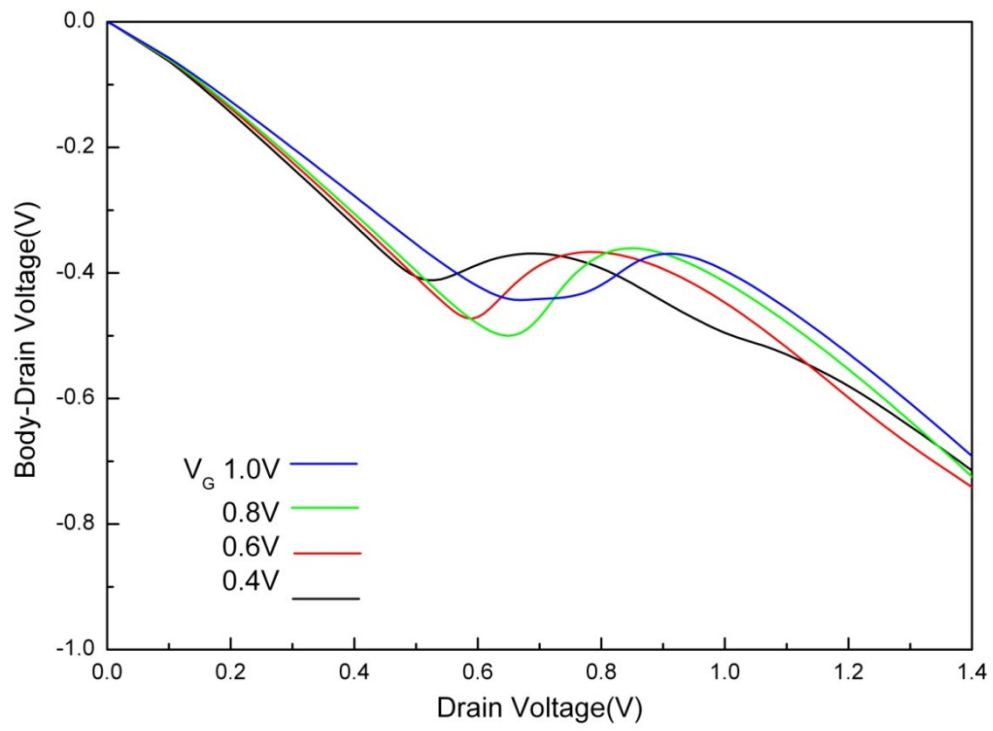


圖 2-12：PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體之基-集極電壓  $V_{BC}$



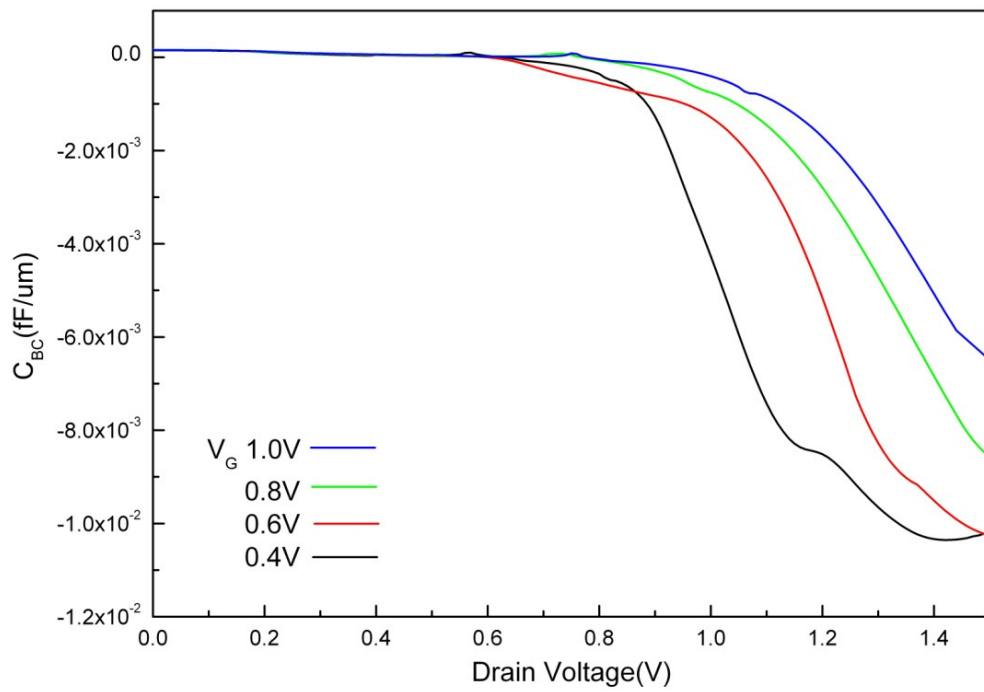


圖 2-13: PD SOI NMOS 元件之汲極電壓對寄生雙載子電晶體電容  $C_{BC}$  作圖，電容  $C_{BC}$  為利用微分方法求得。





## 2.6 結論

此章節討論 40 奈米部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之寄生雙載子電晶體(parasitic bipolar device)電容模型。首先先解釋了部分解離絕緣體上矽 N 型金氧半(PD SOI MOS)元件之飽和區汲極電流機制，因為電荷不斷累積造成電壓上升使得寄生雙載子電晶體導通。之後建立部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS) 之 Gummel-Poon model，由此模型解釋元件內部寄生電容的效應。由於改變元件之汲極電壓(Drain Voltage)，會影響薄膜(thin film)底層電荷之數量與分佈，而電荷量隨電壓改變之行為即可等效為電容行為。實際操作是利用二維元件模擬軟體 Medici，萃取出薄膜(thin film)底層電荷的數量，再利用 Partitioned Charge 方法分別求出  $Q_{BE}$ 、 $Q_{BC}$ ，觀察  $Q_{BE}$ 、 $Q_{BC}$  隨汲極電壓(Drain Voltage)之變化，最後將電荷之分佈與數量改變對汲極電壓改變作數學微分處理，推導出寄生雙載子電晶體(parasitic bipolar device)電容模型，求得了  $C_{BE}$ 、 $C_{BC}$ 。

## Chapter 3 部分解離絕緣體上矽 N 型金氧半元件之寄

### 生雙載子電晶體模型暫態分析

## Transient analysis of the parasitic bipolar device in the PD SOI NMOS device

前面章節探討了部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之寄生雙載子電晶體電容模型，觀察出元件薄膜層(thin-film)之寄生雙載子電晶體內部電荷，隨外加汲極電壓(Drain voltage)的改變，進而推導出寄生雙載子電晶體內部電容模型。此章節將針對部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之開啟(turn on)、關閉(turn off)情況作暫態分析，探討元件因外加閘極電壓(Gate voltage)的改變，對撞擊游離效應及寄生雙載子電晶體效應的影響，接著討論薄膜底層電荷在寄生雙載子電晶體有無導通時，薄膜底層電荷分佈會不會一樣。另外也將討論當閘極電壓(Gate voltage)的上升時間(rise time)或下降時間(fall time)有所不同時，對薄膜底層電荷的分佈的影響。

### 3.1 部分解離絕緣體上矽 N 型金氧半元件暫態分析

此章節將建立部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之開啟(turn on)、關閉(turn off)暫態模型。首先將部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件閘極端(Gate)輸入一隨時變之電壓函數  $V_G(t)$ ，汲極端(Drain)則固定電壓為 2 伏特，設定以下兩種不同上升時間(rise-time)情況：閘極電壓  $V_G(t)$  在 10 奈米秒(ns)內從 0 伏特線性增加到 2 伏特、閘極電壓  $V_G(t)$  在 100 奈米秒(ns)內從 0 伏特線性增加到 2 伏特，藉此觀察出元件因為上升速度不同所造成的影響。再由第二章所推導之公式 (2.1)、(2.2)、(2.3)，三式聯立求解，求出元件內部寄生雙載子電晶體之集極、射極電流( $I_C$ 、 $I_E$ )與乘增因子  $M-1$ (multiplication factor)，進而推導出寄生雙載子電晶體之電流增益(Current gain)，此為元件之開啟(turn-on)暫態分析，而關閉(turn-off)暫態分析是在相同條件下線性減少電壓[22]。實際操作為利用二維模擬軟體 Medici 產生一閘極輸入上升波形，在每個時間點萃取出汲極、源極電流等相關數據，再利用數學運算方法解聯立方程式，求得元件之乘增因子  $M-1$  與內部寄生雙載子電晶體之電流增益。

圖 3.1 為設定汲極電壓固定在 2 伏特、閘極電壓從 0 伏特上升到 2 伏特( $V_D=2V$ 、 $V_G=0V \rightarrow 2V$ )，上升時間分別為 10ns 與 100ns 之汲極電流與輸入閘極電壓圖對時間作圖，實線與虛線為模擬結果，點則表示為實際量測結果。由圖可發現，當上升時間較久，即上升速度較慢時，汲極電流上升的比給定的閘極電壓還快，與量測值的結果相符。

接下來利用 (2.1)、(2.2)、(2.3)，三式聯立求出元件之乘增因子  $M-1$ (multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)。討論在上升時間為 10ns 與 100ns 下，分別對乘增因子  $M-1$ (multiplication factor)與寄生雙載

子電晶體之電流增益(Current gain)造成不同的效應。由圖 3-2 可看出乘增因子  $M-1$  在閘極電壓小的時候較大，隨閘極電壓增加而減少，是由於閘極電壓小時元件後夾止區域(post pinch-off)較大，可產生較大的撞擊游離效應。而寄生雙載子電晶體之電流增益是隨閘極電壓越來越大，是因為閘極電壓剛增加時，通道(channel)慢慢形成，撞擊游離產生的載子數目累積不夠多，且閘極電壓不夠強，使得將載子往下排之力量較為薄弱，寄生雙載子電晶體之電流增益比較小，等到閘極電壓漸漸上升，能將載子往下排的力量變強，寄生雙載子電晶體之電流增益開始變大。另外，在上升時間大時(100ns)，元件有較充裕的時間將後夾止區域產生之載子傳到薄膜底層，使得載子累積的速度較快、數量較多，所以上升時間大的乘增因子  $M-1$  與電流增益皆較上升時間小(10ns)的大[23]。

反之，利用相同的方法求出在不同的下降時間(fall-time)對乘增因子  $M-1$ (multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)造成不同的影響。由圖 3-3 可看出乘增因子  $M-1$  隨時間增加閘極電壓減少而增加，是由於閘極電壓大時元件後夾止區域(post pinch-off)較小，撞擊游離效應較緩和。寄生雙載子電晶體之電流增益是隨時間增加閘極電壓減少而越來越小，是因為一開始閘極電壓很大(2 伏特)，將撞擊游離產生的載子接往下(薄膜底層)排，底層電荷大量累積，使得寄生雙載子電晶體一開始即為導通，隨時間增加閘極電壓減少，將載子往下排之力量減弱，使得寄生雙載子電晶體變弱[24]。

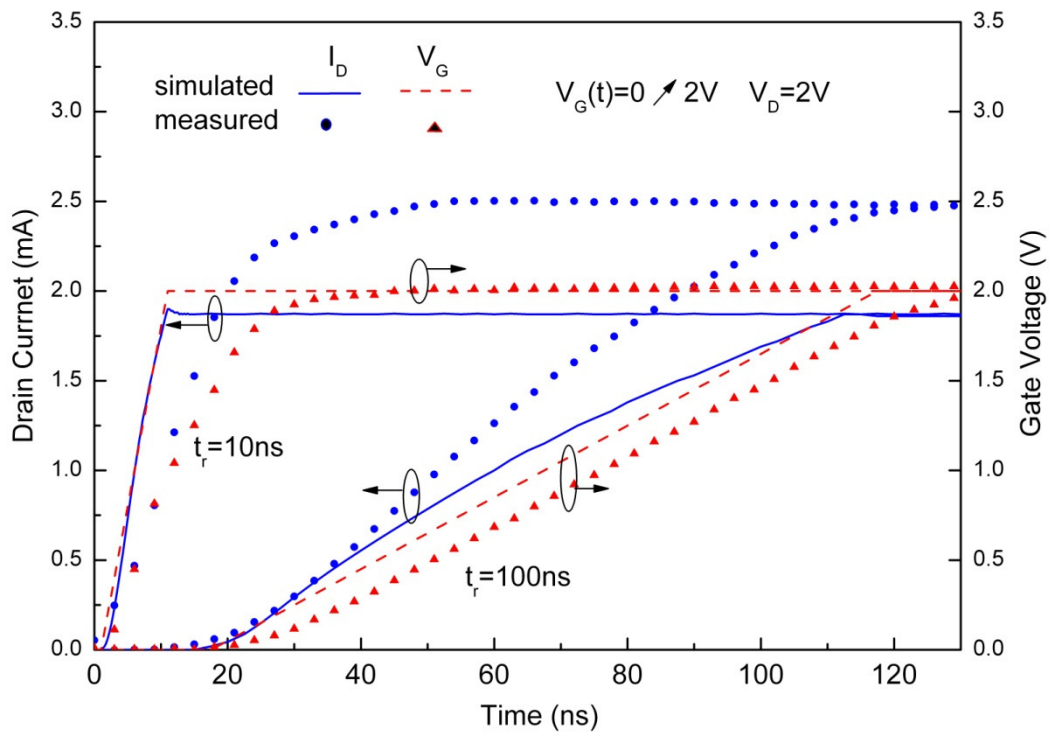


圖 3-1：設定閘極電壓從 0V 上升到 2V、汲極電壓固定在 2V，上升時間分別為 10ns 與 100ns 之汲極電流與輸入閘極電壓圖，實線與虛線為模擬結果，點則表示為實際量測結果。

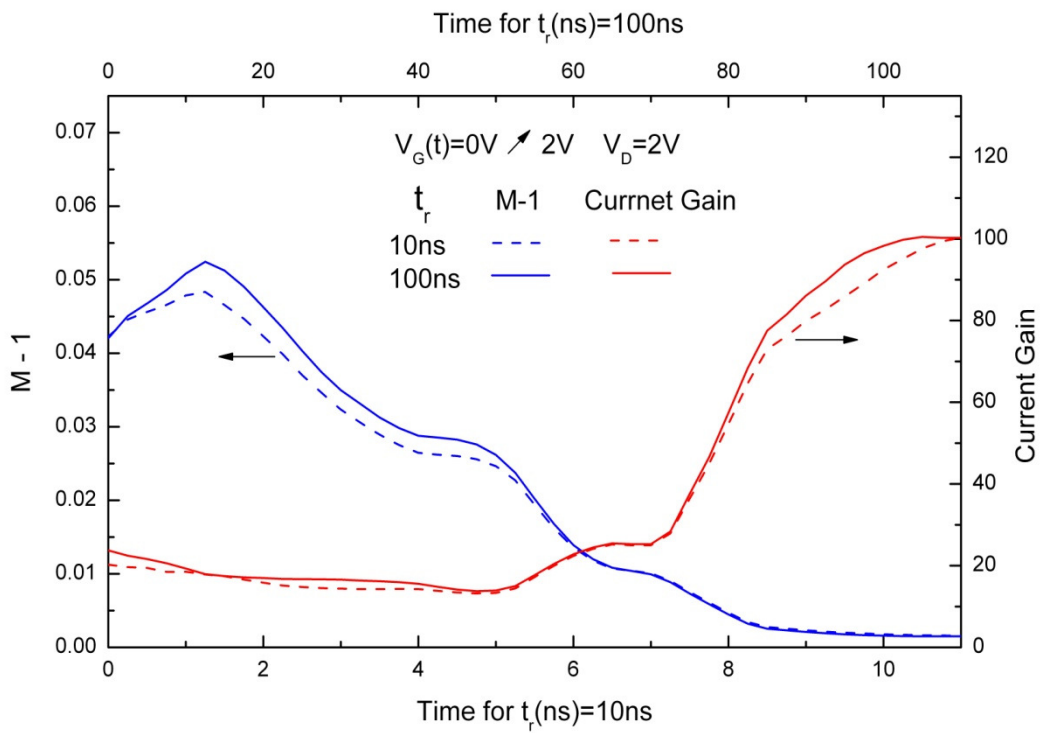


圖 3-2：在上升時間為 10ns 與 100ns 下，時間分別對乘增因子 **M-1**(multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)作圖。



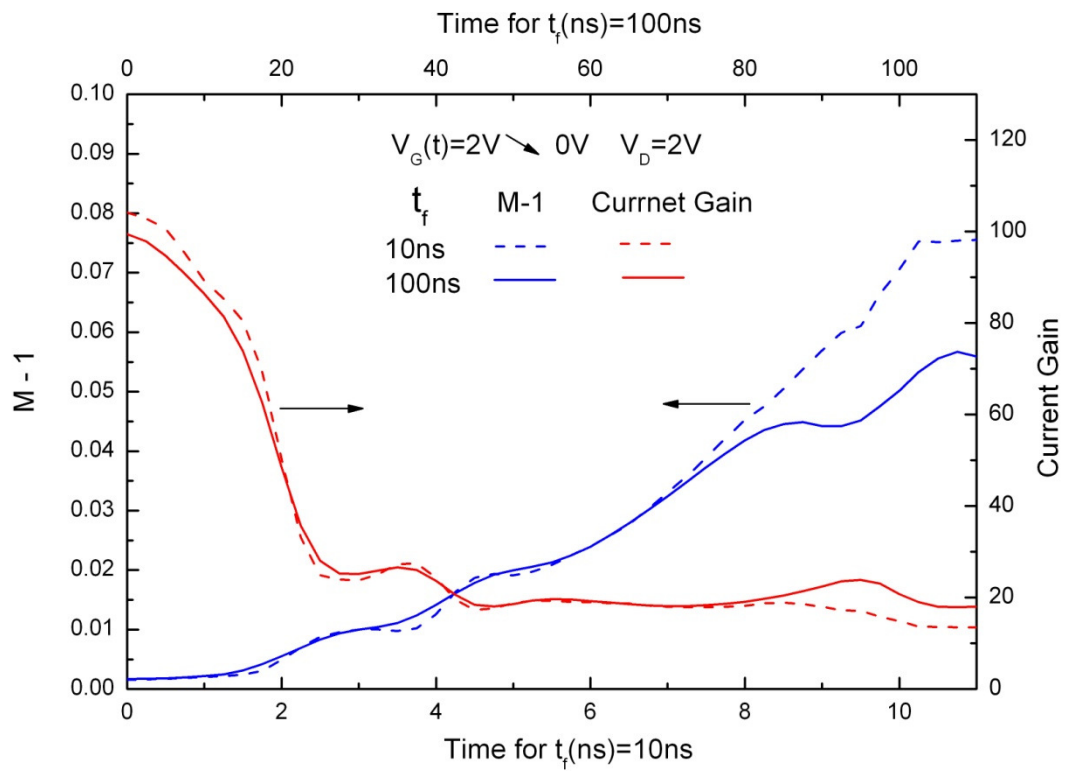


圖 3-3：在下降時間為 10ns 與 100ns 下，時間分別對乘增因子 **M-1**(multiplication factor)與寄生雙載子電晶體之電流增益(Current gain)作圖。



### 3.2 寄生雙載子電晶體模型 turn-on 暫態分析

此章節利用輸入不同閘極(Gate)、汲極(Drain)電壓大小，觀察部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之內部寄生雙載子電晶體在有無開啟(turn-on)時，對於元件薄膜層(thin-film)內部之電荷  $Q_{BE}$ 、 $Q_{BC}$  分佈的影響。將假設三種不同的條件: 1.汲極電壓固定為 1 伏特、閘極電壓從 0 伏特線性增加到 1 伏特 ( $V_D=1V$ 、 $V_G=0V \rightarrow 1V$ )。 2.汲極電壓固定為 1.5 伏特、閘極電壓從 0 伏特線性增加到 1.5 伏特( $V_D=1.5V$ 、 $V_G=0V \rightarrow 1.5V$ )。 3.汲極電壓固定為 2 伏特、閘極電壓從 0 伏特線性增加到 2 伏特( $V_D=2V$ 、 $V_G=0V \rightarrow 2V$ )。藉由此觀察內部寄生雙載子電晶體在有無開啟(turn-on)時對底層電荷分佈的影響。首先利用二維模擬軟體 Medici 輸入閘極上升電壓波形，再萃取出元件薄膜(thin-film)層內之總電荷量，利用第二章提出之 Partitioned Charge 方法，將元件薄膜(thin-film)底層電荷分離為端點電荷，再劃分出靠源極端之薄膜底層電子量為  $Q_{BE}$ ，則  $Q_{BC}$  為靠近汲極之薄膜底層電子量，觀察  $Q_{BE}$ 、 $Q_{BC}$  隨時間與閘極電壓之變化。

首先先觀察寄生雙載子電晶體在未導通時對於電荷  $Q_{BE}$ 、 $Q_{BC}$  的影響，設定汲極電壓固定為 1 伏特、閘極電壓從 0 伏特線性增加到 1 伏特( $V_D=1V$ 、 $V_G=0V \rightarrow 1V$ )。由圖 3-4、圖 3-5 可看出，當元件之閘極電壓與汲極電壓太小時，撞擊游離效應較為薄弱，薄膜底層載子累積的較少，使得寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  僅上升到 0.255 伏特左右，電壓太小寄生雙載子電晶體尚未導通。即使閘極電壓很小可以讓後夾止區域(post pinch-off)夠大，但汲極電壓太小，造成的橫向電場太小，撞擊游離效應薄弱，使得電荷  $Q_{BE}$ 、 $Q_{BC}$  的變化均為一致。

接著慢慢提升閘極電壓與汲極電壓，設定汲極電壓固定為 1.5 伏特、閘極電壓從 0 伏特線性增加到 1.5 伏特( $V_D=1.5V$ 、 $V_G=0V \rightarrow 1.5V$ )，觀察寄生雙載子電晶體



漸漸導通時對電荷  $Q_{BE}$ 、 $Q_{BC}$  造成的影響。由圖 3-6、圖 3-7 可看出，當元件之開極電壓與汲極電壓變大時，撞擊游離效應開始劇烈，薄膜底層載子累積的速度加快，使得寄生雙載子漸漸導通。上升時間大時(100ns)，元件有較充裕的時間將後夾止區域產生之載子傳到薄膜底層，使得載子累積的速度較快、數量較多，則電荷  $Q_{BE}$ 、 $Q_{BC}$  會增加的比上升時間小(10ns)的快且多，寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  也會增加得比上升時間小(10ns)的快。

再將元件設定在高開極電壓與高汲極電壓，探討寄生雙載子電晶體一開始即為導通的情形。將汲極電壓固定為 2 伏特、開極電壓從 0 伏特線性增加到 2 伏特 ( $V_D=2V$ 、 $V_G=0V \rightarrow 2V$ ) 時，因為元件之汲極電壓一開始就加很大，使得一開始撞擊游離效應就很劇烈，載子累積迅速且多，寄生雙載子電晶體之基-射極電壓  $V_{BE}$  一開始就超過 0.7 伏特，如圖 3-8、圖 3-9。上升時間大的(100ns)電荷  $Q_{BE}$ 、 $Q_{BC}$  一樣會增加的比上升時間小(10ns)的快。由圖可觀察到，電荷  $Q_{BE}$ 、 $Q_{BC}$  會隨電壓上升而上升，但到了某個程度會開始稍微有下降的趨勢，這是因為開極電壓越來越大，使得撞擊游離效應變弱了。另外比較圖 3-7、圖 3-9 可看出，當元件偏壓在大的汲極電壓時累積電荷的速度較汲極電壓小的快，因為施加大的汲極電壓造成更強的橫向電場，使得撞擊游離效應更為加強，載子累積更為迅速。

最後要觀察元件在暫態時之電容現象，利用上一章之數學微分方法求出寄生雙載子電晶體之電容  $C_{BE}$ 、 $C_{BC}$ 。如圖 3-10，可觀察出電容值在 Kink effect 發生時，會產生瞬間跳動，是由於 Kink effect 發生時會產生大量載子，使得稍微改變偏壓，電荷也會大幅增加，電容值因此大幅增加。在上升時間大的情形下，元件有較充裕的時間將後夾止區域產生之載子傳到薄膜底層，所以電容值會較早跳動。

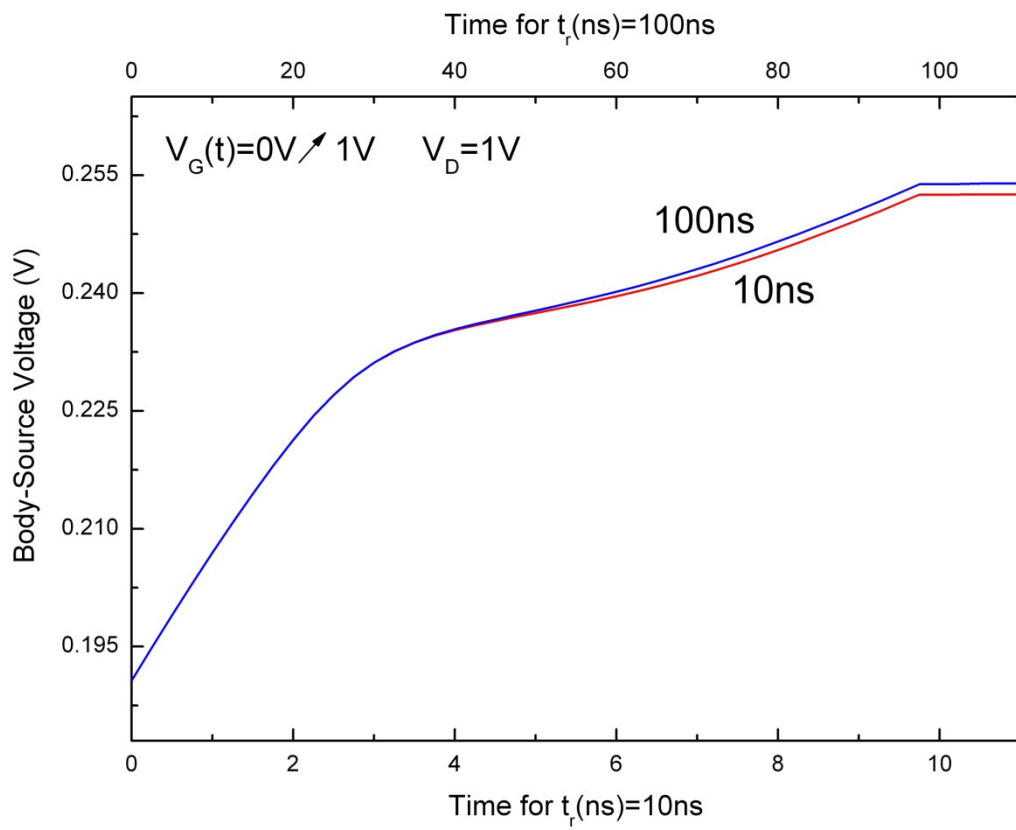


圖 3-4：在  $V_D=1\text{V}$ 、 $V_G=0\text{V} \rightarrow 1\text{V}$  時，上升時間對寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  作圖。

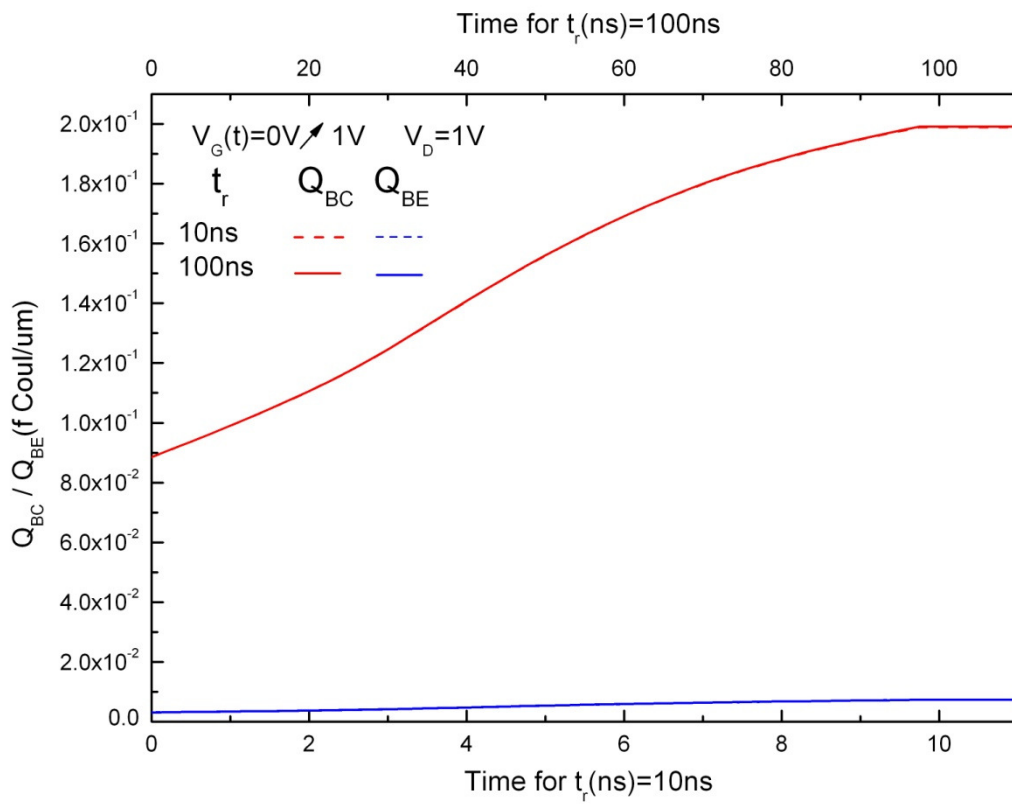


圖 3-5：在  $V_D=1\text{V}$ 、 $V_G=0\text{V} \rightarrow 1\text{V}$  時，上升時間對寄生雙載子電晶體電荷  $Q_{BE}$ 、 $Q_{BC}$  作圖。



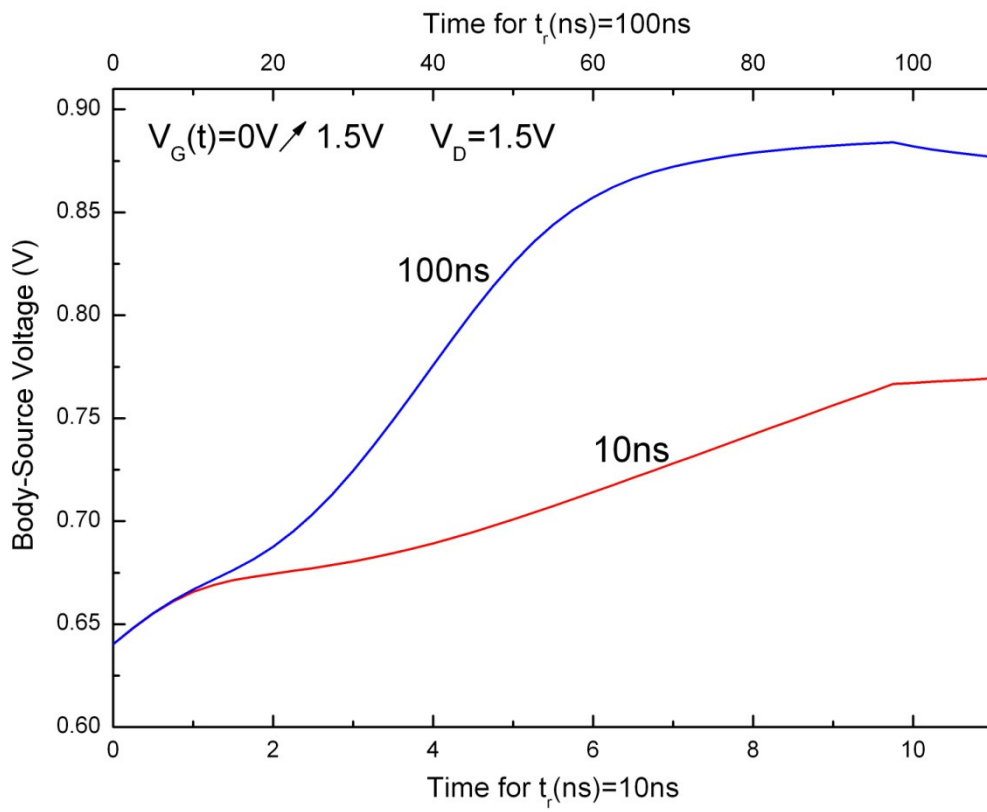


圖 3-6：在  $V_D=1.5\text{V}$ 、 $V_G=0\text{V} \rightarrow 1.5\text{V}$  時，上升時間對寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  作圖。



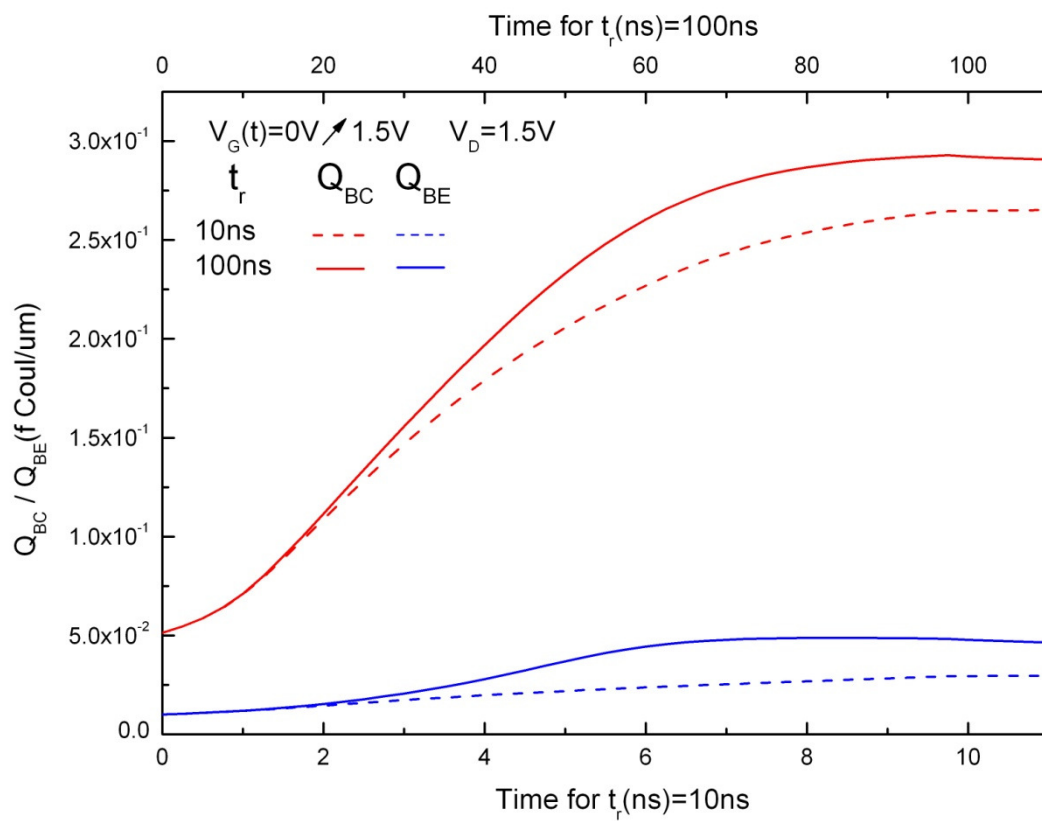


圖 3-7：在  $V_D=1.5\text{V}$ 、 $V_G=0\text{V} \rightarrow 1.5\text{V}$  時，上升時間對寄生雙載子電晶體電荷  $Q_{BE}$ 、 $Q_{BC}$  作圖。



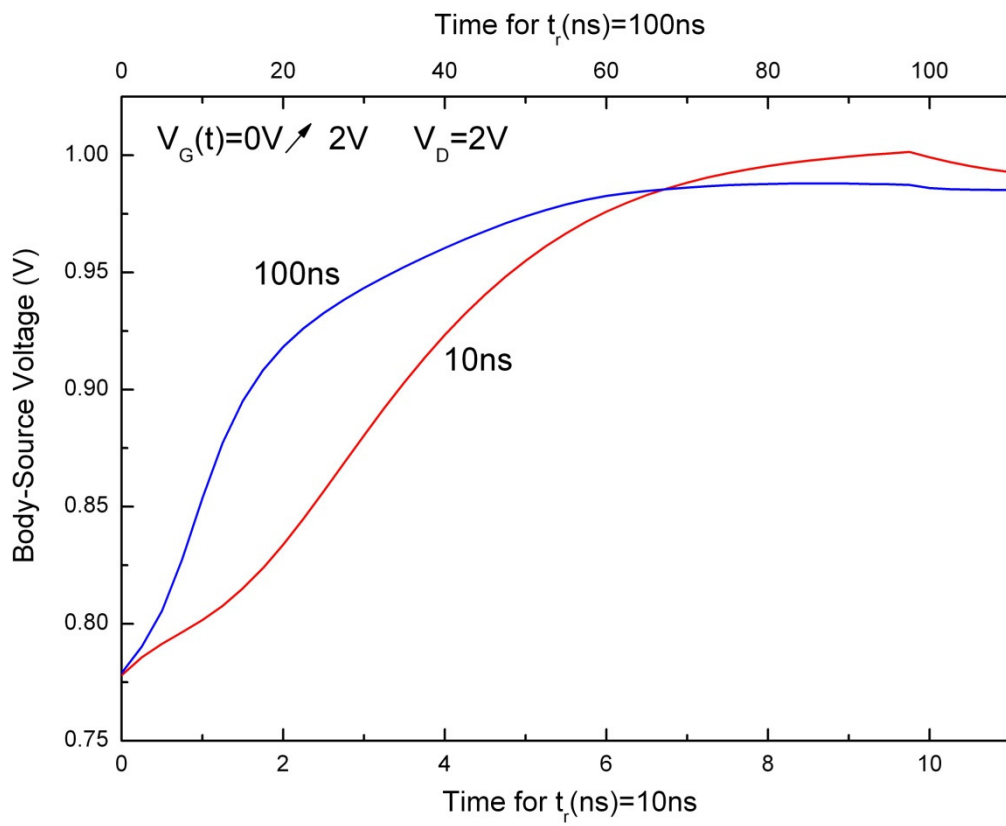


圖 3-8：在  $V_D=2\text{V}$ 、 $V_G=0\text{V} \rightarrow 2\text{V}$  時，上升時間對寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  作圖。

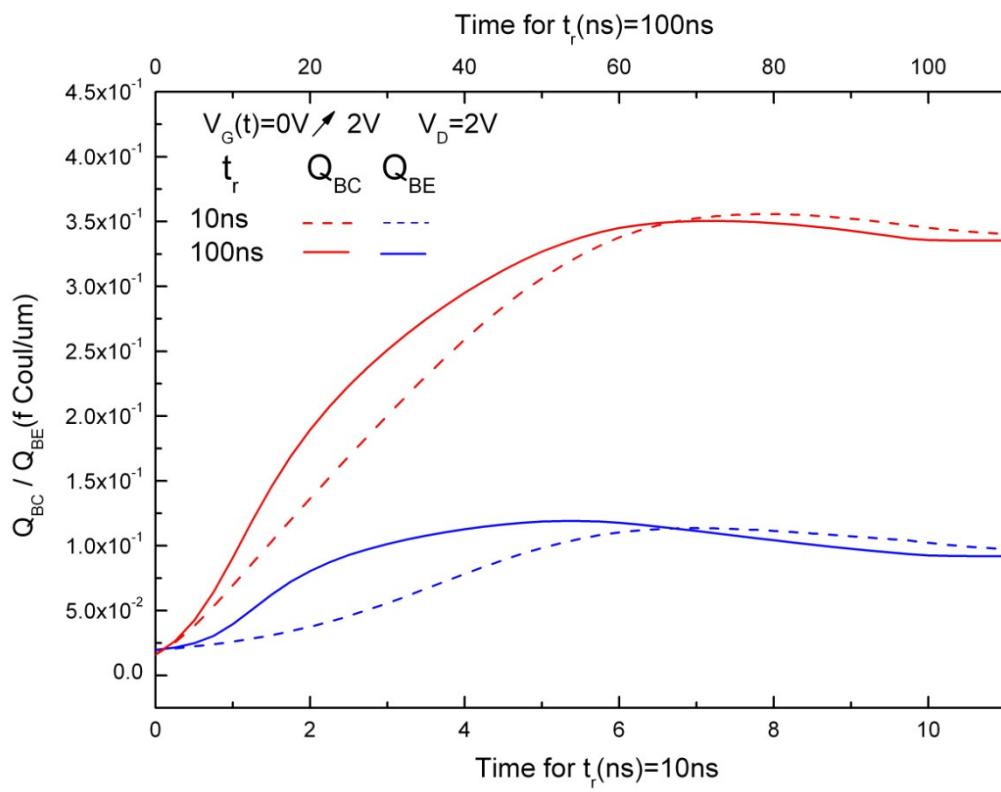


圖 3-9：在  $V_D=2\text{V}$ 、 $V_G=0\text{V} \rightarrow 2\text{V}$  時，上升時間對寄生雙載子電晶體電荷  $Q_{BE}$ 、 $Q_{BC}$  作圖。



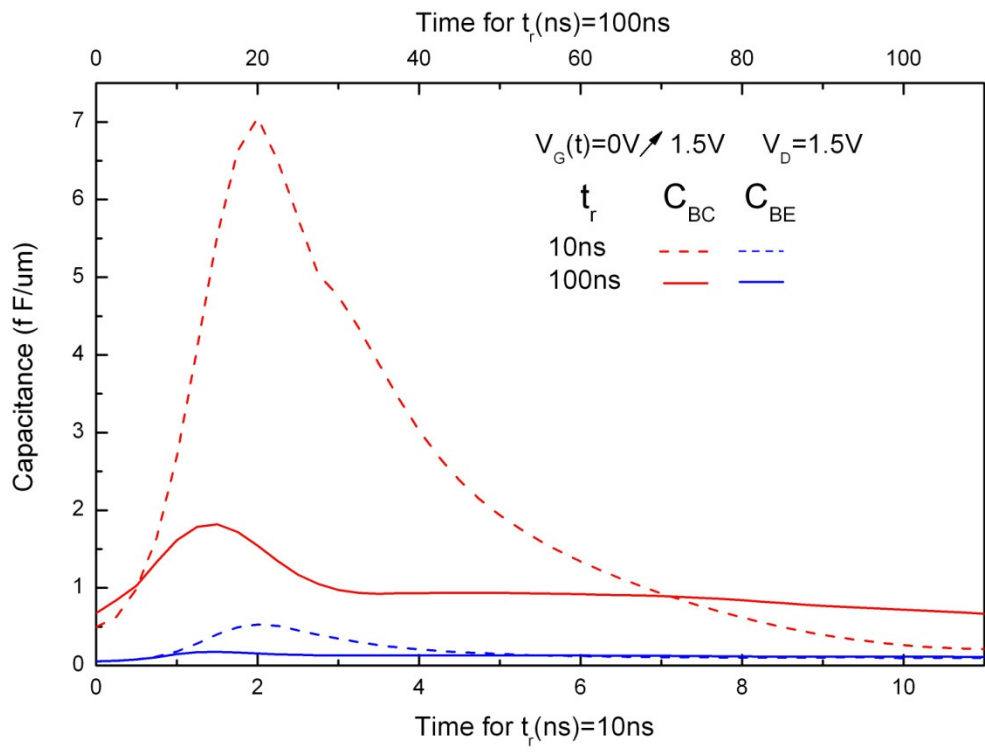


圖 3-10：在  $V_D=1.5\text{V}$ 、 $V_G=0\text{V} \rightarrow 1.5\text{V}$  時，上升時間對寄生雙載子電晶體電容  $C_{BE}$ 、 $C_{BC}$  作圖。





### 3.3 寄生雙載子電晶體模型 turn-off 暫態分析

在前面章節討論了部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件受閘極電壓加大之開啟(turn-on) 暫態現象。此章節將反過來探討部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件在閘極電壓由大減小產生之關閉(turn-off)暫態。當閘極電壓減少時，使後夾止區域(post pinch-off)變得更大，產生撞擊游離效應之區間變大，讓撞擊游離效應更加強烈。但閘極電壓若是不斷減少，汲極電流會持續變小，能產生撞擊游離之載子變少，讓撞擊游離效應反而變得微弱。首先利用二維模擬軟體 Medici 輸入閘極下降電壓波形，詳細設定為汲極電壓固定為 2 伏特、閘極電壓從 2 伏特線性減少到 0 伏特( $V_D=2V$ 、 $V_G=2V \rightarrow 0V$ )，讓元件漸漸進入截止區。之後萃取出元件薄膜(thin-film)層內之總電荷量，再由第二章提出之 Partitioned Charge 方法，將元件薄膜(thin-film)底層電荷分離為端點電荷，再劃分出靠汲極端之薄膜底層電子量為  $Q_{BC}$ ，則  $Q_{BE}$  為靠近源極之薄膜底層電子量，觀察  $Q_{BC}$ 、 $Q_{BE}$  隨時間與閘極電壓之變化。

由圖 3-11 發現，閘極電壓越來越小時，寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  越來越小，是因為閘極電壓變小時，把載子往下排之力量會越來越薄弱，使得載子無法有效往下累積，寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  越來越小。而電荷  $Q_{BE}$ 、 $Q_{BC}$  一開始皆隨閘極電壓變小而增加，如圖 3-121，那是因為閘極電壓變小後夾止區域(post pinch-off)變大，撞擊游離效應會增強，所以電荷  $Q_{BE}$ 、 $Q_{BC}$  會增加。但當閘極電壓越來越小時，汲極電流會越小，能產生撞擊游離之載子變少，反而使撞擊游離效應變弱，使得底層電荷的累積變少，即電荷  $Q_{BE}$ 、 $Q_{BC}$  隨閘極電壓變小而減少，直到元件進入截止區。

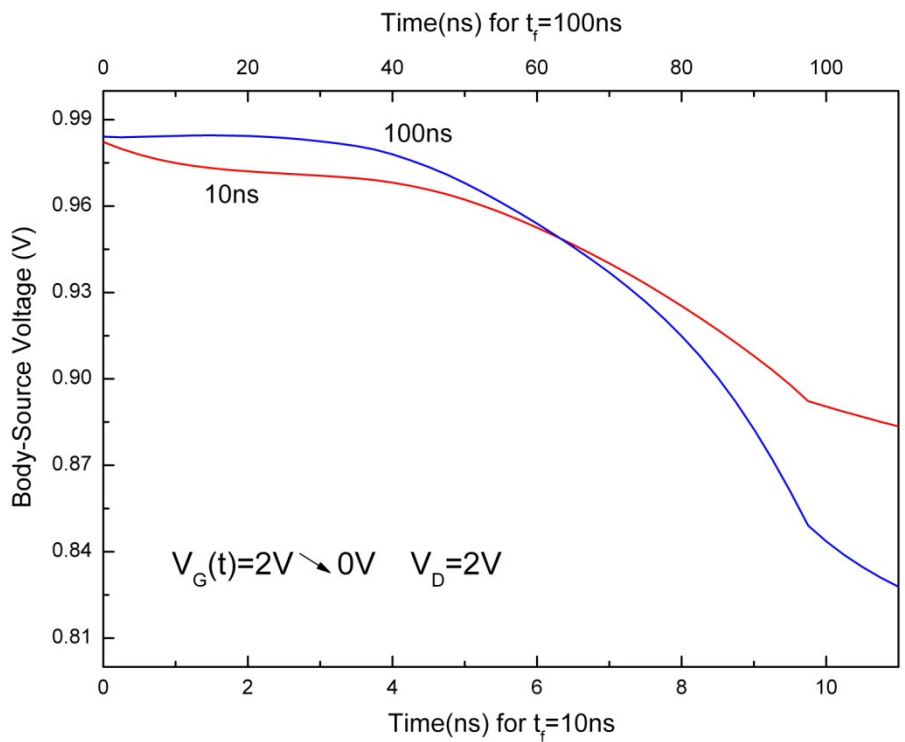


圖 3-11: 在  $V_D=2\text{V}$ 、 $V_G=2\text{V} \rightarrow 0\text{V}$  時，下降時間對寄生雙載子電晶體之基極-射極電壓  $V_{BE}$  作圖。



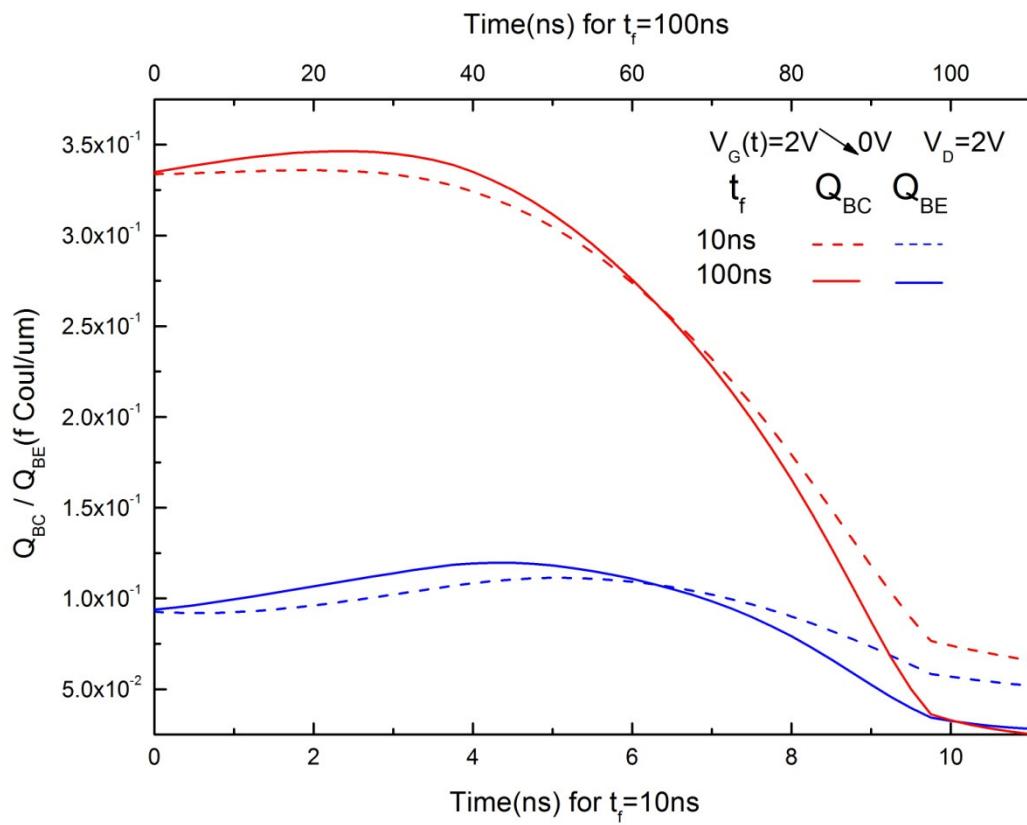


圖 3-12：在  $V_D=2V$ 、 $V_G=2V \rightarrow 0V$  時，下降時間對寄生雙載子電晶體之電荷  $Q_{BE}$ 、 $Q_{BC}$  作圖。



### 3.4 結論

此章節將針對部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之開啟(turn-on)、關閉(turn-off) 情況作暫態分析，觀察出元件會因為外加閘極電壓(Gate voltage)的改變，對撞擊游離效應及寄生雙載子電晶體效應產生不同影響，且當薄膜底層電荷在寄生雙載子電晶體有無導通時，電荷分佈的情況會有不同。也比較閘極電壓(Gate voltage)在不同的上升時間(rise-time)時，對薄膜底層電荷的分佈也會不同。當寄生雙載子電晶體導通時，上升時間大時元件有較充裕的時間將後夾止區域產生之載子傳到薄膜底層，使得寄生雙載子電晶體效應較強，故上升時間大的電荷  $Q_{BC}$ 、 $Q_{BE}$  會增加得較上升時間小的快。且觀察出寄生雙載子電晶體之電容  $C_{BC}$ 、 $C_{BE}$  在 Kink effect 發生瞬間會產生一跳動現象，而在上升時間(rise-time) 大的情況時，此跳動現象會較快發生。最後討論元件之關閉(turn-off)暫態，當閘極電壓減少時，會讓後夾止區域(post pinch-off)變得更大，能產生撞擊游離效應之區間變大，撞擊游離效應變得更加強烈。但閘極電壓若是不斷減少，汲極電流會一直變小，能產生撞擊游離之載子越來越少，此時撞擊游離效應反而變得微弱。

## Chapter 4 總結

本論文提出了部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar device)電容模型，且利用暫態變化觀察薄膜底層之電荷變化，觀察在不同電壓條件下對薄膜底層電荷的影響。

第一章比較了絕緣體上矽金氧半元件(PD SOI MOS)與傳統金氧半元件(bulk MOS)的特性，絕緣體上矽金氧半元件(PD SOI MOS)具有元件密度高、臨界電壓較小、寄生電容小和 VLSI 設計技術相容等許多優點。接著討論部分解離絕緣體上矽(PD SOI)金氧半元件與完全解離絕緣體上矽(FD SOI)金氧半元件的優缺點。

第二章建立了部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之寄生雙載子電晶體(parasitic bipolar device)電容模型。首先推導元件之飽和區汲極電流模型，因為底層沒有接觸(contact)使電荷無法排出，電荷會不斷累積造成薄膜底層電壓上升使得寄生雙載子電晶體導通。之後建立了部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS) 之 Gummel-Poon model，由此模型解釋元件內部寄生電容的效應。使用二維元件模擬軟體 Medici，萃取出薄膜(thin film)底層電荷量，再利用 Partitioned Charge 方法分別求出  $Q_{BE}$ 、 $Q_{BC}$ ，觀察  $Q_{BE}$ 、 $Q_{BC}$  隨汲極電壓之變化，最後將電荷數量的改變對汲極電壓的改變作數學微分處理，推導出寄生雙載子電晶體(parasitic bipolar device)電容模型。

第三章討論部分解離絕緣體上矽 N 型金氧半元件(PD SOI NMOS)之開啟(turn-on)、關閉(turn-off)暫態行為，觀察出元件會因為外加閘極電壓(Gate voltage)的改變，對撞擊游離效應及寄生雙載子電晶體效應產生不同影響，且發現當寄生雙載子電晶體導通時，上升時間(rise-time)大的元件有較充裕的時間將撞擊游離產

生之載子傳到薄膜底層，使得寄生雙載子電晶體效應較強，故上升時間大的電荷  $Q_{BC}$ 、 $Q_{BE}$  會增加比上升時間小的快。也觀察出寄生雙載子電晶體之電容  $C_{BC}$ 、 $C_{BE}$  在 Kink effect 發生瞬間會產生一跳動現象，而在上升時間(rise-time)大的情況時，此跳動現象會較快發生。最後討論元件之關閉(turn-off)暫態，發現閘極電壓由大減少時，會讓後夾止區域(post pinch-off)變得更大，能產生撞擊游離效應之區間變大，使撞擊游離效應更加強烈。但閘極電壓若是不斷減少，汲極電流會一直變小，能產生撞擊游離之載子越來越少，撞擊游離效應反而變弱。



## REFERENCE

- [1] J. B. Kuo, "Low-Voltage SOI CMOS Devices and Circuits," Wiley, New York, 2001.
- [2] Y. Inous, K. Sugahara, S. Kusunoki, M. Nakaya, T. Nishimura, Y. Horiba, Y. Akasaka, H. Nakata, "A Tree-Dimensional Static RAM," IEEE Electron Device Letters, vol. EDL-7, pp. 327, May 1986
- [3] A.O. Adan, T. Naka, A. Kagisawa, and H. Shimizu, "SOI as a Mainstream IC Technology," SOI Conf. Dig., 9-12, 1998.
- [4] K. F. Goser, C. Pacha, A. Kanstein, and M. L. Rossmann, "Aspects of Systems and Circuits for Nanoelectronics," Proc. Of IEEE, 85(4), 558-576(1997).
- [5] R. Troutman and H. Zappe, "A transient analysis of latchup in bulk CMOS," IEEE Trans. Electron Devices, vol. ED-30, pp. 170, 1983.
- [6] J.P. Colinge, "Silicon-on-Insulator Technology : Materials for VLSI," Kluwer Academic Press, 1991.
- [7] K. W. Su and J. B. Kuo, "A Non-Local Impact Ionization/Lattice Temperature Model for VLSI Double-Gate Ultrathin SOI NMOS Devices," IEEE Trans. Electron Devices, Vol. 44, No. 2, pp. 324-330, Feb. 1997
- [8] J. Y. Choi, J. G. Fossum, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 38, pp. 1384-1391, 1991.
- [9] J. Y. Choi, R. Sundaresan, J. G. Fossum, "Monitoring Hot-Electron-Induced Degradation of Floating-Body SOI MOSFET's," IEEE Electron Device Letters, Vol. 11, pp. 156, April 1990.
- [10] J. Pretet, D. Ioannon, N. Subba, S. Cristoloveanu, W. Maszara, and C. Raynaud,

- “Narrow-channel effects and their impact on the static and floating-body characteristics of STI- and LOCOS-isolated SOI MOSFETs,” *Sol. St. Elec.*, vol. 46, no. 11, pp. 1699-1707, 2002.
- [11] J. P. Colinge, “Reduction of Kink Effect in Thin-Film SOI MOSFET’s,” *IEEE Electron Device Letters*, Vol.EDL-9,p.97,Feb. 1988.
- [12] S.S.Chen and J.B.Kuo, “Analytical Kink Effect Model of PD SOI NMOS Devices Operating in Strong Inversion,” *Solid State Electronics*, pp. 447-458, March 1997.
- [13] S.C.Lin and J.B.Kuo, “Temperature Dependent Kink Effect Model for PD SOI NMOS Devices,” *IEEE Trans. Electron Devices*, pp. 254-258, Feb. 1999.
- [14] Y. G. Chen, J. B. Kuo, Z. Yu and R.W. Dutton, “An analytical drain current model for short-channel fully-depleted ultrathin silicon-on-insulator NMOS devices,” *Solid-State Electronics*, 1995.
- [15] Taurus Medici User Guide, Synopsys Inc., Mountain View, CA, 144, Oct. 2005.
- [16] C. F. Machala III, James R. Parker, “Geometry and Temperature Extensions to the Gummel-Poon Model ” *IEEE*, 1992.
- [17] F. Fiori and V. Pozzolo, “Modified Gummel–Poon BJT model for electromagnetic susceptibility prediction,” *Proc. Conf. Electromagn. Adv. Applicat.* , pp. 151 - 154 ,1995.
- [18] H. Klose and A. W. Wieder, “The transient integral charge control relation-A novel formulation of the currents in a bipolar transistor,” *IEEE Electron Devices*, vol. ED-34, pp. 1090-1099, May 1987.
- [19] R. J. McDonald, “Generalised partitioned charge based bipolar transistor modeling methodology,” *Electronics Letters*, vol. 24 , no. 21, 13th Oct. 1988.
- [20] E. V. Ploeg, C.T. Nguyen, S. S. Wong and J. D. Plummer, “Parasitic Bipolar Gain in Fully Depleted n-Channel SOI MOSFET’S,” *IEEE Trans. Electron Devices*, Vol.



41, pp. 970-977, 1994.

- [21] S.C. Chin, Y. C. Tseng and J.C.S. Woo, "Parasitic Bipolar Turn-On of PD-SOI MOSFETs in Dynamic Logic Circuits," IEEE International SOI Conference Proceedings, pp. 144-145, Oct. 1996.
- [22] D. E. Ward and R. W. Dutton, "A Charge oriented model for MOS transistor capacitances," IEEE Journal Solid-State Circuits ,vol. 13, no. 5, pp. 703-708, 1978.
- [23] C. H. Chen, J. B. Kuo, D. Chen, and C. S. Yeh, "Modeling the Parasitic Bipolar Device in the 40nm PD SOI NMOS Device Considering the Floating Body Effect," IEEE ICSICT, pp. 1946 – 1948, Nov. 2010.
- [24] Y. Zhang, D. K. Schroder, H. Shin, S. Hong, T. Wetteroth and S.R. Wilson, "Abnormal transconductance and transient effects in partially depleted SOI MOSFETs", Solid-State Electronics, vol. 43, pp. 51-56, 1999.

