

國立臺灣大學電機資訊學院電子工程學研究所

碩士論文

Graduate Institute of Electronics Engineering  
College of Electrical Engineering & Computer Science  
National Taiwan University  
Master Thesis

利用 SPICE 雙載子電晶體/金氧半元件模型方法分  
析考慮浮動基體效應的 40 奈米部分解離絕緣體上  
矽 N 型矽金氧半元件

The Bipolar/MOS SPICE Model Approach for  
Analyzing 40nm PD SOI NMOS Device Considering  
Floating-Body Effect

方上維

Shang-Wei Fang

指導教授：郭正邦 博士

Advisor: James B. Kuo, Ph.D.

中華民國 100 年 6 月

June 2011

國立臺灣大學（碩）博士學位論文  
口試委員會審定書

利用 SPICE 雙載子電晶體/金氧半元件模型方法分  
析考慮浮動基體效應的 40 奈米部分解離絕緣體上  
矽 N 型矽金氧半元件

The Bipolar/MOS SPICE Model Approach for  
Analyzing 40nm PD SOI NMOS Device Considering  
Floating-Body Effect

本論文係方上維（R98943075）在國立臺灣大學電子工程學研究  
所完成之碩（博）士學位論文，於民國 100 年 6 月 26 日承下列考試  
委員審查通過及口試及格，特此證明

口試委員：

郭正邦  
(指導教授)  
葉正信      郭正邦 陳政康

系主任、所長 張耀文

## 誌謝

在過去的兩年來，誠心的感謝我的指導老師郭正邦教授在研究及生活上的教導，讓我在廣闊無涯的學海當中得以稍稍一窺知識之奧秘及淵博，此外更開拓我的國際觀充實了我的視野，在生活上的教導更使我受益良多，對人虛懷若谷而誠心待人，對事嚴謹而不輕言認輸的精神，這些都是在研究所期間所獲得的珍貴資產，在此特別向老師致上最誠摯的感激之意。

其次要感謝實驗室所有研究伙伴對我的照顧。陳嘉興和吳威宏等學長對我的指導，鄭宇亨及戴承雋同學與我同舟共濟，以及胡勝凱及楊宗憲學弟對我的幫忙，在此一併致上最誠摯的感謝。

最後，我要感謝我的家人，在我離鄉求學期間所給予的支持與鼓勵，讓我在求學過程中無後顧之憂，他們是我為未來奮鬥的憑藉。最後要感謝我的父母，因為有您們的栽培，才有今天的我，謝謝您們。

## 中文摘要

本篇論文討論一個考慮浮動基體效應的部分解離絕緣體上矽金氧半元件，透過雙載子電晶體/金氧半元件模型方法建立SPICE的模型進行模擬。第一章先簡介絕緣體上矽金氧半元件及其元件之特性，並且比較部分解離絕緣體上矽和完全解離絕緣體上矽之間的差異。第二章說明了部分解離絕緣體上矽金氧半元件的電流傳導機制，接著利用了雙載子電晶體/金氧半元件模型方法建立起模型，並藉由量測值及二維元件模擬器件驗證了雙載子電晶體/金氧半元件模型方法在直流下的準確性。第三章利用考慮浮動基體效應的部分解離絕緣體上矽金氧半元件之交流模型討論暫態的分析，寄生雙載子電晶體的電流增益因閘極電壓上升時間較長而增大，並利用二維元件模擬驗證了雙載子電晶體/金氧半元件模型方法在暫態下的準確性。第四章結論和未來展望。

# ABSTRACT

The thesis reports modeling the 40nm PD SOI NMOS device considering floating-body effect via Bipolar/MOS SPICE model approach. Chapter 1 gives a brief introduction about SOI CMOS devices and the scaling trends, including the comparison of the difference between the PD SOI and the FD SOI CMOS devices. Chapter 2 describes the current conduction mechanism of the PD SOI MOS and the compact model constructed from Bipolar/MOS SPICE model approach. As verified by experimentally measured data and 2D simulation results, the compact model of the PD SOI NMOS provides an accurate prediction under DC condition. Chapter 3 discusses the ac model of the PD SOI MOS devices considering the floating body effect for transient analysis. From the study, during the turn-on transient, the current gain of the parasitic bipolar transistor becomes larger as the longer rise time of the gate voltage. As verified by 2D simulation results, the compact SOI model gives an accurate prediction of transient behavior. Chapter 4 is conclusion and future work.

# 目錄

口試委員會審定書 .....	i
誌謝 .....	ii
中文摘要 .....	iii
ABSTRACT .....	iv
目錄 .....	v
圖目錄 .....	vii
表目錄 .....	x
<b>Chapter 1 導論 .....</b>	<b>1</b>
1.1 部分解離及完全解離絕緣體上矽金氧半元件 .....	7
1.2 部分解離絕緣體上矽金氧半電晶體的浮動基體效應 .....	9
1.3 論文架構 .....	11
<b>Chapter 2 考慮浮動基體效應的部分解離絕緣體上矽 N 型金氧半 SPICE 模型：</b>	
<b>直流分析 .....</b>	<b>12</b>
2.1 部分解離絕緣體上矽金氧半之飽和區電流傳導機制 .....	15
2.2 雙載子電晶體/金氧半元件架構 .....	17
2.3 雙載子電晶體/金氧半元件模型 .....	21
2.4 直流模擬驗證及分析 .....	26
2.4.1 模型驗證 .....	26
2.4.2 寄生雙載子電晶體之分析 .....	32
2.5 結論 .....	36

<b>Chapter 3</b>	<b>利用雙載子/金氧半 SPICE 模型方法之部分解離絕緣體上矽金氧半交</b>	
	<b>流模型的暫態分析 .....</b>	<b>37</b>
3.1	經驗參數值 .....	37
3.2	不同頻率下之寄生雙載子電晶體及 M-1 之分析 .....	41
3.3	不同頻率下之寄生雙載子電晶體電壓及電荷之分析 .....	47
3.4	結論 .....	53
<b>Chapter 4</b>	<b>結論及未來展望 .....</b>	<b>54</b>
REFERENCE	.....	55



## 圖目錄

圖 1.1	ITRS 在 2010 年所預估之趨勢發展 .....	2
圖 1.2	科技和精簡模型的發展比較圖 .....	3
圖 1.3	傳統金氧半電晶體(bulk CMOS)元件(a)剖面圖(cross-section)，(b)TEM 剖面圖(cross-section).....	5
圖 1.4	SOI 金氧半電晶體(SOI CMOS)元件(a)剖面圖(cross-section)，(b)TEM 剖面圖(cross-section).....	6
圖 1.5	部分解離絕緣體上矽金氧半元件剖面圖(cross-section).....	8
圖 1.6	完全解離絕緣體上矽金氧半元件剖面圖(cross-section).....	8
圖 1.7	PD SOI NMOS 浮動基體效應之示意圖 .....	10
圖 2.1	PD SOI NMOS 之二維剖面圖和利用 BiCMOS 方式所建立之 PD SOI SPICE 模型 .....	14
圖 2.2	40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電流傳導機制(current conduction mechanism)的截面示意圖 .....	16
圖 2.3	雙載子電晶體(BJT)/金氧半(MOS)元件架構。 .....	18
圖 2.4	在汲極電壓為 2V 的情況下，M-1 及寄生雙載子電晶體(parasitic bipolar transistor)的電流增益(current gain)對開極電壓之關係圖 .....	20
圖 2.5	BSIM4.5 模型的電流電壓圖及輸出阻抗圖 .....	22
圖 2.6	Mextram 504 之 NPN 雙載子電晶體的完整等效電路圖 .....	25
圖 2.7	40nm 部分解離絕緣體上矽 N 型金氧半測試元件之穿透式電子顯微鏡圖 ...	27
圖 2.8	40nm 部分解離絕緣體上矽 N 型金氧半模擬元件剖面圖 .....	28



圖 2.9	40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流 (drain current)對汲極電壓(drain voltage)關係圖 .....	30
圖 2.10	40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極 電壓(body-source voltage)對汲極電壓(drain voltage)關係圖 .....	31
圖 2.11	40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極 電荷(body-emitter charge)對汲極電壓(drain voltage)關係圖 .....	34
圖 2.12	40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極 電容(body-emitter capacitance)對汲極電壓(drain voltage)關係圖 .....	35
圖 3.1	部分解離絕緣體上矽金氧半(PD SOI MOS)元件之等效交流模型 .....	38
圖 3.2	暫態分析所用之 ADS 軟體電路接線圖及電路示意圖 .....	40
圖 3.3	閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流(drain current)、集極電流(collector current) 以及射極電流(emitter current)對時間關係圖 .....	42
圖 3.4	閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流(drain current)、集極電流(collector current) 以及射極電流(emitter current)對時間關係圖 .....	43
圖 3.5	閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的 M-1 及寄生雙載子電晶體(parasitic bipolar transistor) 之電流增益(current gain - $\beta$ )對時間關係圖 .....	45
圖 3.6	閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的 M-1 及寄生雙載子電晶體(parasitic bipolar transistor) 之電流增益(current gain - $\beta$ )對時間關係圖 .....	46

圖 3.7	為閘極電壓上升時間為 10ns 時,40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對時間關係圖 .48
圖 3.8	為閘極電壓上升時間為 100ns 時, 40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對時間關係圖 .....49
圖 3.9	閘極電壓上升時間為 10ns 時, 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷(base-emitter charge)和基極-集極電荷(base-collector charge)對時間關係圖 .....51
圖 3.10	閘極電壓上升時間為 100ns 時,40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷(base-emitter charge)和基極-集極電荷(base-collector charge)對時間關係圖 .....52

# 表目錄

表格 3.1 雙載子電晶體/金氧半元件模型之主要經驗參數值 .....39



# Chapter 1

## 導論

### Introduction

圖 1.1 為 ITRS 在 2010 年所預估的趨勢[1]，從圖當中可以發現，隨著科技不斷的演進，元件的尺寸也持續縮小，目前主流技術已經發展到 32nm，甚至到達了 28nm，還將持續朝 15nm 發展下去。另外閘極氧化物(gate oxide)跟新材料的演進，像是 high-K 跟 high- $\mu$  的新材料，以及不同結構的變化。然而，元件模型的發展也越來越困難。圖 1.2 為科技和精簡模型(compact model)發展的比較圖，從此圖表可以看到，當元件尺寸逐漸縮小，更多的新材料跟技術被應用至元件當中，精簡模型中所需要考慮的物理現象也就相對越來越多，導致精簡模型的發展上也就更加困難重重。

絕緣體上矽(Silicon-on-Insulator SOI)金氧半元件是利用絕緣體和單晶矽所製成的半導體元件，其技術已經逐步成為下一代 CMOS 技術之主要技術。圖 1.3 為傳統金氧半電晶體之剖面圖，圖 1.4 為絕緣體上矽金氧半元件之剖面圖。絕緣體上矽(SOI)之技術相比於一般傳統金氧半電晶體(bulk MOS)元件技術在元件底層多了一層潛埋氧化層(buried oxide)，元件之間不再共用同樣的基底(substrate)，利用此氧化層作為絕緣，元件之間不會產生 latch-up 的現象，也能增強元件對於宇宙射線(radiation)的免疫力。而且因為潛埋氧化層(buried oxide)的存在，減少了元件源極(source)與汲極(drain)端的空乏區(depletion region)，尤其是源極(source)、汲極(drain)

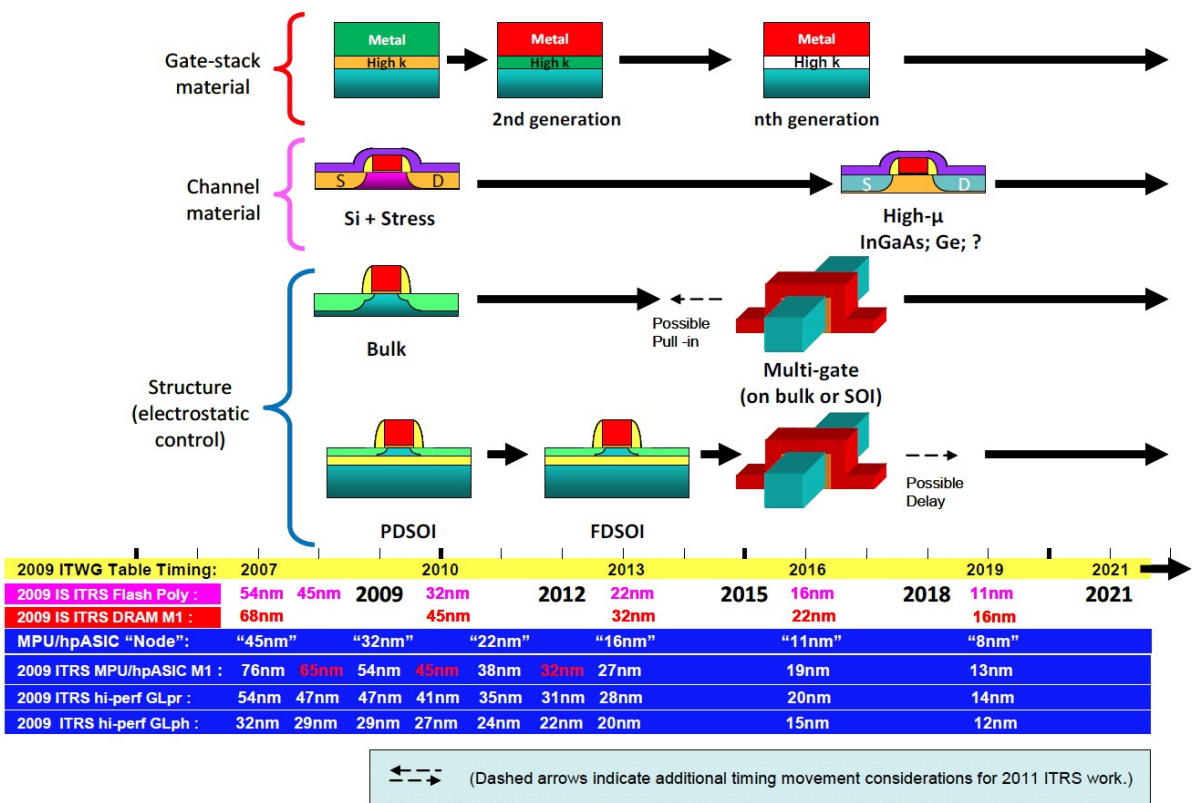


圖 1.1 ITRS 在 2010 年所預估之趨勢發展

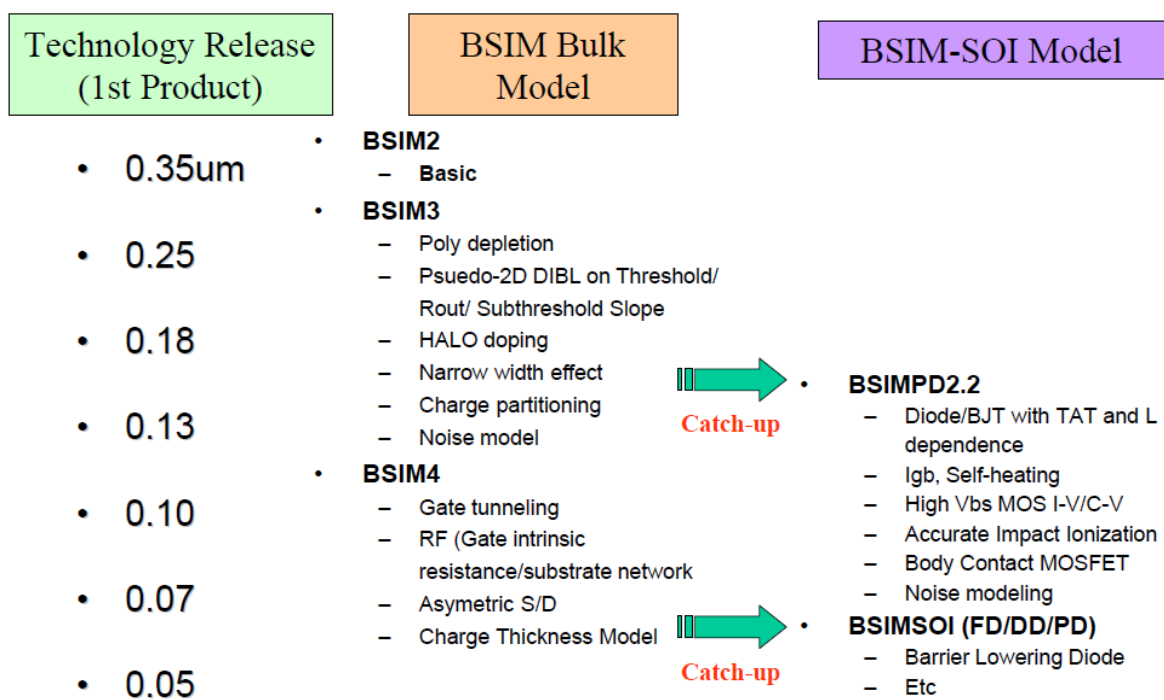
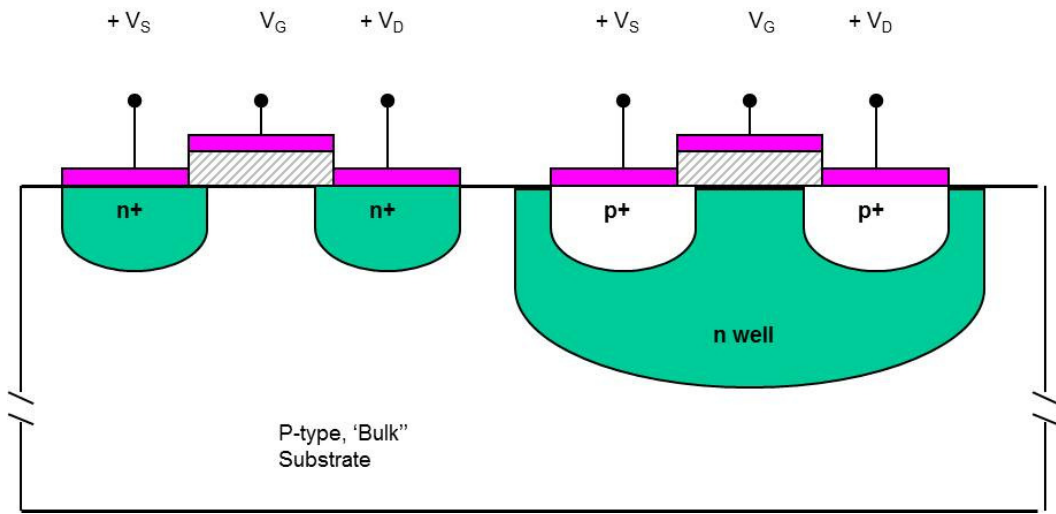
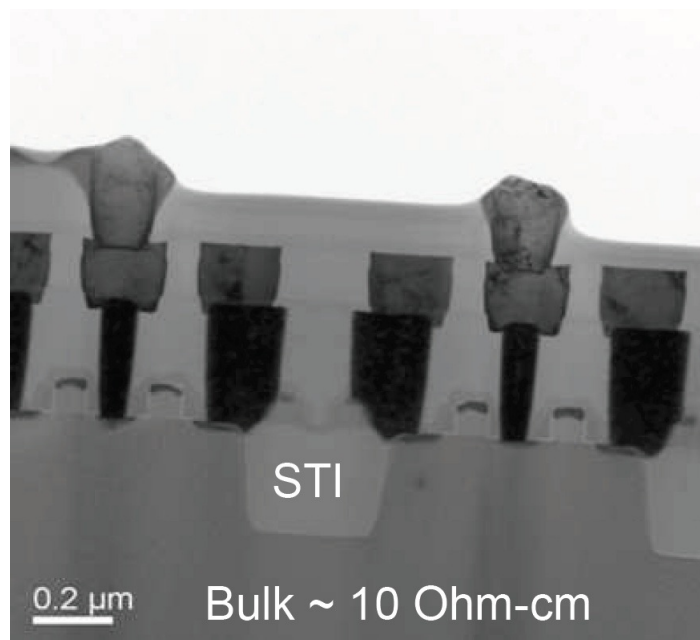


圖 1.2 科技和精簡模型的發展比較圖

區域下方部份，使絕緣體上矽金氧半(SOI)元件的寄生電容(parasitic capacitance)較傳統金氧半元件(bulk)小，電路速度可因此而變快。絕緣體上矽金氧半元件因為閘極(gate)電壓可以控制到的範圍比較小，所以絕緣體上矽金氧半電晶體元件的轉導(transconductance)更好，臨界電壓(threshold voltage)也比較小，電場效應也會變得更小。絕緣體上矽金氧半元件的二次效應(second-order effect)及漏電流(leakage current)都相對變小，以及相容於現今超大型積體電路(VLSI)技術等等的優點。除此之外 SOI 元件的潛埋氧化層(buried oxide)可使 N 型金氧半元件(NMOS)及 P 型金氧半元件(PMOS)之 p 型及 n 型的汲極(drain)、源極(source)區域在元件設計時直接接觸，以提高元件密度減少電路設計時的面積消耗。同時較低的漏電流和寄生電容，使絕緣體上矽金氧半(SOI)元件使用在電路設計下的功率損耗較少，速度也較快。和一般傳統的金氧半元件(bulk)相比較之下，更適合應用在深次微米低電壓電路設計。所以，在未來絕緣體上矽金氧半元件技術將會取代部分現有的傳統 CMOS 元件技術，成為將來不可或缺的主流技術。



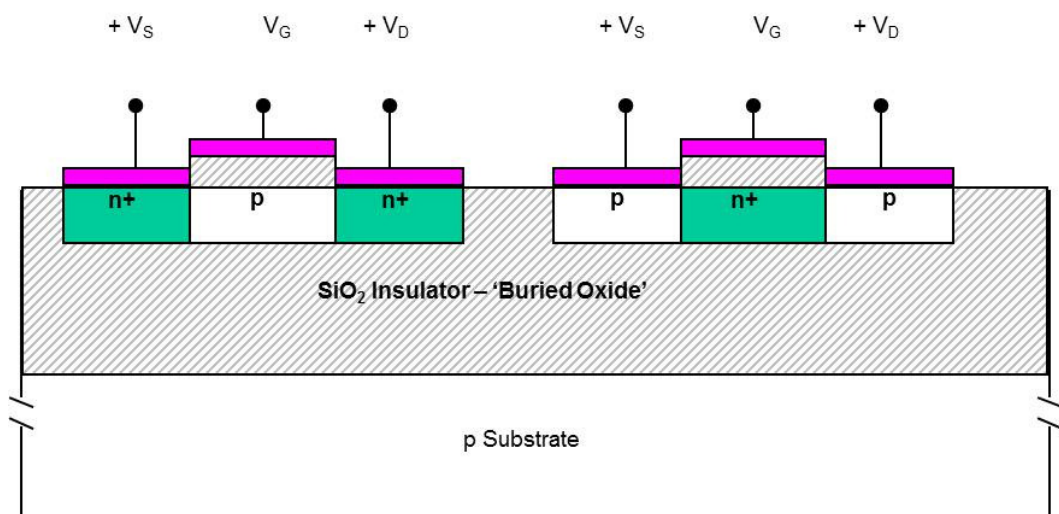
(a)



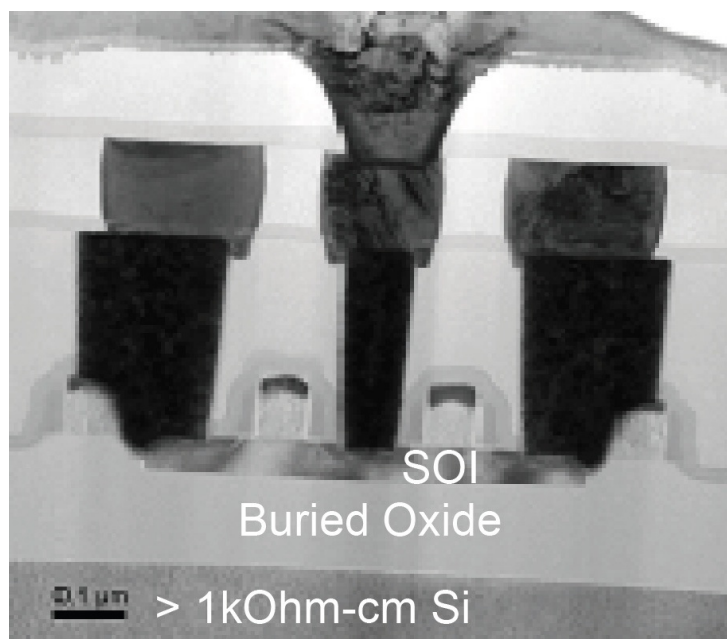
(b)

圖 1.3 傳統金氧半電晶體(bulk CMOS)元件(a)剖面圖(cross-section) ,  
(b)TEM 剖面圖(cross-section)





(a)



(b)

圖 1.4 SOI 金氧半電晶體(SOI CMOS)元件(a)剖面圖(cross-section) , (b)TEM 剖面圖(cross-section)

## 1.1 部分解離及完全解離絕緣體上矽金氧半元件

依照薄膜(thin-film)厚度的不同，絕緣體上矽金氧半元件可分為兩種，完全解離絕緣體上矽金氧半元件(fully depleted SOI)及部分解離絕緣體上矽金氧半元件(partially depleted SOI)。如圖 1.5 所表示，由於薄膜層較厚，只有薄膜層上方的區間解離，薄膜層下方的區間還維持中性的狀態，故稱之為部分解離絕緣體上矽金氧半元件，又稱做 partially-depleted SOI，簡稱為 PD SOI。另一方面，如圖 1.6 所示，由於薄膜層厚度較薄，整個薄膜層都會被解離，所以稱做完全解離絕緣體上矽金氧半元件，又稱做 fully depleted SOI，簡稱 FD SOI。

PD SOI 元件之優點在於由於薄膜層不完全解離，當閘極電壓偏壓在臨界電壓的時候，薄膜層中的空乏區不會受到薄膜層厚度的影響，因此臨界電壓較為穩定，但是由於薄膜層不完全解離，使得在空乏區下方的薄膜層仍然有電中性(neutral region)的區域，因此會有浮動基體效應(floating-body effect)[3][4][5]，以及寄生雙載子元件(parasitic bipolar device)效應，又因為薄膜層中的空乏區仍易受到汲極(drain)跟源極(source)的影響，PD SOI 元件的二次效應也比較嚴重。此外，由於 PD SOI 之薄膜層中有電中性的區域，因此當汲極電流大時容易發生電流如階梯狀不連續突增之情形，此即 kink effect。PD SOI 元件相對於 FD SOI 元件，存在著歷史效應(history effect)[2]。然而 PD SOI 元件在製程上的良率遠比 FD SOI 來的好，故現今 SOI 技術皆以 PD SOI 為主流技術。

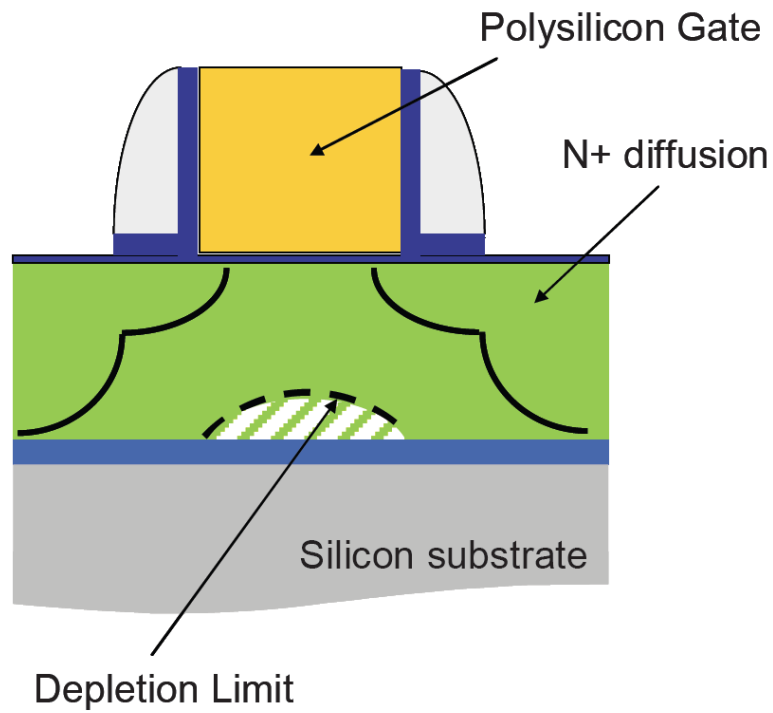


圖 1.5 部分解離絕緣體上矽金氧半元件剖面圖(cross-section)

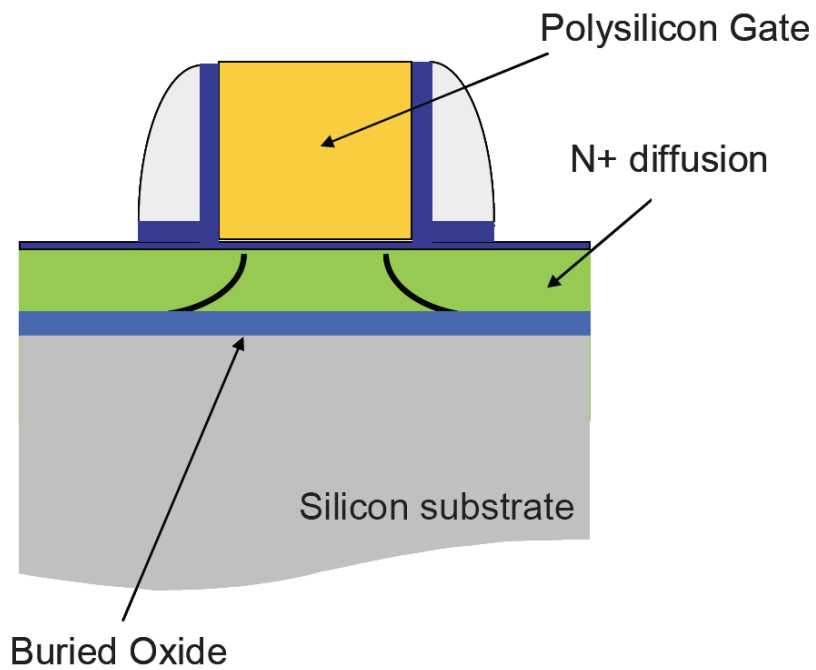


圖 1.6 完全解離絕緣體上矽金氧半元件剖面圖(cross-section)

## 1.2 部分解離絕緣體上矽金氧半電晶體的浮動基體效應

如圖 1.7 所表示，當元件偏壓在強反轉區(strong inversion)時，通道內的電子受到水平電場的作用加速前進，在靠近汲極(drain)端的高電場區域，也就是後夾止區域(post pinch-off region)，因為具有強大的水平電場，所以通道裡的電子會撞擊晶格產生電子電洞對(electron-hole pair)，撞擊所產生之多出載子受到電場影響，又繼續撞擊晶格產生更多的電子電洞對，如此循環擴大稱之為衝擊游離(impact ionization)。在發生衝擊游離(impact ionization)的過程當中，電子會往電壓較高的汲極(drain)移動，而電洞則會往電壓較低的基體(substrate)移動，因為有潛埋氧化層(buried oxide)的阻隔，所以電洞會儲存在中性基體之中，不會經由底部被排走。當電洞持續累積，基體(body)電壓逐漸升高，使得寄生雙載子電晶體(parasitic bipolar transistor)基-射接面(body-emitter junction)導通，會使汲極(drain)電流有一不連續的電流突增情形發生，即稱為電流突增效應(kink effect)，此為部分解離絕緣體上矽金氧半電晶體之特殊現象。由於部分解離絕緣體上矽金氧半元件因為不完全解離的矽薄膜層(thin film)產生了浮動基體(floating-body)，所以在元件特性的分析上會比較困難。

由上面的分析可以了解，部分解離絕緣體上矽 N 型金氧半電晶體(PD SOI NMOS)的 kink effect 跟電洞在中性區的累積有完全的相關，因為衝擊游離(impact ionization)所產生的電洞比電子來的小，所以絕緣體上矽 P 型金氧半電晶體(PD SOI PMOS)比絕緣體上矽 N 型金氧半電晶體(PD SOI NMOS)有比較小的 kink effect。

部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)因為有浮動基體效應(floating body effect)的關係，使得在精簡模型上的建立更加複雜及困難，由於存在浮動基體效應(floating body effect)，衝擊游離(impact ionization)和寄生雙載子電晶

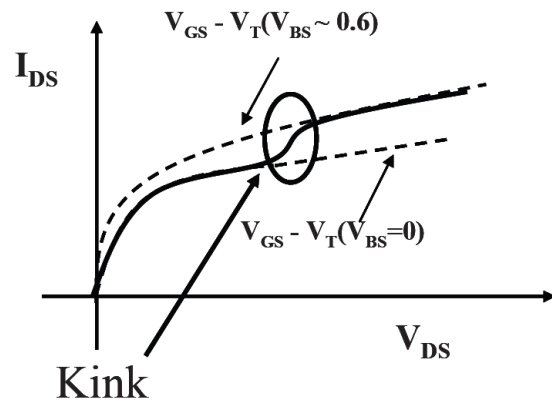
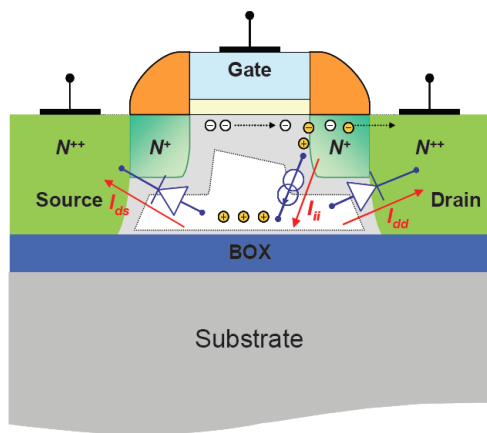


圖 1.7 PD SOI NMOS 浮動基體效應之示意圖

體(parasitic bipolar transistor)彼此互相牽制影響，使得部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)的特性和電流傳導機制(current mechanism)和一般傳統基底式(bulk)金氧半電晶體完全不同，所以要如何在部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)裡建立寄生雙載子電晶體(parasitic bipolar transistor)的精簡模型是相當重要的。

### 1.3 論文架構

本篇論文將對利用 SPICE 雙載子電晶體/金氧半電晶體模型來建立部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)之精簡模型進行探討。本章簡介了絕緣體上矽金氧半(PD SOI MOS)元件的基本架構和優點。第二章將分析部分解離絕緣體上矽金氧半(PD SOI MOS)元件之電流傳導機制，並利用 SPICE 建立之模型與 2D 模擬軟體進行直流的模擬比較。第三章將分析比較 SPICE 精簡模型和 2D 模擬軟體暫態模擬的部分。第四章為結論和未來方向。

## Chapter 2

### 考慮浮動基體效應的部分解離絕緣體上矽 N 型金氧半 SPICE 模型：直流分析

### SPICE Modeling for PD SOI NMOS Considering Floating Body Effect: DC Analysis

部分解離絕緣體上矽金氧半 SPICE 模型的發展是用來提供超大型積體電路 (VLSI) 所需之計算機輔助設計(CAD)的電路模擬程式。本章以金氧半元件(MOS)和雙載子電晶體(BJT)的等效電路組合而成的雙載子互補式金氧半(BiCMOS)概念來說明部分解離絕緣體上矽金氧半元件所使用的元件模型。

圖 2.1 表示了一個典型的部分解離絕緣體上矽 N 型金氧半電晶體的二維剖面圖和利用雙載子互補式金氧半(BiCMOS)方式所建立的部分解離絕緣體上矽的 SPICE 元件模型[6]。如圖所示，部分解離絕緣體上矽之 SPICE 模型，由於考慮到元件薄膜層有中性區間存在，整個部分解離絕緣體上矽金氧半元件可以視為矽薄膜層表面的傳統金氧半元件(MOS)和矽薄膜層底部的寄生雙載子電晶體(parasitic BJT)兩個元件平行並聯操作構成。寄生雙載子電晶體(parasitic BJT)的射極(emitter)跟表面金氧半元件的源極(source)連接。另外，寄生雙載子電晶體(parasitic BJT)的集極(collector)則跟表面金氧半元件的汲極(drain)共享。而寄生雙載子電晶體(parasitic BJT)的基極(base)，則是跟表面金氧半元件的基板(substrate)相連接，形成一浮動的基體，因此部分解離絕緣體上矽金氧半元件可以視為 MOS 加 BJT 的等效

電路組合。如圖所示，另外在模型中使用了一個電容( $C_{buried}$ )來表示潛埋氧化層的效應。在絕緣體上矽金氧半的 SPICE 模型中，表面金氧半元件所採用的元件模型為傳統的深次微米金氧半元件汲極電流跟電容模型，底部寄生雙載子電晶體的元件模型使用了 Gummel-Poon 模型[7][8]。

在建立絕緣體上矽金氧半的 SPICE 模型時，由表面金氧半元件的高電場區域所產生的撞擊游離(impact ionization)電流也是一個不可忽略的重要關鍵，撞擊游離電流會流向薄膜層的中性區間，成為寄生雙載子電晶體的基極(base)觸發電流，反映出浮動基體效應(floating-body effect)。除此之外，憑藉著絕緣體上矽金氧半的 SPICE 模型，可以計算出浮動基體的電位變化，進而預測出部分解離絕緣體上矽金氧半元件所獨有的浮動基體效應。





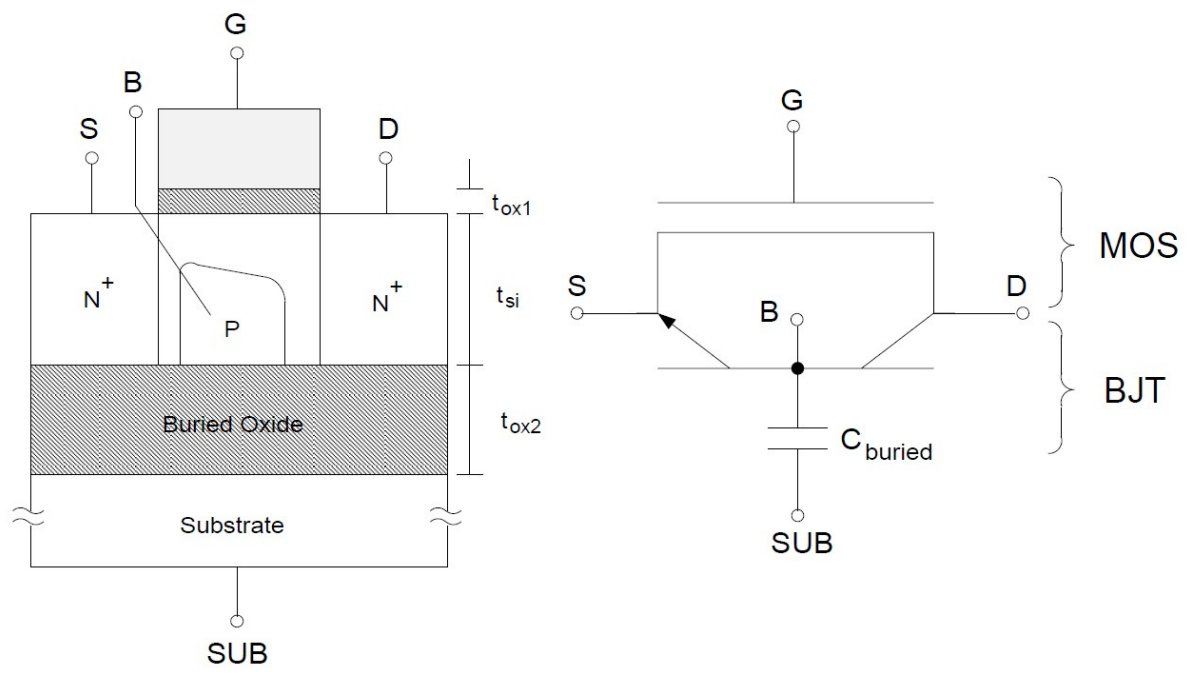


圖 2.1 PD SOI NMOS 之二維剖面圖和利用 BiCMOS 方式所建立之 PD SOI SPICE 模型

## 2.1 部分解離絕緣體上矽金氧半之飽和區電流傳導機制

如圖 2.2 所示，為一 40nm 部分解離絕緣體上矽 N 型金氧半元件操作在飽和區間(saturation region)時之電流傳導機制(current conduction mechanism)的截面示意圖[9]。當元件操作在飽和區間(saturation region)時，在氧化層/矽( $\text{SiO}_2/\text{Si}$ )表面的反轉層內，會有由電子群漂移所形成的通道電流。在接近汲極端的高電場區域，即後夾止區域(post pinch-off)，因存在大的橫向電場(lateral electric field)，所以會有漂移的電子群撞擊晶格(lattice)，造成電子電洞對的產生。這些生成的電子群電洞群會因電場而反方向移動-生成的電子群向汲極接點移動；生成的電洞群向源極移動。因此造成生成的電子和電洞電流( $I_h$ )；大小相同方向相反，此即是撞擊游離電流(impact ionization current)。對於短通道部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件，潛埋氧化層(buried oxide)上的寄生雙載子電晶體(parasitic bipolar transistor)；其射極(emitter)在源極(source)、集極(collector)在汲極(drain)，不可再被忽略。一部分的撞擊游離電流(impact ionization current)會因垂直電場(vertical electric field)，而直接垂直向潛埋氧化層(buried oxide)流動。結果，在潛埋氧化層(buried oxide)上矽薄膜(thin film)內會形成電洞的累積，會去引導觸發潛埋氧化層(buried oxide)上寄生雙載子電晶體(parasitic bipolar transistor)。當寄生雙載子電晶體(parasitic bipolar transistor)被觸發，這些累積的電洞群會與電子群在基體(body)內進行復合。假如忽略此複合效應，到達穩定狀態(steady state)時，經由撞擊游離(impact ionization)所產生的電洞群會與進入源極端的電洞群相同。在寄生雙載子電晶體(parasitic bipolar transistor)內，一部分由電子群所組成的集極電流(collector current)，會因垂直電場(vertical electric field)而向高電場處流動。此電子群也會撞擊晶格(lattice)，因此亦會與通道電流機制相同，進而有電子電洞對的產生。

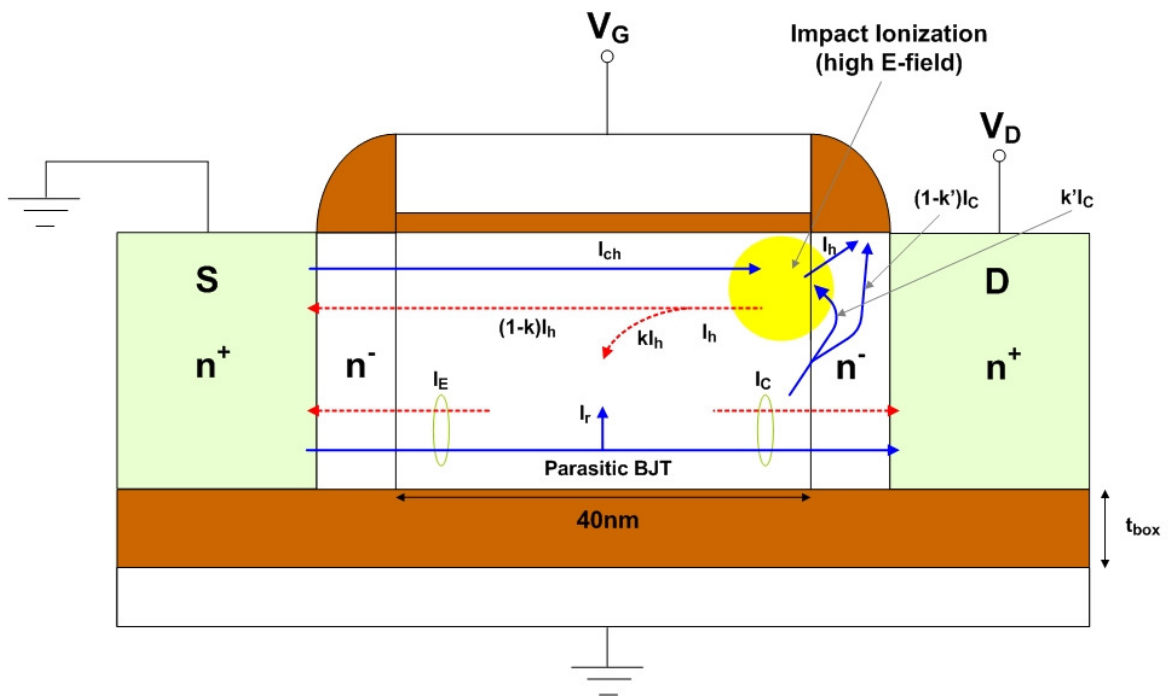


圖 2.2 40nm 部分解離絕緣體上矽 N 型金氧半(40nm PD SOI NMOS)元件內部之電流傳導機制(current conduction mechanism)的截面示意圖

## 2.2 雙載子電晶體/金氧半元件架構

由前述之元件模型的分析可以得知，絕緣體上矽金氧半元件可以利用一個表面的金氧半(MOS)元件跟一底部的寄生雙載子電晶體(parasitic bipolar transistor)互相並聯組合而成。然而，單單將這兩個元件組合在一起還是無法完全表示部分解離絕緣體上矽金氧半元件的模型，由上一節的電流傳導機制(current mechanism)分析可以知道，在此模型架構中我們還須引入兩個參數，K 以及 K'；如圖 2.3 所示，參數 K 表示了有多少倍數的衝擊游離電流(impact ionization current)流至薄膜層(thin film)中的中性區間，而參數 K'則是表示了有多少倍數的寄生雙載子電晶體(parasitic bipolar transistor)的集極電流流向了表面金氧半元件靠近汲極(drain)的高電場區域，也就是所謂的後夾止區域(post pinch-off)。在引入這兩項參數之後，雙載子電晶體/金氧半元件(bipolar/MOS)的架構才能精確的表達絕緣體上矽金氧半的元件模型。

由圖 2.2 可知，當部分解離絕緣體上矽 N 型金氧半元件操作在飽和區(saturation region)時，汲極電流(drain current -  $I_D$ )可以視作由表面通道電流(channel current -  $I_{ch}$ )，衝擊游離電流(impact ionization current -  $I_h$ )，以及寄生雙載子電晶體的集極電流(collector current -  $I_C$ )所組合而成：

$$I_D = I_{ch} + I_h + I_C \quad (2.1)$$

而源極電流(source current -  $I_S$ )則可以視作由表面通道電流(channel current -  $I_{ch}$ )，一部分的衝擊游離電流(impact ionization current -  $(1-K)I_h$ )，和寄生雙載子電晶體的射極電流(emitter current -  $I_E$ )所組合而成：

$$I_S = I_{ch} + (1-K)I_h + I_E \quad (2.2)$$

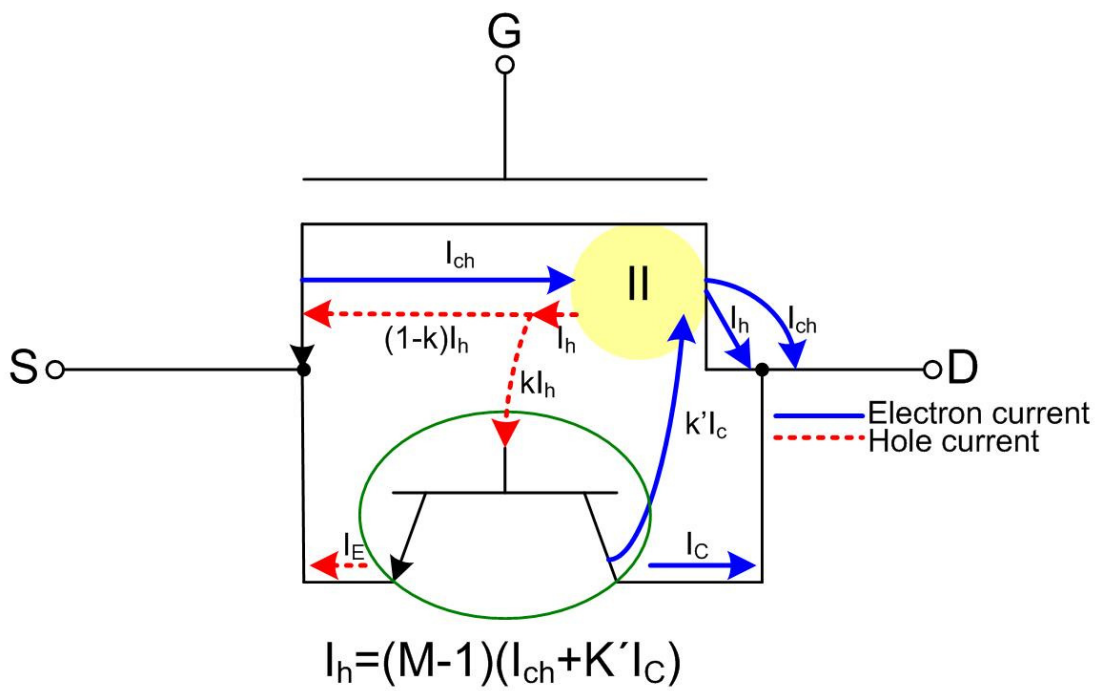


圖 2.3 雙載子電晶體(BJT)/金氧半(MOS)元件架構。

又衝擊游離電流(impact ionization current -  $I_h$ )是表面通道電流(channel current -  $I_{ch}$ )跟一部份流經高電場區間的集極電流(collector current -  $K'I_C$ )的函數，所以可以表示成：

$$I_h = (M - 1)(I_{ch} + K'I_C) \quad (2.3)$$

公式(2.3)中的  $M$  為倍增因數(multiplication factor)，其公式可寫為：

$$M - 1 = \alpha(V_D - V_{DSAT}) \exp\left(-\frac{\beta}{V_D - V_{DSAT}}\right) \quad (2.4)$$

公式(2.4)中的  $\alpha$  跟  $\beta$  為製成相關的參數，對溫度並不敏感。而  $V_{DSAT}$  為元件剛進入飽和區(saturation region)間時的汲極電壓(drain voltage -  $V_D$ )，而此時的  $M-1$  剛好為 0。

根據公式聯立可以求得在直流環境下的  $M-1$  及寄生雙載子電晶體的電流增益(current gain -  $\beta$ )。圖 2.4 為在汲極電壓(drain voltage)固定為 2V 的情況下， $M-1$  及寄生雙載子電晶體的電流增益(current gain -  $\beta$ )對閘極電壓(gate voltage)的關係圖。當閘極電壓(gate voltage)減少，因後夾止區域(post pinch-off region)變大，衝擊游離(impact ionization)更嚴重，造成  $M-1$  值變大。由圖 2.4 知  $\beta$  與  $M-1$  的趨勢相反，但是就高汲極電壓(drain voltage)之下，寄生雙載子電晶體(parasitic bipolar transistor)效應比衝擊游離(impact ionization)效應強，固崩潰電壓(breakdown voltage)會與閘極電壓(gate voltage)有些許相關，可解釋當閘極電壓(gate voltage)變小，崩潰電壓(breakdown voltage)會延後發生[10]。

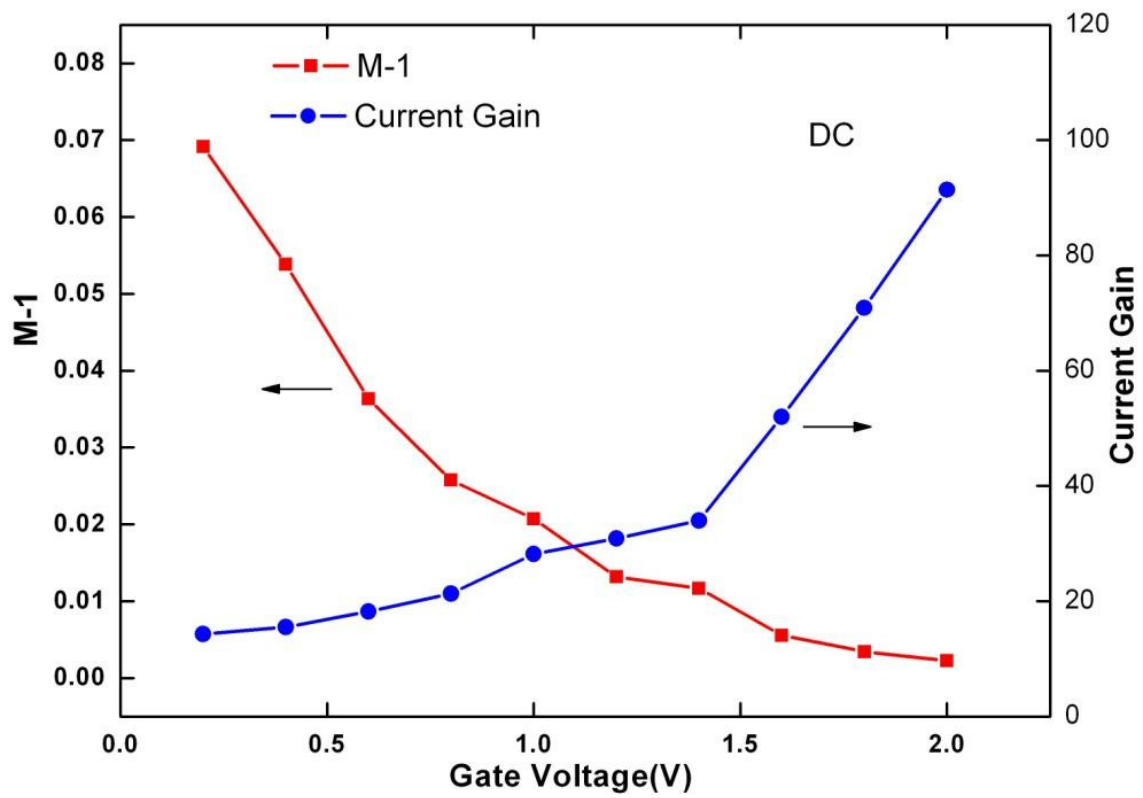


圖 2.4 在汲極電壓為 2V 的情況下，M-1 及寄生雙載子電晶體(parasitic bipolar transistor)的電流增益(current gain)對閘極電壓之關係圖

## 2.3 雙載子電晶體/金氧半元件模型

圖 2.3 為一典型的雙載子電晶體/金氧半元件架構，為了建立此模型，在表面的金氧半元件使用了 BSIM4.5 的模型[11]，而底部的寄生雙載子電晶體使用了 Philips Mextram Level 504 的模型[12]。

圖 2.5 為 BSIM4 之典型的電流電壓曲線圖和輸出阻抗(output resistance)圖。只考慮通道電流，其電流電壓圖可以分成兩個區域，電流隨著汲極(drain)電壓快速上升的線性區(triode region)，跟電流較不受汲極(drain)電壓所影響的飽和區(saturation region)。如所示，依其輸出阻抗(output resistance)之特性可以分成四個區間，第一個區間為線性區(triode region)間，而其他三個區間皆屬於飽和區(saturation region)間，飽和區間又可以依其物理機制之不同可細分成通道調變效應(channel length modulation - CLM)、汲極引致能障下降(drain induced barrier lowering - DIBL)、以及基板電流引致基體效應(substrate current induced body effect - SCBE)。將以上現象都考慮進去，最後的通道電流公式可以下列單一公式來表達：

$$I_{ds} = \frac{I_{ds0} \cdot NF}{1 + \frac{R_{ds} I_{ds0}}{V_{dseff}}} \left[ 1 + \frac{1}{C_{clm}} \ln \left( \frac{V_{Asat} + V_{ACLM}}{V_{Asat}} \right) \right] \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADIBL}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADITS}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ASCBE}} \right) \quad (2.5)$$

其中的  $I_{ds0}$  為 intrinsic 元件的通道電流，其公式為：

$$I_{ds0} = \frac{W \mu_{eff} Q_{ch0} V_{ds} \left( 1 - \frac{V_{ds}}{2V_b} \right)}{L \left( 1 + \frac{V_{ds}}{E_{sat} L} \right)} \quad (2.6)$$

上述為汲極電流公式的模型，接下來討論衝擊游離電流(impact ionization current)



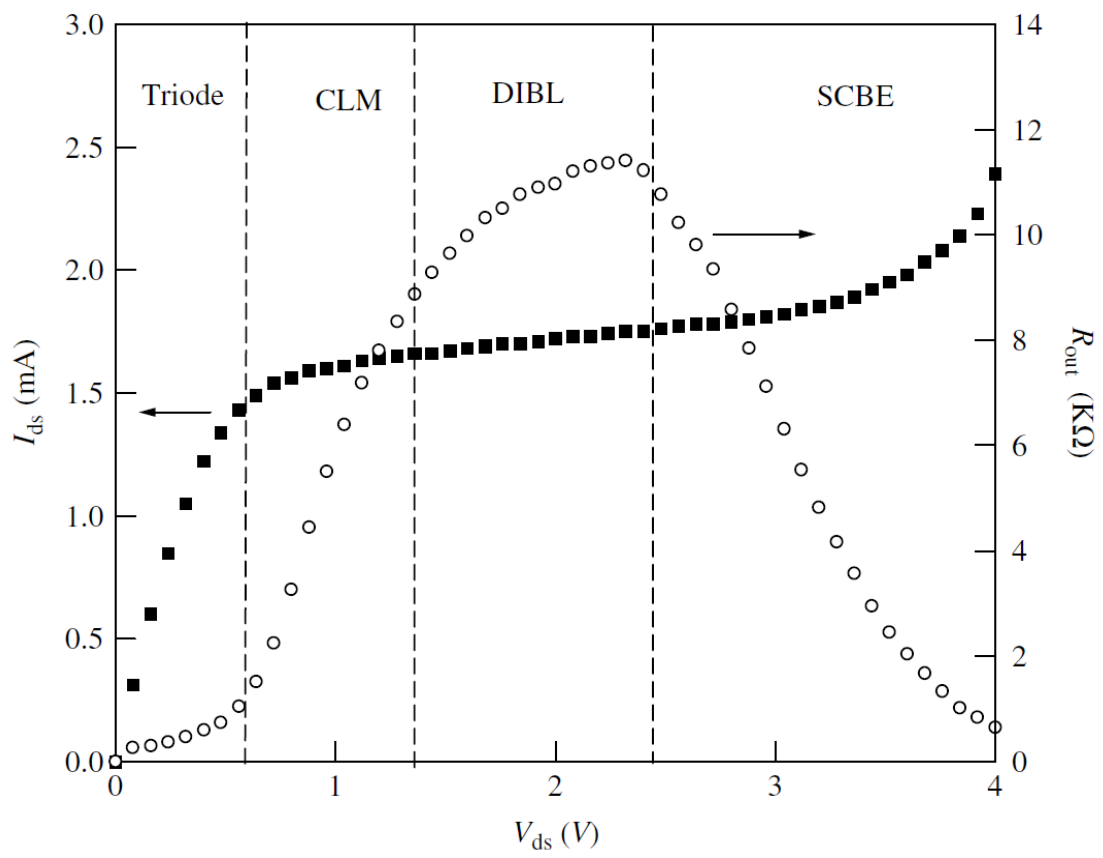


圖 2.5 BSIM4.5 模型的電流電壓圖及輸出阻抗圖

的模型。

衝擊游離電流(impact ionization current)為通道電流(channel current)流經高電場區域，經由碰撞晶格所產生之多出電流，故其一般式可表達成：

$$I_{ii} = (M - 1) \cdot I_{ch} \quad (2.7)$$

而在 BSIM4.5 之游離衝擊電流(impact ionization current)公式為：

$$I_{ii} = \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{BETA0}{V_{ds} - V_{dseff}}\right) \cdot I_{dsNoSCBE} \quad (2.8)$$

ALPHA0、ALPHA1 及 BETA0 皆為游離衝擊之參數，而

$$I_{dsNoSCBE} = \frac{I_{ds0} \cdot NF}{1 + \frac{R_{ds} I_{ds0}}{V_{dseff}}} \left[ 1 + \frac{1}{C_{clm}} \ln\left(\frac{V_{Asat} + V_{ACLM}}{V_{Asat}}\right) \right] \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADIBL}} \right) \cdot \left( 1 + \frac{V_{ds} - V_{dseff}}{V_{ADITS}} \right) \quad (2.9)$$

由公式(2.7)、(2.8)及(2.9)相互比較對照之下，可得到 M-1：

$$M - 1 = \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{BETA0}{V_{ds} - V_{dseff}}\right) \quad (2.10)$$

可發現和前面章節所討論的 M-1 之表示型態是相同的。

圖 2.6 為所使用的 Mextram 504 模型之等效電路圖。Mextram 模型是基於 Gummel-Poon 模型所建立，並加入了爾利效應(early effect)、高注入效應(high injection effect)和柯克效應(kirk effect)等等其他的不理想因素。而 Mextram 504 模型之端點電流可用下列公式來表達：

$$I_C = \frac{V_{cc1}}{RCC} \quad (2.11)$$

$$I_E = \frac{V_{ee1}}{RE} \quad (2.12)$$

$$I_B = \frac{V_{bb1}}{RBC} \quad (2.13)$$

其中(2.11)的  $RCC$  為 collector resistance、(2.12)中的  $RE$  為 emitter resistance、而(2.13)中的  $RBC$  為 base resistance。

由圖 2.3 可知，雙載子電晶體/金氧半元件架構無法準確表達部分解離絕緣體上矽金氧半元件(PD SOI MOS)的電流傳導機制(current conduction mechanism)，主要的原因是因為有部分的來自雙載子電晶體的集極電流(collector current)被回饋至表面金氧半元件靠近汲極的高電場區，以及從高電場區域產生的部分衝擊游離電流(impact ionization current)會流往薄膜層(thin film)的中性區，考慮以上因素之後，雙載子電晶體/金氧半元件的衝擊游離電流(impact ionization current)模型公式可以改寫成：

$$I_{ii} = \left[ \frac{ALPHA0 + ALPHA1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(\frac{BETA0}{V_{ds} - V_{dseff}}\right) \right] \cdot (I_{dsNoSCBE} + K' I_C) \quad (2.14)$$

而會有一部分的游離衝擊電流(impact ionization current)往下流至薄膜層的中性區，成為寄生雙載子電晶體(parasitic bipolar transistor)的基極(base)觸發電流，故需調整公式成：

$$I_{B,trigger} = K \cdot I_{ii} \quad (2.15)$$

如此便成功地建立了以雙載子電晶體/金氧半元件架構的部分解離絕緣體上矽金氧半元件的元件模型。接下來將利用此模型，進行直流及暫態的模擬，並分析比較其準確性。

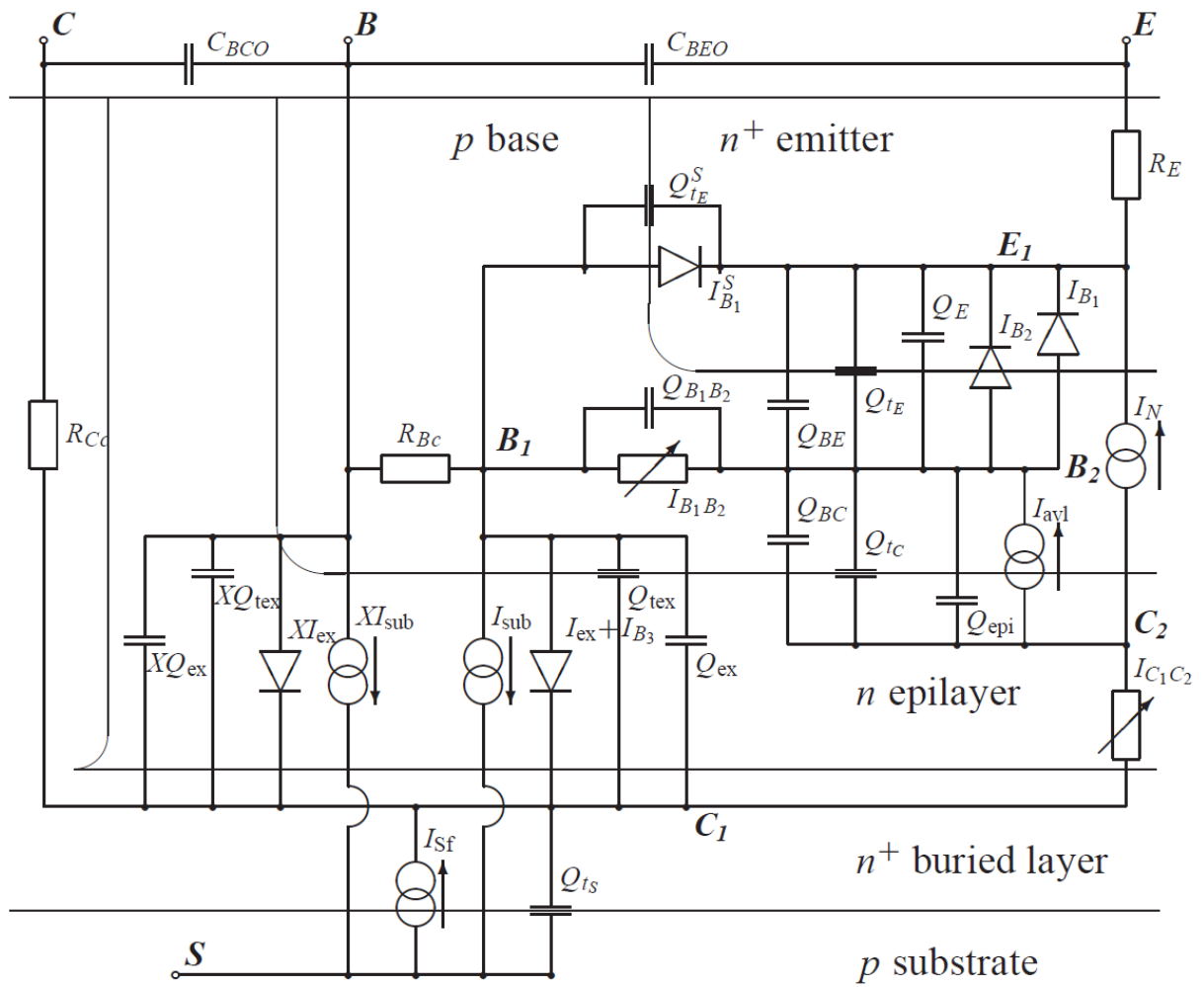


圖 2.6 Mextram 504 之 NPN 雙載子電晶體的完整等效電路圖

## 2.4 直流模擬驗證及分析

圖 2.7 所示為工業上 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS) 測試元件的穿透式電子顯微鏡圖(TEM)，圖 2.8 則為利用二維元件模擬器 MEDICI 所建立的模擬元件剖面圖。此元件薄膜層(thin film)厚度為 70nm，並參雜 P 型雜質，參雜濃度為  $3 \times 10^{18} \text{ cm}^{-3}$ ，潛埋氧化層(buried oxide)為 145nm，前閘極氧化層(gate oxide)為 2nm，通道寬度(channel width)為  $1 \mu\text{m}$ 。邊牆(sidewall)下輕參雜汲極(lightly doping drain - LDD)結構以及淺槽隔離結構(shallow trench isolation - STI)都被採用在此模擬結構中。而邊牆堡壘(sidewall spacer)下方為 65nm 長的 N 型輕參雜區域，其參雜濃度為  $10^{19} \text{ cm}^{-3}$ 。使用雙載子電晶體/金氧半元件模型方法模擬，其中新引入的參數 K 設為 0.99，參數 K' 設為 0.99[13]，並利用二維元件模擬器 MEDICI，模擬時考慮兩種載子及能量平衡公式[14]。

### 2.4.1 模型驗證

圖 2.9 所示為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流(drain current)對汲極電壓(drain voltage)關係圖，偏壓在浮動基體(floating body)下，根據 SPICE 雙載子電晶體/金氧半元件模型、二維元件模擬軟體 MEDICI 以及實驗量測結果所繪出。由此圖可以看出，當汲極電壓(drain voltage)達到一定值時，可以明顯觀察到汲極電流(drain current)會有一突增的現象，也就是 kink effect，此時的元件偏壓在飽和區(saturation region)中，元件內部的通道在靠近汲極端會產生後夾止區域(post pinch-off region)，具有強大的水平電場，經衝擊游離(impact ionization)產生的電流會往薄膜層(thin film)的中性區流動，電洞會在中性區內累積，使寄生雙載子電晶體(parasitic bipolar transistor)的基-射極(base-emitter)電壓升

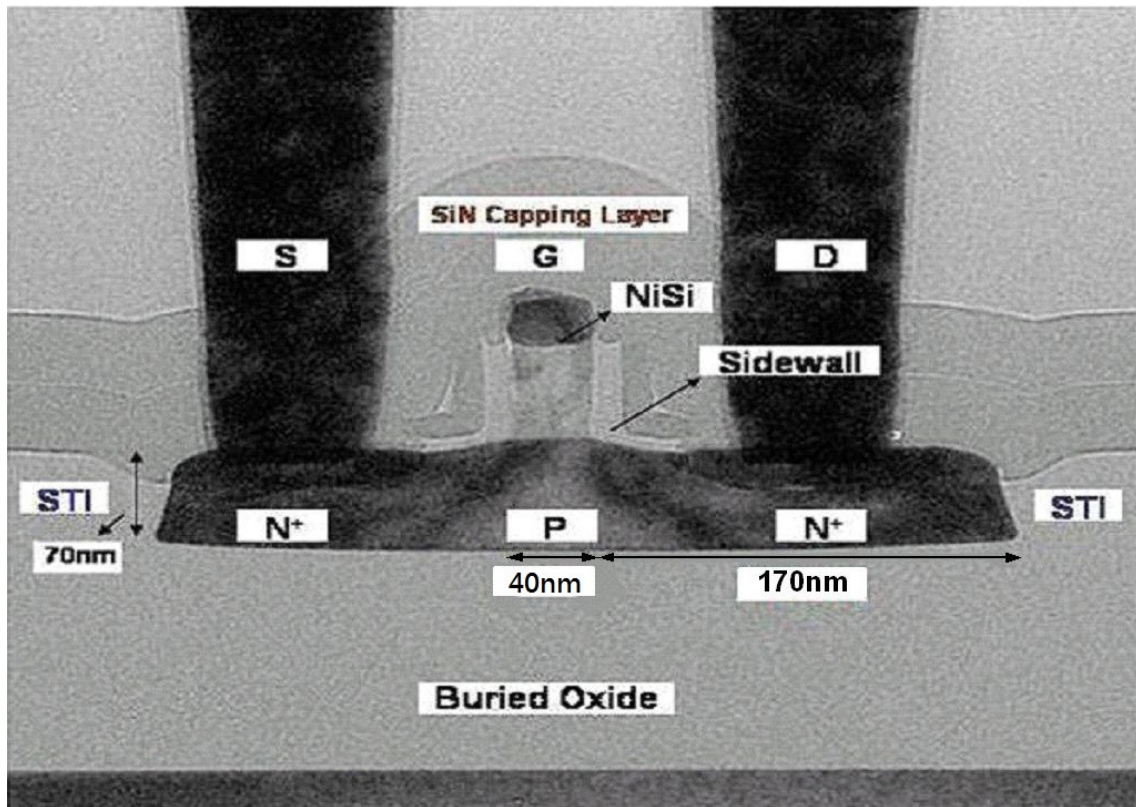


圖 2.7 40nm 部分解絕緣體上矽 N 型金氧半測試元件之穿透式電子顯微鏡圖

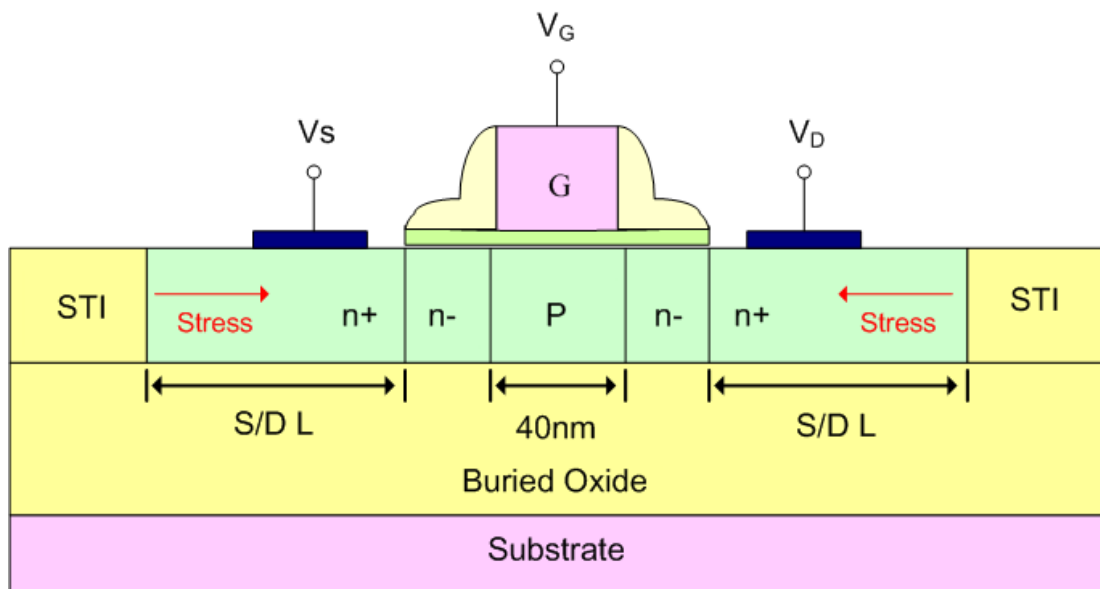


圖 2.8 40nm 部分解離絕緣體上矽 N 型金氧半模擬元件剖面圖

高，使基-射極(base-emitter)接面順向偏壓，寄生雙載子電晶體(parasitic bipolar transistor)將會導通，臨界電壓(threshold voltage)將會降低，導致汲極電流(drain current)會突然增加。圖 2.10 所示為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對汲極電壓(drain voltage)關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由此圖可明顯證實，當 kink effect 發生的時候，基體-源極電壓(body-source voltage)會明顯地往上升高，然而，當累積的電洞和基體(body)電壓達到某一程度之後，基-射極(base-emitter)接面將會導通，此時的基體(body)電壓將不會再持續上升，而會維持在 0.6V 到 0.7V。而由圖可以看出，在比較大的閘極電壓(gate voltage)下，需要比較大的汲極電壓(drain voltage)才會發生 kink effect，這是因為閘極電壓(gate voltage)越大，後夾止區域(post pinch-off region)就需要越大的汲極電壓(drain voltage)才能形成，而如前面章節所描述，寄生雙載子電晶體(parasitic bipolar transistor)的效應又跟後夾止區域(post pinch-off region)，也就是參數 M-1，有極大的相關性，故當閘極電壓(gate voltage)越大時，kink effect 越會有延後發生的現象。如上述兩圖所示，已成功利用雙載子電晶體/金氧半元件架構建立部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件模型，並驗證其準確性。



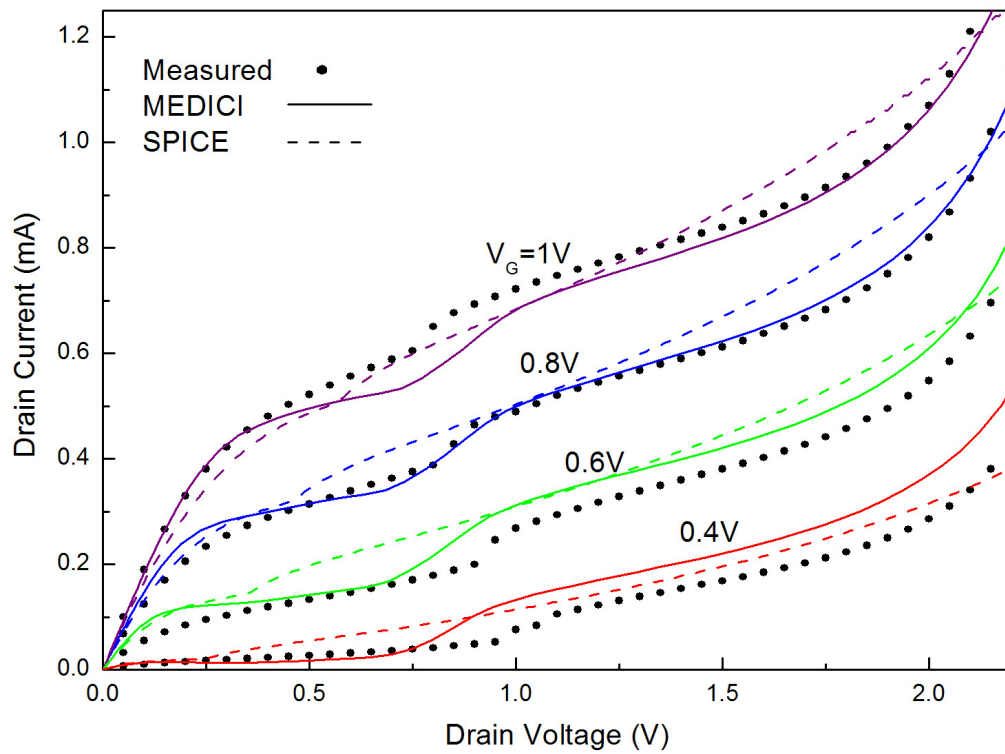


圖 2.9 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流 (drain current)對汲極電壓(drain voltage)關係圖

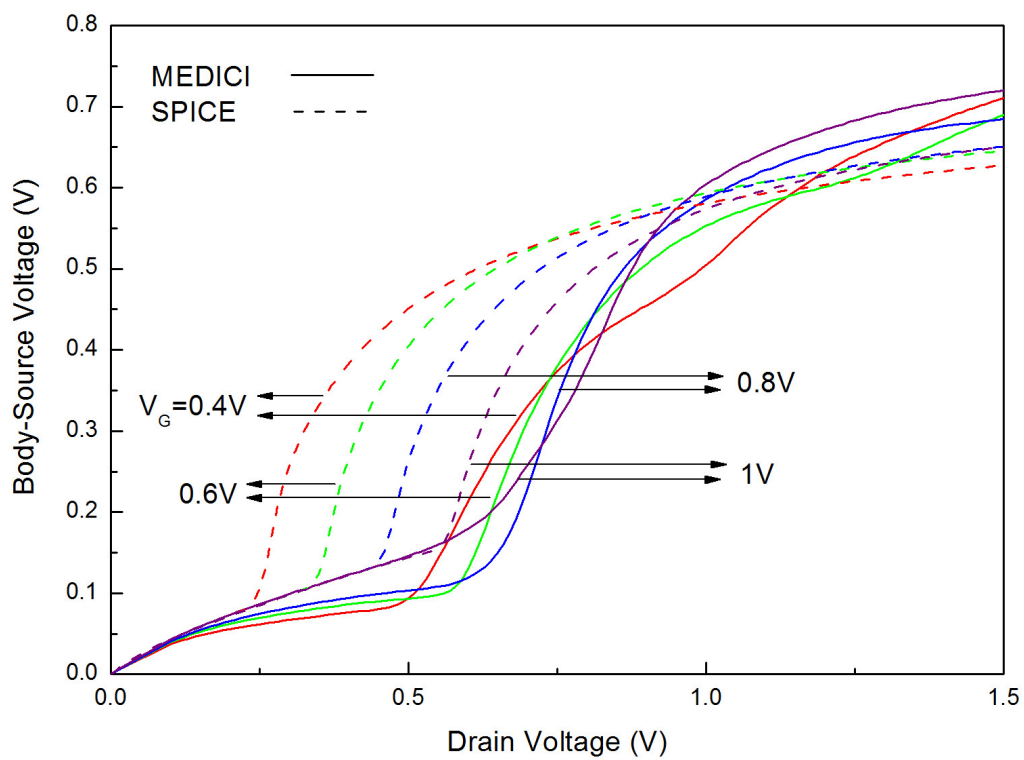


圖 2.10 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對汲極電壓(drain voltage)關係圖

## 2.4.2 寄生雙載子電晶體之分析

本小節將探討寄生雙載子電晶體(parasitic bipolar transistor)在直流情況下的現象。圖 2.11 所示為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極電荷(body-emitter charge)對汲極電壓(drain voltage)關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由前述之分析可以知道，當汲極電壓(drain voltage)比較小時，底部的寄生雙載子電晶體(parasitic bipolar transistor)還未導通，所以此時由電子所組成的基極-射極電荷(body-emitter charge)很小，當汲極電壓(drain voltage)逐漸升高，經由衝擊游離(impact ionization)產生的電洞持續在薄膜層的中性區累積，最後寄生雙載子電晶體(parasitic bipolar transistor)就會導通，產生 kink effect，此時可以從圖 2.11 中明顯觀察到基極-射極電荷(body-emitter charge)有劇烈的上升現象，這是因為寄生雙載子電晶體(parasitic bipolar transistor)此時已經導通，所以在基極(base)中的少數載子(minority carrier)電子會大量增加，而此上升點的汲極電壓(drain voltage)可以跟圖 2.9 以及圖 2.10 比較，符合 kink effect 發生時的電壓點。接著由雙載子電晶體/金氧半元件模型之基極-射極電荷公式(body-emitter charge)來看：

$$Q_{BE} = \frac{1}{2} \cdot Q_{B0} \cdot n_0 \cdot q_1^0 \quad (2.16)$$

$$Q_{B0} = TAUB \cdot IK \quad (2.17)$$

$$f_1 = \frac{4 \cdot IS}{IK} \cdot \exp\left(\frac{V_{B2E1}}{V_T}\right) \quad (2.18)$$

$$n_0 = \frac{f_1}{1 + \sqrt{1 + f_1}} \quad (2.19)$$

$IS$  : Saturation current for intrinsic transistor

$IK$  : High-injection knee current for intrinsic transistor

$TAUB$  : Transit time of the base

其中公式(2.16)的  $q_1^0$  為 early effect 相關之參數，在這裡並不重要。故由公式可以觀察發現，基極-射極電荷(body-emitter charge)跟基體-源極電壓(body-source voltage)具有正相關性，當基體-源極電壓(body-source voltage)劇烈上升時，基極-射極電荷(body-emitter charge)也跟著劇烈上升，跟前述分析結果一致。

圖 2.12 為 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極電容(body-emitter capacitance)對汲極電壓(drain voltage)關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由圖可以觀察出，當 kink effect 發生的時候，基極-射極電容(body-emitter capacitance)會有上升的現象，由電容基本公式：

$$C = \frac{dQ}{dV} \quad (2.20)$$

kink 發生時，由高電場所產生的電洞流至薄膜層(thin film)中的中性區，造成寄生雙載子電晶體(parasitic bipolar transistor)開始導通，此時會有大量從射極(emitter)注入的電子進入基極(base)中，故由公式(2.20)可以推論，因為電子注入，使得電荷量增加，所以電容也會隨之增加。

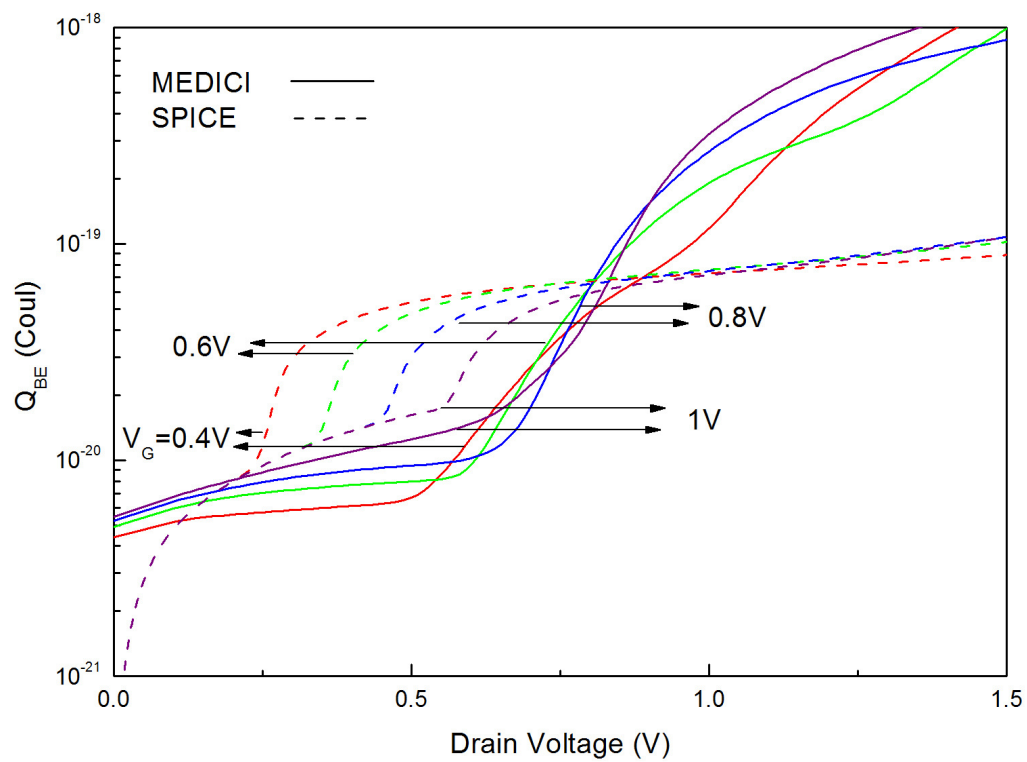


圖 2.11 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極電荷(body-emitter charge)對汲極電壓(drain voltage)關係圖

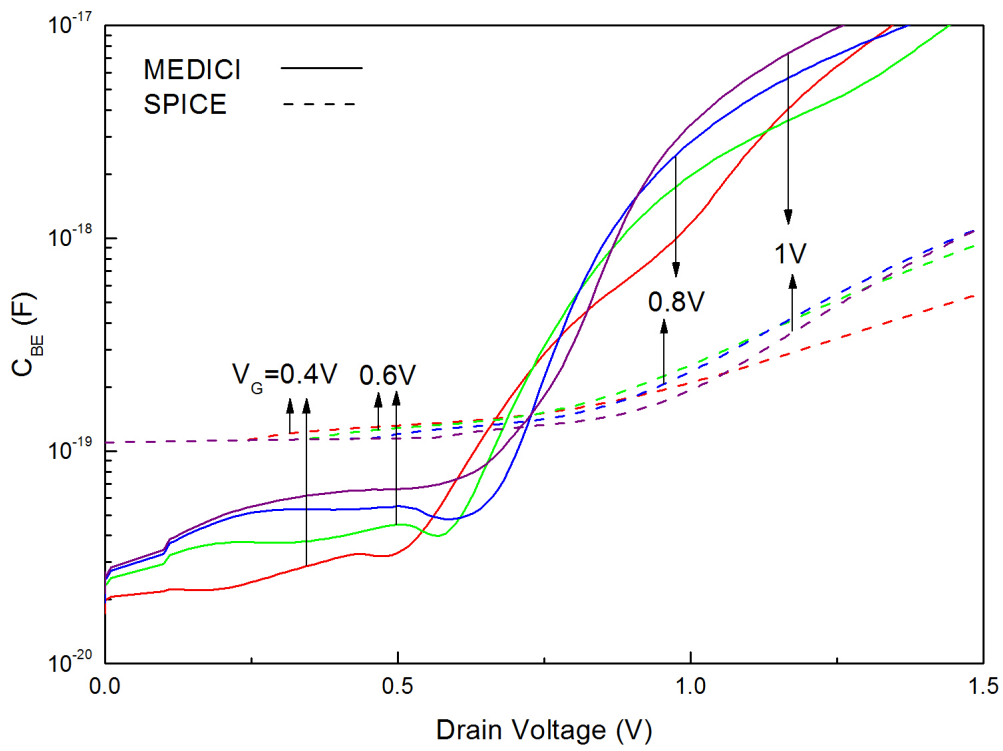


圖 2.12 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基極-射極電容(body-emitter capacitance)對汲極電壓(drain voltage)關係圖

## 2.5 結論

從部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)的電流傳導機制(current conduction mechanism)的分析可以得知，需加入 K 及 K' 至模型中，才能正確的表達部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)的 SPICE 模型。藉由量測值和 2D 模擬軟體跟 SPICE 模擬結果得比較，可以看出在 kink 發生時，薄膜層(thin film)內部的電壓會劇烈上升，使寄生雙載子電晶體(parasitic bipolar transistor)導通，所以電荷也會增加。而 kink 發生的點也跟閘極(gate)電壓有關，閘極(gate)電壓越大，kink 所以發生的位置也就越後面。由模擬結果也驗證了利用雙載子電晶體/金氧半元件模型方法所建立的 SPICE 模型在直流下有一定的準確度。



## Chapter 3

### 利用雙載子/金氧半 SPICE 模型方法之部分解離絕緣體 上矽金氧半交流模型的暫態分析

### AC Model of PD SOI MOS Using Bipolar/MOS SPICE Model Approach for Transient Analysis

前面章節已經介紹了部分解離絕緣體上矽金氧半(PD SOI MOS)元件的模型以及直流的分析，而本章節將著重在交流模型的暫態分析。前章之雙載子電晶體/金氧半元件模型為直流所適用，而圖 3.1 為暫態分析時所使用之部分解離絕緣體上矽金氧半(PD SOI MOS)元件之等效交流模型，為了符合暫態時的分析，在此模型中使用了 Gummel-Poon 模型來代表底部寄生雙載子電晶體(parasitic bipolar transistor)，Gummel-Poon 模型又稱作 charge control 模型，其中之  $Q_{BE}$  代表寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷(base-emitter charge)， $Q_{BC}$  則是寄生雙載子電晶體(parasitic bipolar transistor)的基極-集極電荷(base-collector charge)。

#### 3.1 經驗參數值

由於建立之模型的預設參數值和實際結果相差甚遠，所以將試著調整模型的經驗參數值(empirical parameter)，並搭配前述所討論的雙載子電晶體/金氧半元件模型方法，使雙載子電晶體/金氧半元件模型的模擬能接近 2D 模擬元件之分析，其主要參數值如表格 3.1 所示。



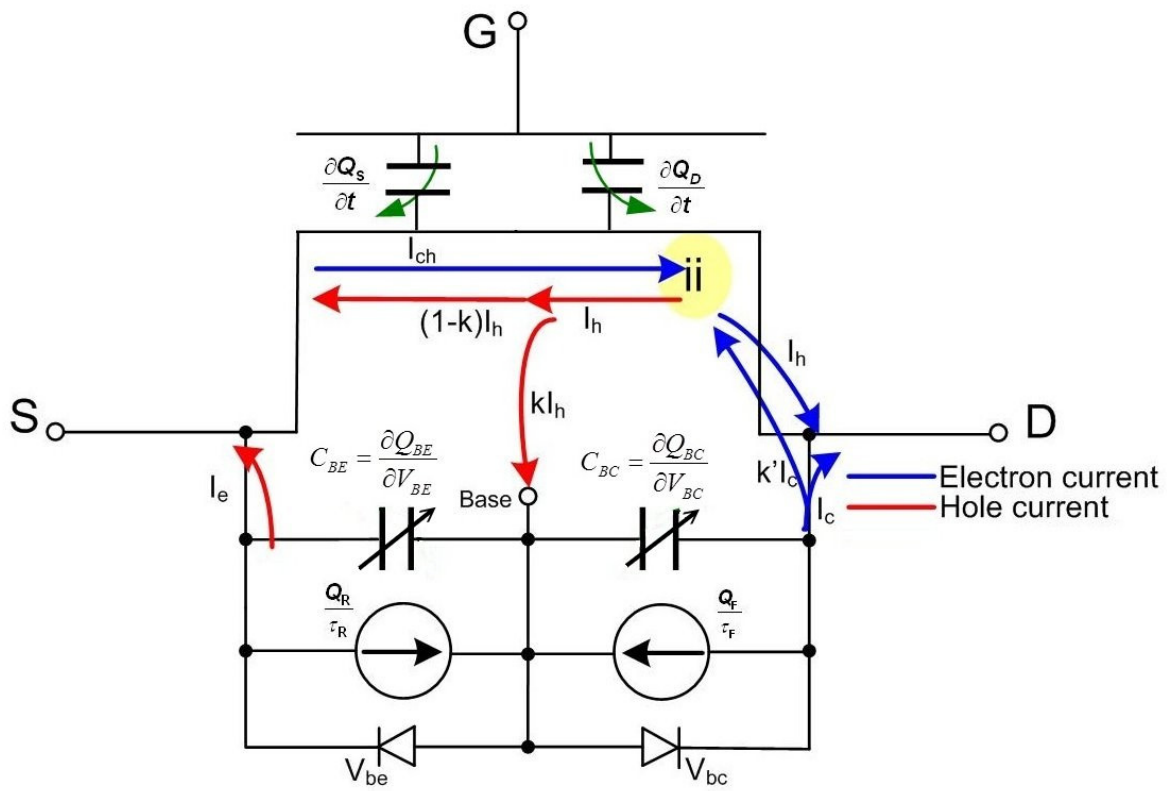


圖 3.1 部分解離絕緣體上矽金氧半(PD SOI MOS)元件之等效交流模型

### 1. MOS 主要相關參數

參數	參數值	說明
ALPHA0	1e-8	Impact Ionization Current Model Parameters
ALPHA1	0.005	Impact Ionization Current Model Parameters
BETA0	2.5	Impact Ionization Current Model Parameters

### 2. BJT 主要相關參數

參數	參數值	說明
IS	52e-16	Collector-emitter saturation current
CJE	1.825e-15	Zero-bias emitter-base depletion capacitance
VDE	1.02	Emitter-base diffusion voltage
CJC	0.195e-15	Zero-bias collector-base depletion capacitance
VDC	1.02	Collector-base grading coefficient
TAUE	0.2857E-12	Minimum transit time of stored emitter charge
TAUB	0.6E-12	Transit time of stored base charge
TAUR	520.0e-12	Transit time of reverse extrinsic stored base charge

表格 3.1 雙載子電晶體/金氧半元件模型之主要經驗參數值

接下來將利用表格 3.1 的經驗參數值，將此模型利用 ADS 模擬軟體來進行模擬分析，並與 2D 模擬軟體的結果進行比較驗證。圖 3.2 為本章暫態分析所用之 ADS 電路圖，如圖所示，汲極(drain)電壓固定為 2V，源極(source)電壓保持接地，分別給定不同頻率的閘極(gate)電壓，分別為 10ns 以及 100ns，從 0V 上升至 2V，來觀察元件內部及寄生雙載子電晶體(parasitic bipolar transistor)的效應。

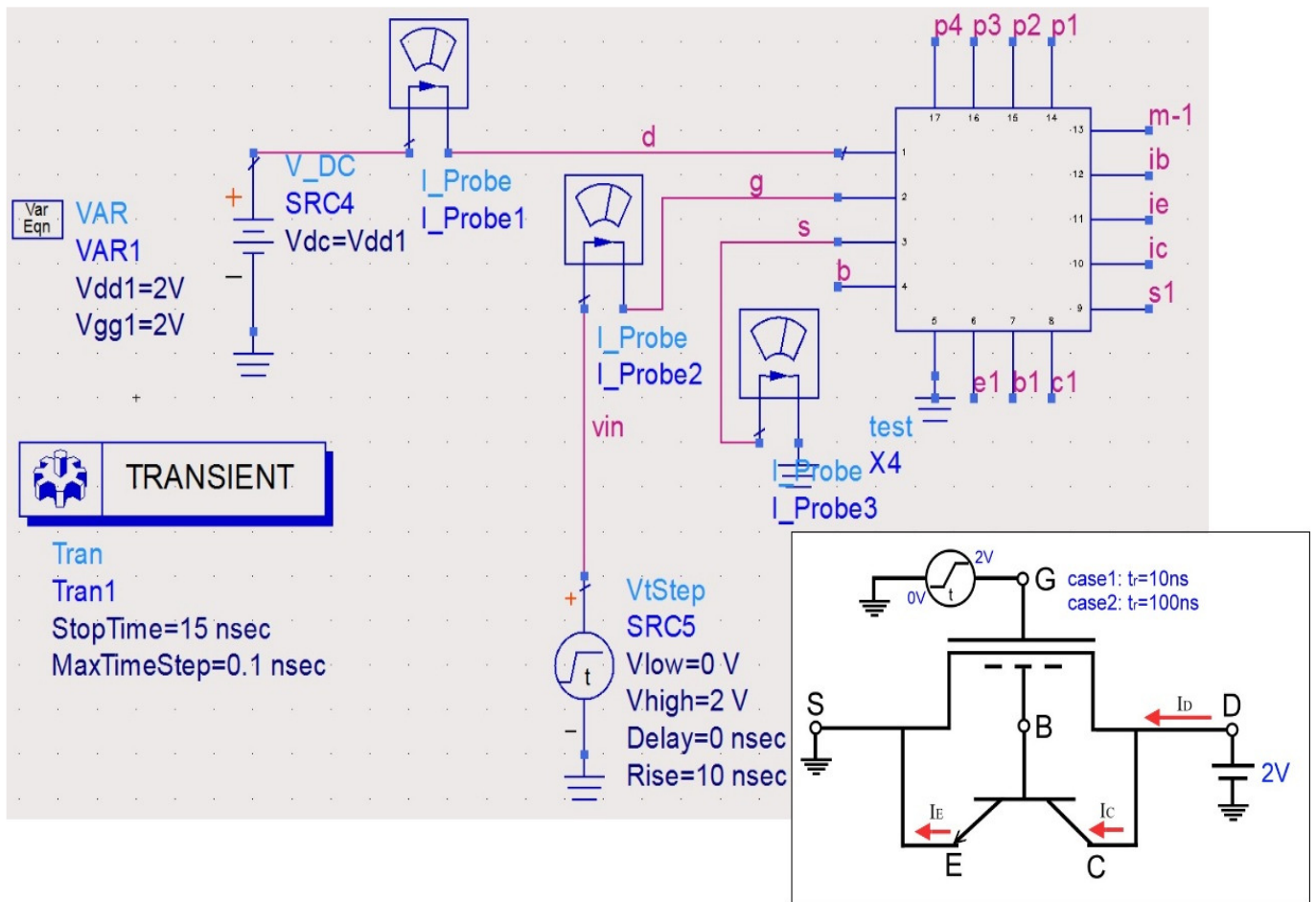


圖 3.2 暫態分析所用之 ADS 軟體電路接線圖及電路示意圖

### 3.2 不同頻率下之寄生雙載子電晶體及 M-1 之分析

圖 3.3 為閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流(drain current)、集極電流(collector current)以及射極電流(emitter current)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。圖 3.4 為閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的汲極電流(drain current)、集極電流(collector current)以及射極電流(emitter current)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由圖可以看出，隨著閘極電壓(gate voltage)的上升，汲極電流(drain current)會延遲一下，等元件導通了才隨之上升，直到閘極電壓(gate voltage)不再上升，此時汲極電流(drain current)也保持穩定。接下來繼續觀察寄生雙載子電晶體(parasitic bipolar transistor)，由圖可知，隨著汲極電流(drain current)上升，集極電流(collector current)跟射極電流(emitter current)也會上升，但是只有剛開始的地方會隨著變化，在較後面的時間反而不隨閘極電壓(gate voltage)的上升而改變，甚至還會有往下掉落的趨勢，這是因為在上升時間剛開始時，此時的閘極電壓(gate voltage)相比於汲極電壓(drain voltage)來說很小，在靠近汲極(drain)端的高電場區間有很強大的水平電場，所以衝擊游離(impact ionization)效應也很明顯，這時候寄生雙載子電晶體(parasitic bipolar transistor)的效應相對來說也就比較明顯，所以這時候的汲極電流(drain current)主要是由寄生雙載子電晶體(parasitic bipolar transistor)來主宰，當閘極電壓(gate voltage)持續上升，靠近汲極(drain)端的水平電場漸漸地不再這麼強大，所以游離衝擊(impact ionization)效應會開始變弱，所以寄生雙載子電晶體(parasitic bipolar transistor)的集極電流(collector current)跟射極電流(emitter current)也就不會

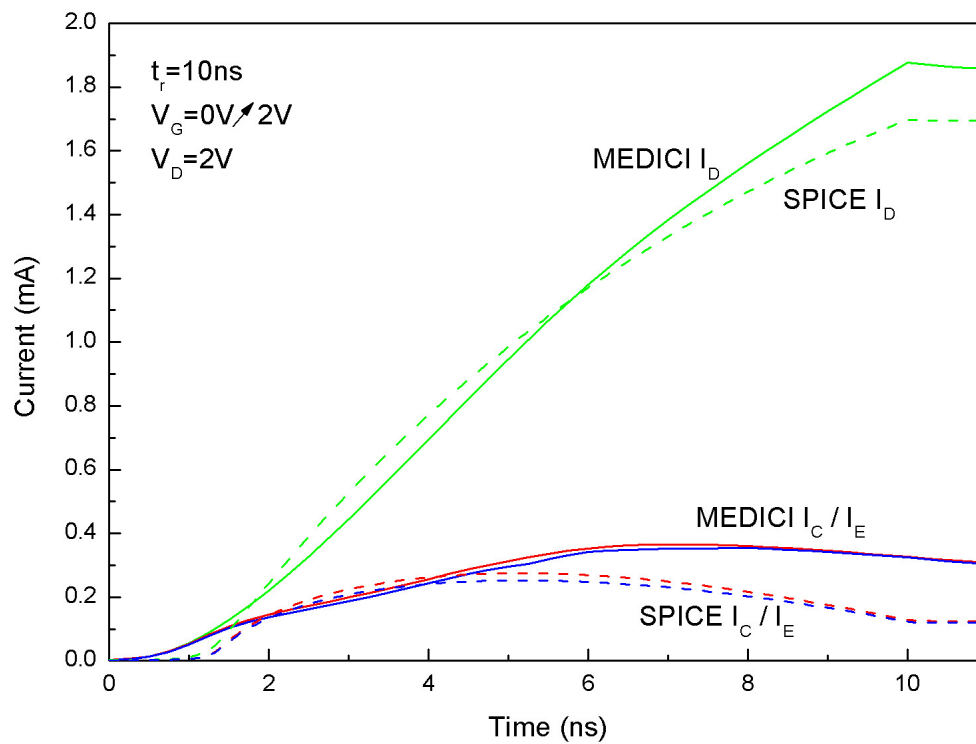


圖 3.3 閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的汲極電流(drain current)、集極電流(collector current)以及射極電流(emitter current)對時間關係圖

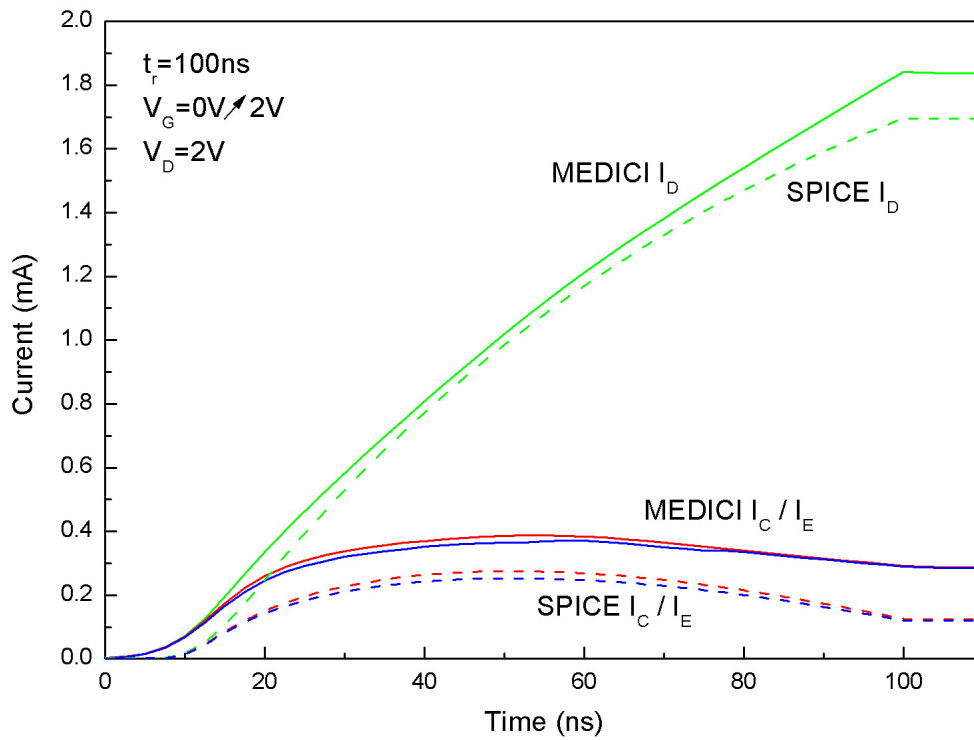


圖 3.4 閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的汲極電流(drain current)、集極電流(collector current)以及射極電流(emitter current)對時間關係圖

再隨著閘極電壓(gate voltage)跟汲極電流(drain current)的上升而持續上升，我們也可從上一章的公式(2.3)看到，寄生雙載子電晶體(parasitic bipolar transistor)跟游離衝擊(impact ionization)息息相關。圖 3.5 為閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的 M-1 及寄生雙載子電晶體(parasitic bipolar transistor)之電流增益(current gain -  $\beta$ )對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。圖 3.6 為閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的 M-1 及寄生雙載子電晶體(parasitic bipolar transistor)之電流增益(current gain -  $\beta$ )對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由圖可以明顯看出，隨著時間增加和閘極電壓(gate voltage)的上升，M-1 會逐漸變小到最後趨近於 0，因為到上升時間快結束時，此時元件幾乎已經進入線性區間，後夾止區域(post pinch off region)幾乎消失，所以 M-1 會相當小，因此可以驗證上述的講法。而由圖 3.5 以及圖 3.6 可以看出，寄生雙載子電晶體(parasitic bipolar transistor)的電流增益(current gain -  $\beta$ )趨勢跟 M-1 剛好相反，因為在上升時間剛開始時，此時元件還未導通，所以底部寄生雙載子電晶體(parasitic bipolar transistor)也還沒導通，效應很小，電流增益(current gain -  $\beta$ )並不重要，當元件開始導通，底部寄生雙載子電晶體(parasitic bipolar transistor)也開始導通，電流增益(current gain -  $\beta$ )也就開始上升。而更進一步觀察不同上升時間對 M-1 及電流增益(current gain -  $\beta$ )的影響，可以觀察到，上升時間為 100ns 的 M-1 以及電流增益(current gain -  $\beta$ )都比上升時間為 10ns 的情形來得較大，表示上升時間較長會使衝擊游離(impact ionization)效應和寄生雙載子電晶體(parasitic bipolar transistor)更加明顯，而衝擊游離(impact ionization)效應特別在上升時間剛開

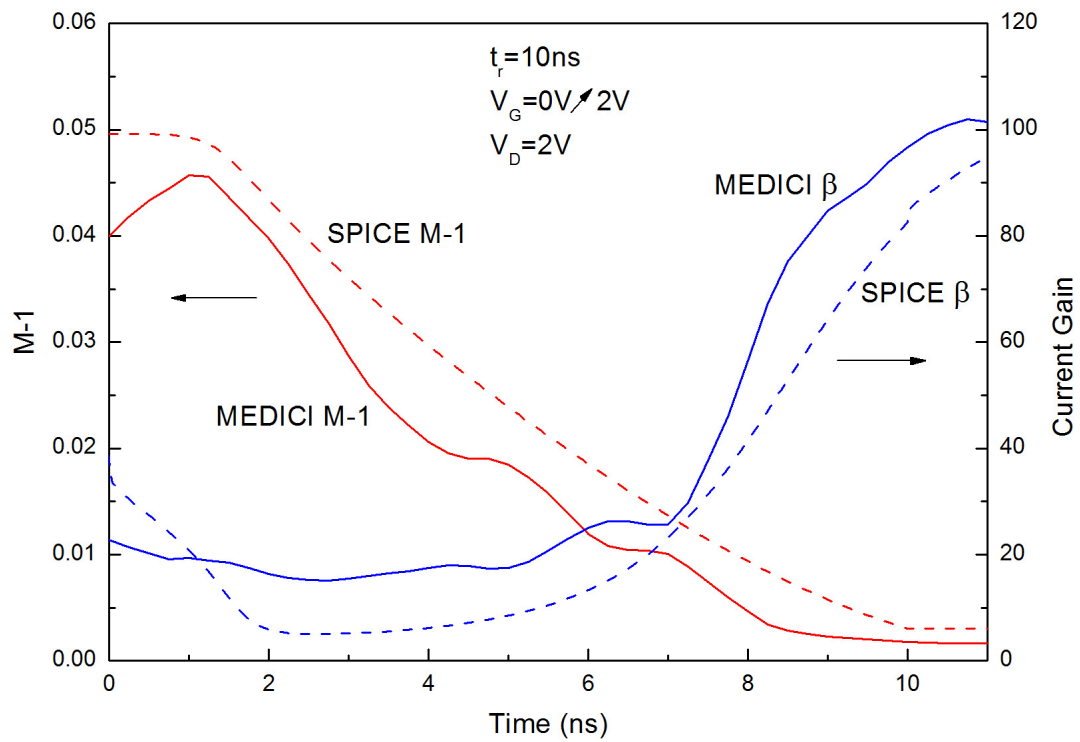


圖 3.5 閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的 M-1 及寄生雙載子電晶體 (parasitic bipolar transistor) 之電流增益 (current gain -  $\beta$ ) 對時間關係圖



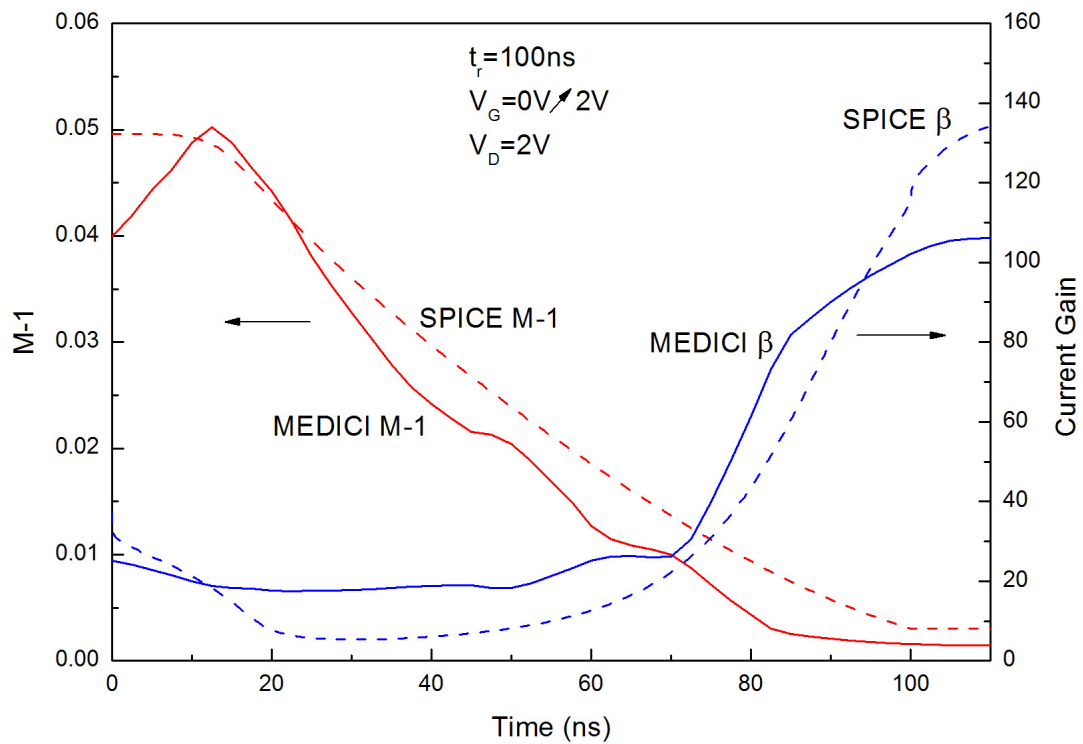


圖 3.6 閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的 M-1 及寄生雙載子電晶體 (parasitic bipolar transistor) 之電流增益 (current gain -  $\beta$ ) 對時間關係圖

始的時候比較強烈，而寄生雙載子電晶體(parasitic bipolar transistor)特別在上升時間快結束時比較強。由 SPICE 模擬出之結果也可以驗證。

另外由圖 3.3 和圖 3.4 可以看出來，不同的閘極電壓(gate voltage)上升時間，對寄生雙載子電晶體(parasitic bipolar transistor)也會有所影響，當閘極電壓(gate voltage)上升的時間為 100ns 時，可以明顯看出集極電流(collector current)以及射極電流(emitter current)的上升速度比閘極電壓(gate voltage)上升的時間為 10ns 的來得快，這是因為當上升時間較慢的時候，薄膜層(thin film)有足夠的時間把電洞電流往下傳導至中性區間，而上升時間太快，薄膜層(thin film)會來不及反應，所以在上升時間為 100ns 的電流上升速度會比上升時間為 10ns 的來得快。

### 3.3 不同頻率下之寄生雙載子電晶體電壓及電荷之分析

為了更進一步描述寄生雙載子電晶體(parasitic bipolar transistor)的現象，可以由薄膜層(thin film)中心處之電壓來分析。圖 3.7 為閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。圖 3.8 為閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件的基體-源極電壓(body-source voltage)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由圖可以看出，當上升時間剛開始時，此時在靠近汲極(drain)端雖然有很強大的水平電場和衝擊游離(impact ionization)效應，但是元件卻還未導通，通道電流相當小，產生的衝擊游離(impact ionization)電流也就相當小，所以往下流至薄膜層的累積的電洞很少，基體電壓(body voltage)

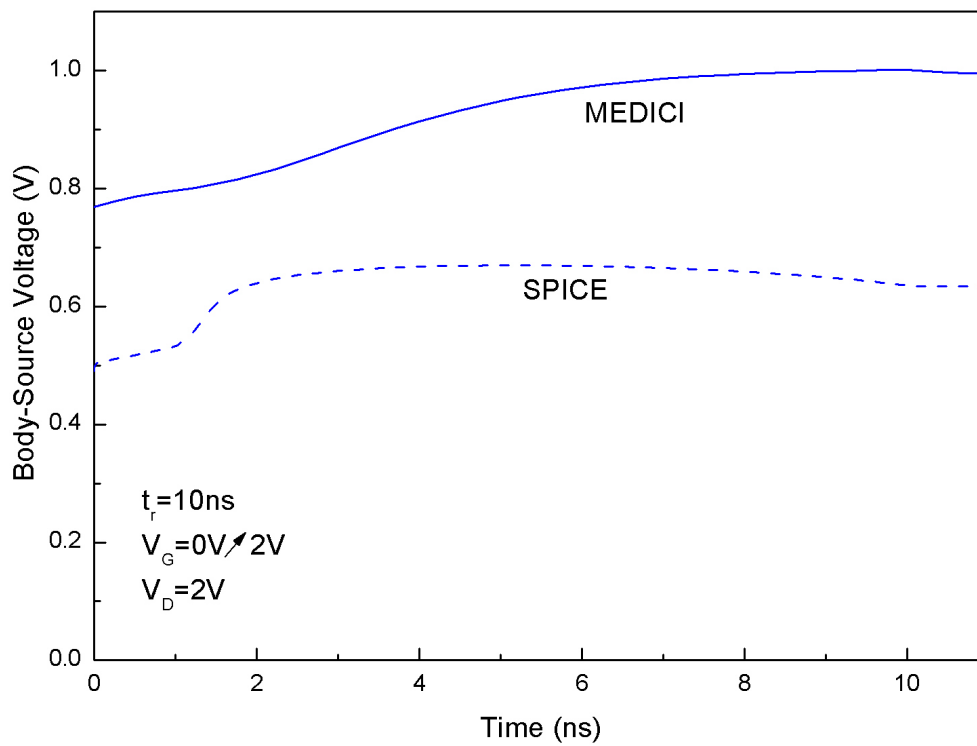


圖 3.7 為閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的基體-源極電壓(body-source voltage)對時間關係圖

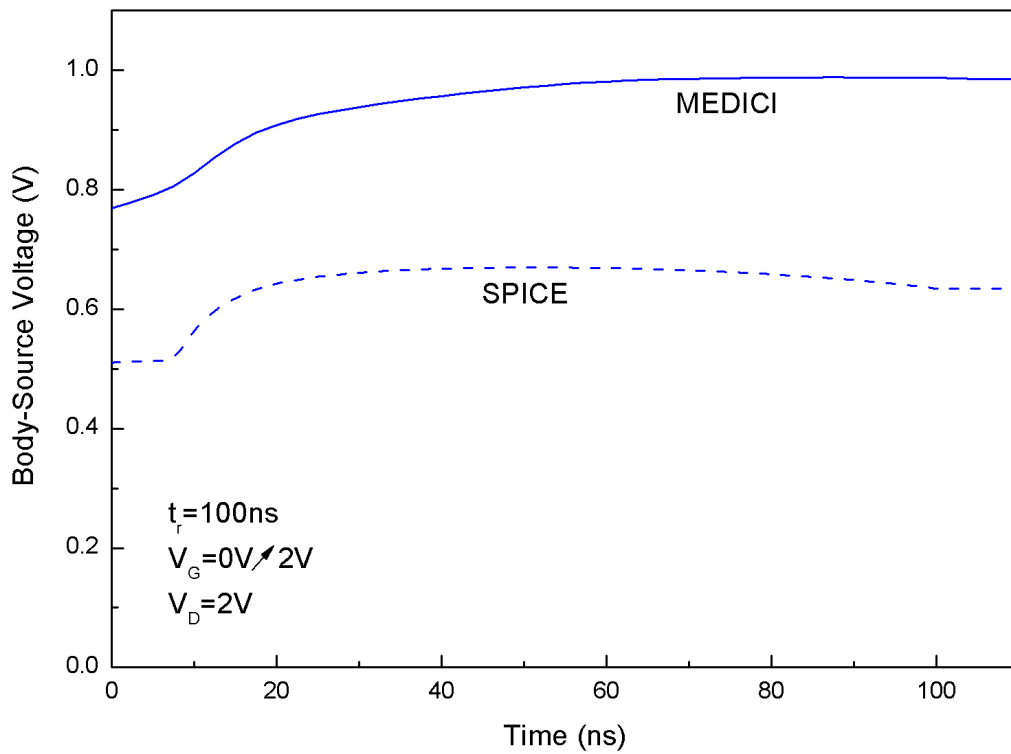


圖 3.8 為閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件的基體-源極電壓(body-source voltage)對時間關係圖

變化不大，當閘極電壓(gate voltage)持續上升，元件開始導通，開始有大量的通道電流，加上衝擊游離(impact ionization)效應影響，開始有大量因衝擊游離(impact ionization)產生的電洞往下流至薄膜層(thin film)的中性區(neutral region)累積，基體電壓(body voltage)就會開始上升，使得寄生雙載子電晶體(parasitic bipolar transistor)開始導通。而由圖 3.7 和圖 3.8 可以比較不同上升時間的影響，可以發現和前面所分析的結果一致，在上升時間為 100ns 的基體電壓(body voltage)會上升得比上升時間為 10ns 來得快，因為上升時間較慢的情況下，薄膜層(thin film)有足夠的時間反應，把衝擊游離(impact ionization)電流傳遞到中性區，而上升時間較快的情況下，薄膜層(thin film)來不及反應，所以上升的趨勢就沒有這麼的明顯，而 SPICE 的模擬結果也驗證了此一說法。

圖 3.9 為閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷(base-emitter charge)和基極-集極電荷(base-collector charge)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。圖 3.10 為閘極電壓上升時間為 100ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷(base-emitter charge)和基極-集極電荷(base-collector charge)對時間關係圖，依據 SPICE 雙載子電晶體/金氧半元件模型以及二維元件模擬軟體 MEDICI 所繪出。由這兩張圖可以看出，電荷一開始會隨著閘極電壓(gate voltage)的上升而持續上升，到了一定程度之後就不再跟隨著閘極電壓(gate voltage)上升，反而會有下降的情形，這是因為從高電場區域衝擊游離(impact ionization)產生的電流往下流至薄膜層(thin film)，使寄生雙載子電晶體(parasitic bipolar transistor)導通，這時，在寄生雙

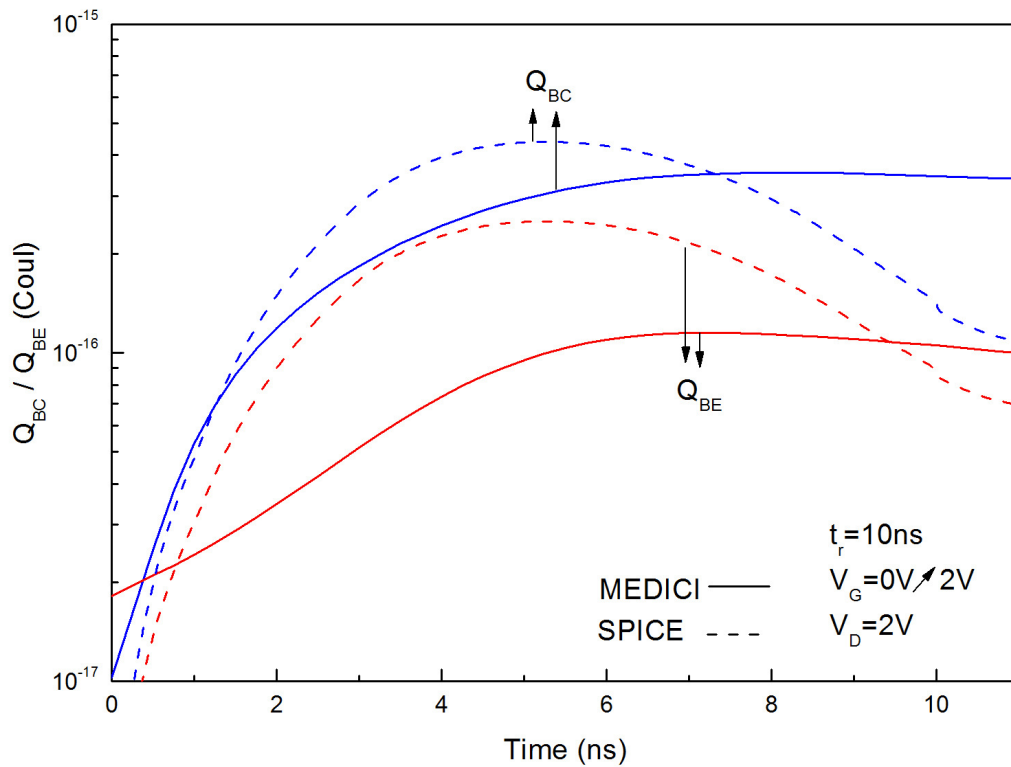


圖 3.9 閘極電壓上升時間為 10ns 時，40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件之寄生雙載子電晶體(parasitic bipolar transistor)的基極-射極電荷 (base-emitter charge)和基極-集極電荷(base-collector charge)對時間關係圖

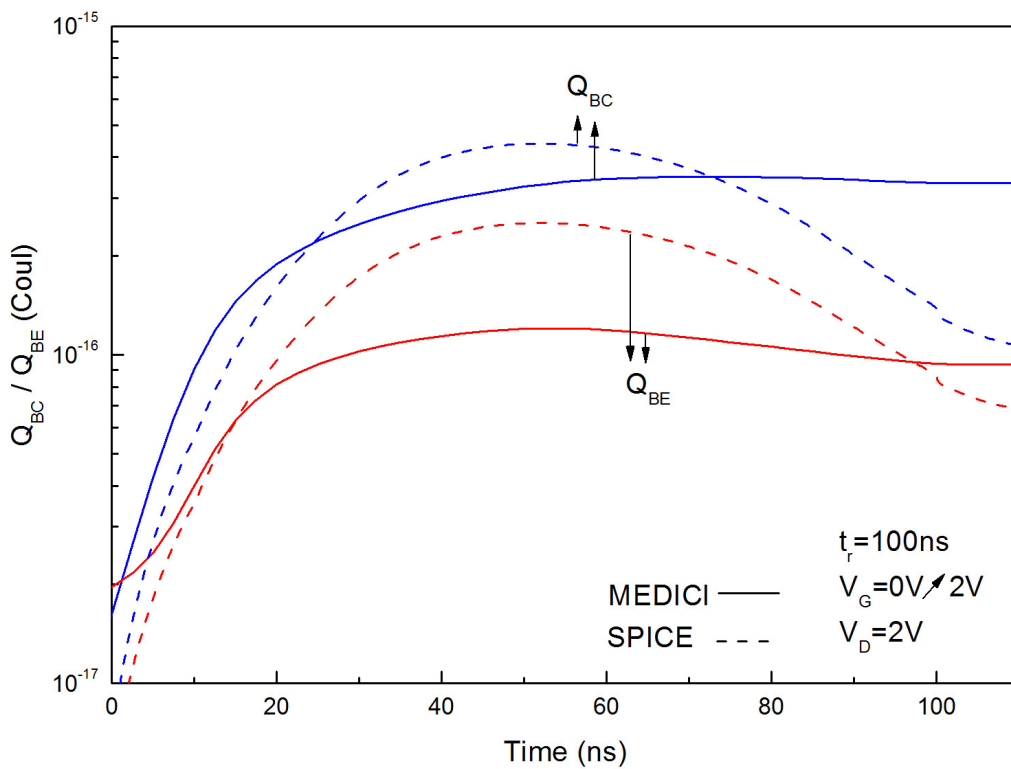


圖 3.10 閘極電壓上升時間為 100ns 時, 40nm 部分解離絕緣體上矽 N 型金氧半 (PD SOI NMOS) 元件之寄生雙載子電晶體 (parasitic bipolar transistor) 的基極-射極電荷 (base-emitter charge) 和基極-集極電荷 (base-collector charge) 對時間關係圖

載子電晶體(parasitic bipolar transistor)內部用來傳導的載子即為少數載子電子，所以可以看到電子數量，也就是基極-集極電荷(base-collector charge)跟基極-集極電荷(base-collector charge)會急速增加。但是隨著閘極電壓(gate voltage)上升，M-1 會開始越來越小，使得從高電場區域衝擊游離(impact ionization)產生的電流往下流至薄膜層(thin film)的電流數量會越來越少，所以電荷也就會有變小的趨勢，由 SPICE 之模擬結果也可驗證。而由圖 3.9 以及圖 3.10 可以比較出不同上升時間下的差異，可以看出，閘極電壓(gate voltage)上升時間較長的時候，其電荷上升的趨勢也比較快，和前面所討論之結果互相吻合，而由 SPICE 之模擬結果也可以驗證。

### 3.4 結論

在本章中，我們利用雙載子電晶體/金氧半元件模型方法來分析 40nm 部分解離絕緣體上矽 N 型金氧半(PD SOI NMOS)元件在暫態時的現象，當閘極電壓(gate voltage)為 2V，汲極電壓(drain voltage)從 0V 上升至 2V，上升時間大的閘極電壓(gate voltage)將會有比較強的寄生雙載子電晶體(parasitic bipolar transistor)效應，此效應之電流增益(current gain)會反映在薄膜(thin film)上層通道的汲極電流，而且由雙載子電晶體/金氧半元件模型方法模擬出的結果也符合，驗證了其模型的準確性。



## Chapter 4

### 結論及未來展望

### Conclusion and Future Work

在本篇論文中提出了一個利用雙載子電晶體/金氧半元件模型方法並考慮浮動基體(floating body)效應下所建立的 SPICE 模型，並逐步探討此模型分別在直流及暫態下的準確性。

第二章，先簡介了部分解離絕緣體上矽金氧半電晶體(PD SOI MOS)的電流傳導機制(current conduction mechanism)，然後分析了此模型的架構，並且為了使模型更加正確，新增了兩個參數至模型中，K 以及 K'。接下來利用新建立好的模型進行直流上的模擬分析比較，模擬結果皆有其準確性，驗證了此模型在直流情況下的正確性。

第三章為分析此模型在暫態下的現象，給定閘極電壓(gate voltage)為 2V，汲極電壓(drain voltage)分別在不同時間下從 0V 上升至 2V，由寄生雙載子電晶體(parasitic bipolar transistor)的各項分析結果可以發現，不同的上升時間下對其寄生雙載子電晶體(parasitic bipolar transistor)會有影響，閘極電壓(gate voltage)上升時間大的將會有比較強的寄生雙載子電晶體(parasitic bipolar transistor)效應，而由 SPICE 的模擬結果也驗證的此模型在暫態下的準確性。

當成功驗證模型和參數之後，便可以利用此模型來進行電路特性的模擬，利用 SPICE 進行電路模擬有速度快且節省時間的優點，可大幅減少所需花的時間成本，未來將可以廣泛應用此模型在 HSPICE 及 ADS 等模擬軟體上。

## REFERENCE

- [1] Semiconductor Industry Association, "International Technology Roadmap for Semiconductors - 2010 Update", 2010. <http://www.itrs.net>
- [2] Marshall, A., Natarajan, S., "PD-SOI and FD-SOI: A Comparison of Circuit Performance," Electronics, Circuits and Systems, 2002. 9th International Conference on Vol 1, P.25 - P.28, Sept. 2002.
- [3] J.Y. Choi, L.G. Fossum, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's," IEEE Trans. Electron Devices, Vol.ED-38, p.1384, June 1991.
- [4] J.Y. Choi, R.Sundaresan, J.G. Fossum, "Monitoring Hot-electron-Induced Degradation of Floating-Body SOI MOSFET's," IEEE Electron Device Letters, Vol.11, p.156, April 1990.
- [5] J.P. Colinge, "Reduction of Kink Effect in Thin-Film SOI MOSFET's," IEEE Electron Device Letters, Vol.EDL-9, p.97, Feb. 1988.
- [6] J. B. Kuo and S. C. Lin, "Low-Voltage SOI CMOS VLSI Devices and Circuits," Wiley Interscience, New York, USA, 440pages pages, Apr. 2004.
- [7] J. B. Kuo, K. W. Su, and S. C. Lin, "Compact MOS/Bipolar Charge-Control Models of Partially-Depleted SOI CMOS Devices for VLSI Circuit Simulation-SOI-Technology (ST)-SPICE," ESSDERC Dig, 480-483, 1999.
- [8] James B. Kuo, "SPICE Compact Modeling of PD-SOI CMOS Devices," HKEDM Dig., 2000.
- [9] Y. G. Chen, J. B. Kuo, Z. Yu, and R. W. Dutton, "An Analytical Drain Current Model for Short-Channel Fully-Depleted Ultrathin Silicon-On-Insulator NMOS

Devices,” Solid-State Electronics Vol. 38, No. 12, pp.2051-2057, 1995.

- [10] C. H. Chen, J. B. Kuo, D. Chen and C. S. Yeh, “Modeling the Bipolar Device in the 40nm PD SOI NMOS Device Considering the Floating Body Effect,” *ICSICT*, Shanghai, Nov. 2010.
- [11] Hu, C. et al.: “BSIM4.5.0 MOSFET model user’s manual.”
- [12] J.C.J. Paasschensand, W.J. Kloosterman, and R. v.d. Toorn, “Model Derivation of Mextram 504, The Physics Behind the Model” Philips Nat.Lab., Unclassified Report NL-UR 2002/806, 2002.
- [13] J. S. Su, J. B. Kuo, D. Chen and C. S. Yeh, “Modeling the Floating-Body-Effect-Induced Drain Current Behavior of 40nm PD SOI NMOS Device Via SPICE BJT/MOS Model Approach,” *EUROSOI*, Grenoble, France, Jan. 2010.
- [14] *Taurus Medici User Guide*, Synopsys Inc., Mountain View, CA, 144 Oct. 2005.

