

國立臺灣大學電機資訊學院電子工程學研究所



碩士論文

Graduate Institute of Electronics Engineering
College of Electrical Engineering and Computer Science

National Taiwan University

Master Thesis

圖案化 4H 碳化矽基板上氮化鎵磊晶層之研究

Investigation of GaN Epitaxial Layers on Patterned 4H-SiC
Substrates

陳人豪

Ren-Hao Chen

指導教授：管傑雄 博士

林致廷 博士

蘇文生 博士

Advisor: Chieh-Hsiung Kuan, Ph.D.

Chih-Ting Lin, Ph.D.

Vin-Cent Su, Ph.D.

中華民國 112 年 7 月

July, 2023

口試委員會審定書



國立臺灣大學碩士學位論文
口試委員會審定書
MASTER'S THESIS ACCEPTANCE CERTIFICATE
NATIONAL TAIWAN UNIVERSITY

圖案化 4H 碳化矽基板上氮化鎵磊晶層之研究
Investigation of GaN Epitaxial Layers on Patterned 4H-SiC Substrates

本論文係陳人豪(R10943136)在國立臺灣大學電子工程學研究所完成之碩士學位論文，於民國 112 年 7 月 21 日承下列考試委員審查通過及口試及格，特此證明。

The undersigned, appointed by the Department / Institute of Electronics Engineering on 21/07/2023 have examined a Master's thesis entitled above presented by CHEN, REN-HAO (R10943136) candidate and hereby certify that it is worthy of acceptance.

口試委員 Oral examination committee:

<u>(管傑雄)</u> (指導教授 Advisor)	<u>林政廷</u> (Advisor)	<u>蘇文生</u> (Advisor)
<u>朱富瑋</u>	<u>孫允立</u>	<u>孫建三</u>
系主任/所長 Director: <u>江介宏</u>		

誌謝



兩年的碩士生涯即將結束，回想起這段時間，經歷了許多事情，包括歡笑、喜悅、難過和生氣，然而這些情緒和感受都會在我心中永遠地留下深刻的印記。

首先我要感謝的是管傑雄老師，您的聰明才智與獨特的想法，可能是我這輩子都無法觸及到的，但儘管您有如此卓越的成就，卻也不曾對我們學生有著很大的架子，還時常關心著我們並帶著我們到處享受美食，儘管您現在已經不能看著我們畢業，但我相信您肯定會在天上保佑著你深愛的人們，因為我相信老師您就是一個如此善良的人，最後我也希望老師您能一路好走。接著我想感謝蘇文生老師，感謝您每周不厭其煩的教導我，讓我的實驗能更加順利，也謝謝您在畢業最後那麼繁忙得時刻，還一直監督我的進度。最後我想謝謝林致廷老師，在我們最艱辛的時刻，對我們伸出援手，並選擇當我們的指導教授，非常感謝您的幫助。

此外，我還想謝謝我的學長、同學和學弟妹們。宣翰和冠彬學長，你們經常幫忙處理實驗室的大小事，在我遇到困難時也會給予我幫助，非常感謝你們。同樣地，感謝凱文學長，跟隨著你學習讓我獲益良多，也是你讓我對製程的知識從零到有，非常感謝你讓我成為你的直屬學弟。宇岑、駿杰、場喆、書平、舒婷、博鈞感謝你們成為我的同學，希望在未來的日子裡你們能蓬勃發展。晨瑋、鴻亦、昱尚、寬程、宗揚、達真、鈺祥、品儀和灝宇能成為你們的學長我很開心，希望在接下來的日子裡，你們的碩士生涯能順順利利，並找到一份好工作。

我要真誠地感謝我的家人，在我學習的過程中給予我最大的支持，並且一路栽培我直到碩士畢業，在未來的日子裡，我將努力回報你們的付出。同時我也要感謝我的 13 位大學同學和女友，感謝你們一直聆聽著我的抱怨並給予我幫助，你們的支持和陪伴讓我在這段學習的旅程中感受到滿滿的溫暖與鼓勵，非常感謝你們。最後我要特別感謝國立陽明交通大學儀器資源中心的楊小姐，提供了高效能可變溫多功能 X 光繞射儀的服務，並以急件協助量測樣品，使我的實驗得以持續進行。

陳人豪 謹誌於

國立台灣大學電子工程學研究所

中華民國 112 年 7 月

中文摘要



隨著現今電子設備和通信系統的進步，對於高頻、高功率和高電壓的要求也提高，而第一代半導體(Si、Ge)和第二代半導體(GaAs、InP)的溫度、頻率和功率也已經達到極限，這時第三代半導體(GaN、SiC)的出現，也使這些瓶頸有了突破，尤以 GaN 磊晶層搭配 SiC 基板最令人注目，因此材料系統具備寬能隙、SiC 高導熱係數等材料優勢。

本論文致力於圖案化 SiC 基板之開發，用以減低 GaN 磊晶層內之缺陷密度。首先，為了探討陰極射線發光技術是否可以作為量測差排的方法，將使用 XRD 量測技術去探討一般基板之磊晶結構的缺陷密度大小，並說明 CL 的量測結果是否可以分析差排密度。針對圖案化 SiC 基板之開發，本論文研發磊晶側向生長法(ELOG)與圖案化 4H-SiC 基板。透過一系列的製程製造出圖案化的二氧化矽柱，並且使用陰極射線發光技術來量測 ELOG 法做出來的氮化鎵磊晶層的缺陷密度，以及探討圖案尺寸與差排密度之間的關係。

在使用圖案化 4H-SiC 基板方法前，本文會先介紹反應式離子蝕刻(RIE)蝕刻 4H-SiC 的方法，並調整 RIE 的氣體流量、壓力、功率和時間，以實現事先設計好的圖案和蝕刻深度，隨後進行微縮尺寸的處理。最終，透過本文的探討與研究希望能製造出低缺陷的氮化鎵磊晶層，並期望未來可以應用於高電子遷移率電晶體 (HEMT)的製作。

關鍵字：圖案化 4H-SiC 基板、ELOG、氮化鎵、碳化矽、乾式蝕刻、RIE、電子束微影、陰極射線發光、XRD、HEMT

ABSTRACT

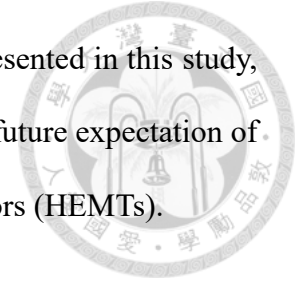


With the advancement of electronic devices and communication systems, the requirements for high frequency, high power, and high voltage have increased. The temperature, frequency, and power limits of the first-generation semiconductors (Si, Ge) and second-generation semiconductors (GaAs, InP) have already been pushed to their limitations. The emergence of third-generation semiconductors has provided breakthroughs in these limitations, especially the combination of GaN epitaxial layers with SiC substrates, which is particularly noteworthy due to the material system's advantages such as wide bandgap and high thermal conductivity of SiC.

This work is dedicated to the development of patterned SiC substrates to reduce defect density within GaN epitaxial layers. First, in order to explore whether cathodoluminescence (CL) can serve as a method for measuring dislocation density, X-ray diffraction (XRD) measurement techniques will be used to investigate the defect density of the epitaxial structures, and the CL measurement results will be analyzed to assess dislocation density. For the development of patterned SiC substrates, this study investigates epitaxial lateral overgrowth (ELOG) and patterned 4H-SiC substrates. A series of processes are employed to create patterned silicon dioxide (SiO₂) pillars, and the CL technology is utilized to measure the defect density of the GaN epitaxial layers produced by the ELOG method, as well as to explore the relationship between pattern dimensions and dislocation density.

Before utilizing the method of patterned 4H-SiC substrates, this work introduces the reactive ion etching (RIE) technique for etching 4H-SiC, adjusting RIE gas flow, pressure, power, and time to achieve pre-designed patterns and etching depths, followed by fine-

scale treatment. Ultimately, through the exploration and research presented in this study, the aim is to manufacture low-defect GaN epitaxial layers, with the future expectation of their application in the production of high electron mobility transistors (HEMTs).



Keywords: Patterned 4H-SiC substrate, ELOG, GaN, SiC, Dry etching, RIE, E-Beam lithography, CL, XRD, HEMT

CONTENTS

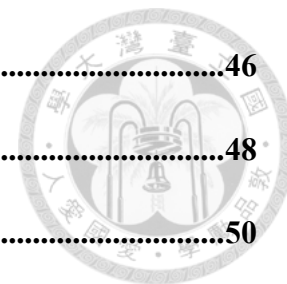


口試委員會審定書	i
誌謝	ii
中文摘要	iii
ABSTRACT	iv
CONTENTS	vi
LIST OF FIGURES	x
LIST OF TABLES	xv
Chapter 1 緒論	1
1.1 前言	1
1.2 研究動機	3
1.3 論文架構	5
Chapter 2 理論基礎與材料分析	7
2.1 碳化矽基板(SiC Substrate)	7
2.1.1 晶體結構(Crystal Structure)	8
2.1.2 碳化矽基板的生長方法(Substrate Growth Method of SiC)	10
2.1.3 微導管密度(micropipe density)	13
2.2 蝕刻原理	15
2.2.1 蝕刻種類	15
2.2.2 乾式蝕刻原理	16
2.3 氮化鎵薄膜 (Gallium Nitride, GaN)	17



2.3.1	晶體結構(Crystal Structure).....	17
2.3.2	應力 (Strain).....	18
2.3.3	差排 (Dislocation)	20
2.3.4	晶體成長	21
Chapter 3	實驗設備與製程流程	24
3.1	實驗儀器.....	24
3.1.1	電漿輔助化學氣相沉積 (Plasma Enhanced Chemical Vapor Deposition, PECVD).....	24
3.1.2	有機金屬化學氣相沉積 (Metal-organic Chemical Vapor Deposition, MOCVD)	25
3.1.3	電子束蒸鍍 (Electron Beam Evaporation, E-gun)	26
3.1.4	電子束微影 (Electron Beam Lithography).....	27
3.1.5	反應式離子蝕刻 (Reactive Ion etching, RIE).....	29
3.1.6	掃描式電子顯微鏡 (Scanning Electron Microscope, SEM).....	29
3.1.7	陰極射線發光 (Cathodoluminescence, CL).....	31
3.1.8	X 射線繞射儀 (X-ray Diffractometer, XRD).....	31
3.2	製程流程.....	32
3.2.1	圖案化 4H-SiC 基板製作.....	32
3.2.2	磊晶側向成長法製作	39
3.2.3	氮化鎵(GaN)磊晶.....	45
Chapter 4	X-Ray 繞射儀(XRD)和陰極射線發光(CL)量測原理及儀器介紹.....	46
4.1	X-Ray 繞射儀(XRD)	46

4.1.1	XRD 量測原理.....	46
4.1.2	XRD 儀器介紹.....	48
4.2	陰極射線發光 (CL).....	50
4.2.1	CL 量測原理.....	50
4.2.2	CL 成像 (CL mapping).....	51
4.2.3	CL mapping 分析差排.....	52
4.2.4	CL 儀器介紹.....	55
Chapter 5	實驗結果與分析.....	59
5.1	基板之磊晶結構研究.....	59
5.1.1	磊晶結構.....	59
5.1.2	Sample A 量測結果分析.....	60
5.1.3	Sample B 量測結果分析.....	61
5.1.4	Sample C 量測結果分析.....	61
5.1.5	Sample A、Sample B、Sample C 量測結果比較.....	70
5.2	磊晶側向成長法研究.....	71
5.2.1	磊晶結構.....	71
5.2.2	Sample D 二氧化矽層圖案設計.....	71
5.2.3	Sample D 圖案化二氧化矽柱量測結果與分析.....	73
5.3	圖案化 4H-SiC 基板研究.....	75
5.3.1	蝕刻碳化矽基板.....	75
5.3.2	圖案化 4H-SiC 基板圖案設計.....	87
Chapter 6	結論及未來展望.....	91





LIST OF FIGURES



Fig. 1.1 從輸出功率和操作頻率看 GaN 和 SiC 的應用[3].....	2
Fig. 1.2 碳化矽產值分析和應用趨勢[4]	3
Fig. 1.3 利用 Si、SiC 為基板所做出來的 HEMT 直流 I_{DS} - V_{DS} curve[7]	4
Fig. 1.4 用 Si、SiC 和 Diamond 為基板所做出來的 HEMT 直流 I_{DS} - V_{DS} 圖[8].....	4
Fig. 1.5 使用 GaN-on-SiC 和 GaN-on-Si 所做出來的 HMET 的(a)截止頻率、(b)最大 震盪頻率表現[9].....	5
Fig. 2.1 常見的碳化矽多型的原子堆疊方式[10]	8
Fig. 2.2 碳化矽結構示意圖[12]	9
Fig. 2.3 碳化矽 Si-face 及 C-Face 示意圖[10]	9
Fig. 2.4 六方結構碳化矽的多型體中的平面定義[10]	10
Fig. 2.5 利用 Lely's 法長碳化矽基板系統圖[14]	11
Fig. 2.6 感應加熱型 PVT 昇華法之示意圖[16].....	12
Fig. 2.7 HT-CVD 之示意圖[17]	12
Fig. 2.8 LPE 之示意圖[18].....	13
Fig. 2.9 碳化矽晶柱[19].....	14
Fig. 2.10 微導管密度之剖面圖[19]	14
Fig. 2.11 RIE 架構圖[22].....	17
Fig. 2.12 氮化鎵閃鋅結構(左圖)氮化鎵烏采結構(右圖)示意圖[23].....	18
Fig. 2.13 氮化鎵 Ga-face 及 N-Face 結構圖[24].....	18
Fig. 2.14 伸張應力與壓縮應力對材料之影響[25]	19

Fig. 2.15 比較各種基板上成長 GaN 薄膜所受到的殘餘應力[26].....	20
Fig. 2.16 (a)刃差排、(b)螺旋差排與柏格向量之示意圖[27].....	21
Fig. 2.17 氮化鋁緩衝層技術成長氮化鎵示意圖[30].....	22
Fig. 2.18 磊晶側向成長法(ELOG)成長氮化鎵示意圖[31].....	23
Fig. 2.19 ELOG 及 PSS 技術使差排的生長彎曲示意圖[32].....	23
Fig. 3.1 PECVD 架構圖[33].....	24
Fig. 3.2 CVD 過程示意圖[34].....	25
Fig. 3.3 電子束蒸鍍架構圖[35].....	27
Fig. 3.4 電子束微影系統.....	28
Fig. 3.5 等向性蝕刻(左)與非等向性蝕刻(右)示意圖[22].....	29
Fig. 3.6 掃描式電子顯微鏡架構圖[36].....	30
Fig. 3.7 二次電子(左圖)和背向散射電子(右圖)形成的示意圖[37].....	31
Fig. 3.8 X 射線繞射儀系統[38].....	32
Fig. 3.9 4H-SiC 基板板示意圖.....	32
Fig. 3.10 沉積二氧化矽薄膜示意圖.....	33
Fig. 3.11 鍍 3nm 鉻金屬薄膜示意圖.....	33
Fig. 3.12 光阻塗佈示意圖.....	34
Fig. 3.13 電子束微影及顯影示意圖.....	35
Fig. 3.14 沉積鉻金屬示意圖.....	36
Fig. 3.15 金屬掀離示意圖.....	36
Fig. 3.16 RIE 蝕刻二氧化矽薄膜示意圖.....	37
Fig. 3.17 去除鉻金屬示意圖.....	37

Fig. 3.18 RIE 乾式蝕刻 4H-SiC 基板示意圖	38
Fig. 3.19 去除二氧化矽薄膜示意圖	38
Fig. 3.20 圖案化 4H-SiC 基板製作流程圖	39
Fig. 3.21 4H-SiC 基板板示意圖	39
Fig. 3.22 沉積二氧化矽薄膜示意圖	40
Fig. 3.23 鍍 3nm 鉻金屬薄膜示意圖	40
Fig. 3.24 光阻塗佈示意圖	41
Fig. 3.25 電子束微影及顯影示意圖	42
Fig. 3.26 沉積鉻金屬示意圖	42
Fig. 3.27 金屬掀離示意圖	43
Fig. 3.28 RIE 蝕刻二氧化矽薄膜示意圖	43
Fig. 3.29 去除鉻金屬示意圖	44
Fig. 3.30 磊晶側向成長法製作流程圖	44
Fig. 4.1 國立陽明交通大學儀器資源中心 高效能可變溫多功能 X 光繞射儀系統	49
Fig. 4.2 SEM 中電子束與樣品相互作用時產生信號的示意圖[41]	51
Fig. 4.3 CL mapping 圖[42]	52
Fig. 4.4 (a)CL mapping 圖、(b)TEM 圖[43]	53
Fig. 4.5 (a)CL mapping 圖、(b)SEM 圖(defect selective etching)[44]	53
Fig. 4.6 氮化鎵表面 (a)AFM、(b)SEM、(c)CL mapping[47]	54
Fig. 4.7 CL mapping 圖(左)、TEM 圖(右)[48]	54
Fig. 4.8 顯微鏡下的漏電流點(左)、CL mapping 圖(右)[49]	55
Fig. 4.9 顯微鏡下的漏電流點(左)、EPD 圖(右)[49]	55



Fig. 4.10 Attolight Allalin 系統[42].....	56
Fig. 4.11 國立陽明交通大學 JEOL JSM7001F + HORIBA iHR550 系統.....	57
Fig. 5.1 Sample A 磊晶結構示意圖	59
Fig. 5.2 Sample B、Sample C 磊晶結構示意圖	60
Fig. 5.3 Sample A 之 Rocking Curve 圖	60
Fig. 5.4 Sample B 之 Rocking Curve 圖	61
Fig. 5.5 Sample C 示意圖	62
Fig. 5.6 Sample C 中 A 區域之 Rocking Curve 圖	62
Fig. 5.7 Sample C 中 A 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	63
Fig. 5.8 Sample C 中 B 區域之 Rocking Curve 圖	63
Fig. 5.9 Sample C 中 B 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	64
Fig. 5.10 Sample C 中 C 區域之 Rocking Curve 圖	65
Fig. 5.11 Sample C 中 C 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	65
Fig. 5.12 Sample C 中 D 區域之 Rocking Curve 圖	66
Fig. 5.13 Sample C 中 D 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	67
Fig. 5.14 Sample C 中 E 區域之 Rocking Curve 圖	67
Fig. 5.15 Sample C 中 E 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	68
Fig. 5.16 Sample C 中 F 區域之 Rocking Curve 圖.....	68
Fig. 5.17 Sample C 中 F 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	69
Fig. 5.18 Sample D 磊晶結構示意圖	71
Fig. 5.19 圖案化二氧化矽柱示意圖	72
Fig. 5.20 六角形面積(左圖)、六角柱 top view(右圖)之示意圖.....	72



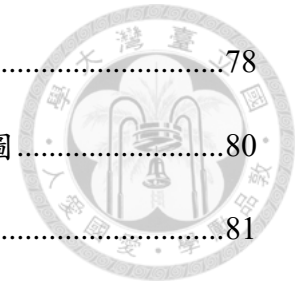
Fig. 5.21 Sample D 之 CL 圖(左圖)、取點分析後的 CL 圖(右圖).....	74
Fig. 5.22 Sample D 之 CL 測量結果趨勢圖	75
Fig. 5.23 圖案化碳化矽基板之週期與直徑的定義(左圖)、圖案區域的範圍(右圖)	76
Fig. 5.24 單一奈米柱之 SEM 圖(週期 5000nm、編號 e).....	78
Fig. 5.25 單一奈米柱之 SEM 圖(週期 5000nm、編號 E)	79
Fig. 5.26 編號 E(左圖)、編號 F(右圖)之單一奈米柱 SEM 圖(週期 5000nm).....	82
Fig. 5.27 單一奈米柱之 SEM 圖(週期 5000nm、編號 F).....	83
Fig. 5.28 以金屬鋁(左圖)、鎳(右圖)當作 3C-SiC 遮罩之蝕刻圖[63].....	84
Fig. 5.29 鍍率 0.2Å/s(左圖)、0.6 Å/s(右圖)之單一奈米柱之 SEM 圖(週期 5000nm、 編號 C)	86
Fig. 5.30 優化前(左圖)、優化後(右圖)週期 5000nm 碳化矽奈米柱之 SEM 圖	87
Fig. 5.31 碳化矽基板(左圖)、圖案化碳化矽基板(右圖)示意圖	88
Fig. 5.32 六角形面積(左圖)、六角柱 top view(右圖)之示意圖	88
Fig. 5.33 碳化矽上六角柱之 SEM 圖(top view).....	89

LIST OF TABLES



Table 1-1 各種半導體材料特性比較[2]	1
Table 2-1 3C-SiC、4H-SiC、6H-SiC 基板材料特性[7] [10] [11].....	7
Table 2-2 蝕刻方式比較表	15
Table 4-1 高效能可變溫多功能 X 光繞射儀系統參數[39]	49
Table 4-2 Attolight Allalin 系統參數[42]	56
Table 4-3 國立陽明交通大學 JEOL JSM7001F + HORIBA iHR550 系統參數[50]....	58
Table 5-1 Sample A 之 XRD 量測結果	61
Table 5-2 Sample B 之 XRD 量測結果	61
Table 5-3 Sample C 中 A 區域之 XRD 量測結果	62
Table 5-4 Sample C 中 B 區域之 XRD 量測結果	63
Table 5-5 Sample C 中 C 區域之 XRD 量測結果	65
Table 5-6 Sample C 中 D 區域之 XRD 量測結果	66
Table 5-7 Sample C 中 E 區域之 XRD 量測結果	67
Table 5-8 Sample C 中 F 區域之 XRD 量測結果.....	68
Table 5-9 Sample C 中 A~F 區域內的 XRD 量測結果.....	69
Table 5-10 Sample C 中 A~F 區域內的 CL 與 XRD 量測刃差排密度之結果	70
Table 5-11 Sample A、Sample B、Sample C 的總差排密度	71
Table 5-12 1100nm 面積比 1%~40%的直徑大小	73
Table 5-13 Sample D 之 CL 測量結果	74
Table 5-14 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖.....	77

Table 5-15 各個功率下蝕刻週期 5000nm 碳化矽柱之 SEM 圖.....	78
Table 5-16 各個氣體比例下蝕刻週期 5000nm 碳化矽柱之 SEM 圖.....	80
Table 5-17 各個時間下蝕刻週期 5000nm 碳化矽柱之 SEM 圖.....	81
Table 5-18 各個氣體流量與壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖.....	82
Table 5-19 Sample1 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖(中間鍍率 0.2 Å/s).....	84
Table 5-20 Sample2 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖(中間鍍率 0.6 Å/s)	86
Table 5-21 週期 3000nm~1100nm 面積比 1%~50%的直徑大小	89
Table 5-22 週期 1000nm~400nm 面積比 1%~50%的直徑大小	90



Chapter 1 緒論



1.1 前言

隨著全球科技產業蓬勃發展，節約能源和提高效能已成為當今世界的趨勢。在這樣的環境下，元件的效率變得非常重要，而材料的選擇也是其中一個關鍵因素。

第一代和第二代半導體材料(特別是矽)作為基板的元件目前仍然是最成熟且商業上最受歡迎的選擇。然而，隨著需求不斷增加，這些材料本身已無法滿足高功率、高溫度和高頻率等要求，此外由於它們的特性限制，其開關速度相對較慢[1]。這時第三代半導體的出現，也讓這些瓶頸有了轉機。第三代半導體的材料為碳化矽(SiC)和氮化鎵(GaN)，由 Table 1-1 和 Fig. 1.1 所示，氮化鎵具有較高的寬能隙(3.44 eV)、高崩潰電場(3.3 MV/cm)、和高熱傳導係數(253 W/m·K)和高電子飽和速度(2.5×10^7 cm/s)，故適合使元件操作在高頻、高溫的環境下，且適用於光達、車用二極體和 5G 等應用；碳化矽具有較高的寬能隙(3.26 eV)、高崩潰電場(2 MV/cm)、和高熱傳導係數(370 W/m·K)和高電子飽和速度(2×10^7 cm/s)，故適合使元件操作在高功率、高溫的環境下，且適用於高功率的車用電子等應用。

Table 1-1 各種半導體材料特性比較[2]

Materials	E_g (eV)	ϵ	μ_n ($\text{cm}^2/\text{V}\cdot\text{s}$)	E_c (MV/cm)	V_{sat} (10^7 cm/s)	Total Dislocation (cm^{-2})	Thermal Conductivity (W/m·K)
Si	1.12	11.8	1350	0.3	1	-	145
GaAs	1.42	13.1	8500	0.4	2	-	50
4H-SiC	3.26	10	720	2.0	2	$>10^2$	370
GaN	3.44	9	1250	3.3	2.5	$>10^5$	253
Diamond	5.5	5.7	2000	13.0	1.5	$>10^4$	2290

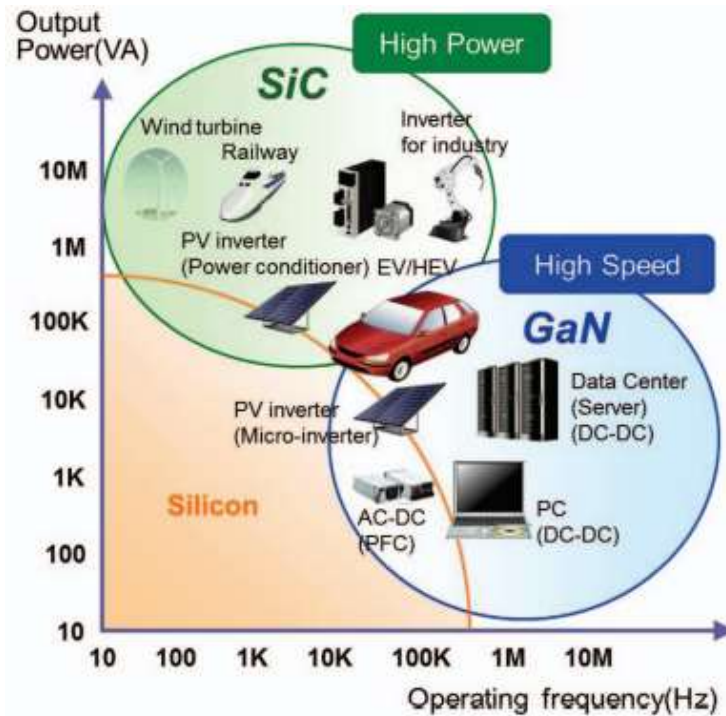


Fig. 1.1 從輸出功率和操作頻率看 GaN 和 SiC 的應用[3]

Fig. 1.2 為碳化矽產值分析和應用趨勢，碳化矽在高功率設備領域有廣泛的應用。這些設備包括高功率供應器、電動車(EV/HEV)、再生能源發電設備等。圖中顯示，雖然在 2020 年碳化矽的產值僅約 10 億美元，但預估到 2030 年時將超過 30 億美元，這顯示市場對碳化矽的需求不斷增加。

這一趨勢可以解釋隨著能源效率和可再生能源的重要性不斷提高，對高功率設備的需求也在增加。碳化矽作為一種具有優異性能的材料，能夠滿足高功率應用的要求，並為這些領域提供高效、可靠的解決辦法。隨著技術的不斷進步和市場的推動，碳化矽的應用前景非常看好，其產值有望持續增長。



Fig. 1.2 碳化矽產值分析和應用趨勢[4]

儘管碳化矽具有許多優點，但目前仍存在許多問題。隨著晶片尺寸的縮小，碳化矽晶片的可靠性面臨挑戰[5]。此外，生產高品質、低缺陷和大尺寸的碳化矽也是廠商面臨的挑戰，雖然在近年來在缺陷方面有所改善，但碳化矽的成本仍然較使用矽基板製造元件的成本高[1][6]。

1.2 研究動機

碳化矽是一種寬帶隙(WBG)半導體材料，相比傳統的矽材料，碳化矽具有更高的能隙。這使得碳化矽能夠在更高的電壓、頻率、溫度和效率下工作。碳化矽基板上製作的元件，例如蕭基二極體或 MOSFET，相比使用矽基板的元件，能夠實現更快速、更高效率的功率系統。

GaN-on-SiC HEMT 目前是高功率、微波-毫米波頻率的首選射頻功率放大器技術，這種技術將氮化鎵材料生長在碳化矽基板上，結合了氮化鎵和碳化矽的優勢。GaN-on-SiC HEMT 在國防雷達、電子戰以及有源電子掃描多功能陣列等通信領域中，提供了高度整合的射頻功能，同時它也對於下一代 5G 電信基礎設施的部署非常重要。

Fig. 1.3 為使用 Si、SiC 為基板所做出來的 HEMT 直流 $I_{DS}-V_{DS}$ 圖，從圖中看到藍寶石在飽和區時，他的電流開始往下降，原因為藍寶石的熱傳導率只有

0.42(W/cm·K)，這導致了自熱現象的發生，接著我們看 4H-SiC 在飽和區時，其值呈現水平，並無向下傾斜，說明了 4H-SiC 基板確實有著很好得熱傳導率(3.7 W/cm·K)[7]。

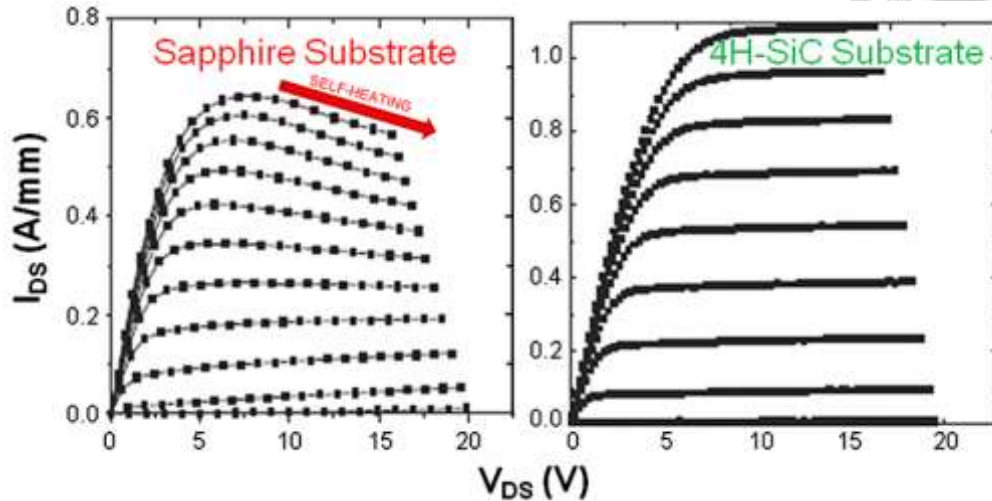


Fig. 1.3 利用 Si、SiC 為基板所做出來的 HEMT 直流 I_{DS} - V_{DS} curve[7]

Fig. 1.4 所呈現的是用 Si、SiC 和 Diamond 為基板所做出來的 HEMT 的直流分析圖，從圖中能看到以碳化矽為基板的電流比矽基板來得大，其原因為碳化矽的熱傳導係數較高，減少了功率的消耗所引起的自熱效應[8]。

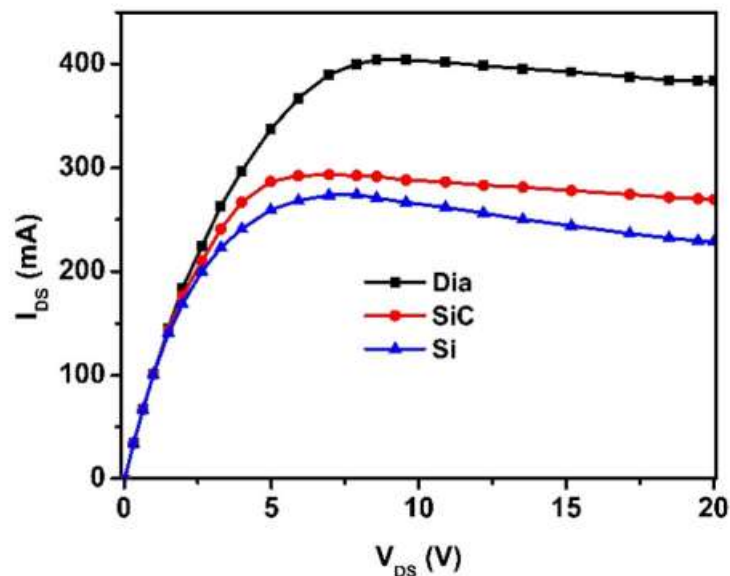


Fig. 1.4 用 Si、SiC 和 Diamond 為基板所做出來的 HEMT 直流 I_{DS} - V_{DS} 圖[8]

看完直流的部分後，接著我們往高頻方向看。Fig. 1.5 為使用 GaN-on-SiC 和 GaN-on-Si 所做出來的 HMET 的小訊號表現，從圖(a)能看到以碳化矽為基板做來

的 HEMT 不管在種閘極線寬下，其 f_T (0db 時的截止頻率)表現都相對較好，圖(b) 呈現的結果跟圖(a)一樣，能看到以碳化矽為基板做出來的 HEMT，不管在哪種閘極線寬下，其 f_{max} (0db 時判斷可操作的最大頻率)的值都比以矽為基板來得大[9]。

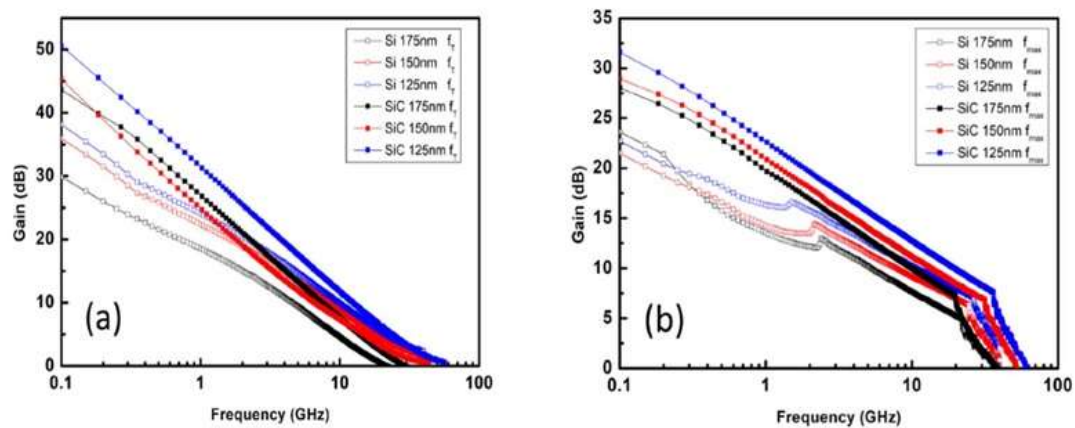


Fig. 1.5 使用 GaN-on-SiC 和 GaN-on-Si 所做出來的 HMET 的(a)截止頻率、(b)最大震盪頻率表現[9]

最後以晶格常數方面來看，碳化矽和氮化鎵的晶格常數相較於藍寶石和氮化鎵或者矽和氮化鎵的晶格常數確實具有較低的晶格不匹配率，並且可以提供較低的晶格缺陷密度，對於 GaN-on-SiC 材料和元件的性能和可靠性至關重要。

針對上述提到晶格不匹配之問題，相較於其他材料，SiC 與 GaN 的晶格不匹配率(lattice mismatch)約為 3.5%，然而晶格的不匹配也是造成穿隧差排(Threading Dislocation, TD)上升的其中一個原因，另外熱擴張係數的不匹配(Thermal expansion coefficient mismatch)也是造成穿隧差排上升的原因。故本論文將會探討磊晶側向生長法與圖案化基板是否可以大量減少磊晶氮化鎵薄膜時所產生的穿隧差排。

1.3 論文架構

本論文的目標在探討藉由不同週期的圖案化碳化矽基板技術和磊晶側向生長技術是否可減少氮化鎵磊晶層的缺陷，並藉由陰極射線發光量測和 XRD 量測來分析氮化鎵薄膜品質。

本論文共分為六個章節，簡述如下：

Chapter 1 緒論：

介紹第三代半導體材料與解釋其物理特性，並探討碳化矽現今面臨的困難、未來趨勢和相關應用。

Chapter 2 理論基礎與材料分析：

介紹碳化矽的材料特性、蝕刻原理、最後再說明氮化鎵薄膜。

Chapter 3 實驗設備與製程流程：

說明圖案化碳化矽基板和 ELOG 法的製程步驟，並介紹本實驗使用的製程與量測儀器。

Chapter 4 陰極射線發光(CL)和 XRD 量測原理及儀器介紹：

說明檢驗磊晶品質的 XRD 與 CL 量測之原理並探討其與差排之關係，並介紹 CL 和 XRD 量測儀器。

Chapter 5 實驗結果與分析：

透過 CL 量測與 XRD 量測，分析 ELOG 法的結果，接著在使用圖案化碳化矽基板技術前，說明如何改變乾式蝕刻參數來蝕刻 4H-SiC 基板，並達到所需要的深寬比，最後再進行圖案大小的設計。

Chapter 6 結論及未來展望：

針對本論文研究結果做出結論，並提出未來目標。



Chapter 2 理論基礎與材料分析



2.1 碳化矽基板(SiC Substrate)

碳化矽(Silicon carbide, SiC)是一種寬能隙半導體材料，由矽(Si)和碳(C)元素組成，因 C/Si 比例的不同，故其本身具有相當多種結構。碳化矽具有一系列優異的特性，包括寬能隙、高崩潰電場、高熱傳導性和高操作溫度等，這些特性使其在高功率、高頻率或極端溫度工作環境中得到廣泛應用。其中 4H-SiC 的特性相較於其它多型體又具有一些優越的特性，如擁有較大的能隙(3.26 eV)、較高的電子遷移率(1200 cm²/V·s)、較高的電子飽和飄移速度(2.2×10⁷ cm/s)以及較高的操作溫度(4410 °C)，如 Table 2-1 所示。以上這些優點都使得 4H-SiC 在許多應用中成為理想的基板材料。2.1.1 小節我們會再詳細說明碳化矽多型體的結構與命名方式。

Table 2-1 3C-SiC、4H-SiC、6H-SiC 基板材料特性[7] [10] [11]

Properties/Polytype	3C-SiC	4H-SiC	6H-SiC
Bandgap(eV)	2.36	3.26	3.02
Lattice parameter (Å)	4.36	a=3.073 c=10.05	a=3.081 c=15.12
Density(g/cm ³)	3.21		
Refractive index	2.7		
Melting point(°C)	>1800 sublimes		
Mohs' hardness	~9		
Dielectric constant (parallel c-axis)	9.72	10.32	10.03
Electron mobility (parallel c-axis) (cm ² /V·s)	1000	1200	100
Hole mobility (cm ² /V·s)	100	120	100

Electron saturated drift velocity (cm/s)	$\sim 2 \times 10^7$	2.2×10^7	1.9×10^7
Breakdown electric field (parallel c-axis) (MV/cm)	1.4	2.8	3
Thermal conductivity (W/cm · K)	4.9	3~3.8	4.9
Max. operating temp (°C)	873	4410	1240

2.1.1 晶體結構(Crystal Structure)

碳化矽具有許多種結構，根據晶體結構型態分類，可分為立方晶系(Cubic)、六方晶系(Hexagonal)、菱形晶系(Rhombohedral)等等幾種常見的晶系。再依據其推疊結構和順序的不同又可區分成 3C、4H、6H 等不同型態，英文代表晶體結構型態，而數字則代表堆疊的週期排列個數，如 Fig. 2.1 所示。目前為止大概有超過 250 多種多型碳化矽已被發現，所有的結構中只有 3C-SiC 被稱為 β -SiC，其餘具有非立方晶格結構的多型碳化矽都統稱為 α -SiC。每一種晶體結構其單元都為一個正四面體，由一個碳原子和四個矽原子結合或者一個矽原子和四個碳原子結合，如 Fig. 2.2 所示。通常以矽原子通常以正電荷表示，而碳原子則以負電荷表示，原因為碳原子的電子親和力比矽子來的高。

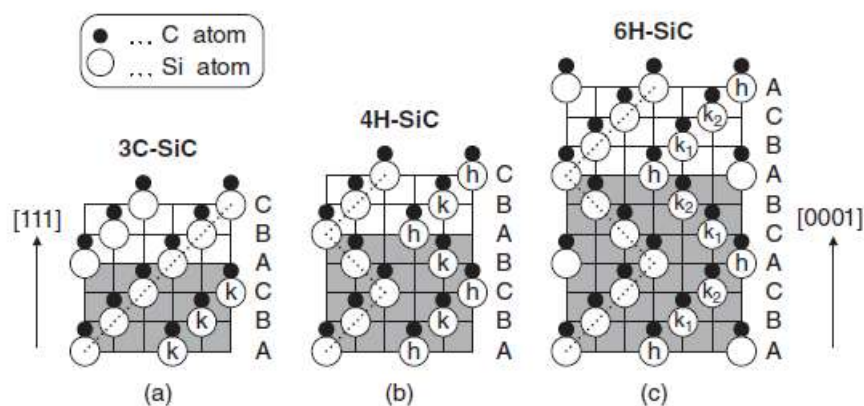


Fig. 2.1 常見的碳化矽多型的原子堆疊方式[10]

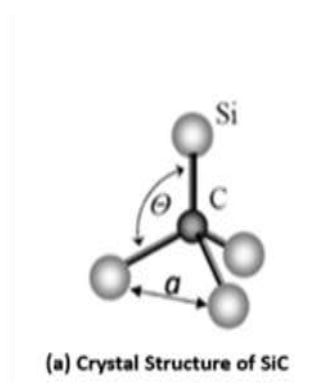


Fig. 2.2 碳化矽結構示意圖[12]

在碳化矽的結構中，除了 3C-SiC 的結構以外，大部分的多型都是以六方晶格系統去解釋的，且通常都使用 Miller-Bravais indices 來定義，而(0001)面為 si-face，(-1000)面為 c-face。Fig. 2.3 為碳化矽 Si-face 及 C-Face 示意圖，矽離子(陽離子)指向碳離子(陰離子)的方向定義為+c 軸；碳離子(陰離子)指向矽離子(陽離子)的方向定義為-c 軸。此外當磊晶成長的終止面為矽原子，稱為 Si-Face；若磊晶成長的終止面為碳原子，稱為 C-Face。兩者比較，Si-Face 表面比較光滑，且成長品質也較高。Fig. 2.4 說明了六方結構碳化矽的主要平面定義，除了前面提到的 C-Face 和 Si-Face 外，還有兩個主要的平面，(1-100)為 M-Face，(11-20)為 A-Face，然而目前在碳化矽的應用中，仍然以 C-Face 和 Si-Face 為主流。

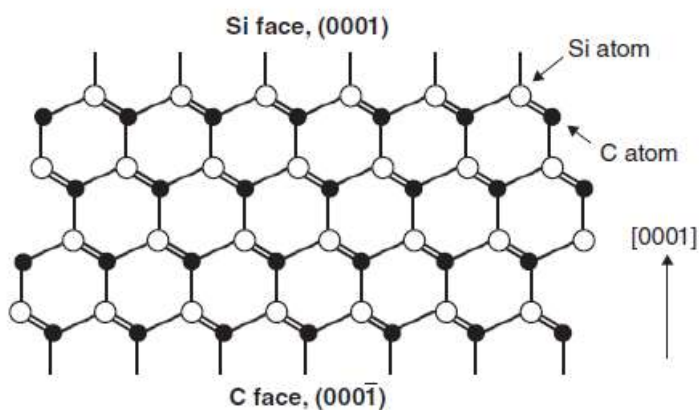


Fig. 2.3 碳化矽 Si-face 及 C-Face 示意圖[10]

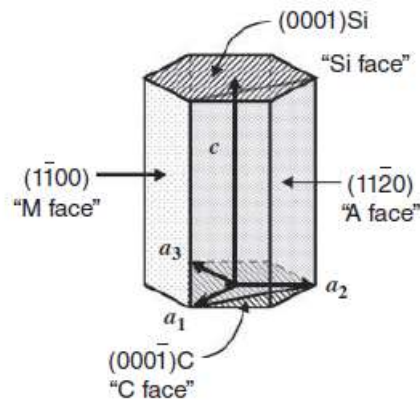


Fig. 2.4 六方結構碳化矽的多型體中的平面定義[10]

2.1.2 碳化矽基板的生長方法(Substrate Growth Method of SiC)

西元 1891 年，Acheson 首次以人工方式合成了碳化矽材料，然而他所合成的碳化矽材料的晶體結構並非單一型，而是一種多晶且多型的碳化矽，其中包含多種結構型態的混合物。後來在 1995 年，被俄國人 Lely 以昇華的方式去改良製作較好的碳化矽基板，但是真正被廣泛在商業界使用的是由 Tairov 等人在 1978 年提出的改良 Lely's 法，他們將碳化矽的粉末作為原料，以控制碳化矽晶格的成長，並得到更好的碳化矽基板[13]。後來，隨著現今技術的不斷發展，生長碳化矽的方法也不斷進步和創新，而這些方法都各自擁有特定的優點和應用範圍，並在碳化矽材料的製造和研究領域中得到廣泛應用。目前最常見的碳化矽生長法有四種：Lely's 法、物理氣相傳輸法(physical vapor transport, PVT)、高溫化學氣相沉積法 (High Temperature Chemical Vapor Deposition, HT-CVD)和液相磊晶法(Liquid Phase Epitaxy, LPE)。

1. Lely's 法：Lely's 法基本原理是在空心圓筒狀的石墨坩鍋中，投入純的碳化矽粉並加熱到 2500 °C，使碳化矽粉分解且昇華，並因為坩鍋內部與多孔石墨環之間存在溫度的差異，進而產生碳化矽。但使用 Lely 法的產率較低，晶體較難控制，且尺寸上也有所限制。

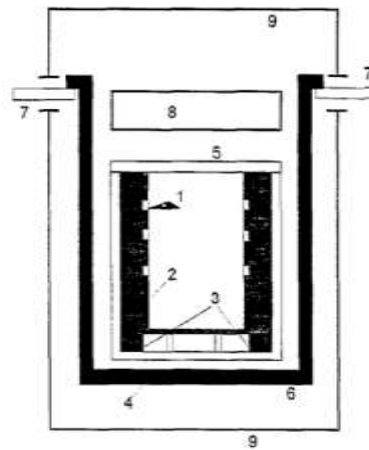
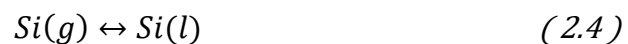
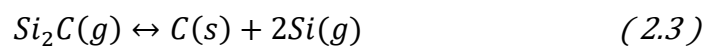
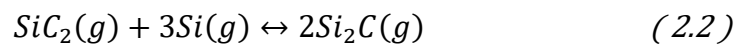
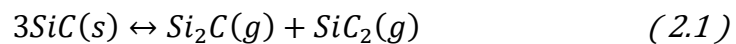


Fig. 2.5 利用 Lely's 法長碳化矽基板系統圖[14]

2. 物理氣相傳輸法(physical vapor transport, PVT)：物理氣相傳輸法，又被稱為 PVT 昇華法，是現今主要製造碳化矽最常用的方法。依照加熱方式，又分為感應加熱型和電阻加熱型。Fig. 2.6 為感應加熱型的 PVT 昇華法示意圖，PVT 昇華法利用感應式線圈產生 2200°C~2500°C 的高溫使下方的碳化矽原料昇華，並透過氣體方式在上方晶種表面凝卻產生晶體。但是昇華過程中會含有大量氣態的矽，因為矽會先從碳化矽的原料中優先蒸發，這會使源極端含有大量的碳，並且造成晶種端的碳化矽品質下降。因此，晶種端的碳化矽品質對於整個晶體的性能至關重要。為了獲得高品質的碳化矽晶體，需要在 PVT 昇華法的過程中控制和優化昇華參數，以確保源極端和晶種端的碳含量達到適當的比例，從而減少對晶體品質的不良影響[15]。
- (2.1)式~(2.4)式為昇華過程中的主要反應。



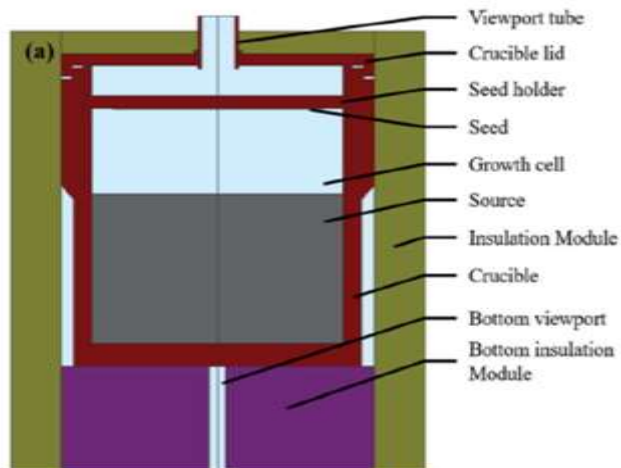


Fig. 2.6 感應加熱型 PVT 昇華法之示意圖[16]

3. 高溫化學氣相沉積法 (High Temperature Chemical Vapor Deposition, HT-CVD): 高溫化學氣相沉積法是一種常見的生長方法，反應器透過在下方加入所需之氣體(矽烷、 SiH_4 、乙烷、丙烷、氫氣、氫氣或者氫氣和氫氣的混合物)，並透過高氣體流速進入到較低溫的晶種端沉積，以產生碳化矽晶體，如 Fig. 2.7 所示。雖然 HT-CVD 不需要高純度的碳化矽粉末作為原料，而是直接使用氣體來源來合成碳化矽，但是此方法需要對溫度、壓力和氣體流量進行精確控制，以保持整個製程的穩定性。故相對於 PVT 昇華法而言，使用 HT-CVD 的廠商相對較少。

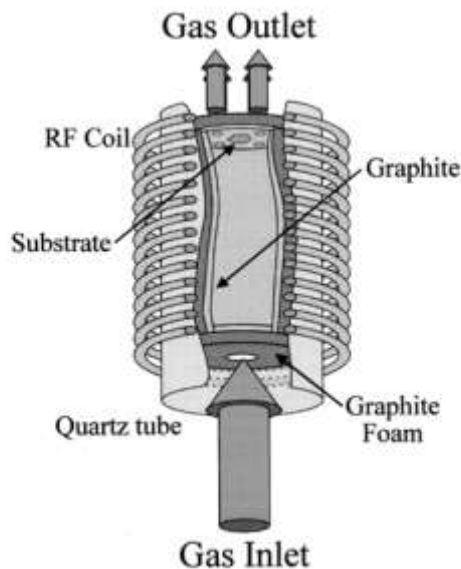


Fig. 2.7 HT-CVD 之示意圖[17]

4. 液相磊晶法(Liquid Phase Epitaxy, LPE)：LPE 法主要在石墨坩鍋放入矽原料，再加熱至矽的熔點(1500°C~1700°C)，再經由旋轉下方坩鍋使參雜物均勻散佈，接著通過緩慢降溫的方式，使溶液超過飽和度，從而在晶種的前端生長出碳化矽晶體，如 Fig. 2.8 所示。相較其他三種方法，LPE 具有生長速度較快、晶體尺寸的優勢，但是 LPE 也存在一些挑戰，例如需要精準控制溶液中的濃度和溫度，以確保良好的生長品質。除此之外，LPE 在生長過程中也可能會受到雜質和難溶性材料的影響，導致生長過程中的缺陷或不均勻性。

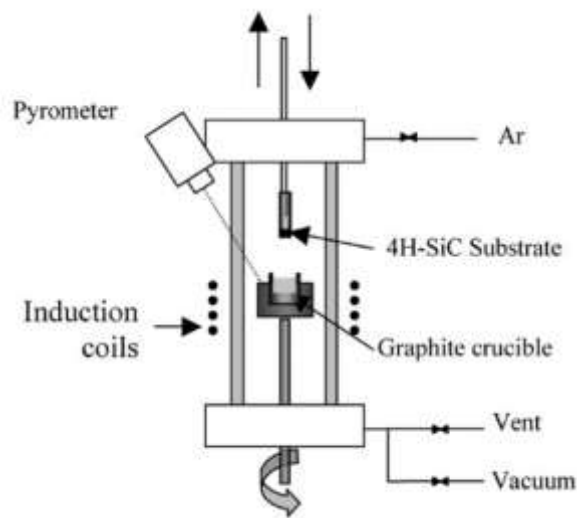


Fig. 2.8 LPE 之示意圖[18]

2.1.3 微導管密度(micropipe density)

目前在工業界最常使用生長碳化矽的長晶方法為 PVT 昇華法，然而在使用 PVT 昇華法的生長過程中，微導管會沿著<0001>方向生長並延伸穿過整個碳化矽。其原因之一為昇華時，氣體中 C/Si 比例的變化會造成碳化矽的多型以隨機的方式進行生長，如 Fig. 2.9 所示。其結果便會造成長晶時產生類似於空洞的管狀結構，如 Fig. 2.10 所示。但實際上，還有許多原因可能會導致碳化矽生長微導管，包括種晶極性、生長溫度、溫度梯度和過飽和度、生長速率、摻雜、惰性氣體壓力等因素[19]。

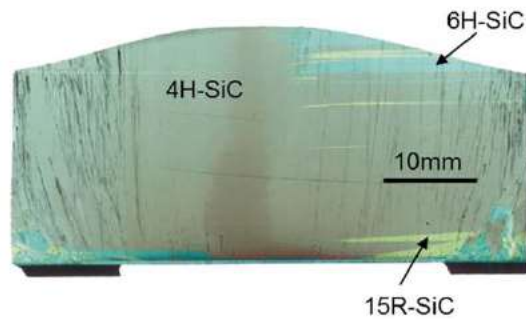


Fig. 2.9 碳化矽晶柱[19]

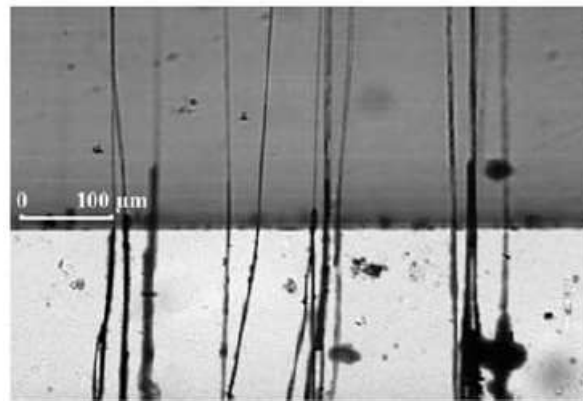


Fig. 2.10 微導管密度之剖面圖[19]

根據 HEINDL, J.等人在 1998 年提出的文章，發現 micropipe density 與 screw dislocation 有著很大的關係[20]。根據 W. Vetter 等人在 2001 年提出的文章中，他們使用穿透式的 x-ray 來觀察碳化矽中 dislocation 的存在，從中也能發現 micropipe density 與 screw dislocation 有著很大的關聯[21]。故微導管的出現並非我們想要的，它的存在通常被視為材料中的缺陷，可能導致差排的増加，晶體品質下降，漏電流的增加和崩潰電壓降低等問題。然而，近年來技術的進步確實有助於降低微導管的密度，通過優化生長條件、改進材料製備技術和引入特定的摻雜方法，材料商們已經取得了一些重要的進展。這些進展使得微導管的密度逐漸減小，有助於改善材料的品質和元件的性能。



2.2 蝕刻原理

2.2.1 蝕刻種類

蝕刻碳化矽基板有兩種方法：濕式蝕刻和乾式蝕刻。濕式蝕刻主要使用 KOH、NaOH 等溶液去進行化學性蝕刻；乾式蝕刻則是使用 RIE 或者 ICP-RIE 去進行化學物理混合性蝕刻。

濕式蝕刻和乾式蝕刻兩種方式各有優缺點。濕式蝕刻的優點包括蝕刻速率快、製程相對簡單、產出量高和成本較低，然而濕式蝕刻的缺點是圖案不夠精準，容易出現圖案偏移或模糊，並且良率較低。相比之下，乾式蝕刻具有一些優點，它可以實現更準確的圖案定義，具有較好的深寬比(aspect ratio)和較高的異向性，這使得乾式蝕刻在製造微小結構和高精度元件時更為適用，然而乾式蝕刻的缺點是成本較高，需要較複雜的設備和控制系統，並且對基板容易造成傷害，此外乾式蝕刻的產率通常較低，並且蝕刻過程中可能產生有害氣體或污染物，需要特殊處理和安全措施。Table 2-2 為乾式蝕刻、濕式蝕刻的比較表。

Table 2-2 蝕刻方式比較表

	乾式蝕刻	濕式蝕刻
成本	昂貴	便宜
產出量	低	高
蝕刻速率	慢	快
安全性	較佳	不佳
選擇比	低	高
異向性	高	低
深度控制	容易	困難
自然晶面	無	有

基板傷害	有	無
------	---	---



2.2.2 乾式蝕刻原理

碳化矽具有很高的莫氏硬度，其值高達 9，是僅次於鑽石的材料之一。由於其硬度較高，使用濕蝕刻去進行相對較困難，因此在這個實驗中我選擇了乾式蝕刻作為蝕刻方式。

在蝕刻碳化矽基板時，有多種氣體可以選擇，包括氟化物氣體(SF₆、CF₄、NF₃、BF₃、CHF₃)、氯化物氣體(Cl₂、SiCl₄、BCl₃)或溴化物(Br₂、IBr)[10]。然而，氟化物氣體被認為是最有效蝕刻碳化矽的氣體，而以氟化物氣體作為主要的蝕刻氣體，通常都會將氧氣、氬氣配合使用，以增強蝕刻速率並改善表面的平滑度。

本實驗乾式蝕刻使用 RIE 作為我們蝕刻機台。RIE 是一種使用電漿進行化學蝕刻的機台，其具有快速、低溫、穩定性高、易於控制和具有方向性等優點，因此被廣泛應用於現代半導體蝕刻製程上。

電漿的產生通常使用 RF 射頻將能量提供給氣體，將氣體加熱到極高溫，從而使氣體中的原子或分子游離並形成自由電子。這些自由電子吸收能量後變得高能量，形成電漿中的帶電粒子，因此電漿本身是帶有正電荷和負電荷的粒子集合體，包括電子(負電荷)、離子(正電荷)和一部分中性粒子團。然而，整體上電漿是電中性，意指帶負電荷的電子和帶正電荷的離子數量大致相等，故電漿的濃度是以游離率表示，如(2.5)式，其中的 N_e 為電子濃度，N_n 為中性原子或分子的濃度。

$$\text{游離率} = \frac{N_e}{N_e + N_n} \quad (2.5)$$

Fig. 2.11 為 RIE 架構圖。RIE 若要增加蝕刻效果，可以調整多個參數，包括壓力、功率、氣體流量和時間等。然而，影響解離率最重要的參數是功率，透過增加功率，可以提供更多的能量給氣體中的原子或分子，從而增加電子和離子的生成，進一步提高解離率。在調整 RIE 參數時，需注意平衡功率和其他參數之間的關係，過高的功率可能導致過度蝕刻或損傷材料，而過低的功率可能無法達到所需的蝕刻效果，因此在進行 RIE 蝕刻時，需要仔細調整各個參數，以達到最佳的蝕刻效果。

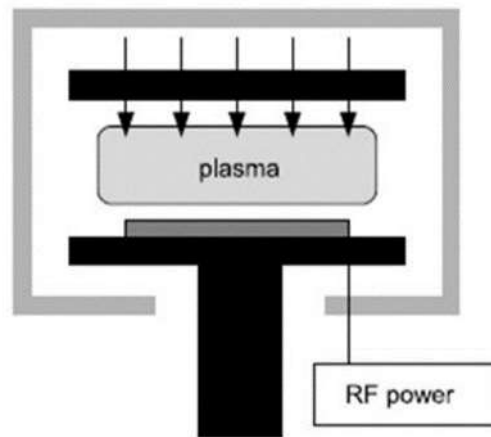


Fig. 2.11 RIE 架構圖[22]

2.3 氮化鎵薄膜 (Gallium Nitride, GaN)

氮化鎵(GaN)是一種寬能隙半導體材料，無法透過拉晶方法製造出大面積的基板，因此常使用異質磊晶的方式來製作氮化鎵材料。這種方法將氮化鎵薄膜直接磊晶在其他材料的基板上，常見的基板材料包括矽(Si)、碳化矽(SiC)、砷化鎵(GaAs)和藍寶石(Al_2O_3)基板等。

氮化鎵具有廣泛的應用領域，本身具有高崩潰電壓和高電子遷移率等特點，這使得它成為許多新一代高功率和高頻率元件的理想材料。舉例來說，用氮化鎵製作出來的高電子遷移率電晶體在高頻率應用中表現出色，可用於射頻功率放大器、無線通信系統和雷達等領域。此外，氮化鎵材料也被廣泛應用於光電領域，由於氮化鎵具有直接能隙結構，可產生不同顏色的光，因此被廣泛應用於發光二極體、和高亮度顯示器等產品上。

2.3.1 晶體結構(Crystal Structure)

氮化鎵的晶體結構為烏采結構(Wurtzite)，也稱為六方最密堆積(hexagonal closest packed, HCP)結構，排列方式如 AaBbAaBb，若以 AaBbCcAaBbCc 排列則屬於閃鋅結構(Zinc blende)，如 Fig. 2.12 所示。在 HCP 這種結構中，鎵離子(陽離子)和氮離子(陰離子)以六邊形排列的原子層方式互相堆疊，使晶格結構更加緊密。

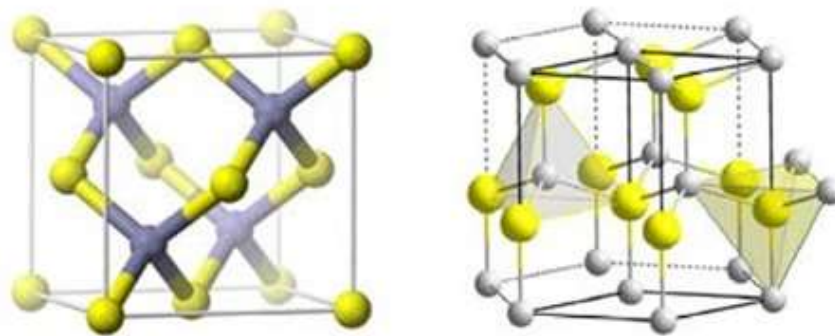


Fig. 2.12 氮化鎵閃鋅結構(左圖)氮化鎵烏采結構(右圖)示意圖[23]

在烏采結構中，將陽離子(Ga^{3+})指向陰離子(N^{3-})的方向定義為 c-plane 的 c 軸，反之則為 -c 軸。根據磊晶成長方向與 c 軸的關係，可以將其分為 Ga-Polar 和 N-Polar 兩種情況，當磊晶成長方向與 c 軸相同時，稱為 Ga-Polar；當磊晶成長方向與 c 軸相反時，稱為 N-Polar。此外，根據磊晶成長的終止面，可以將其分為 Ga-Face 和 N-Face 兩種情況，當磊晶成長的終止面為鎵原子時，稱為 Ga-Face；當磊晶成長的終止面為氮原子時，稱為 N-Face。N-Face 表面相對較粗糙，而 Ga-Face 表面則較為堅硬、平整且耐蝕刻。Fig. 2.13 為氮化鎵 Ga-face 及 N-Face 結構圖。

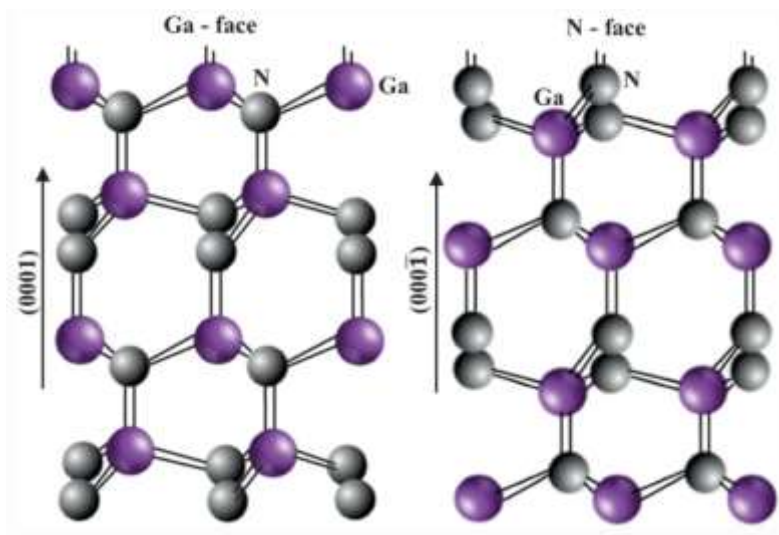


Fig. 2.13 氮化鎵 Ga-face 及 N-Face 結構圖[24]

2.3.2 應力 (Strain)

一般而言，由於基板的厚度遠大於磊晶薄膜，所以一般只考慮薄膜所受到的應力。造成磊晶薄膜殘餘應力的原因分為兩大類，一類為外應力，主要是施加外力在



薄膜上所產生出來的應力，另一類為內應力，其中又分為熱應力和本質應力，熱應力為熱膨脹係數差異所產生，而本質應力則是來自於薄膜與基板的晶格常數不匹配所產生，又或者薄膜在磊晶過程中所產生出來得缺陷，如雜質或差排，使薄膜存在應力。

當兩種材料互相鍵結時，如果彼此的晶格常數不同，會產生應力(strain)，如 Fig. 2.14 所示。其中晶格常數較小的材料會受到伸張應力(tensile strain)；晶格常數較大的材料會受到壓縮應力(compressive strain)。

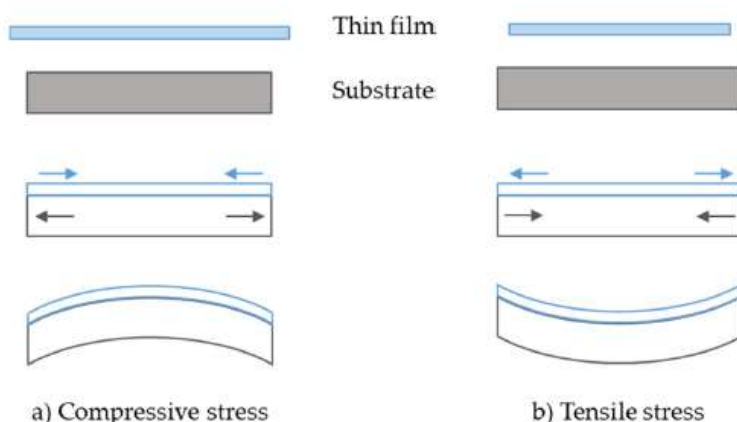


Fig. 2.14 伸張應力與壓縮應力對材料之影響[25]

4H-SiC 基板的晶格常數 $a=3.08 \text{ \AA}$ 、氮化鎵的晶格常數 $a=3.189 \text{ \AA}$ ，故 4H-SiC 基板的晶格常數相較於氮化鎵薄膜的晶格常數來的小，這表示氮化鎵薄膜在磊晶過程中會受到來自 4H-SiC 基板的壓縮應力。故如公式 (2.6) 所示，我們可以得知 4H-SiC 基板與氮化鎵薄膜之間的晶格不匹配率為 3.5%。

$$\frac{a_{\text{GaN}} - a_{\text{4H-SiC}}}{a_{\text{4H-SiC}}} = \frac{3.189\text{\AA} - 3.08\text{\AA}}{3.08\text{\AA}} = 3.5\% \quad (2.6)$$

影響 4H-SiC 基板與氮化鎵薄膜之間的應力，除了晶格常數不匹配之外，熱膨脹係數也是原因之一，4H-SiC 基板的熱膨脹係數為 $4.47 \times 10^{-6}/\text{K}$ ，而氮化鎵的熱膨脹係數為 $5.59 \times 10^{-6}/\text{K}$ ，兩者之間存在著 1.25 倍的差異。當磊晶過程完成並冷卻後，4H-SiC 基板收縮的幅度比氮化鎵薄膜更小，因此氮化鎵薄膜會受到來自 4H-SiC 板的伸張應力。

這時會有兩種不同類型的應力出現，一種為晶格不匹配產生的壓縮應力，而另

一種為熱膨脹所產生的伸張應力。根據 Barghout, K.和 J. Chaudhuri. 等人在 2004 年的文章中，得知由晶格不匹配所產生出來的應力會小於熱應力，故氮化鎵薄膜最終會受到由兩者材料的熱膨脹係數差異所產生出來的拉張應力，如 Fig. 2.15 所示[26]。

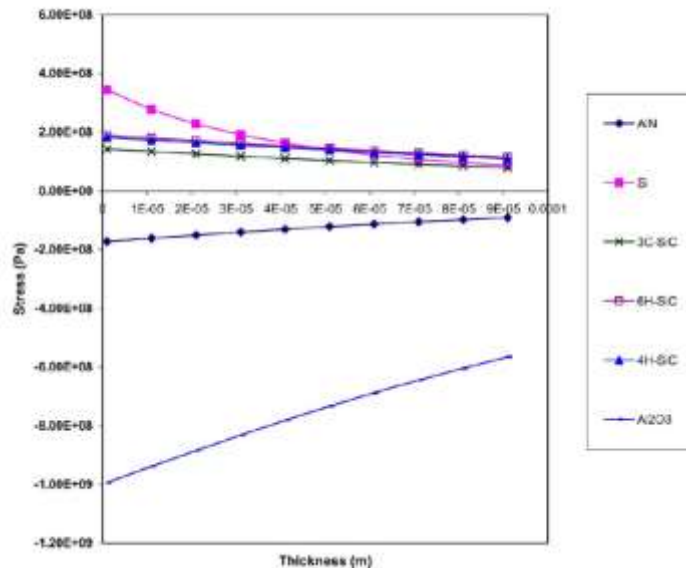


Fig. 2.15 比較各種基板上成長 GaN 薄膜所受到的殘餘應力[26]

2.3.3 差排 (Dislocation)

當將薄膜磊晶在晶格常數與其不匹配的基板上時，會產生應力，如果這些應力超過了薄膜能夠承受的臨界值，薄膜就會以錯位差排(dislocation)或劈裂(crack)的形式釋放應力。

差排(dislocation)是晶體結構中的內部微觀缺陷，表示材料中原子的局部不規則排列。它也被歸類為一種線缺陷(line defect)，通常以一維的線形結構存在。差排可以分為三種類型：刃差排(edge dislocation)、螺旋差排(screw dislocation)、混合差排(mixed dislocation)。

差排的種類可以用柏格向量(Burgers vector, \vec{b})來區分。這種區分方法是通過在晶體中繞一圈原子並觀察其位移，如果繞一圈後回到起點的位置，則柏格向量為零，如果繞一圈後無法回到起點且需要填補一個向量才能回到原點，那麼這個填補向量就是柏格向量。柏格向量垂直於差排線(\vec{L})的稱為刃差排，而柏格向量平行於差排線(\vec{L})的稱為螺旋差排，另外還存在一種混合型差排，其柏格向量同時具有刃差



排和螺旋差排的特點。

刃差排是由於晶體結構內加入或消除一排額外的原子而形成的，因此在差排周圍會形成一個局部的晶格變形區域；螺旋差排是由於晶格內的平面發生滑動而形成的，通常以螺旋的形式存在；混合差排則結合了刃差排和螺旋差排的特點，具有兩種不同的位移分量。這些不同類型的差排在晶體中呈現不同的結構和行為。

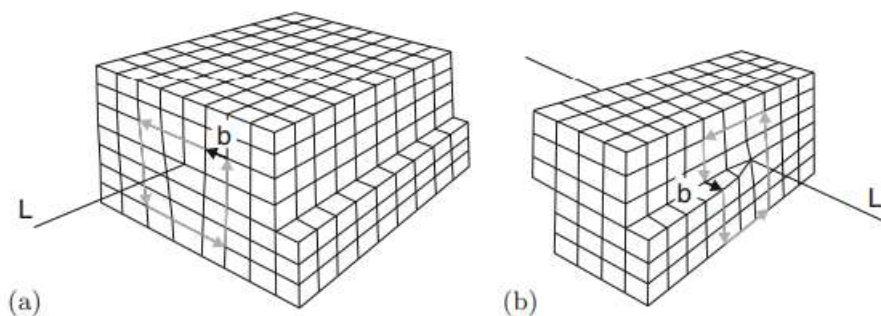


Fig. 2.16 (a)刃差排、(b)螺旋差排與柏格向量之示意圖[27]

2.3.4 晶體成長

磊晶氮化鎵薄膜的方法各式各樣，包括有機金屬化學氣相沉積(MOCVD)、分子束磊晶(MBE)和氫化物氣相磊晶法(HVPE)等。目前來說，MOCVD 被廣泛認為是最成熟的氮化鎵磊晶技術。薄膜磊晶過程中，4H-SiC 基板與氮化鎵薄膜之間的晶格不匹配率為 3.5%，儘管相對於其他材料(例如藍寶石基板的 16.1%)來說這個值較小，但仍然會導致磊晶過程中出現缺陷。為了提升氮化鎵薄膜的磊晶品質，目前存在多種方法，例如：氮化鋁緩衝層(AIN buffer layer)、磊晶側向生長法(Epitaxial Lateral Overgrowth, ELOG)、圖案化 4H-SiC 基板(Patterned 4H-SiC Substrate)等技術。

氮化鋁緩衝層的技術是在磊晶氮化鎵薄膜之前先在基板上成長一層氮化鋁(AIN)作為緩衝層。Fig. 2.17 為 AIN buffer layer 成長氮化鎵示意圖，再長完 AIN buffer layer 後，會先讓氮化鎵以成核方式磊晶在緩衝層上，之後隨著磊晶時間推移，成核的氮化鎵會逐漸形成類似島嶼的結構，其目的是為了獲得較大的島狀晶粒，以提高氮化鎵薄膜的品質[28] [29]。

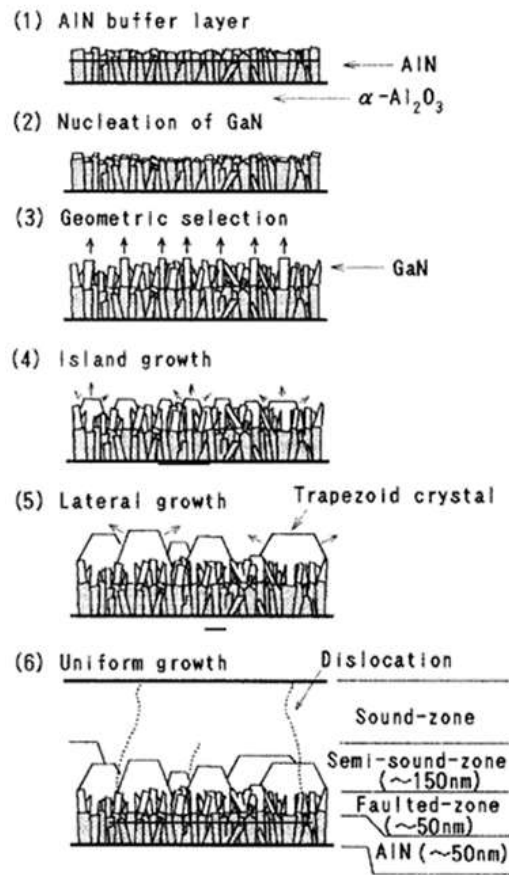


Fig. 2.17 氮化鋁緩衝層技術成長氮化鎵示意圖[30]

Fig. 2.18 為磊晶側向成長法(ELOG)成長氮化鎵示意圖。磊晶側向成長法會先在基板上成長一層氮化鎵，之後使用黃光製程在底層氮化鎵上成長二氧化矽(SiO₂)或氮化矽(SiN)作為阻擋層(mask)，其目的是控制氮化鎵的生長區域，使接下來磊晶成長的氮化鎵碰到 mask 時，會被強迫往側向生長，差排也因此由垂直轉往側向生長，如 Fig. 2.19 所示。

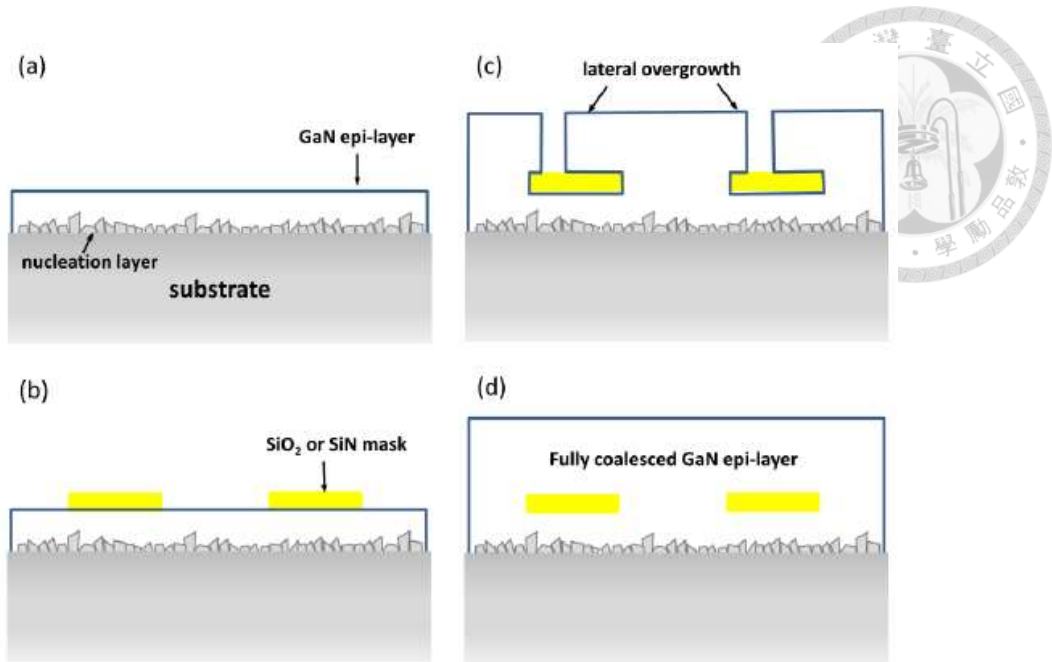


Fig. 2.18 磊晶側向成長法(ELOG)成長氮化鎵示意圖[31]

圖案化 4H-SiC 基板技術是一種利用微影和蝕刻的方法在碳化矽基板上形成週期性圖案的技术。這些圖案能夠提高氮化鎵的側向生長速度，這個技術其實類似於磊晶側向成長法，其中基板表面上的圖案使得氮化鎵只能通過側向生長才能完全連接，並使差排的生長彎曲，如 Fig. 2.19 所示。

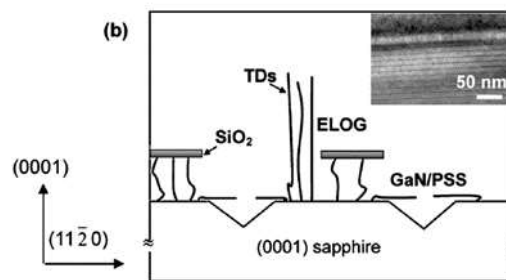


Fig. 2.19 ELOG 及 PSS 技術使差排的生長彎曲示意圖[32]

Chapter 3 實驗設備與製程流程



3.1 實驗儀器

3.1.1 電漿輔助化學氣相沉積 (Plasma Enhanced Chemical Vapor Deposition, PECVD)

電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition, PECVD)技術是一種解決不同基板在低溫下薄膜沉積速率緩慢的技術。在薄膜沉積過程中，基板的耐溫性能是需要考慮的因素，因為不同基板具有不同的耐溫範圍，然而降低溫度會導致薄膜沉積速率的指數遞減，為了克服這個問題，PECVD 技術應運而生。

PECVD 技術除了使用熱源提供能量外，還使用輔助電漿提供額外能量進行薄膜沉積。Fig. 3.1 為 PECVD 的架構圖，晶圓放置在下方的加熱板上，加熱板會提供所需的熱能進行化學沉積；上方的管路提供沉積材料所需的氣體；射頻發生器(RF power)產生的能量用於離子化反應氣體，形成電漿。電漿體由反應氣體的中性原子、分子、電子和離子組成，高能電漿體具有高速電子，可以碰撞反應氣體分子，使其激發和解離，形成具有高度化學活性的自由基團撞擊基板表面，增強其反應性，因此 PECVD 能夠大幅降低工藝溫度，同時又能符合基板的耐溫限制。此外，PECVD 降低溫度並不會減慢薄膜沉積速率。

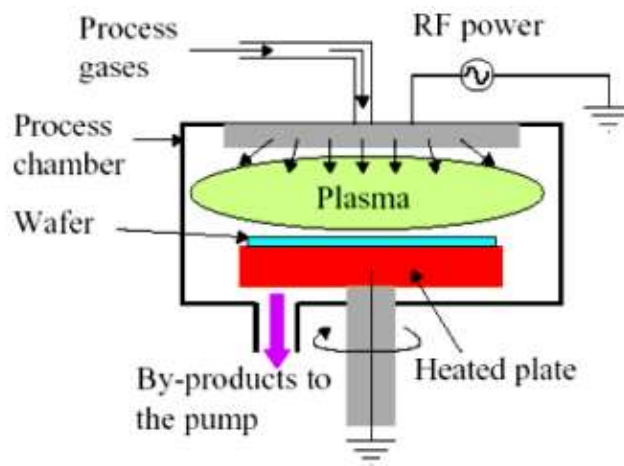


Fig. 3.1 PECVD 架構圖[33]

Fig. 3.2 為化學氣相沉積(CVD)過程示意圖，首先將化學反應引入 CVD 腔體，並透過擴散的方式到達基板表面，其擴散是由於反應物在氣相中的熱運動所引起，接著反應物會在基板表面發生化學反應，產生生成物並沉積至基板表面。化學反應發生後，副產物(包含未反應之反應物與部分生成物)會脫附(desorption)基板表面，並藉由擴散作用離開。

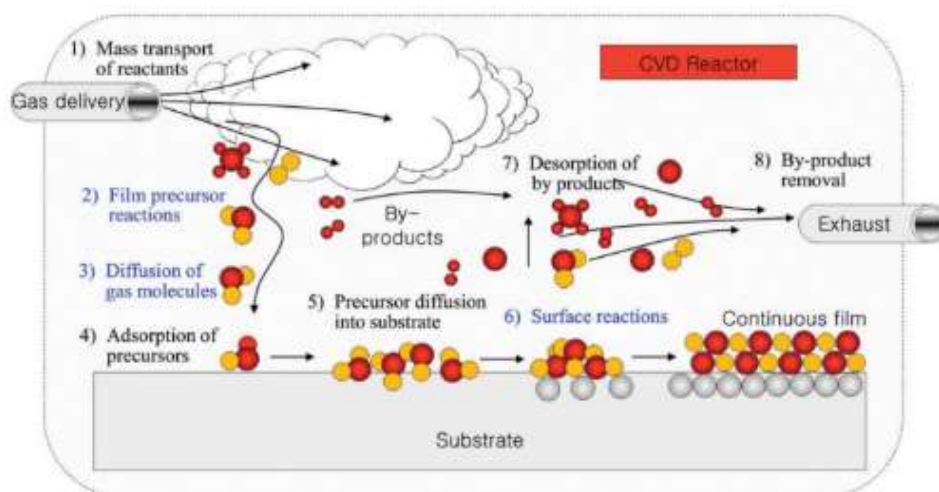


Fig. 3.2 CVD 過程示意圖[34]

3.1.2 有機金屬化學氣相沉積 (Metal-organic Chemical Vapor Deposition, MOCVD)

有機金屬化學氣相沉積(Metal-organic Chemical Vapor Deposition, MOCVD) ，也稱為有機金屬化合物氣相外延法(Metal Organic Vapor Phase Epitaxy，簡稱 OMVPE 或 MOVPE 法)，前兩個字母「OM」或「MO」表示薄膜成長過程中所使用的反應物質是有機金屬化合物或者金屬有機物，後面三個字母「CVD」或「VPE」表示成長的半導體薄膜是非晶形薄膜(沉積)或具有晶形的薄膜(磊晶)。

MOCVD 是一種將有機金屬化合物作為反應源，並與載體氣體(如氫氣)一起輸送到腔體，並通過熱分解反應形成薄膜的技術，通常用於成長三五族化合物半導體(如 GaN、InGaN)或二六族化合物半導體的薄膜材料。MOCVD 技術具有易於控制薄膜成分和晶相等優點，透過控制反應條件和金屬有機前驅物的供應，MOCVD 技術能夠實現對薄膜成分、結晶品質和厚度的精確控制，使其能夠在基板上形成均勻的薄膜，且這些薄膜的結構緊密且附著力也相當良好，因此 MOCVD 已成為業界

主要的鍍膜技術之一。

MOCVD 的沉積步驟與 CVD 雷同，都是將反應物注入，接著經高溫解離產生氣相反應，並透過擴散作用沉積在基板上。在高溫中，材料在基板表面發生化學反應，使生成物沉積在基板表面，在磊晶片上形成一層薄膜，接著其餘的副產物或是未產生作用之原子則藉由抽氣系統排出。

3.1.3 電子束蒸鍍 (Electron Beam Evaporation, E-gun)

沉積薄膜的方法可以分為兩種主要類型：物理氣相沉積法(Physical Vapor Deposition, PVD)和化學氣相沉積法(Chemical Vapor Deposition, CVD)。這兩種方法的主要區別在於它們在沉積過程中是否涉及化學反應。

PVD 是一種用於成長薄膜的技術，它將材料轉換成氣體或等離子態，然後將其沉積在基板上形成薄膜。常見的 PVD 方法包括蒸鍍法和濺射法，蒸鍍法它通過提供能量使固體材料蒸發，然後在基板上冷凝形成薄膜。在蒸鍍法中，存在兩種常見的蒸發方式：一是電阻加熱，使用高熔點金屬製成的乾鍋或線圈通過通電產生高溫，使固體材料蒸發成氣體形式，然後在基板上冷卻凝結形成薄膜；二是電子束蒸鍍，通過使用電子束轟擊靶材，將電子束的動能轉化為熱能，使材料蒸發成氣體形式，並在基板上冷卻凝結形成薄膜。

相較於電阻加熱蒸鍍，電子束蒸鍍具有以下優點：高溫能量集中，使熔點高的金屬更容易蒸發；高蒸發速率，因為電子束能量集中，靶材可以迅速蒸發，使得蒸鍍速率較高；薄膜高質量和均勻性，因為能量集中在靶材上，有助於確保沉積的薄膜具有良好的結構和均勻的厚度分佈。總結來說，電子束加熱法在 PVD 過程中具有高效、高品質和高控制性的優勢，使其成為許多應用領域中首選的薄膜沉積技術之一。

如 Fig. 3.3 所示，電子束蒸鍍系統包含五個主要部分，載台、爐床、直流電源供應器、環形線圈和膜厚測量系統。載台可以進行旋轉，使其薄膜均勻沉積和減輕熱應力等重要作用，已確保薄膜的質量和性能達到要求；爐床具有多個凹槽，可以旋轉放置不同種類的金屬坩鍋，底部管線會有冷卻水以降低坩鍋溫度；直流電源供應器連接腔體內的燈絲，通過供應高壓電，將燈絲加熱至高溫，從而釋放出電子；環形線圈通電以產生磁場，用於控制游離的電子在靶材上的聚焦；膜厚測量系統用

於測量蒸鍍過程中的鍍率和已鍍上的金屬厚度，該系統利用給石英振盪器(Quartz Crystal Oscillators, QCM)提供 5 MHz 頻率的電源，當金屬沉積在振盪片下方的電極部位時，會引起輸出信號的變化，透過該變化量可以推算出目前的鍍率和膜厚。

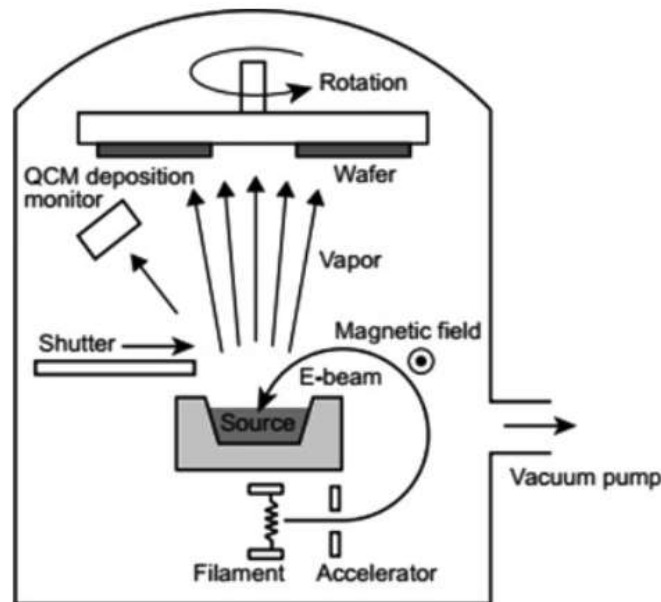


Fig. 3.3 電子束蒸鍍架構圖[35]

3.1.4 電子束微影 (Electron Beam Lithography)

半導體微影製程可以分為兩種主要技術：光學微影技術和電子束微影技術。這兩種技術都利用化學物質(光阻)與光的交互作用來實現製程目標。

光學微影技術是現今半導體製程最常見的微影方法，透過事先設計好的光罩，並使用可見光或紫外光照射光阻，通過控制光的波長和幾何光學系統，將圖案投影到光阻表面上。光學微影優點：成本較低、製程速度快、可以實現大面積曝光和易於操作；缺點：解析度較低、曝光尺寸較大、光阻材料限制和微影方向性控制困難。

隨著現代半導體尺寸的不斷縮小，光學微影技術的解析度已經無法滿足奈米級結構的需求，因此出現了電子束微影技術，它突破了解析度的限制，能夠實現更高精度的微影。

電子束微影系統使用電子束作為曝光源，其加速電壓通常在 20~100kV 範圍內。由於電子束的波長約為 0.02~0.05nm，比光的波長更短，這使得電子束微影技術在小線寬元件的製程中具有優勢。電子束微影技術與光學微影技術相比，電子束

微影不需要製作光罩，只需要透過繪圖軟體設計圖案後，透過電腦進行讀取圖案進行曝光，如此一來，圖案的設計相對快速，只需要透過電腦改寫就可以微影出複雜的圖案，這與光學微影技術相比是一大優勢。然而，相較於光學微影技術，電子束微影的曝光速度較慢且成本相對較高，因此通常被限制在學術研究和特定應用領域中使用。

本實驗所使用之電子束微影系統為日本 ELIONIX 公司所生產的 ELS-7000，如 Fig. 3.4 所示。電子束微影系統由多個器件所組成的，其中包括電子槍(electron gun)，它提供電子源以產生電子束；電磁透鏡(condenser lens)，用於控制電子束的形狀和聚焦程度；電腦控制軟體，用於進行圖案的控制和整個曝光過程。

在電子束微影系統中，使用者先將光罩檔案透過電腦軟體讀取，然後電子槍產生並發射出電子束，接著電子束通過電磁透鏡的操作，可以被定向和聚焦到所需的位置上，完成圖案的曝寫，透過精確控制電子束的位置和聚焦程度，電子束微影系統可以製造出非常細微和複雜的圖案結構，而電腦控制軟體在整個過程中起著關鍵的作用，它負責解讀和執行光罩檔案中的指令，控制電子束的位置和曝光時間，以實現精確的曝寫操作。



Fig. 3.4 電子束微影系統



3.1.5 反應式離子蝕刻 (Reactive Ion etching, RIE)

反應式離子蝕刻(Reactive Ion Etching, RIE)為一種乾式蝕刻技術，用於製造出微小結構和薄膜的過程。RIE 利用離子束的能量和化學反應來移除材料表面的原子或分子，並用來實現垂直方向的異向性蝕刻，使蝕刻表面具有垂直的側壁。

Fig. 2.11 為 RIE 架構圖，首先將基板放置於真空腔體中，然後通入一種或多種化學氣體，這些氣體會被 RF 射頻激發成為離子，這些高能量的離子會開始加速並沿著垂直方向蝕刻基板表面，使表面的材料被去除。蝕刻氣體通常是一種能夠與基板表面的材料發生反應的氣體，反應氣體則用於生成可溶性的蝕刻產物，這些產物能夠與蝕刻氣體反應形成揮發性的化合物，並進一步被移除。

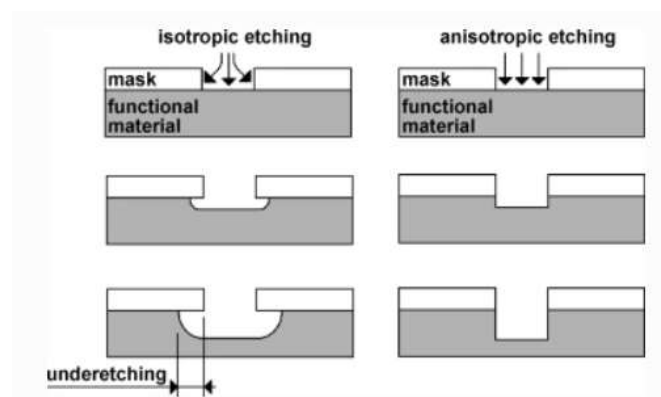


Fig. 3.5 等向性蝕刻(左)與非等向性蝕刻(右)示意圖[22]

3.1.6 掃描式電子顯微鏡 (Scanning Electron Microscope, SEM)

傳統光學顯微鏡(Optical Microscope, OM)使用可見光作為觀測樣品的光源，其解析度受到光波長的限制。根據 Abbe's equation，解析度與光源的波長成正比，並與透鏡的折射率和透鏡半角的正弦值成反比，因此光學顯微鏡的解析度通常限制在大約 200nm 左右(因為可見光的波長約在 400~700nm)。但隨著現今元件尺寸的不斷微縮，光學顯微鏡已無法清楚辨識微小的圖案。

為了克服這一限制，掃描式電子顯微鏡(Scanning Electron Microscope, SEM)採用了電子束作為主要光源，電子束的波長比光波更短，這使得 SEM 能夠實現更高的解析度。根據 De Broglie wavelength 的公式，波長(λ)與電子的速度(v)和質量(m)相關，公式 $\lambda = h/(mv)$ ，其中 h 是普朗克常數。根據這個公式，當電子的能量較高時，其波長相對較短。因此透過提供具有高能量的電子束，我們可以實現比光

學顯微鏡更高的解析度，進一步觀察更小尺寸的結構和元件。

Fig. 3.6 為掃描式電子顯微鏡架構圖，其結構主要分為電子槍、電磁透鏡組與掃描線圈等。電子槍透過熱游離或者場發射的方式將電子游離，並透過電磁透鏡聚集成奈米等級的電子束，接著隨著掃描線圈移動，電子束會產生偏折，進行二維空間的掃描。當電子束打到樣品上，會產生各種不同的訊號，如二次電子(Secondary Electron, SE)、背向散射電子(Backscattered Electron, BSE)、陰極射線發光(Cathodoluminescence, CL)和歐傑電子(Auger electron, AE)等。

SEM 主要是利用 SE 和 BSE 來形成影像。如 Fig. 3.7 所示，BSE 是電子束與樣品中的原子核發生彈性碰撞後，反彈由表面離開的結果，故具有較高的能量，即使超過樣品表面 100nm，背向散射電子仍可被偵測到；二次電子是電子束與樣品之間發生非彈性碰撞後，原子核的外層電子獲得能量後的結果，故其能量較低，只有在距離樣品表面約 5~50nm 的範圍內才能觀察到這些二次電子。

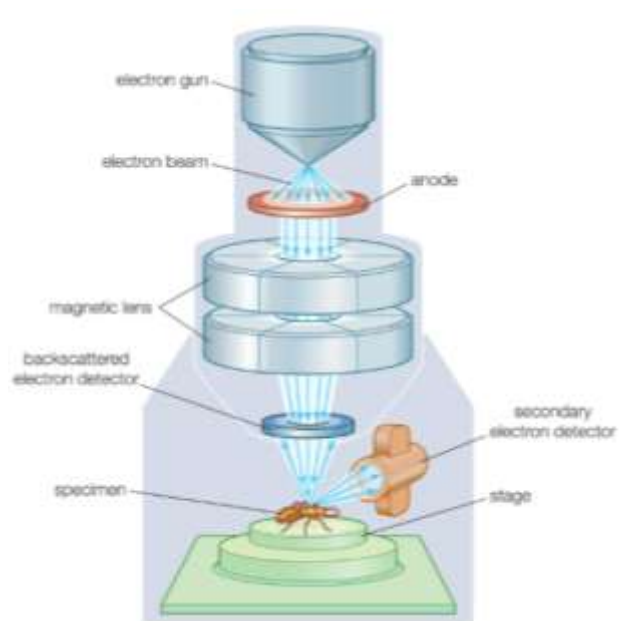


Fig. 3.6 掃描式電子顯微鏡架構圖[36]

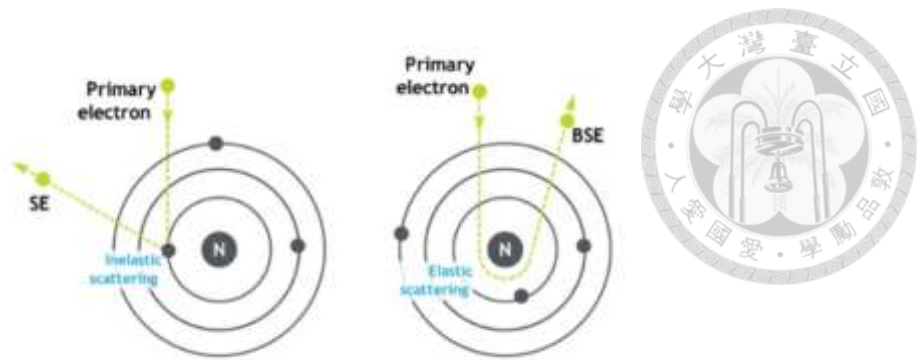


Fig. 3.7 二次電子(左圖)和背向散射電子(右圖)形成的示意圖[37]

3.1.7 陰極射線發光 (Cathodoluminescence, CL)

當粒子轟擊材料表面時，會產生電磁輻射，這種輻射的光譜範圍從紫外光到紅外光，這種現象被稱為發光。一般而言，發光的類型根據激發源，會有數十種種類，如光致發光(Photoluminescence, PL)、陰極射線發光(Cathodoluminescence, CL)、電激發光(Electroluminescence, EL)和 X-ray 發光(X-ray luminescence)等。陰極射線發光主要是透過電子束所激發。

在進行 CL 量測時，有幾個因素會影響量測效果，例如：樣品導電度(導電度大小影響圖案成像)、SEM 加速電壓(電壓大小影響 CL 探測深度)、電子束電流大小(電流大小影響光譜信號)、軟體參數設定與 CL 偵測器等。CL 量測在許多領域中有廣泛的應用，它可以用於研究光傳輸、散射、載子濃度與分布以及材料的結構特性(例如：缺陷、差排、能隙)。

3.1.8 X 射線繞射儀 (X-ray Diffractometer, XRD)

X 射線繞射儀(X-ray Diffractometer, XRD)是一種非破壞性的測量方法，並利用 X 射線在原子間的彈性碰撞來分析材料的晶體結構信息。

Fig. 3.8 為 XRD 系統，由可旋轉的 X 射線管(X-Ray tube)、偵測器(Detector)和樣品載台(Sample stage)所組成。在 XRD 測量中，X-Ray 通過 X-Ray tube 產生並照射在樣品上，當 X-Ray 與樣品中的晶體結構相互作用時，會發生繞射現象，並透過分析繞射訊號的強度、位置和形狀等特徵，可以推斷材料的晶格常數、晶體定向、晶粒大小和晶體缺陷等相關信息。當然也可以透過調整入射角度和各個組件的角度變化，從而獲得更多關於材料的晶體結構信息。

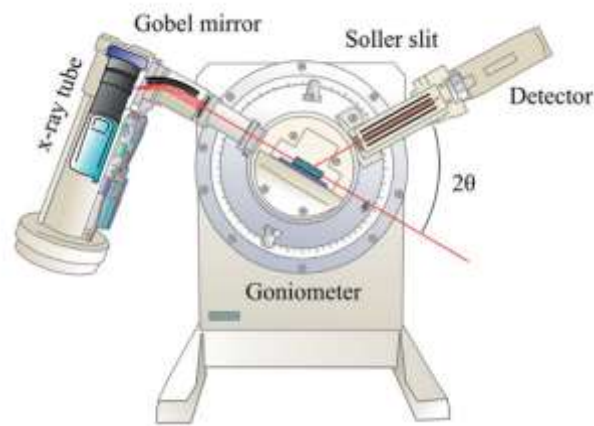


Fig. 3.8 X 射線繞射儀系統[38]

3.2 製程流程

3.2.1 圖案化 4H-SiC 基板製作

(a) 準備一片 4 吋 si-face 4H-SiC 基板

(b) 樣品表面清潔

首先將 4H-SiC 基板放置在緩衝氧化物蝕刻劑(Buffer Oxide Etch, BOE)中靜置，其目的是清除基板表面上自然生成的氧化層，接下來使用丙酮(ACE)和異丙醇(IPA)分別進行震洗，以去除 4H-SiC 基板上的有機物，最後使用氮氣槍將樣品吹乾，以確保基板表面乾燥。



Fig. 3.9 4H-SiC 基板板示意圖

(c) 沉積二氧化矽(SiO_2)薄膜

使用 PECVD 在 4H-SiC 基板上沉積一層 900nm 的 SiO_2 薄膜，並作為硬遮罩(hard mask)，其目的是在乾蝕刻過程中充當保護層，以保護碳化矽基板表面不受乾式蝕刻過程中的化學物質侵害。



Fig. 3.10 沉積二氧化矽薄膜示意圖

(d) 鍍 3nm 鉻(Cr)金屬薄膜 (n-type 4H-SiC 不需要此步驟)

在 25°C 下，本質 4H-SiC 的電阻率約為 $10^5 \Omega \cdot \text{cm}$ ，這意味著其導電性相對較差。在電子束微影的製程中，這種導電性差可能導致電子無法有效地導出，從而造成電荷累積，這樣的累積會導致正向散射(forward scattering)，進而影響電子束曝光的品質，造成圖案失真的問題。

為了改善這個問題，在進行電子束微影之前，一種解決方案是在基板表面塗上一層稱為 E-spacer 的導電層。這層 E-spacer 可以提供導電路徑，促使多餘的電子順利導出，然而 E-spacer 的成本相對較高，尤其在大面積 4 吋基板上使用時不符合經濟效益的要求。

因此我們將鉻金屬薄膜預先鍍在 4H-SiC 基板上，這種方法可以增加基板的導電度，且鉻金屬薄膜的厚度約為 3nm，故不會對後續蝕刻二氧化矽製程造成影響。

將樣品放入電子束蒸鍍機的腔體後，以每分鐘 10 轉的速度旋轉樣品，以確保鉻金屬可以均勻地鍍在樣品表面上，接著將真空狀態抽到 $4e-4 \text{ Pa}$ ，以確保腔體內的壓力符合要求，當真空壓力達到所需值後，開啟電流預熔靶材，使其開始釋放鉻金屬，而欲熔的過程通常需要約 5 分鐘。

預熔完成後，我們會打開遮板使鉻金屬以 30\AA (3nm)的厚度均勻地蒸鍍在樣品表面上。



Fig. 3.11 鍍 3nm 鉻金屬薄膜示意圖

(e) 光阻塗佈

在電子束微影製程中，使用了由日本 ZEON 公司生產的正光阻劑 ZEP-520A，用於光阻塗佈的步驟。

ZEP-520A 是一種電子束光阻劑，它含有苯環結構，使得光阻劑能夠耐受乾式蝕刻的過程，此外它的分子中還有氯鍵結，這使得光阻劑具有高敏感度(high sensitivity)，能夠對電子束的曝光做出快速的響應。當使用有機溶劑進行顯影時，ZEP-520A 能夠保持光阻圖案表面的疏水性，這是指它能夠在圖案區域形成一層不易濕潤的表面，這種疏水性的特性對於後續的製程步驟非常重要。

首先我們將沉積完二氧化矽薄膜和 3nm 金屬鉻薄膜的 4H-SiC 基板進行清洗步驟，包括使用 ACE 和 IPA 分別來震洗基板，以去除污垢和雜質，隨後使用氮氣槍將基板表面可能殘留的微粒吹除。

接著將乾淨的 4H-SiC 基板放置在旋轉塗佈機上，並在基板表面均勻地滴上稀釋後的光阻液，旋轉塗佈機就會以低轉速將光阻液均勻散佈在基板表面上，接著塗佈機會切換到高轉速，將多餘的光阻液甩出，使得光阻層具有均勻的厚度。

在塗佈完光阻後，將 4H-SiC 基板放置在加熱板上進行軟烤。軟烤的目的是去除液態光阻中的溶劑，使其形成固態薄膜，這樣可以提高光阻與基板之間的附著力，減少由於旋塗而產生的內應力，並增加光阻在曝光區域和非曝光區域的顯影速率比。



Fig. 3.12 光阻塗佈示意圖

(f) 電子束微影

在這次的實驗中，使用了由 Elionix 公司生產的 ELS-7000 E-beam 微影系統作為圖案曝光的機台。ELS-7000 系統具有高加速電壓達到 100 kV 的能力，並且具有極小的電子束直徑，最小可達 1.8nm，並且可以達到 10nm 以下的最小線寬。這個系統的高精度和高解析度使得它非常適合進行微小圖案的曝光和製作。

在進行 ELS-7000 電子束微影之前，需要使用 AutoCAD 繪圖軟體設計圖案並

輸出為 2004 版的 dxf 檔案，接著使用 WECAS 軟體將 dxf 檔案轉換為 ELS-7000 可讀取的 cel 檔案格式，最後在 ELS-7000 電腦上將 cel 檔案轉換為 con 檔案格式，並輸入曝光量和圖案位置的設定。

在進行 ELS-7000 電子束微影之前，將樣品送進腔體並等待真空度達到 $2e-5$ ，一旦達到真空度符合的要求，便可以打開電子束。

電子束打開後，會先將電子束位置調整到法拉第杯(Faraday cup)，以進行電流校正，並設定電流為 100pA，接著調整電子束的聚焦，將其移至金粒子區域，透過調整焦距和像差，觀察金粒子的清晰程度，並調整至最清晰的狀態，在調整聚焦後，可能會需要回到法拉第杯重新校正電子束的電流大小，然後再次調整聚焦。這個過程將重複進行，直到電子束的電流和聚焦都達到設定值，完成電子束的校正。

結束機器調整後，我們會回到 ELS-7000 電腦設定畫面，輸入 con 檔案中要曝光的圖案的曝光量(dose time)，以及圖案在基板上的位置，然後使用 ELS-7000 機台的 field-correction 功能，對座標進行校正，當 field-correction 完成後，即可執行設定的曝光量和位置對基板進行曝光製程。

(g) 顯影

實驗中使用的光阻液是 ZEP-520A，它是一種正光阻。當 ZEP-520A 被電子束曝光的區域鍵結變得脆弱時，將樣品放入 ZEON 公司生產的顯影液 ZED-N50 中，接著在顯影液的作用下，先前被曝光的光阻會從樣品表面脫離。

顯影的步驟如下：首先將樣品浸泡在 ZED-N50 顯影液中，讓顯影液與光阻作用，接著將樣品放入異丙醇中，去除表面殘留的顯影液，最後將樣品放入去離子水中，洗去表面的異丙醇，再使用氮氣槍吹乾樣品，以完成顯影的步驟。

這樣的顯影步驟可以去除被曝光區域的光阻，因為該區域的鍵結變得脆弱，與顯影液作用後脫離樣品表面。



Fig. 3.13 電子束微影及顯影示意圖

(h) 沉積鉻(Cr)金屬

在進行二氧化矽的反應離子蝕刻(RIE)之前，需要一層遮罩來保護不希望被蝕刻的區域。在這次的實驗中，我們選擇使用鉻金屬作為蝕刻二氧化矽的遮罩。

首先將樣品放入電子束蒸鍍機的腔體中，接著將樣品以每分鐘 10 轉的速度旋轉，以確保鉻金屬可以均勻地鍍在樣品表面上。當真空抽到 $4e-4$ Pa 的壓力後，可以開啟電流預熔靶材，並預熔約 5 分鐘。在預熔完成後，開啟遮板，並將 600\AA (60nm) 厚度的鉻金屬鍍在樣品上。



Fig. 3.14 沉積鉻金屬示意圖

(i) 金屬掀離(Lift-Off)

為了去除未被顯影的區域中的鉻金屬，且將已顯影的區域中的鉻金屬保留下來，我們需要對鉻金屬的金屬做掀離(lift-off)的步驟。

首先將樣品放入由日本 ZEON 公司所生產的去光阻液 ZDMAC 中，接著將樣品放入震洗機中進行震洗，這個步驟是為了將未曝光區域的光阻去除，從而只保留已經顯影的區域中的鉻金屬，在完成震洗後，將樣品取出並浸泡於異丙醇中，以去除殘留在樣品表面的 ZDMAC 去光阻液，最後將樣品放入去離子水(DI water)中，以洗去異丙醇(IPA)殘留物。



Fig. 3.15 金屬掀離示意圖

(j) RIE 蝕刻二氧化矽(SiO_2)薄膜

實驗中使用 RIE 來將前一步驟完成的鉻金屬圖案轉移到 SiO_2 薄膜上。在進行

RIE 之前，需要將 RIE 腔體進行清潔，以避免受到其他物質的汙染或干擾。這一清潔過程通常包括使用氧離子等離子體(O_2 Plasma)進行表面處理，以確保腔體的潔淨度。

RIE 腔體經過清潔並準備好進行蝕刻，將樣品放入腔體中，在 RIE 過程中，使用適當的氣體、功率條件、壓力和蝕刻時間，來達到所需的蝕刻深度和圖案。一旦蝕刻完成，鉻金屬圖案已成功轉移到二氧化矽薄膜上，形成所需的圖案結構。



Fig. 3.16 RIE 蝕刻二氧化矽薄膜示意圖

(k) 去除鉻(Cr)金屬

在製作二氧化矽硬遮罩的過程中，需要將前一步驟完成的樣品進行鉻蝕刻。蝕刻的目的是移除殘留在樣品上的鉻金屬，以便形成乾淨的二氧化矽硬遮罩。

將樣品靜置於鉻蝕刻液(Cr-7)中，這種蝕刻液具有專門用於蝕刻鉻金屬的化學成分。完成蝕刻後，將樣品從鉻蝕刻液中取出，並放入去離子水中，清洗樣品表面，將殘留的鉻蝕刻液洗去，以確保樣品的乾淨度，最後使用氮氣槍將樣品吹乾。

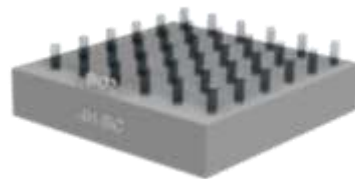


Fig. 3.17 去除鉻金屬示意圖

(l) RIE 乾式蝕刻 4H-SiC 基板

利用反應式離子蝕刻(RIE)蝕刻 4H-SiC 基板，絕大部分都是使用氯氣(Cl_2)或者氧氣(O_2)與氟化氣體(CF_4 或者 SF_6)的等離子氣體中進行蝕刻。

本實驗將二氧化矽作為硬遮罩，並使用 SF_6 和 O_2 去蝕刻碳化矽基板，最終將二氧化矽(SiO_2)薄膜上的圖案轉移到 4H-SiC 基板上。

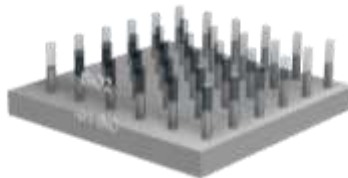


Fig. 3.18 RIE 乾式蝕刻 4H-SiC 基板示意圖

(m) 去除二氧化矽(SiO_2)薄膜

在 4H-SiC 上進行乾蝕刻後，通常會留下二氧化矽硬遮罩的殘留，為了移除這些殘留的二氧化矽柱，本實驗使用緩衝氧化物蝕刻劑(BOE)。將樣品靜置於 BOE 溶液中，BOE 溶液能夠蝕刻二氧化矽，從而移除二氧化矽，隨後將樣品放入去離子水中，洗去表面的 BOE 溶液，最後使用氮氣槍將樣品吹乾，從而完成圖案化的 4H-SiC 基板的製作。

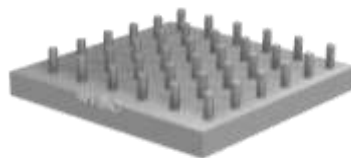


Fig. 3.19 去除二氧化矽薄膜示意圖

(n) 食人魚溶液清洗

在進行磊晶前的樣品清潔過程中，本實驗使用了一種被稱為食人魚溶液的混合溶液，以去除樣品表面的有機物。食人魚溶液是由 90ml 的 96% 硫酸和 30ml 的 35% 雙氧水按照 3:1 的比例混合而成。這個混合溶液具有強烈的氧化性，可以有效地清洗樣品表面。

首先將樣品分別靜置於丙酮和異丙醇中，這些溶劑可以溶解和去除樣品表面的油脂，然後將樣品放入去離子水中，將表面的異丙醇洗去，接下來將樣品放入事先調配好的食人魚溶液中，讓溶液中的強氧化劑進行樣品表面的清潔，最後使用循環的 DI water 將樣品進行沖洗，並使用氮氣槍將樣品吹乾，從而完成樣品磊晶前的

清潔步驟。

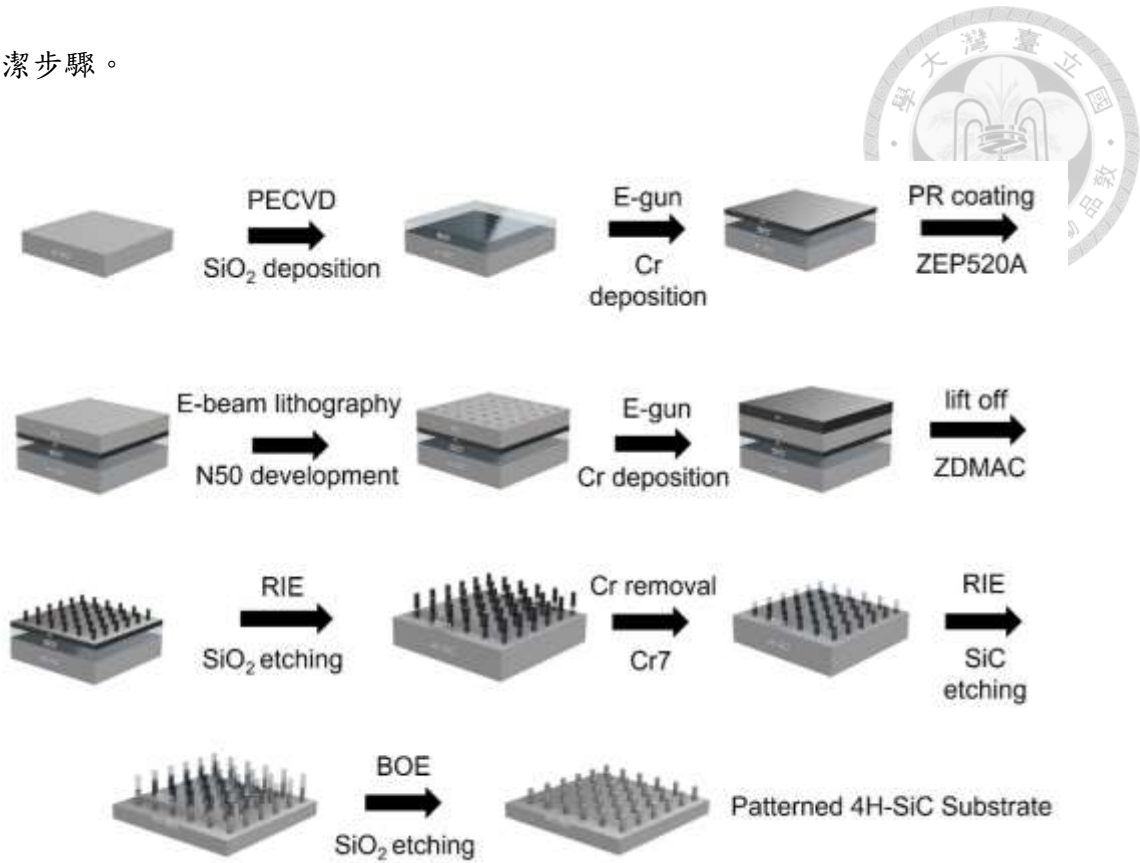


Fig. 3.20 圖案化 4H-SiC 基板製作流程圖

3.2.2 磊晶側向成長法製作

(a) 準備一片 4 吋 si-face 4H-SiC 基板

(b) 樣品表面清潔

首先將 4H-SiC 基板放置在緩衝氧化物蝕刻劑(Buffer Oxide Etch, BOE)中靜置，接下來使用丙酮(ACE)和異丙醇(IPA)分別進行震洗，最後使用氮氣槍將樣品吹乾。



Fig. 3.21 4H-SiC 基板示意圖

(c) 沉積二氧化矽(SiO₂)薄膜

使用 PECVD 在 4H-SiC 基板上沉積一層 900nm 的 SiO₂ 薄膜，並作為設計圖案的磊晶層。



Fig. 3.22 沉積二氧化矽薄膜示意圖

(d) 鍍 3nm 鉻(Cr)金屬薄膜 (n-type 4H-SiC 不需要此步驟)

將樣品放入電子束蒸鍍機的腔體後，以每分鐘 10 轉的速度旋轉樣品，以確保鉻金屬可以均勻地鍍在樣品表面上，接著將真空狀態抽到 $4e-4$ Pa，以確保腔體內的壓力符合要求，當真空壓力達到所需值後，開啟電流預熔靶材，使其開始釋放鉻金屬，而欲熔的過程通常需要約 5 分鐘。

預熔完成後，我們會打開遮板使鉻金屬以 30\AA (3nm)的厚度均勻地蒸鍍在樣品表面上。



Fig. 3.23 鍍 3nm 鉻金屬薄膜示意圖

(e) 光阻塗佈

在電子束微影製程中，使用了由日本 ZEON 公司生產的正光阻劑 ZEP-520A，用於光阻塗佈的步驟。

首先我們將沉積完二氧化矽薄膜和 3nm 金屬鉻薄膜的 4H-SiC 基板進行清洗步驟，包括使用 ACE 和 IPA 分別來震洗基板，隨後使用氮氣槍將基板表面可能殘留的微粒吹除。

接著將乾淨的 4H-SiC 基板放置在旋轉塗佈機上，並在基板表面均勻地滴上稀釋後的光阻液，旋轉塗佈機就會以低轉速將光阻液均勻散佈在基板表面上，然後我們會切換到高轉速，將多餘的光阻液甩出，使得光阻層具有均勻的厚度。在塗佈完光阻後，將 4H-SiC 基板放置在加熱板上進行軟烤。



Fig. 3.24 光阻塗佈示意圖

(f) 電子束微影

在這次的實驗中，使用了由 Elionix 公司生產的 ELS-7000 E-beam 微影系統作為圖案曝光的機台。

在進行 ELS-7000 電子束微影之前，需要使用 AutoCAD 繪圖軟體設計圖案並輸出為 2004 版的 dxf 檔案，接著使用 WECAS 軟體將 dxf 檔案轉換為 ELS-7000 可讀取的 cel 檔案格式，最後在 ELS-7000 電腦上將 cel 檔案轉換為 con 檔案格式，並輸入曝光量和圖案位置的設定。

在進行 ELS-7000 電子束微影之前，將樣品送進腔體並等待真空度達到 $2e-5$ ，一旦達到真空度符合的要求，便可以打開電子束。

電子束打開後，會先將電子束位置調整到法拉第杯(Faraday cup)，以進行電流校正，並設定電流為 100pA，接著調整電子束的聚焦，將其移至金粒子區域，透過調整焦距和像差，觀察金粒子的清晰程度，並調整至最清晰的狀態，在調整聚焦後，可能會需要回到法拉第杯重新校正電子束的電流大小，然後再次調整聚焦。這個過程將重複進行，直到電子束的電流和聚焦都達到設定值，完成電子束的校正。

結束機器調整後，我們會回到 ELS-7000 電腦設定畫面，輸入 con 檔案中要曝光的圖案的曝光量(dose time)，以及圖案在基板上的位置，然後使用 ELS-7000 機台的 field-correction 功能，對座標進行校正，當 field-correction 完成後，即可執行設定的曝光量和位置對基板進行曝光製程。

(g) 顯影

將樣品浸泡在 ZED-N50 顯影液中，讓顯影液與光阻作用，接著將樣品放入異丙醇中，去除表面殘留的顯影液，最後將樣品放入去離子水中，洗去表面的異丙醇，再使用氮氣槍吹乾樣品，以完成顯影的步驟。



Fig. 3.25 電子束微影及顯影示意圖

(h) 沉積鉻(Cr)金屬

在進行二氧化矽的反應離子蝕刻(RIE)之前，需要一層遮罩來保護不希望被蝕刻的區域。在這次的實驗中，我們選擇使用鉻金屬作為蝕刻二氧化矽的遮罩。

首先將樣品放入電子束蒸鍍機的腔體中，接著將樣品以每分鐘 10 轉的速度旋轉，以確保鉻金屬可以均勻地鍍在樣品表面上。當真空抽到 $4e-4$ Pa 的壓力後，可以開啟電流預熔靶材，並預熔約 5 分鐘，在預熔完成後，開啟遮板，並將 600\AA (60nm) 厚度的鉻金屬鍍在樣品上。



Fig. 3.26 沉積鉻金屬示意圖

(i) 金屬掀離(Lift-Off)

為了去除未被顯影的區域中的鉻金屬，且將已顯影的區域中的鉻金屬保留下來，我們需要對鉻金屬的金屬做掀離(lift-off)的步驟。

首先將樣品放入由日本 ZEON 公司所生產的去光阻液 ZDMAC 中，接著將樣品放入震洗機中進行震洗，在完成震洗後，將樣品取出並浸泡於異丙醇中，以去除殘留在樣品表面的 ZDMAC 去光阻液，最後將樣品放入去離子水 DI water 中，以洗去 IPA 殘留物。



Fig. 3.27 金屬掀離示意圖

(j) RIE 蝕刻二氧化矽(SiO₂)薄膜

實驗中使用 RIE 來將前一步驟完成的鉻金屬圖案轉移到 SiO₂ 薄膜上。在進行 RIE 之前，需要先將 RIE 腔體進行清潔，以避免受到其他物質的汙染或干擾。這一清潔過程通常包括使用氧離子等離子體(O₂ Plasma)進行表面處理，以確保腔體的潔淨度。

RIE 腔體經過清潔並準備好進行蝕刻，將樣品放入腔體中，在 RIE 過程中，使用適當的氣體、功率條件、壓力和蝕刻時間，來達到所需的蝕刻深度和圖案。一旦蝕刻完成，鉻金屬圖案已成功轉移到二氧化矽薄膜上，形成所需的圖案結構。



Fig. 3.28 RIE 蝕刻二氧化矽薄膜示意圖

(k) 去除鉻(Cr)金屬

將樣品靜置於鉻蝕刻液(Cr-7)中，這種蝕刻液具有專門用於蝕刻鉻金屬的化學成分。完成蝕刻後，將樣品從鉻蝕刻液中取出，並放入去離子水中，清洗樣品表面，將殘留的鉻蝕刻液洗去，以確保樣品的乾淨度，最後使用氮氣槍將樣品吹乾。

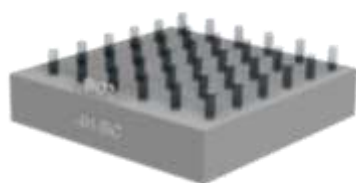


Fig. 3.29 去除鉻金屬示意圖

(I) 食人魚溶液清洗

在進行磊晶前的樣品清潔過程中，本實驗使用了一種被稱為食人魚溶液的混合溶液，以去除樣品表面的有機物。食人魚溶液是由 90ml 的 96% 硫酸和 30ml 的 35% 雙氧水按照 3 : 1 的比例混合而成。這個混合溶液具有強烈的氧化性，可以有效地清洗樣品表面。

首先將樣品分別靜置於丙酮和異丙醇中，這些溶劑可以溶解和去除樣品表面的油脂，然後將樣品放入去離子水中，將表面的異丙醇洗去，接下來將樣品放入事先調配好的食人魚溶液中，讓溶液中的強氧化劑進行樣品表面的清潔，最後使用循環的 DI water 將樣品進行沖洗，並使用氮氣槍將樣品吹乾，從而完成樣品磊晶前的清潔步驟。

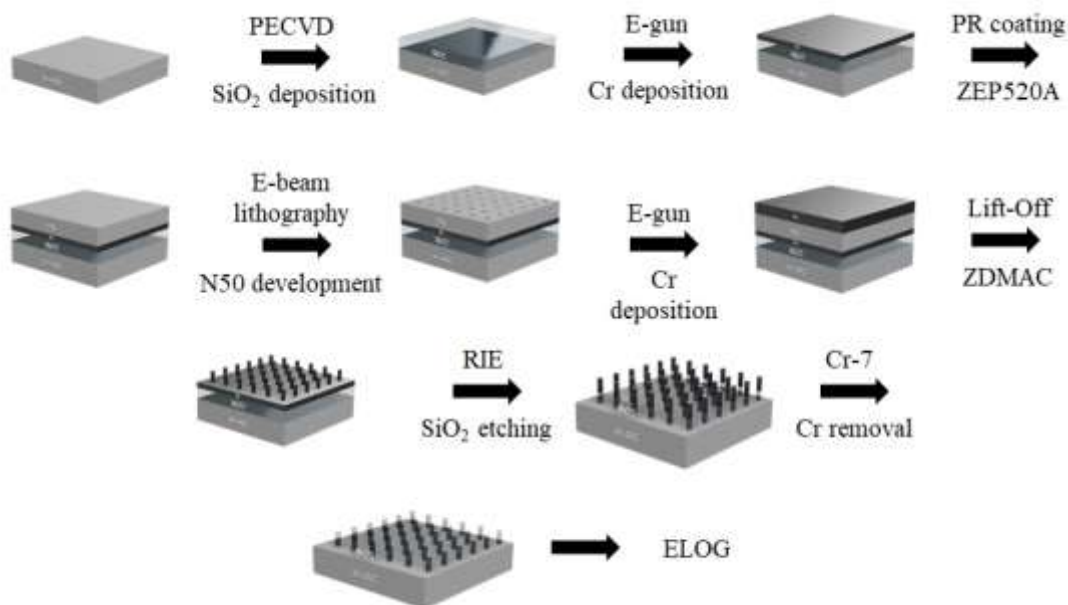


Fig. 3.30 磊晶側向成長法製作流程圖

3.2.3 氮化鎵(GaN)磊晶

本次實驗的氮化鎵磊晶使用了一種稱為有機金屬化學氣相沉積(MOCVD)的方法，這是一種常用於生長氮化鎵薄膜的技術。MOCVD 設備會在 Si-face 的圖案化 4H-SiC 基板和二氧化矽柱上生長氮化鎵薄膜。



Chapter 4 X-Ray 繞射儀(XRD)和陰極射線發光(CL)

量測原理及儀器介紹



4.1 X-Ray 繞射儀(XRD)

X 射線繞射儀(X-ray Diffractometer, XRD)是一種非破壞性的分析技術，利用 X 射線與材料中的晶體結構相互作用，以獲得材料的晶體結構信息。這種技術可以用於分析固體材料、粉末和薄膜等。XRD 技術在研究中得到廣泛應用，它能夠幫助我們了解材料的結晶性質、晶體缺陷、晶粒大小以及材料在不同條件下的結構變化。

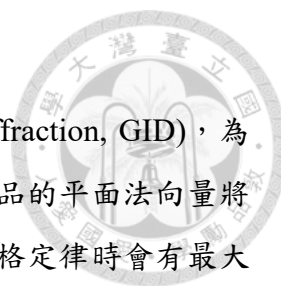
4.1.1 XRD 量測原理

X 射線繞射儀是利用加速電子撞擊金屬靶材產生能量變化，並轉換部分能量成 X 射線，這些高能量的 X 射線波長介於 $10^{-8}\text{m}\sim 10^{-10}\text{m}$ 之間，接著將這些 X 射線照射在材料表面上，此時不同的晶體結構和晶面間距(d)會導致不同的散射現象，只有在 X 射線入射角度滿足布拉格定律(Bragg's law)時，其公式為 $n\lambda = 2d_{hkl}\sin\theta$ (λ 為波長、 θ 為入射角、 d_{hkl} 為晶格原子間距、 hkl 為晶面)，才會發生建設性干涉，偵測器才能接收到較強的訊號。通過測量這些訊號，可以建立關於材料的晶體結構的信息。

一般而言，X 光繞射儀可進行之掃描模式有三種， θ - 2θ scan、 2θ scan、 θ scan，以下會各別介紹：

θ - 2θ scan 模式

在 θ - 2θ scan 模式下，入射光向量、繞射光向量和樣品的平面法向量時刻保持在同一平面，這意味著在測量中，X 光射線和偵測器都會以相同的角度同時移動，也就是說，當樣品轉動 θ 角，偵測器也會以 2θ 角相應旋轉，以符合布拉格定律。當只有晶面的法向量和入射光與繞射光之間的分角線平行時，才會產生最強的繞射，因此晶面必須平行於樣品表面，才能滿足這個條件。 θ - 2θ 掃描模式通常用於粉末繞射儀的測量，在這種情況下，材料以粉末的形式填充在基座上，由於粉末中的晶粒成亂數分布，因此不同的晶面有一定機率平行於樣品表面，故當進行掃描時，不同晶面的繞射峰就能夠被偵測出來。



2 θ scan 模式

2 θ scan 模式又被稱為 X 低掠角入射法(Grazing Incident Diffraction, GID)，為非對稱的布拉格角度測量法。在此掃描模式下，入射光方向與樣品的平面法向量將會被固定，意味著僅靠偵測器旋轉來偵測，此模式也在滿足布拉格定律時會有最大的繞射波峰。由於元件需求，有時候薄膜的厚度非常薄，這可能會導致 X 射線穿透薄膜並接收到下方材料的訊號，進而影響測量結果的準確性，因此 X 光低掠角入射法非常適合應用於薄膜繞射，入射光通常以非常小的角度入射到樣品表面，一般範圍大約在 0.5°~3°之間，然而根據具體薄膜的厚度，可能會需要在角度上進行一些調整。X 光低掠角入射法通過使用極小的入射角度，可以避免接收到薄膜下方的材料訊號，並將訊號主要集中在薄膜上，從而提高測量結果的準確性。

θ scan 模式

θ scan 模式又被稱為 Rocking Curve 轉動曲線模式，透過固定樣品轉動入射光和偵測器，並讓入射光和偵測器角度維持 2 θ ，當晶面的法向量和入射光與繞射光之間的分角線平行時，才會產生最強的繞射，而繞射強度和 θ 角之間變化的關係就稱為轉動曲線(Rocking Curve)，但還有另一種方法也跟上述有著相同的量測結果，即為固定入射光與偵測器，轉動樣品角度去進行掃描。

θ scan 模式用於較厚的薄膜檢測，透過繞射產生 Rocking Curve 之波峰半高寬(Full Width at Half Maximum, FWHM)來檢測薄膜品質的好壞。當磊晶薄膜因為晶格不匹配或者熱擴張係數不匹配等情況而產生應力，而這些應力可能超過了薄膜能夠承受的臨界值時，會造成晶格內原子間距 d 的改變，使得特定晶面波峰值所對應的角度有所偏移，因而導致半高寬變寬等。

氮化鎵磊晶層中，穿隧差排(Threading dislocation, TD)的方向通常是由底部一路垂直向上生長到表面。根據 burgers vector 定義，刃差排的方向與 burgers vector 呈現垂直情況，螺旋差排的方向則與 burgers vector 呈現水平。在假設穿隧差排的方向與 burgers vector 相同的情況下，刃差排的方向將垂直於穿隧差排的方向，故刃差排主要影響(hkl)中 h 或者 k 不為 0 的晶面，例如(102)面；螺旋差排的方向與穿隧差排的方向平行，故螺旋差排主要影響(hkl)中 l 不為 0 的晶面，例如(002)。

對於氮化鎵材料，(002)面的波峰繞射 θ 角度約在 17.4°；(102)面的波峰繞射 θ 角度約在 24°，因此我們能得知 Rocking Curve 在幾度時會有波峰的存在，在藉由

半高寬便可得知(002)或者(102)的磊晶品質，如公式(4.1)所示。

$$Defect\ density = D_{screw} + D_{edge} \quad (cm^{-2}) \quad (4.1)$$

$$D_{screw} = \frac{\beta_{002}^2}{9b_{screw}^2} \quad (cm^{-2})$$

$$D_{edge} = \frac{\beta_{102}^2}{9b_{edge}^2} \quad (cm^{-2})$$

D_{screw} : Defect density of screw dislocation

D_{edge} : Defect density of edge dislocation

β_{002} : FWHM of GaN (002) peak

β_{102} : FWHM of GaN (102) peak

b_{002} : 0.5185nm

b_{102} : 0.3189nm

4.1.2 XRD 儀器介紹

本實驗將會使用國立陽明交通大學儀器資源中心所提供的高效能可變溫多功能 X 光繞射儀 (High performance low temperature and multi-function X-ray diffractometer)，如 Fig. 4.1 所示。高效能可變溫多功能 X 光繞射儀是目前最先進的 XRD 儀器之一，它由德國公司 Bruker 所生產，型號為 D8 Discover，並可搭配 Oxford Cryo Drive 3.0 使用。這台儀器具有多項優點，包括以下幾點：

1. 可進行低溫量測：D8 Discover 儀器配 Oxford Cryo Drive 3.0 便可以在範圍為 12K~300K 的低溫條件下進行量測，這使得研究者能夠研究材料在不同溫度下的結構特性。
2. 可自由切換光源：該儀器具有靈活的光源切換功能，可以在 Bragg Brentano 或 Parallel Beam 模式下進行實驗，這使得使用者能夠根據不同的樣品需求選擇最適合的光源設置。
3. 可切換偵測器：D8 Discover 儀器允許使用者切換偵測器，如 LYNXEYE XE-T 0D/1D。這些偵測器具有不同的能力和特點，可以根據實驗需求進行選擇，從而獲得更精確的測量結果。



4. 可切換低掠角或者 Rocking Curve 轉動曲線模式：該儀器支持低掠角入射和 rocking curve 等模式的動作。這些模式可以根據磊晶薄膜的厚度進行切換，從而提供更詳細的材料分析。
5. 多項應用：鏡面 X 射線反射率量測 (X-ray reflectivity, XRR)、殘餘應力量測 (Residual Stress)、倒易空間圖譜量測 (Reciprocal Space Map, RSM)。

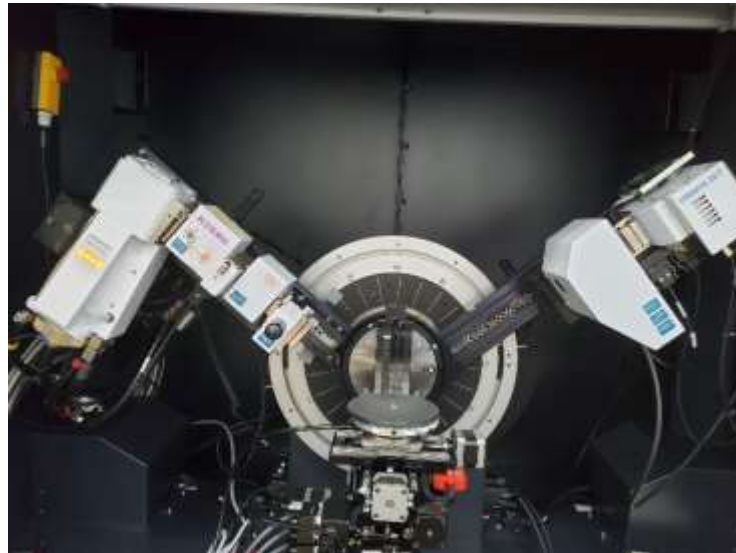


Fig. 4.1 國立陽明交通大學儀器資源中心 高效能可變溫多功能 X 光繞射儀系統

Table 4-1 高效能可變溫多功能 X 光繞射儀系統參數[39]

輸入源 (source)	Bragg Brentano、Parallel Beam
單光器 (Monochromator)	2-bounce Ge(022)、2-bounce Ge(004)
偵測器 (Detector)	LYNXEYE XE-T 0D/1D
溫度 (Temperature)	12K ~ 300K
五軸可變樣品載台	X、Y、Z、Chi、Phi
量測 (Measure)	廣角繞射(WAG)、Rocking Curve、RSM、GID、殘餘應力量測(Residual Stress)、鏡面 X 射線反射率量測(X-ray reflectivity, XRR)



4.2 陰極射線發光 (CL)

近年來，掃描式電子顯微鏡(SEM)結合陰極射線發光(Cathodoluminescence, CL)偵測器的技術已經廣泛應用於觀察晶體的結構和差排。陰極射線發光是指在電子束轟擊下產生的現象，這使得我們能夠以高解析度觀察晶體內部的輻射和非輻射重組中心。陰極射線具有幾點優點，其中之一是能夠提供差排的分布信息，透過改變電子束的能量，我們可以獲得晶體內部差排的特徵和分佈情況，這對於研究晶體結構和缺陷起到關鍵的作用。

4.2.1 CL 量測原理

當材料表面受到粒子(如電子或離子)轟擊時，入射電子等於或大於材料其能隙，會促使材料中的電子跳躍至激發態，當電子由激發態緩解回到基態的過程伴隨著能量的釋放，形成光子，或者電子與電洞的再結合而放出的能量形式，即為發光現象。根據能量的不同，發光現象可在不同的光譜範圍內觀察到，其範圍從紫外光到紅外光。一般而言，發光的類型根據激發源，會有數十種種類，如光致發光(Photoluminescence, PL)、陰極射線發光(Cathodoluminescence, CL)、電激發光(Electroluminescence, EL)和 X-ray 發光(X-ray luminescence)等。

陰極射線發光主要是透過電子束所激發，需要將掃描式電子顯微鏡(Scanning Electron Microscope, SEM)和 CL 偵測器結合使用。SEM 利用電子槍透過熱游離或者場發射的方式將電子游離，並透過電磁透鏡聚集成奈米等級的電子束，接著隨著掃描線圈移動，電子束會產生偏折，進行二維空間的掃描。當電子束打到樣品上，會產生各種不同的訊號，如二次電子(Secondary Electron, SE)、背向散射電子(Backscattered Electron, BSE)、陰極射線發光(Cathodoluminescence, CL)和歐傑電子(Auger electron, AE)等，如 Fig. 4.2 所示。當 CL 偵測器開始偵測到光子時，他會開始收集與檢測，並將這些光信號轉換成電信號，然後通過系統處理數據並記錄和分析，接著根據收到的信號強度和位置信息，便可重新創建 CL 圖像(CL mapping)。

在進行 CL mapping 時，有幾個因素會影響量測效果：1. 樣品導電度：導電度差的樣品會導致電子束產生漂移現象，進而影響材料的發光和 CL 圖像的生成，較

低導電度的樣品也可能導致信號的減弱或失真。2. 加速電壓：加速電壓的高低會影響 CL 的探測深度，較高的加速電壓可以使更多的電子進行能帶躍遷並產生發光。3. SEM 電子束大小：SEM 電子束的大小對 CL 量測也有影響，較小的電子束可以提高空間解析度，但同時也可能降低 CL 信號的強度。4. 軟體參數設定：在進行 CL 量測時，軟體參數的設定也很重要，包括像素時間、探測器增益等，故合適的軟體參數設定可以提高 CL 圖像的品質和可靠性。5. CL 偵測器：偵測器主要會受到異質結構、材料表面的反射率、內部電場、溫度和參雜濃度[40]所影響。

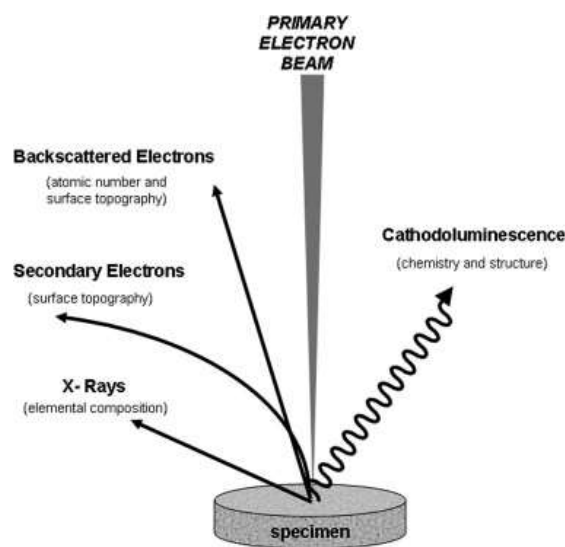


Fig. 4.2 SEM 中電子束與樣品相互作用時產生信號的示意圖[41]

4.2.2 CL 成像 (CL mapping)

在進行 CL 的測量和生成 CL mapping 圖時，都需要選擇量測之範圍並且拍攝 SEM 圖，然後切換至 CL 模式並接收全光譜，找到單一波長，使用 CL 探測器接收信號，最終生成單一波長的 CL mapping 圖。使用軟體判別 CL mapping 圖中黑點的位置和數量，而這些黑點通常對應於差排區域，接著通過計算這些黑點的數量，我們可以得到差排密度(dislocation density) ，如 Fig. 4.3 所示。

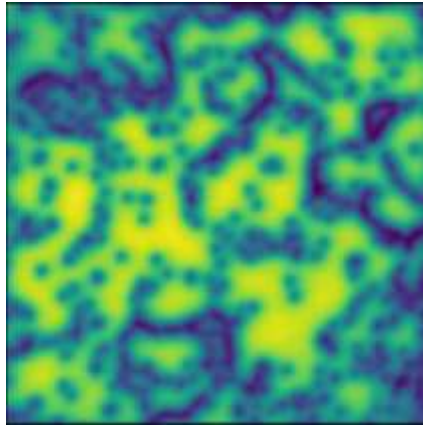


Fig. 4.3 CL mapping 圖[42]

4.2.3 CL mapping 分析差排

材料缺陷與樣品中的差排關係密不可分，差排的存在可能會導致元件的退化，因此我們希望盡量避免差排的存在。目前已知可以通過使用穿透式電子顯微鏡 (Transmission Electron Microscope, TEM)、原子力顯微鏡 (Atomic Force Microscope, AFM) 和蝕刻坑密度 (Etching Pit Density, EPD) 等技術來測量差排，但我們希望能夠使用 CL mapping 進行測量，於是接下來我們將使用 TEM、AFM、EPD 等方式與 CL mapping 進行比對，以證明差排與 CL mapping 圖之間的關係。

由 2.3.3 小節可以知道，差排主要分為三種：刃差排 (edge dislocation)、螺旋差排 (screw dislocation)、混合差排 (mixed dislocation)。

根據 N. Yamamoto 等人在 2003 年發表的文章，他們指出 CL mapping 圖經過與 TEM 圖進行比對後，是無法觀察到螺旋差排的存在，如 Fig. 4.4 所示，圖中 1~4 為刃差排，5、6 為螺旋差排，7、8 為混合差排，而圖(a)顯示 5、6 是無法在 CL mapping 中被看到[43]。

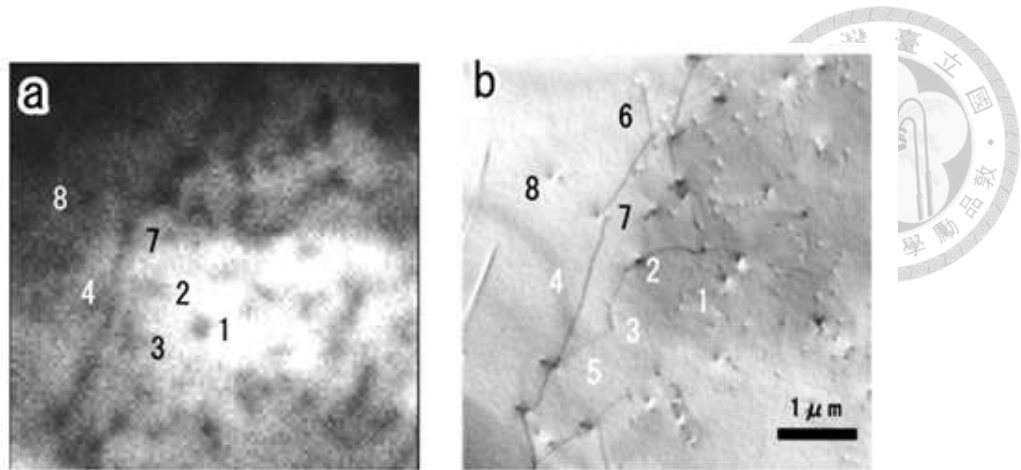


Fig. 4.4 (a)CL mapping 圖、(b)TEM 圖[43]

接著相同的實驗結果與 Albrecht 等人在 2008 年發表的文章中得到驗證，文章中對氮化鎵使用 CL mapping 去觀察表面的缺陷，同時使用 KOH-NaOH 混合液對氮化鎵進行缺陷選擇性蝕刻(defect selective etching)，經過分析後得知 CL mapping 圖無法顯示出螺旋差排的位置，如 Fig. 4.5 所示，圖中方框圈起的區域為刃差排、菱形圈起的區域為混合差排、圓形圈起的區域為螺旋差排，而圖(a)顯示出圓形圈起的區域是沒有東西，意旨螺旋差排無法在 CL mapping 中被看到[44]。

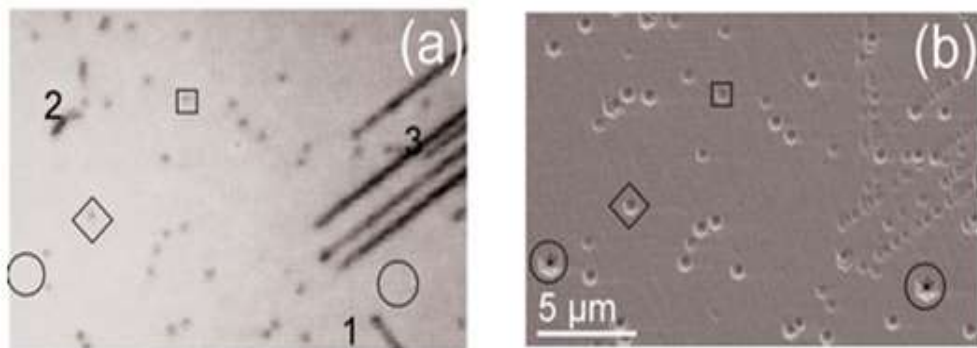


Fig. 4.5 (a)CL mapping 圖、(b)SEM 圖(defect selective etching)[44]

從上述兩篇文獻中，我們知道 CL mapping 只能觀察到刃差排與混合差排，無法觀察到螺旋差排的存在，因此若要明確判斷差排的種類，可能需要使用 EPD 或者 TEM 等方式來判斷。

在 S. Rosner 等人在 1997 年的研究中，他們使用 MOCVD 磊晶氮化鎵薄膜在藍寶石基板上，並用原子力顯微鏡(Atomic Force Microscope, AFM)和 SEM 搭配 CL 偵測器等測量儀器，發現 AFM 圖像中觀察到的坑洞與 CL mapping 圖中的黑點的關係密不可分，且文中提到穿隧差排確實使氮化鎵表面產生凹陷[45]。CL mapping

圖中的黑點為非輻射複合所造成，亮光區域則為輻射複合產生，而穿隧差排本身為非輻射複合中心，由此可知 CL mapping 圖中的黑點與差排有著很大的關係[46]。

Fig. 4.6 為氮化鎵表面之 AFM 圖、SEM 圖和 CL mapping 圖。

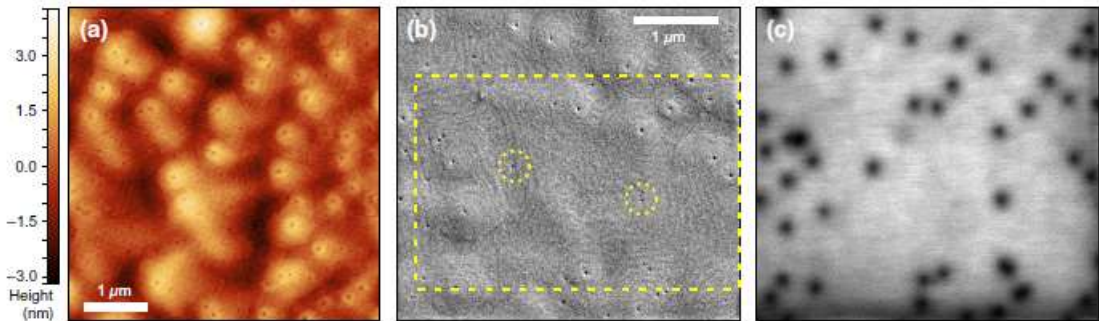


Fig. 4.6 氮化鎵表面 (a)AFM、(b)SEM、(c)CL mapping[47]

在 T. Sugahara 等人在 1998 年發表的文章，他們使用 TEM 與 SEM 搭配 CL 偵測器等儀器，觀察藍寶石基板上的 2um 氮化鎵薄膜。文中透過比較 TEM 圖和 CL mapping 圖發現，CL mapping 圖中黑點和 TEM 圖中差排的位置大致相同，這證實了 CL mapping 圖中的黑點或許可以證明差排的存在，且也證明了氮化鎵薄膜上確實有差排的存在，如 Fig. 4.7 所示。

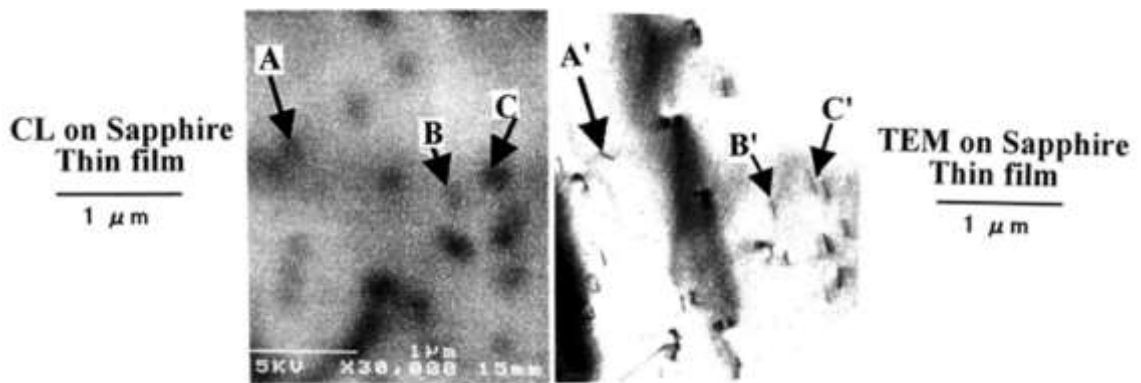


Fig. 4.7 CL mapping 圖(左)、TEM 圖(右)[48]

在 S. Usami 等人在 2018 年的研究中，使用氮化鎵基板製作 p-n 二極體，並觀察漏電流與 CL mapping 圖之間的關係。文章中利用顯微鏡觀看 p-n 二極體下的漏電流點和 CL mapping 圖中的黑點，發現彼此位置大致相同，因此證明差排的產生確實會產生漏電流，不過從圖中也得知並非所有差排都會產生漏電流，如 Fig. 4.8 所示。

將樣品置於 470°C 的 KOH 中進行 3 分鐘的蝕刻坑洞密度(EPD)實驗，實驗結

果如 Fig. 4.9 所示。從右圖可以看到出現許多不同大小的蝕刻坑洞，其中只有中蝕刻坑洞與漏電流點相對應。此外，EPD 相較於 CL 黑點密度較低，這證明一些差排並未形成蝕刻坑洞，然而 EPD 與 CL 黑點之間存在一定的關係，這表明 CL mapping 圖中的黑點與差排的形成有著很大的關係。

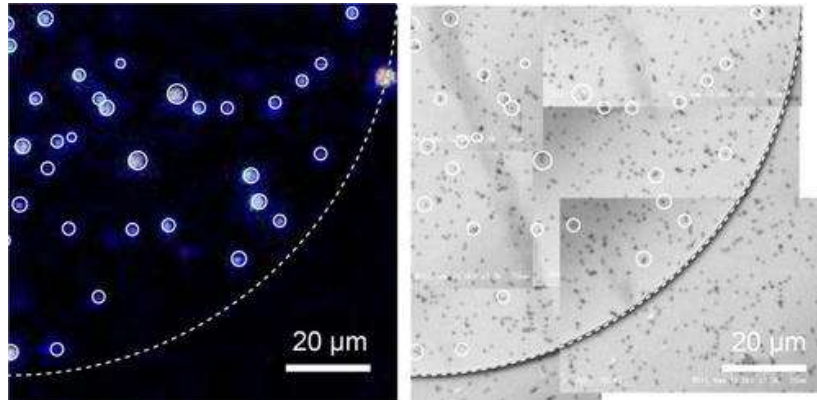


Fig. 4.8 顯微鏡下的漏電流點(左)、CL mapping 圖(右)[49]

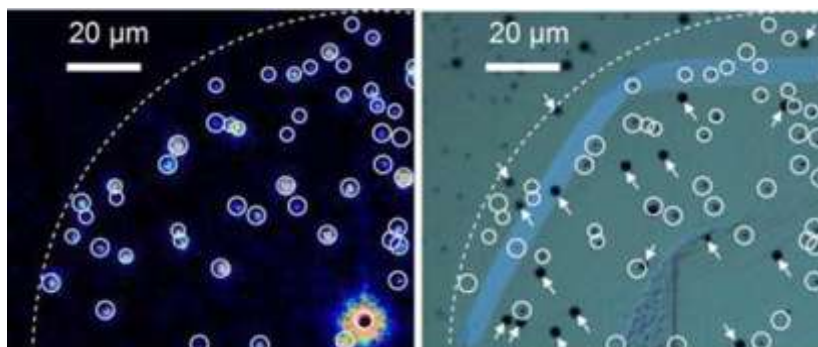


Fig. 4.9 顯微鏡下的漏電流點(左)、EPD 圖(右)[49]

4.2.4 CL 儀器介紹

陰極射線發光(Cathodoluminescence, CL)技術最早由荷蘭物理學家 Frits Zernike 於 1928 年發明。隨著時間推演，有幾家著名公司，包括 Attolight、Gatan、Delmic 等，都在 CL 機台上提供先進的產品。

Attolight 是一家瑞士科技公司，於 2007 年從洛桑聯邦理工學院(École polytechnique fédérale de Lausanne, EPFL)量子光電子實驗室分離出來，最後在 2008 年創立。該公司的核心專長在於陰極發光(cathodoluminescence, CL)技術，並且他們開發的 Allalin 系統是當今世界上最先進的 CL 量測系統之一，如 Fig. 4.10 所示。

Allalin 系統是一台能分辨奈米尺寸的光譜機器，該系統具有多種輸入源選擇，如：電子束、連續或者脈衝模式的雷射，並支持多種類型的探測器，如：光電倍增管(Photomultiplier, PMT)、電荷耦合器件(Charge Coupled Device, CCD)相機、時間單光子計數系統(Time-correlated single photon counting, TCSPC)等。這使得 Allalin 系統能夠進行多種測量，例如：SEM、CL、PL、拉曼光譜、電子束感應電流(Electron Beam Induced Current, EBIC)等。Table 4-2 為 Attolight Allalin 系統基本的參數。



Fig. 4.10 Attolight Allalin 系統[42]

Table 4-2 Attolight Allalin 系統參數[42]

輸入源 (Source)	連續/脈衝(Pulsed)雷射、電子束
探測波長 (Wavelength detection)	20nm ~ 10 μ m
探測器 (Detector)	PMT、CCD相機、TCSPC、 高速掃描攝影機(streak camera)、 崩潰光二極體偵測器(APD)
量測 (Measure)	SEM、CL、PL、Raman、EBIC
電流密度 (Current density)	30pA~300nA

脈波寬度 (Pulse length)	最低 10ps
晶圓大小 (Wafer size)	3 吋、6 吋
溫度 (Temperature)	300K ~ 10K
數值孔徑 (Numerical Aperture, NA)	0.71
視野 (Field of View, FoV)	300 μ m x 300 μ m

本實驗使用國立陽明交通大學的儀器資源中心所提供的 JEOL JSM7001F 掃描式電子顯微鏡，結合 HORIBA iHR550 光譜儀去進行陰極射線的量測，如 Fig. 4.11 所示。



Fig. 4.11 國立陽明交通大學 JEOL JSM7001F + HORIBA iHR550 系統

JEOL JSM7001F 掃描式電子顯微鏡是由日本 JEOL 公司所開發，它利用場發射電子槍產生電子束，可以偵測樣品的二次電子和背向散射電子，並提供高達

200,000 倍的放大倍率。HORIBA iHR550 光譜儀由日本 HORIBA 公司所生產。HORIBA iHR550 可測量的光譜範圍為 150nm~1500nm，此範圍包含紫外光至紅外光，Table 4-3 為此系統的參數。

Table 4-3 國立陽明交通大學 JEOL JSM7001F + HORIBA iHR550 系統參數[50]

輸入源 (Source)	電子束
探測波長 (Wavelength detection)	150nm~1500nm
量測 (Measure)	CL
探測器 (Detector)	CCD 相機
加速電壓 (Acceleration voltage)	0.5~30kV
電流密度 (Current density)	30pA~300nA
倍率 (Magnification)	25-200,000 倍
光圈 (Aperture)	f/6.4

Chapter 5 實驗結果與分析



5.1 基板之磊晶結構研究

5.1.1 磊晶結構

本小節將介紹兩種樣品，第一種樣品的磊晶結構如 Fig. 5.1 所示，故在此將元件命名為 Sample A。第二種樣品的磊晶結構如 Fig. 5.2 所示，其數量為 2 片，故在此將元件命名為 Sample B 與 Sample C。

Sample A 使用了 4 吋的 Si 基板，並用 MOCVD 的方式去進行磊晶，而由下往上的結構依序是 1 μ m 氮化鎵、1nm 氮化鋁、20nm 氮化鋁鎵 (AlGa_{0.2}N)、2nm 氮化鎵。

Sample B 與 Sample C 都使用 4 吋 intrinsic 的 4H-SiC 基板，並在 Si-face 用 MOCVD 的方式去進行磊晶，而由下往上的結構依序是 50nm 氮化鋁 (AlN)、1.8 μ m 氮化鎵、1nm 氮化鋁、25nm 氮化鋁鎵 (AlGa_{0.2}N)、2nm 氮化鎵。

Sample A、Sample B 與 Sample C 的磊晶結構都是設計用來製作高電子遷移率電晶體 (HEMT)。



Fig. 5.1 Sample A 磊晶結構示意圖

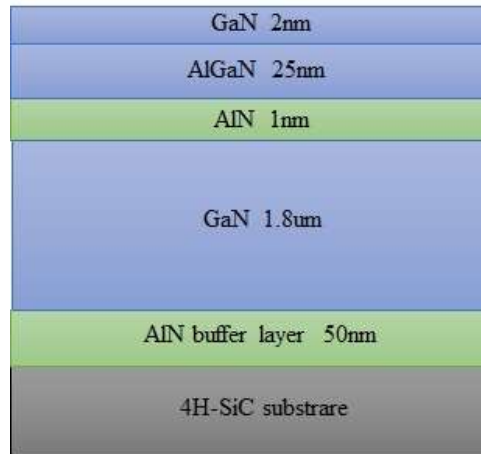


Fig. 5.2 Sample B、Sample C 磊晶結構示意圖

5.1.2 Sample A 量測結果分析

XRD 量測主要有兩種晶面能代表螺旋差排與刃差排，分別為(002)與(102)，故在量測時我會針對這兩個面去進行測量(如 4.1.1 說明)。Fig. 5.3 是將 Sample A 進行了 XRD 的量測，所得到的 rocking curve 圖，透過軟體的分析，我們可以得到繞射峰值之半高全寬(full width at half maximum, FWHM)，接著經過計算可得到 Table 5-1。從表中能看到以矽為基板的螺旋差排密度為 $3.25 \times 10^8(\text{cm}^{-2})$ 、刃差排密度為 $5.459 \times 10^9(\text{cm}^{-2})$ ，總差排密度則為刃差排密度加上螺旋差排密度，其值為 $5.784 \times 10^9(\text{cm}^{-2})$ 。

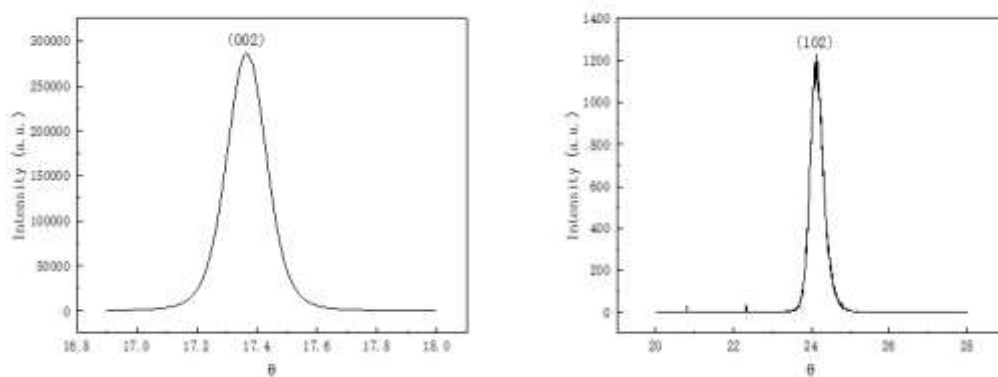


Fig. 5.3 Sample A 之 Rocking Curve 圖

Table 5-1 Sample A 之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm ⁻²)	Edge dislocation density(cm ⁻²)	Total dislocation density(cm ⁻²)
578	1458	3.25×10^8	5.459×10^9	5.784×10^9

5.1.3 Sample B 量測結果分析

將 Sample B 進行了 XRD 量測，所得到的 rocking curve 圖，如 Fig. 5.4 所示，接著將 rocking curve 圖，透過軟體的分析，我們得到 FWHM，經過計算可得到 Table 5-2。從表中能看到以碳化矽為基板的螺旋差排密度為 3.29×10^7 (cm⁻²)、刃差排密度為 1.9×10^8 (cm⁻²)，總差排密度為 2.229×10^8 (cm⁻²)。

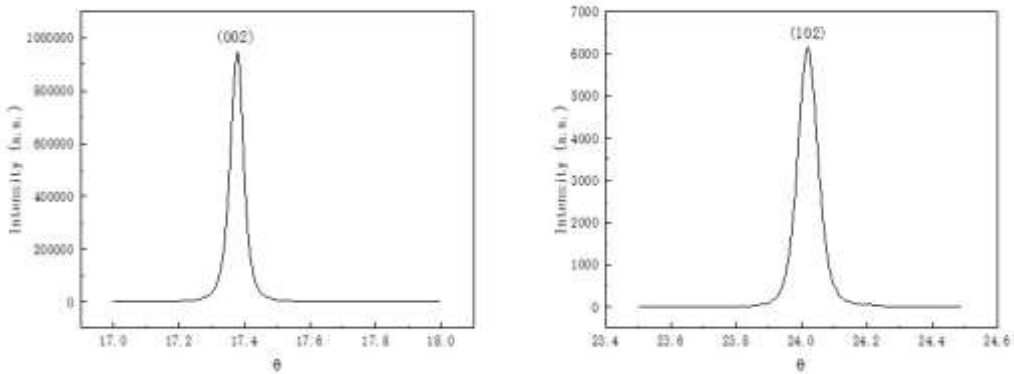


Fig. 5.4 Sample B 之 Rocking Curve 圖

Table 5-2 Sample B 之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm ⁻²)	Edge dislocation density(cm ⁻²)	Total dislocation density(cm ⁻²)
184	272	3.29×10^7	1.9×10^8	2.229×10^8

5.1.4 Sample C 量測結果分析

為了知道 Sample C 樣品的均勻度以及驗證 CL 是否可以量測差排的數量，故我會在 Sample C 的六個區域進行 CL 與 XRD 的測量，如 Fig. 5.5 所示。

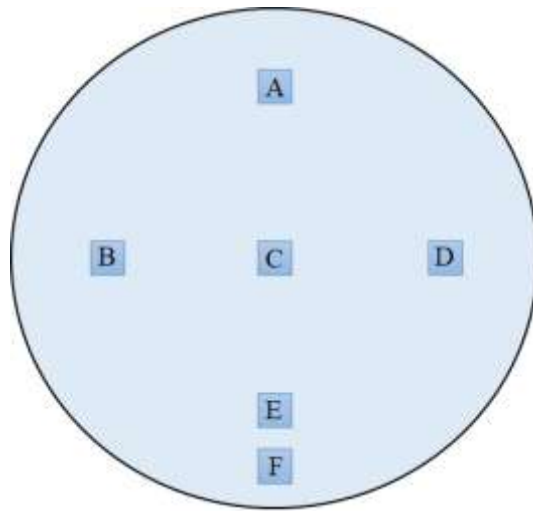


Fig. 5.5 Sample C 示意圖

A 區域的 rocking curve 圖，如 Fig. 5.6 所示，接著將 rocking curve 圖透過軟體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-3。從表中能看到 A 區域的螺旋差排密度為 $5.05 \times 10^7 (\text{cm}^{-2})$ 、刃差排密度為 $2.042 \times 10^8 (\text{cm}^{-2})$ ，總差排密度為 $2.547 \times 10^8 (\text{cm}^{-2})$ 。

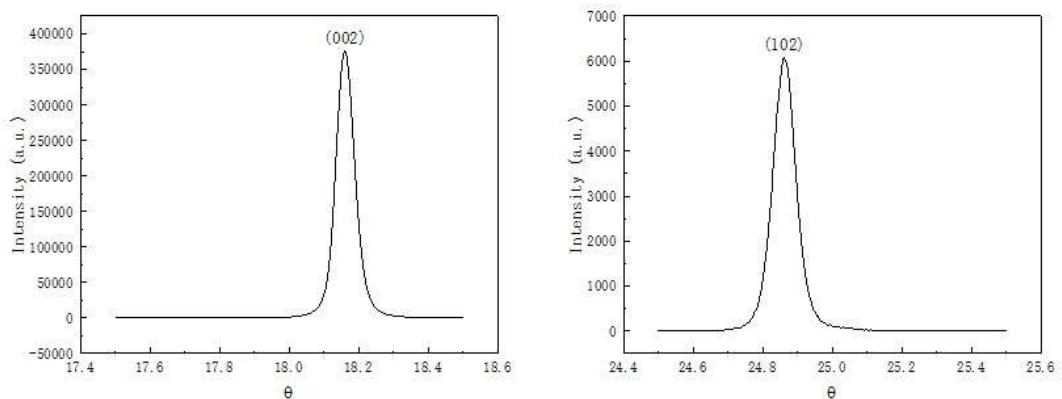


Fig. 5.6 Sample C 中 A 區域之 Rocking Curve 圖

Table 5-3 Sample C 中 A 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm^{-2})	Edge dislocation density(cm^{-2})	Total dislocation density(cm^{-2})
228	282	5.05×10^7	2.042×10^8	2.547×10^8



Fig. 5.7 為 A 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m}\times 7\mu\text{m}$ 的區域，並且在區域內一共標記出 74 個點，透過公式(5.1)，便可得知 A 區域的刃差排密度為 $1.51\times 10^8(\text{cm}^{-2})$ 。

$$\text{Edge dislocation density} = \frac{74}{7\times 7} = 1.51(\mu\text{m}^{-2}) = 1.51 \times 10^8(\text{cm}^{-2}) \quad (5.1)$$

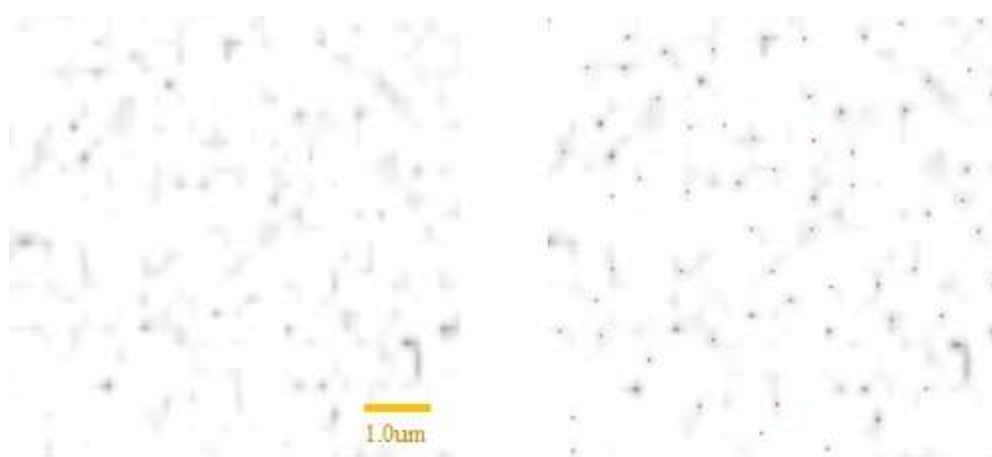


Fig. 5.7 Sample C 中 A 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

B 區域的 rocking curve 圖，如 Fig. 5.8 所示，接著將 rocking curve 圖透過軟體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-4。從表中能看到 B 區域的螺旋差排密度為 $3.77\times 10^7(\text{cm}^{-2})$ 、刃差排密度為 $2.16\times 10^8(\text{cm}^{-2})$ ，總差排密度為 $2.537\times 10^8(\text{cm}^{-2})$ 。

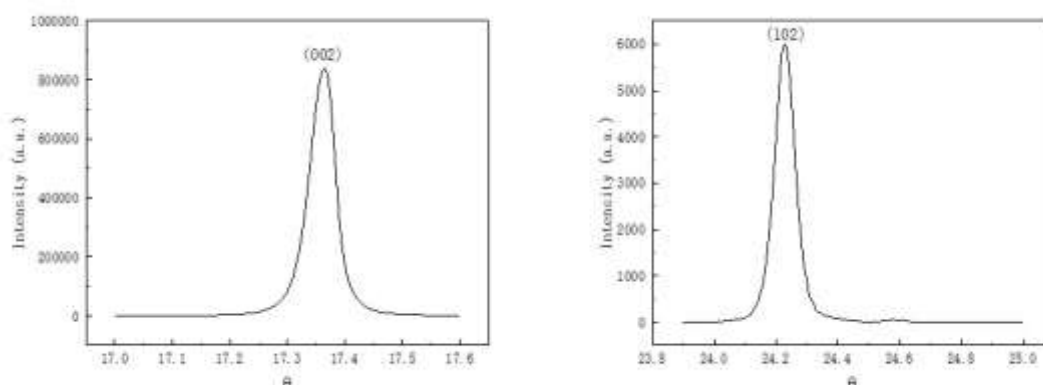


Fig. 5.8 Sample C 中 B 區域之 Rocking Curve 圖

Table 5-4 Sample C 中 B 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm⁻²)	Edge dislocation density(cm⁻²)	Total dislocation density(cm⁻²)
197	290	3.77×10^7	2.16×10^8	2.537×10^8

Fig. 5.9 為 B 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m} \times 7\mu\text{m}$ 的區域，並且在區域內一共標記出 87 個紅點，透過公式，便可得知 B 區域的刃差排密度為 $1.78 \times 10^8(\text{cm}^{-2})$ 。

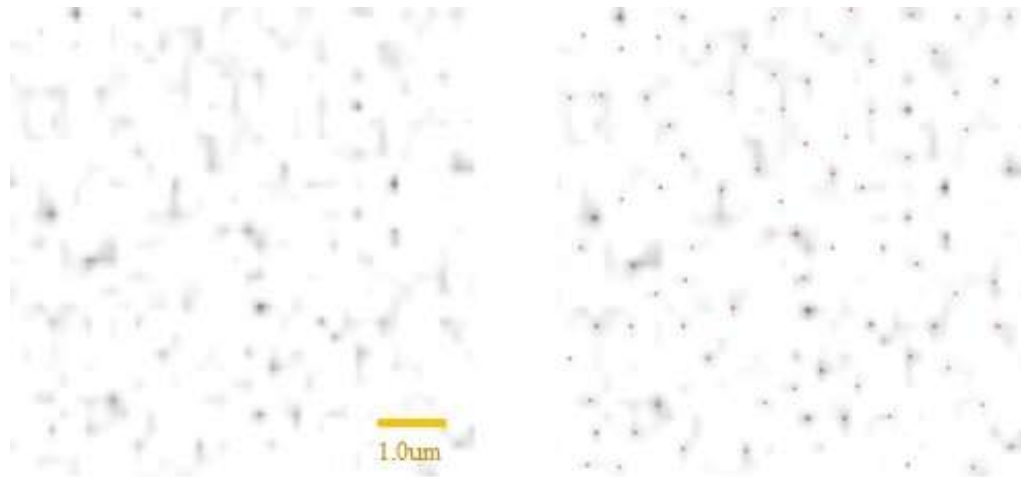


Fig. 5.9 Sample C 中 B 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

C 區域的 rocking curve 圖，如 Fig. 5.10 所示，接著將 rocking curve 圖透過軟體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-5。從表中能看到 C 區域的螺旋差排密度為 $3.66 \times 10^7(\text{cm}^{-2})$ 、刃差排密度為 $2.071 \times 10^8(\text{cm}^{-2})$ ，總差排密度為 $2.437 \times 10^8(\text{cm}^{-2})$ 。

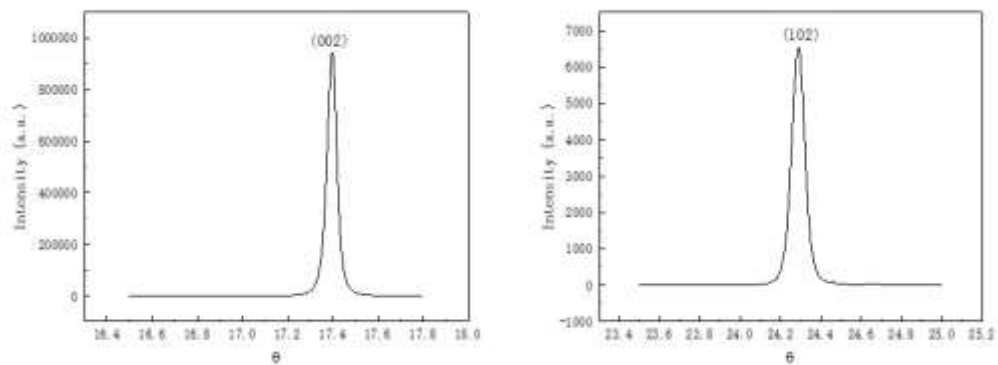


Fig. 5.10 Sample C 中 C 區域之 Rocking Curve 圖

Table 5-5 Sample C 中 C 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm⁻²)	Edge dislocation density(cm⁻²)	Total dislocation density(cm⁻²)
194	284	3.66×10^7	2.071×10^8	2.437×10^8

Fig. 5.11 為 C 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m} \times 7\mu\text{m}$ 的區域，並且在區域內一共標記出 88 個紅點，透過公式，便可得知 C 區域的刃差排密度為 $1.8 \times 10^8(\text{cm}^{-2})$ 。

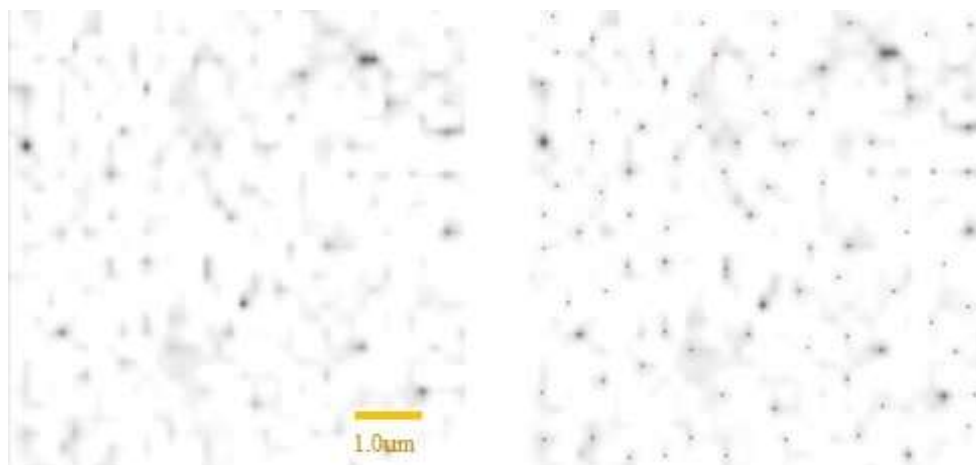


Fig. 5.11 Sample C 中 C 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

D 區域的 rocking curve 圖，如 Fig. 5.12 所示，接著將 rocking curve 圖透過軟

體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-6。從表中能看 D 區域的螺旋差排密度為 $3.81 \times 10^7(\text{cm}^{-2})$ 、刃差排密度為 $2.042 \times 10^8(\text{cm}^{-2})$ ，總差排密度為 $2.423 \times 10^8(\text{cm}^{-2})$ 。

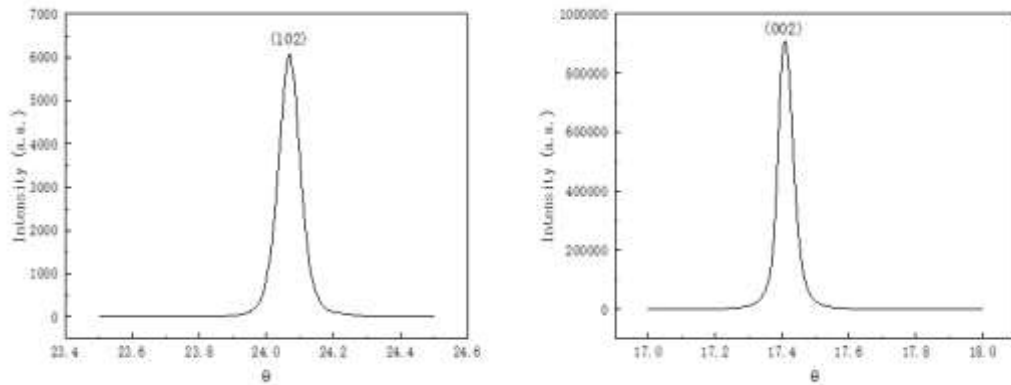


Fig. 5.12 Sample C 中 D 區域之 Rocking Curve 圖

Table 5-6 Sample C 中 D 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm^{-2})	Edge dislocation density(cm^{-2})	Total dislocation density(cm^{-2})
198	282	3.81×10^7	2.042×10^8	2.423×10^8

Fig. 5.13 為 D 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m} \times 7\mu\text{m}$ 的區域，並且在區域內一共標記出 87 個紅點，透過公式，便可得知 D 區域的刃差排密度為 $1.78 \times 10^8(\text{cm}^{-2})$ 。

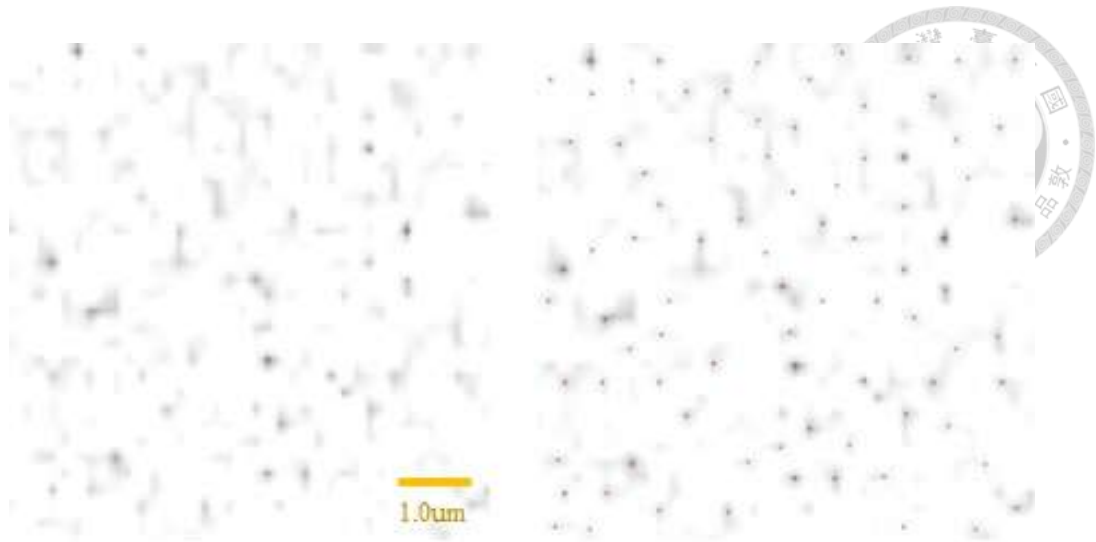


Fig. 5.13 Sample C 中 D 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

E 區域的 rocking curve 圖，如 Fig. 5.14 所示，接著將 rocking curve 圖透過軟體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-7。從表中能看 E 區域的螺旋差排密度為 $3.69 \times 10^7(\text{cm}^{-2})$ 、刃差排密度為 $1.872 \times 10^8(\text{cm}^{-2})$ ，總差排密度為 $2.241 \times 10^8(\text{cm}^{-2})$ 。

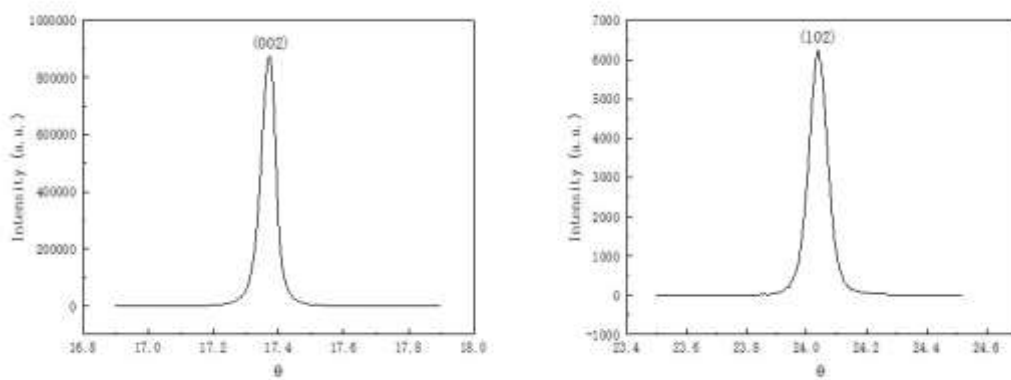


Fig. 5.14 Sample C 中 E 區域之 Rocking Curve 圖

Table 5-7 Sample C 中 E 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm^{-2})	Edge dislocation density(cm^{-2})	Total dislocation density(cm^{-2})
195	270	3.69×10^7	1.872×10^8	2.241×10^8

Fig. 5.15 為 E 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m}\times 7\mu\text{m}$ 的區域，並且在區域內一共標記出 87 個紅點，透過公式，便可得知 E 區域的刃差排密度為 $1.78\times 10^8(\text{cm}^{-2})$ 。

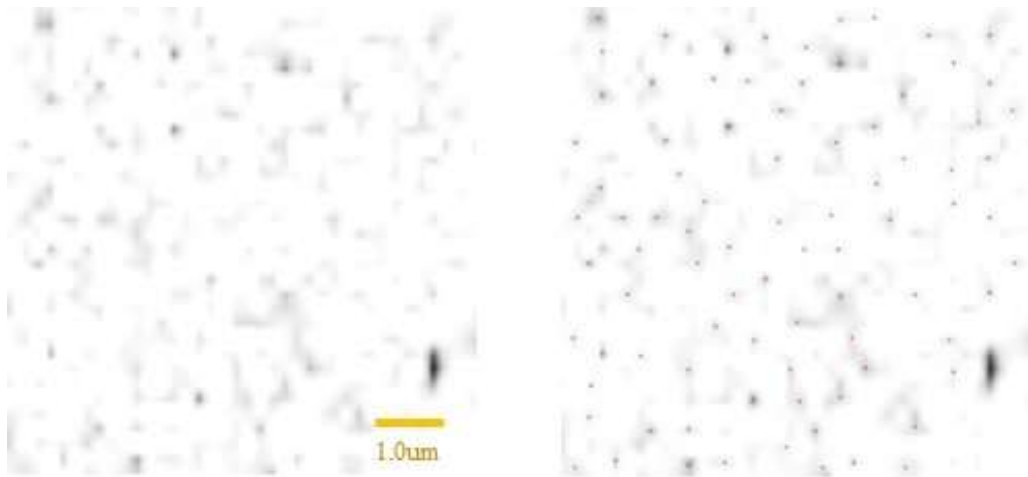


Fig. 5.15 Sample C 中 E 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

F 區域的 rocking curve 圖，如 Fig. 5.16 所示，接著將 rocking curve 圖透過軟體的分析，我們可以得到 FWHM，經過計算可得到 Table 5-8。從表中能看 F 區域的螺旋差排密度為 $3.96\times 10^7(\text{cm}^{-2})$ 、刃差排密度為 $1.776\times 10^8(\text{cm}^{-2})$ ，總差排密度為 $2.172\times 10^8(\text{cm}^{-2})$ 。

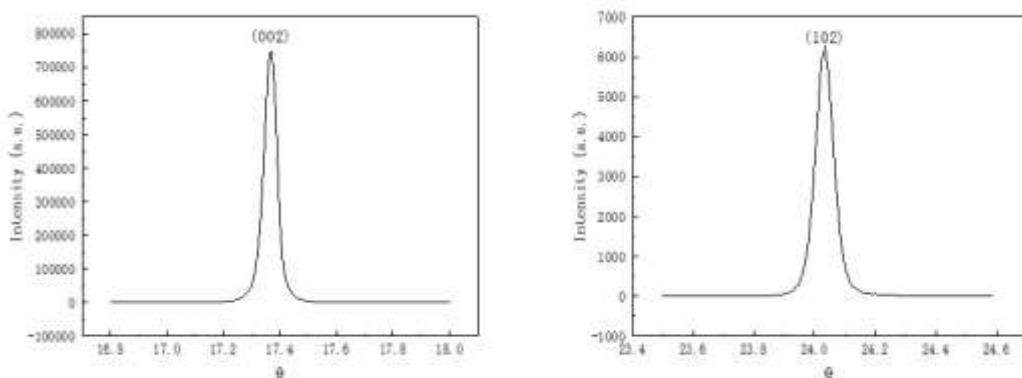


Fig. 5.16 Sample C 中 F 區域之 Rocking Curve 圖

Table 5-8 Sample C 中 F 區域之 XRD 量測結果

XRD(002) FWHM(arcsec)	XRD(102) FWHM(arcsec)	Screw dislocation density(cm⁻²)	Edge dislocation density(cm⁻²)	Total dislocation density(cm⁻²)
202	263	3.96×10^7	1.776×10^8	2.172×10^8

Fig. 5.17 為 F 區域的 CL 圖以及經過軟體分析取點後的圖，其中 CL 圖中的黑點即為差排，軟體會將差排的位置用紅點標記。此次量測的面積為 $7\mu\text{m} \times 7\mu\text{m}$ 的區域，並且在區域內一共標記 70 個紅點，透過公式，便可得知 F 區域的刃差排密度為 $1.42 \times 10^8(\text{cm}^{-2})$ 。

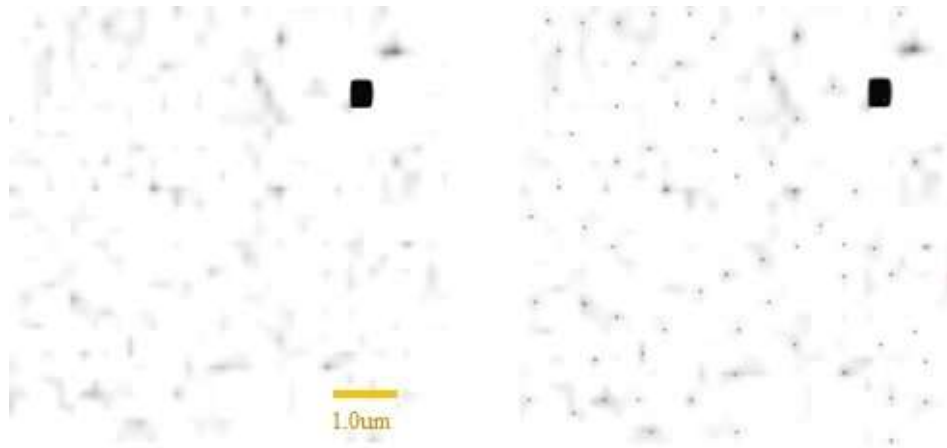


Fig. 5.17 Sample C 中 F 區域之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

Table 5-9 為 Sample C 中 A~F 區域內的 XRD 量測結果，從表中能看到 Sample C 的均勻度是非常好的，其值都落在 $2 \times 10^8 \sim 3 \times 10^8(\text{cm}^{-2})$ ，而平均值大概為 $2.393 \times 10^8(\text{cm}^{-2})$ ，這樣的結果顯示未來在上方做元件時，不必考慮其位置上的誤差。

Table 5-9 Sample C 中 A~F 區域內的 XRD 量測結果

	Screw dislocation density (cm⁻²)	Edge dislocation density (cm⁻²)	Total dislocation density (cm⁻²)
A	5.05×10^7	2.042×10^8	2.547×10^8
B	3.77×10^7	2.16×10^8	2.537×10^8
C	3.66×10^7	2.071×10^8	2.437×10^8
D	3.81×10^7	2.042×10^8	2.423×10^8
E	3.69×10^7	1.872×10^8	2.241×10^8

F	3.96×10^7	1.776×10^8	2.172×10^8
---	--------------------	---------------------	---------------------

接著我們看到 Table 5-10，表內說明了 Sample C 中 A~F 區域內 CL 的測量結果確實與 XRD 測量出來的刃差排結果相符合，這也證實 CL mapping 確實可以拿來當測量差排的方法，當然差排的密度是以總差排密度去判斷，但是由於螺旋差排在量測時，其密度總是會少刃差排密度 1~2 個數量級，故其值對總差排密度影響較小，所以接下來的測量我將會以刃差排密度當作總和差排密度去進行差排密度的探討。

Table 5-10 Sample C 中 A~F 區域內的 CL 與 XRD 量測刃差排密度之結果

	CL 量測	XRD 量測
A	$1.51 \times 10^8 (\text{cm}^{-2})$	$2.042 \times 10^8 (\text{cm}^{-2})$
B	$1.78 \times 10^8 (\text{cm}^{-2})$	$2.16 \times 10^8 (\text{cm}^{-2})$
C	$1.8 \times 10^8 (\text{cm}^{-2})$	$2.071 \times 10^8 (\text{cm}^{-2})$
D	$1.78 \times 10^8 (\text{cm}^{-2})$	$2.042 \times 10^8 (\text{cm}^{-2})$
E	$1.78 \times 10^8 (\text{cm}^{-2})$	$1.872 \times 10^8 (\text{cm}^{-2})$
F	$1.42 \times 10^8 (\text{cm}^{-2})$	$1.776 \times 10^8 (\text{cm}^{-2})$

5.1.5 Sample A、Sample B、Sample C 量測結果比較

Table 5-11 為 Sample A、Sample B、Sample C 的總差排密度，從表中知道 Sample A 的總差排密度為 $5.784 \times 10^9 (\text{cm}^{-2})$ ，相較於以碳化矽為基板的 Sample B 和 Sample C 的都來得高許多，其原因為矽與氮化鎵的晶格不匹配率太高所導致。接著看到 Sample B、Sample C 的總差排密度其實滿相近，而且其值大概也在一般以碳化矽為基板所製造 HEMT 的範圍內 ($10^8 \sim 10^{10} \text{cm}^{-2}$)，從這邊我們能確定樣品品質都能保持一致性，這樣的結果在未來測量缺陷時能減少誤差。

Sample B 與 Sample C 的總差排密度，各別為 $2.229 \times 10^8 (\text{cm}^{-2})$ 和 $2.393 \times 10^8 (\text{cm}^{-2})$ ，碳化矽基板的差排密度大約在 $10^3 \sim 10^5 (\text{cm}^{-2})$ ，而基板與磊晶結構之間的缺陷密度之所以有那麼大的變化，原因來自碳化矽與氮化鎵薄膜之間的晶格不匹配與熱

擴張係數不匹配，故接下來我將會設計圖案以減少晶格不匹配與熱擴張係數不匹配所產生的差排缺陷。

Table 5-11 Sample A、Sample B、Sample C 的總差排密度

	Total dislocation density(cm^{-2})
Sample A	5.784×10^9
Sample B	2.229×10^8
Sample C	2.393×10^8

5.2 磊晶側向成長法研究

5.2.1 磊晶結構

本章節為磊晶側向成長法(Epitaxial Lateral Overgrowth, ELOG)研究，其磊晶結構如 Fig. 5.18 所示，我在此將元件命名為 Sample D。

Sample D 使用 4 吋 intrinsic 的 4H-SiC 基板，其中基板上方的二氧化矽層有著許多大小不一的六角型圖案。Sample D 透過 MOCVD 的方式去進行磊晶，而由下往上的結構依序是底層 Si-face 的 4H-SiC、500nm 二氧化矽(SiO_2)、50nm 氮化鋁(AlN)、1.8 μm 氮化鎵(GaN)。

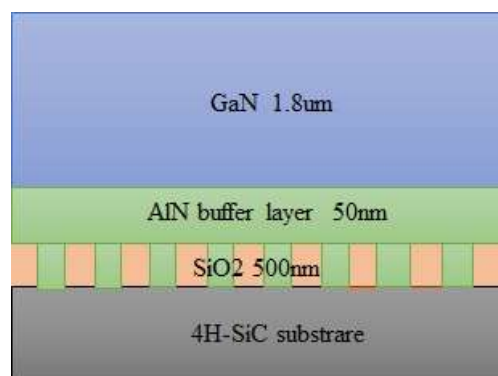


Fig. 5.18 Sample D 磊晶結構示意圖

5.2.2 Sample D 二氧化矽層圖案設計

Fig. 5.19 為圖案化二氧化矽柱，週期定義為六角形的端點到另外一個六角形的

端點。在這個階段，我會在二氧化矽層繪製週期和面積比 1%、5%、10%、15%、20%、30%、40%所求得出的直徑大小，而週期為 1100nm。此外，圖案的区域大小為 200um*200um。

六角形的直徑大小，是以一個六角形面積佔一個紅色方框面積的比例去求得出來。紅色方框為一個 cell，其邊長為一個週期，也就是各個六角形的端點到另一個深藍色六角形端點的距離；六角形是利用 top view 看六角形頂部，所呈現的圖形，如 Fig. 5.20 所示。



Fig. 5.19 圖案化二氧化矽柱示意圖

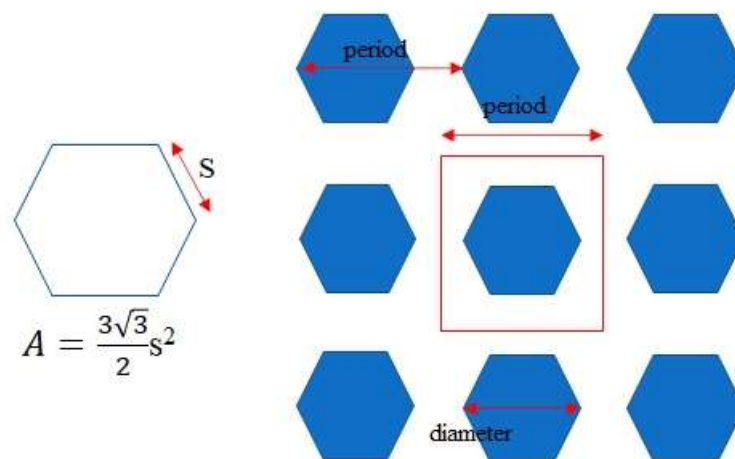


Fig. 5.20 六角形面積(左圖)、六角柱 top view(右圖)之示意圖

Fig. 5.20 左圖為六角形之示意圖，其中 S 代表六角形的邊長，A 代表六角形的面積。公式(5.2)求得六角形面積佔紅色方框面積的比例公式。接著我以週期 1100nm 舉例，當我要得知六角形面積佔紅色方框面積 10%的直徑大小時，把數字帶入公式(5.2)便可得出 $1100^2 \times 10\% = \frac{3\sqrt{3}}{2} \times S^2$ ，接著移項得到 $S^2 = \frac{1100^2 \times 10\% \times 2}{3\sqrt{3}}$ ，最後將 S 算出來並乘以 2 倍，即可得到直徑(2S)。Table 5-12 為週期 1100nm 面積

比 1%~40% 的直徑大小。

$$\text{週期}^2 \times \text{比例}(\%) = \frac{3\sqrt{3}}{2} \text{邊長}^2 \quad (5.2)$$

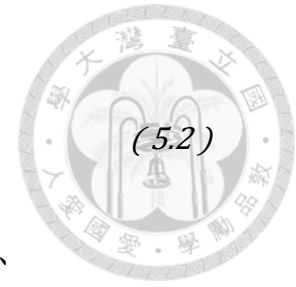


Table 5-12 1100nm 面積比 1%~40% 的直徑大小

週期(nm)	面積比	1100
直徑(nm)	1%	136
	5%	305
	10%	432
	15%	529
	20%	610
	30%	748
	40%	863

5.2.3 Sample D 圖案化二氧化矽柱量測結果與分析

Sample D 使用國立陽明交通大學儀器資源中心的 JEOL JSM7001F + HORIBA iHR550 系統去進行 CL 的量測。

Fig. 5.21 為週期 1100nm 下面積比為 1%、5%、10%、15%、20%、30%、40% 和空白區域的 CL 圖，以及經過軟體分析取點後的圖。Table 5-13 與 Fig. 5.22 為整理上述 9 組 CL 量測結果所產生之表格與趨勢圖，從圖中能看到隨著面積比的上升 (1%~20%)，刃差排密度確實有隨之下降(20%)，然而一旦超過面積比 20%後，刃差排密度卻開始上升，原因為面積比佔 30%、40%時，直徑太大導致其圖案之間能釋放差排的區域變少，而面積比佔 1%時則是因為直徑太小，導致其結果太像無圖案一樣，故其值才會跟量測空白區域所得到的值相近，如圖中虛線所示。

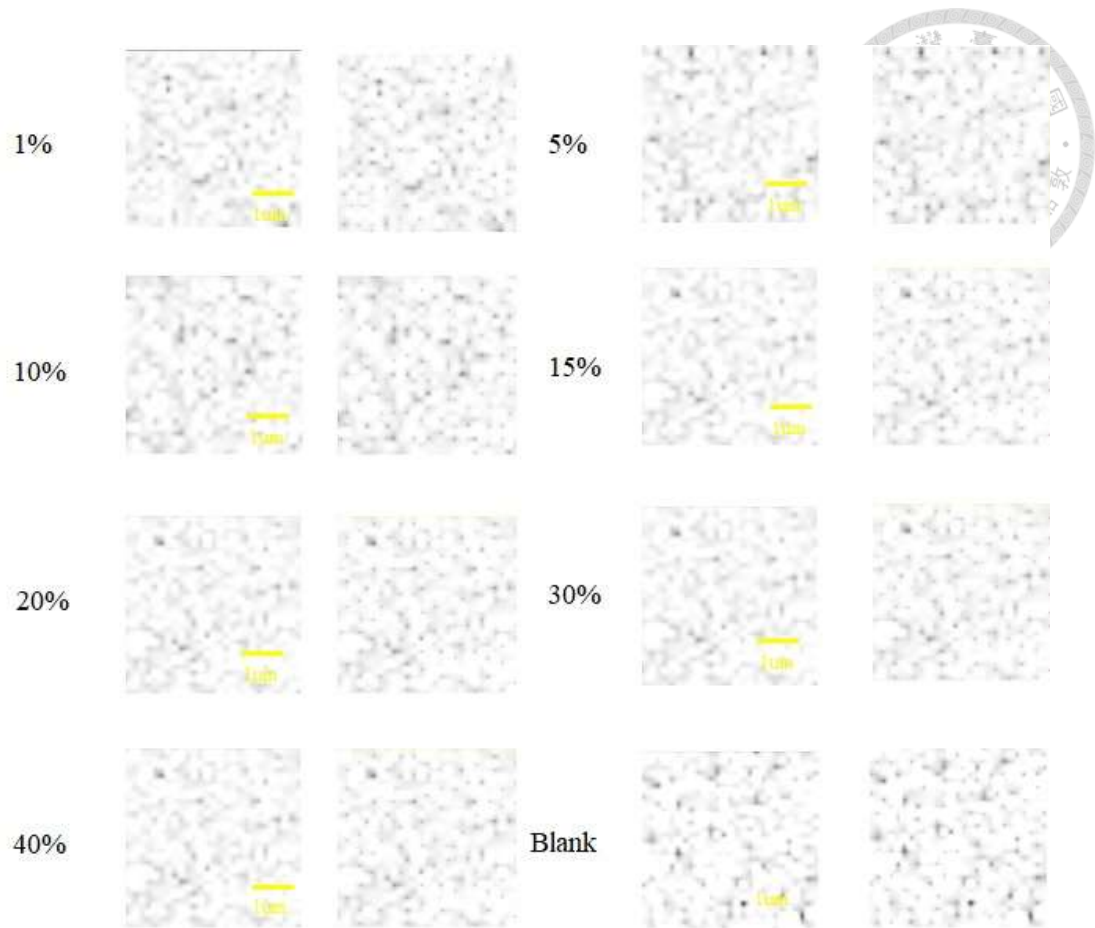


Fig. 5.21 Sample D 之 CL 圖(左圖)、取點分析後的 CL 圖(右圖)

Table 5-13 Sample D 之 CL 測量結果

Area ratio	Edge dislocation density (cm^{-2})
1%	4.2×10^8
5%	3.92×10^8
10%	3.92×10^8
15%	3.88×10^8
20%	3.64×10^8
30%	3.92×10^8
40%	4.44×10^8
Blank region	4.04×10^8

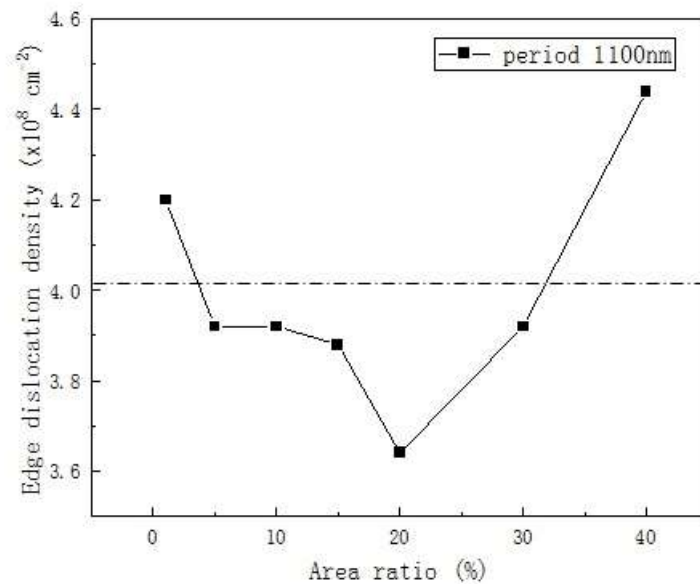


Fig. 5.22 Sample D 之 CL 測量結果趨勢圖

經過上述分析後，我們得知 ELOG 在適當的週期與直徑大小確實能減少差排密度，但其值的變化卻沒有著數量級的改變，故我認為是氧化層在其磊晶時本身就具有較多的缺陷，於是能減少的差排就相對有限，故我認為還是以圖案化基板去進行減少差排密度之效果更好。

5.3 圖案化 4H-SiC 基板研究

5.3.1 蝕刻碳化矽基板

在蝕刻碳化矽基板之前，我先定義了圖案化碳化矽基板上奈米柱的兩個物理參數，即週期(period)和直徑(diameter)。在本實驗中，奈米柱的圖案形狀為正六邊形，週期指的是正六邊形中心點與其相鄰正六邊形中心點之間的距離；直徑則是指正六邊形中的一個頂點與之最遠的頂點之間的距離，如 Fig. 5.23 左圖所示。圖案的區域大小，其範圍為 200um*200um，如 Fig. 5.23 右圖所示。

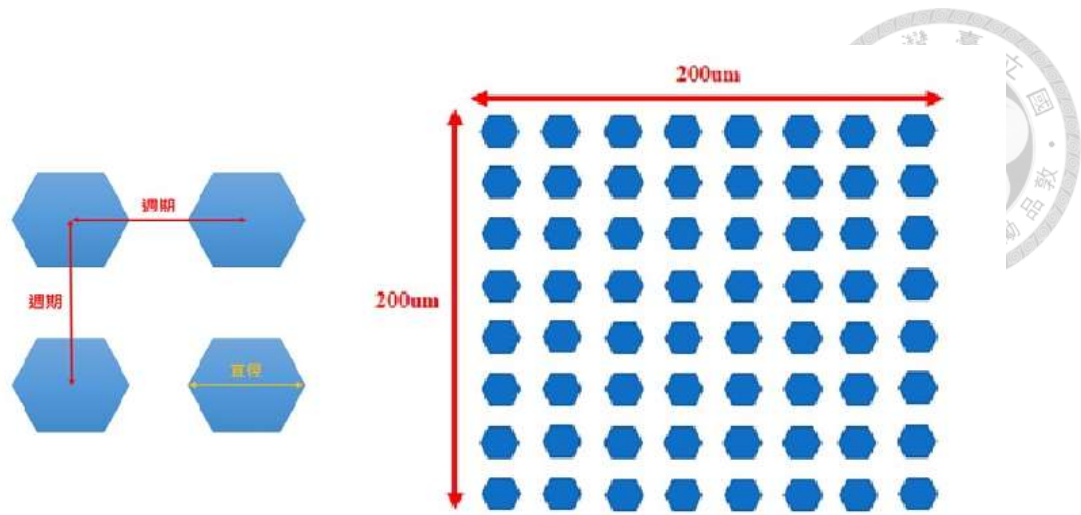


Fig. 5.23 圖案化碳化矽基板之週期與直徑的定義(左圖)、圖案區域的範圍(右圖)

在本階段的設計中，我選擇了兩種不同的週期：5000nm 和 3000nm，根據週期的 40%，我設計了對應的圖案直徑，其中直徑為 2000nm 和 1200nm。這些尺寸將用於蝕刻圖案的製作，透過這樣的大尺寸的設計，我可以快速且清楚的知道蝕刻的效果與圖案的形狀，以便未來往小尺寸發展。

設計好圖案的尺寸大小後，我使用 n 型 4H-SiC 作為測試基板，由於其本身具有較好的導電性，因此相對於 intrinsic 的 4H-SiC 而言，製程會更加簡單。

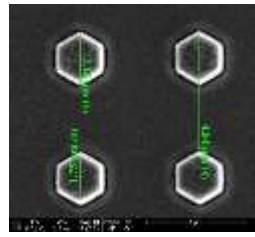
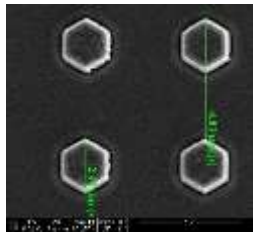
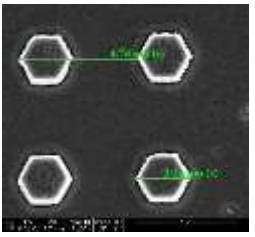
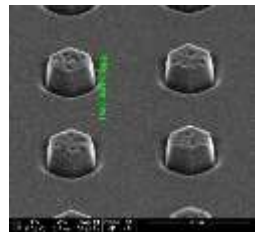
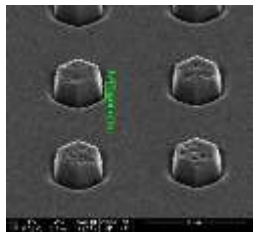
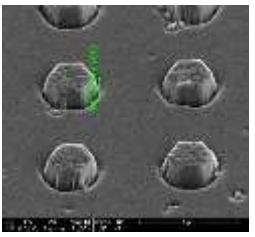
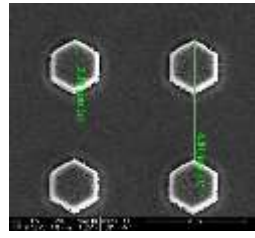
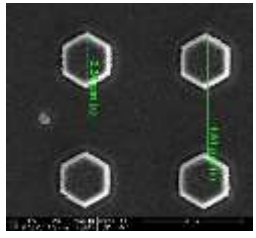
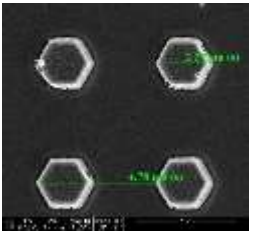
接著我會以 Y.-h. Liu 等人在 2016 年發表的文章作為我實驗最初的範本，並用 si 面作為我的蝕刻面，其蝕刻完的表面較光滑與平坦[51]。在遮罩的選擇上，我們決定使用二氧化矽(SiO₂)作為硬遮罩的材料，這一選擇的原因是，使用金屬作為遮罩可能會產生微遮罩現象[52, 53]。微遮罩效應(micromasking effect)是指基板上的殘留物可以透過金屬遮罩、聚合物(SiO_xF_y)、金屬氟化物等方式形成[51]。而且本實驗所需的蝕刻深度不到 1 微米，因此不需要使用鎳、鉻或鋁等蝕刻選擇比高的金屬材料作為遮罩[52]，這樣的選擇有助於避免微遮罩效應並確保所需的蝕刻深度和蝕刻模式的實現，而使用二氧化矽作為硬遮罩也是本實驗室的特點和強項之一。氣體與機台的選擇上，我使用 SF₆ 作為我的主要蝕刻氣體，並搭配氧氣去蝕刻碳化矽基板，並固定 SF₆/O₂ 的氣體比例為 4/1，其比例有著最好的蝕刻速率且蝕刻出來的側壁最為垂直且光滑[52, 54-57]，而機台則是選擇 RIE 作為我的蝕刻機台。故我接下來將會固定 SF₆/O₂ 的氣體流量、功率、時間，並提高壓力。

Table 5-14 展示了蝕刻週期為 5000nm 的碳化矽柱在不同壓力下的 SEM 圖。

從圖中能看到，根據我們所選擇的參數，蝕刻深度確實達到了我們的需求，並且圖案形狀與我們最初的設計六角形相符。然而，此時也出現了一些問題，例如：表面出現坑洞、圖案周圍出現溝槽，而這些問題同樣也出現在週期為 3000nm 的碳化矽柱上。

Fig. 5.24 為單一奈米柱之 SEM 圖，從圖中我們能看到碳化矽柱上方有著大大小小的坑洞，我認為是過度蝕刻所造成的，故只要減少蝕刻時間與氣體總流量應該就可以減少坑洞的產生。接著，我們探討圖案周圍出現的溝槽，根據 R. J. Hoekstra 等人在 1998 年的文獻中，可以得知微溝槽(micro-trench)是因為氣體離子在側壁上產生鏡面反射，而這些反射會使氣體離子聚焦到圖案角落，並使圖案周圍的蝕刻速率更快，進而在圖案周圍產生微溝槽[58]。

Table 5-14 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖

編號	A	B	C
Top view			
Tilt view			
編號	D	E	F
Top view			

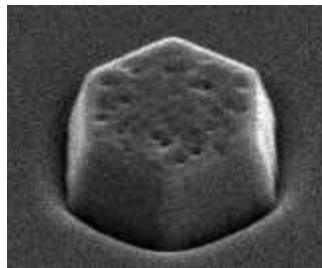
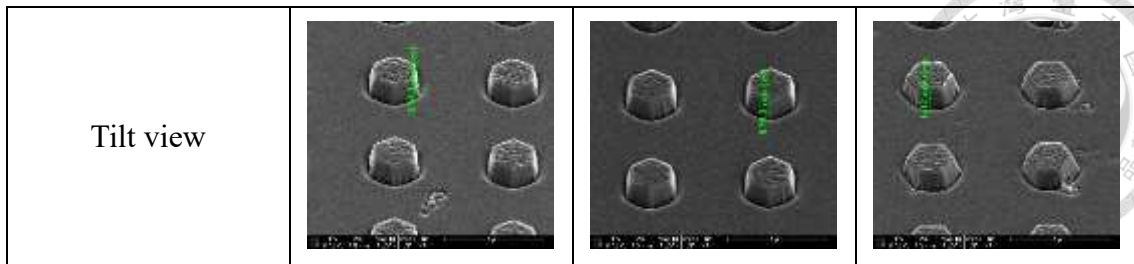


Fig. 5.24 單一奈米柱之 SEM 圖(週期 5000nm、編號 e)

根據 O. Seok 等人在 2020 年的研究結果顯示，在解決圖案周圍溝槽形成的問題方面，可以通過增加功率和減少氣體流量來改善[59]。原因為增加功率可以增強蝕刻過程的異向性，意指向下的蝕刻力增強，這會產生更多的垂直側壁，從而減少側壁的入射反射，接著減少氣體流量可以減少氣體離子在圖案周圍的聚集現象，當氣體流量減少時，圖案周圍的氣體離子密度也會減少，從而降低了氣體對圖案周圍的影響。如此一來，微溝槽的形成也會減少。針對改善碳化矽奈米柱的微溝槽現象，我固定 SF₆/O₂ 的氣體流量、壓力、時間，並去提升功率。

Table 5-15 展示了蝕刻週期為 5000nm 的碳化矽柱在不同功率下的 SEM 圖。從圖中能看到，根據功率的上升，微溝槽的現象確實有變得較不明顯，且蝕刻深度也達到我們的需求。同樣地的結果也出現在週期為 3000nm 的碳化矽柱上，功率得上升使微溝槽的現象也有所改善。接下來，為了使微溝槽現象消失，我們計畫改變氣體的總量。

Table 5-15 各個功率下蝕刻週期 5000nm 碳化矽柱之 SEM 圖

編號	A	B	C
----	---	---	---

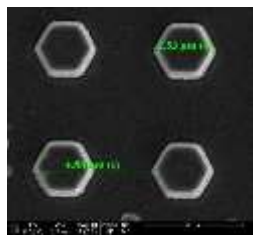
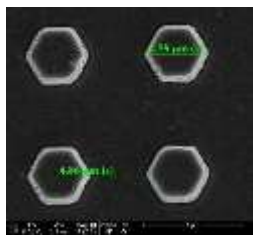
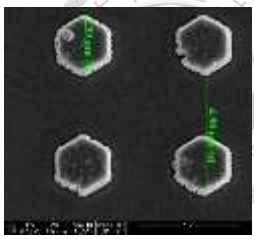
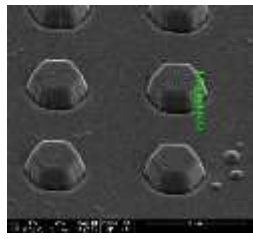
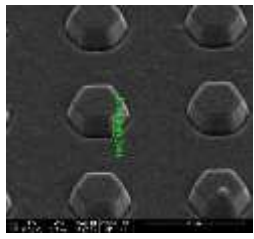
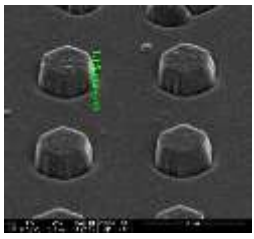
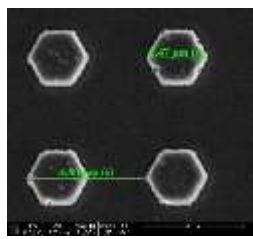
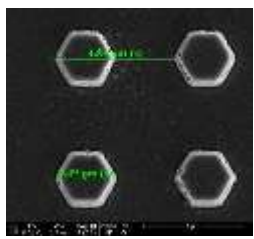
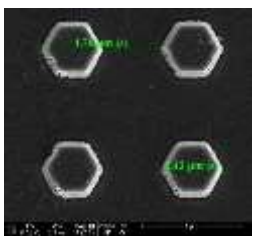
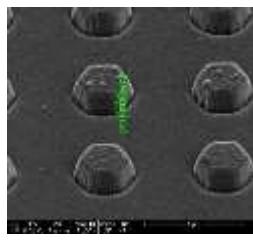
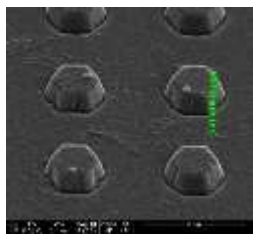

Top view			
Tilt view			
編號	D	E	F
Top view			
Tilt view			



Fig. 5.25 單一奈米柱之 SEM 圖(週期 5000nm、編號 E)

針對改善碳化矽奈米柱的微溝槽現象，我將固定功率、壓力、時間，並改變 SF_6/O_2 的氣體流量。

Table 5-16 展示了蝕刻週期為 5000nm 的碳化矽柱在不同氣體比例下的 SEM 圖。從圖中能看到，氣體總流量的減少對微溝槽的現象並未有顯著的改變，然而若



以表面的坑洞來看，我們能發現隨著氣體總流量的減少坑洞也有明顯的減少，原因為 SF₆ 的氣體減少，使蝕刻速率下降，進而減少表面的過度蝕刻。同樣地結果也顯現在週期為 3000nm 的碳化矽柱上。

Table 5-16 各個氣體比例下蝕刻週期 5000nm 碳化矽柱之 SEM 圖

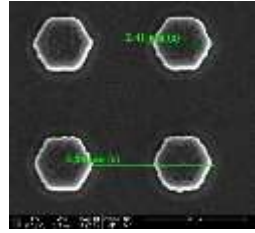
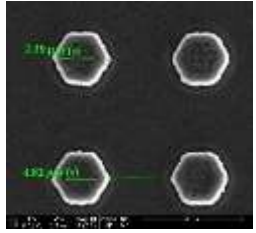
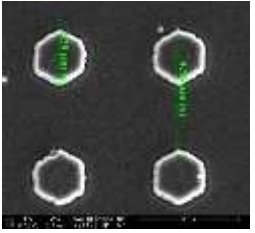

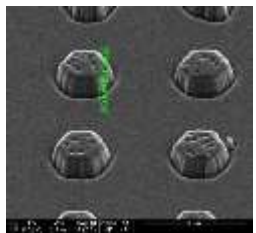
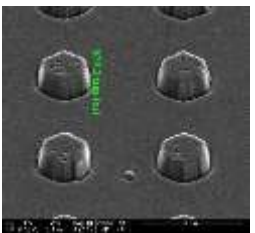
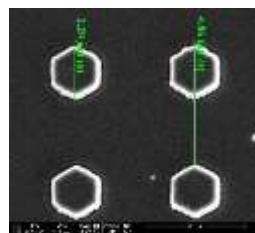
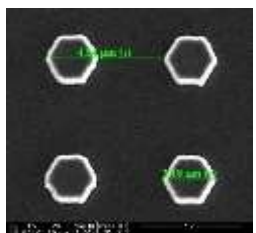
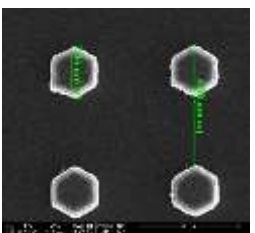

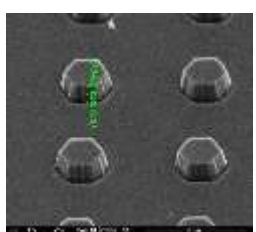

編號	A	B	C
Top view			
Tilt view			
編號	D		
Top view			
Tilt view			

為了使表面坑洞消失，於是我固定 SF₆/O₂ 的氣體流量、壓力、功率，並減少蝕刻時間。

Table 5-17 展示了蝕刻週期為 5000nm 的碳化矽柱在不同蝕刻時間下的 SEM 圖。透過觀察，我們發現在編號 E 的時間，相較於其他時間，表面坑洞的數量明顯減少且幾乎已經消失，另外在這個蝕刻時間內，微溝槽現象也幾乎不存在，這可以

歸功於時間的減少，減少了氣體在圖案周圍累積的機會。至於深度的部分也達到我們的需求。同樣的結果也出現在週期為 3000nm 的碳化矽柱上，我們觀察到編號 E 的時間時，表面坑洞的數量也幾乎沒有。然而根據 Fig. 5.26 右圖能看到，編號 F 的碳化矽柱上方有一層二氧化矽薄膜，其原因可能是我泡 BOE 時間不夠久，導致二氧化矽薄膜未清除乾淨，故只要增加浸泡 BOE 時間就能解決。

Table 5-17 各個時間下蝕刻週期 5000nm 碳化矽柱之 SEM 圖

編號	A	B	C
Top view			
Tilt view			
編號	D	E	F
Top view			
Tilt view			

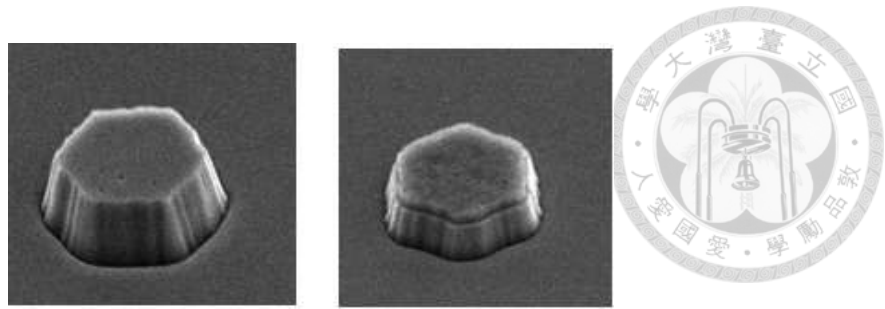


Fig. 5.26 編號 E(左圖)、編號 F(右圖)之單一奈米柱 SEM 圖(週期 5000nm)

在成功解決表面坑洞的問題後，我們希望進一步減少或消除微溝槽現象，同時改善奈米柱的側壁垂直度，然而在嘗試達到這兩個目標時，我們發現在調整壓力上可能需要在垂直側壁和微溝槽之間做取捨。壓力的減少會增加平均自由路徑，這意味著離子在蝕刻過程中與基板碰撞的機會增加，從而加快了蝕刻速率[60]，因此減少壓力可能有助於使側壁更垂直，但同時也可能導致微溝槽現象更明顯[61, 62]，不過我們可以透過減少氣體流量來彌補減少壓力對微溝槽現象的影響。減少氣體流量有助於減少在圖案周圍累積的氣體離子數量，從而減少微溝槽的形成。

於是為了在微溝槽和垂直側壁兩者取的平衡，我固定功率、時間，並改變氣體流量和壓力。

Table 5-18 展示了蝕刻週期為 5000nm 的碳化矽柱在不同氣體流量與壓力下的 SEM 圖。從圖中我們能發現編號 F 這組實驗參數，是所有參數中側壁最為垂直且表面完全沒有坑洞，但它的溝槽仍然略為明顯。然而這時又出現一個問題，碳化矽奈米柱的側壁有著很多蝕刻痕(scratch)，如 Fig. 5.27 所示。同樣的結果也顯示在週期為 3000nm 的碳化矽柱上。

Table 5-18 各個氣體流量與壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖

編號	A	B	C
Top view			

Tilt view			
編號	D	E	F
Top view			
Tilt view			

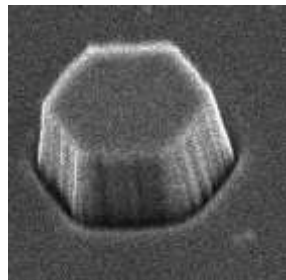


Fig. 5.27 單一奈米柱之 SEM 圖(週期 5000nm、編號 F)

根據 L. Hiller 在 2012 年的文章，研究者使用金屬鋁和鎳當作碳化矽的遮罩，當使用鋁當遮罩時，其蝕刻後出來的平台，側壁有較多的蝕刻痕跡，如 Fig. 5.28 左圖所示。其原因為金屬的晶粒越大時，會增加側壁的條紋，並使側壁邊緣的粗糙度增加，然後再透過蝕刻將邊緣的條紋轉移到碳化矽基板的平台上。當使用鎳層當遮罩時，其側壁的蝕刻痕跡幾乎沒有，原因為他的晶粒大小遠小於金屬鋁，如 Fig. 5.28 右圖所示[63]。

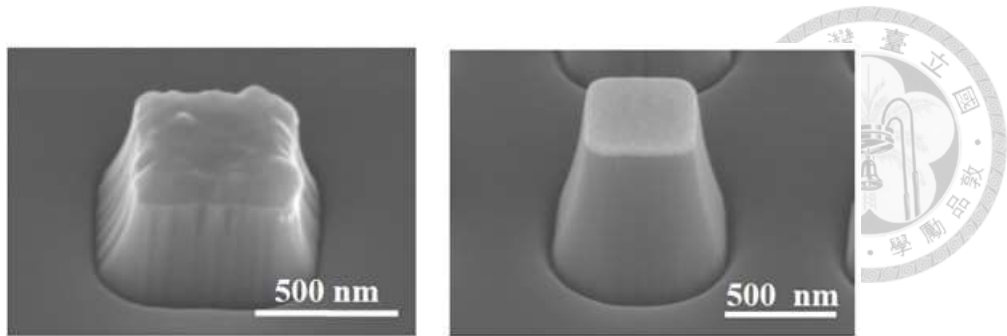


Fig. 5.28 以金屬鋁(左圖)、鎳(右圖)當作 3C-SiC 遮罩之蝕刻圖[63]

為了驗證側壁蝕刻痕的成因是否為金屬所致，並導致後續蝕刻二氧化矽遮罩和碳化矽基板時，奈米柱的側壁也有蝕刻痕。我計畫在用電子蒸鍍機鍍金屬鉻時減少鍍率，使其晶粒變小讓鉻層品質變好，這樣應該就可以減少側壁痕跡在二氧化矽上，接著在蝕刻碳化矽時，預期也能減少側壁的蝕刻痕跡。故我設計兩組參數，Sample 1 的中間 50nm 的鍍率為 $0.2\text{\AA}/s$ ，Sample 2 中間 50nm 的鍍率為 $0.6\text{\AA}/s$ ，而兩組參數的前後 5nm 的鍍率都固定為 $0.1\text{\AA}/s\sim 0.2\text{\AA}/s$ 。

另外在更改鍍率的同時，我固定氣體流量、功率、時間，並調整壓力，以使六角柱的側壁盡可能接近垂直且減少微溝槽的現象。

Table 5-19 展示 Sample 1 蝕刻週期為 5000nm 的碳化矽柱在不同壓力下的 SEM 圖。Table 5-20 展示 Sample 2 蝕刻週期為 5000nm 的碳化矽柱在不同壓力下的 SEM 圖。從兩個表格可以觀察到，相較於 Sample 2，Sample 1 的側壁有著較少蝕刻痕跡，這進一步的驗證了金屬鉻的晶粒大小對後續碳化矽側壁的影響。此外，在微溝槽與垂直側壁方面，不論是 Sample 1 還是 Sample 2，編號 C、D、E 的側壁呈現最為垂直，且上方表面完全沒有坑洞，深度也達到我們的需求，而微溝槽的現象也幾乎不存在。同樣的結果也在週期為 3000nm 的碳化矽柱上呈現。

Table 5-19 Sample1 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖(中間鍍率

$0.2\text{\AA}/s$)

編號	A	B	C
----	---	---	---

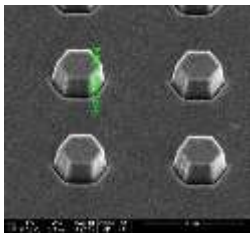
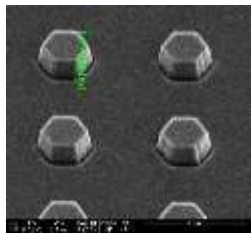
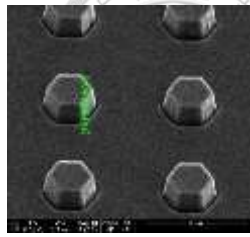
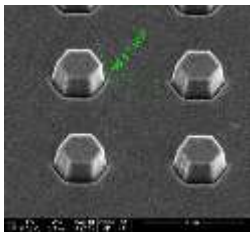
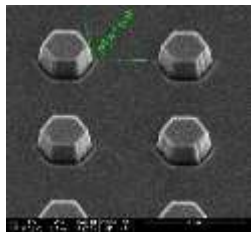
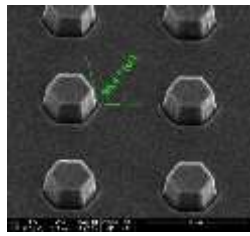
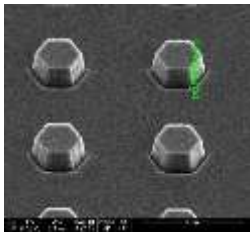
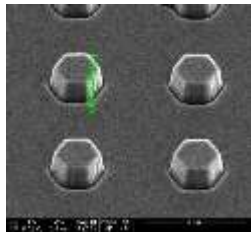
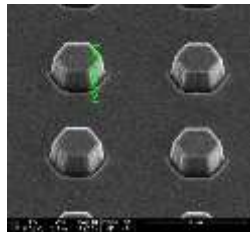
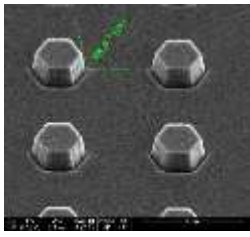
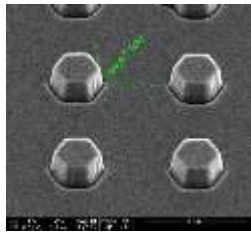
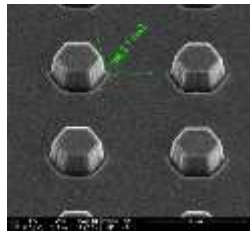
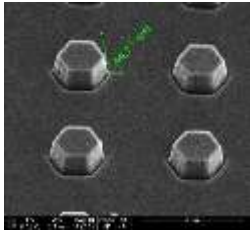
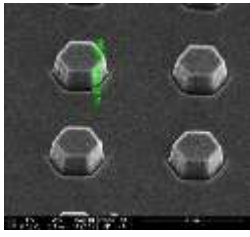
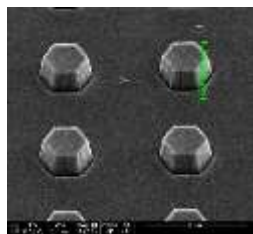
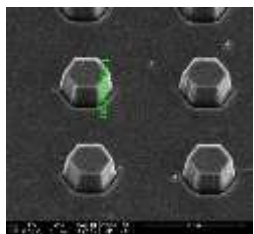
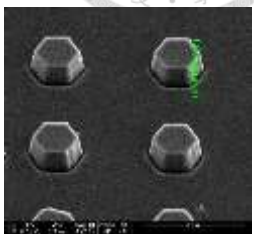
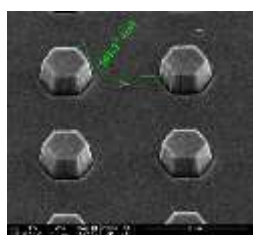
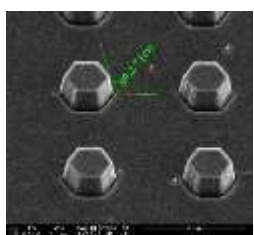
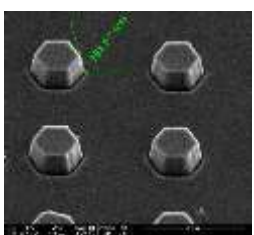
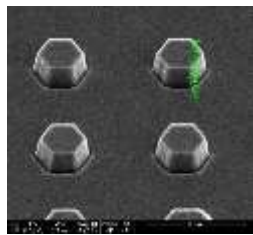
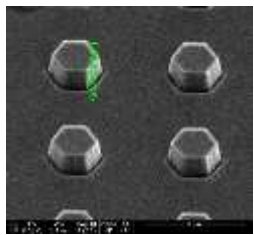
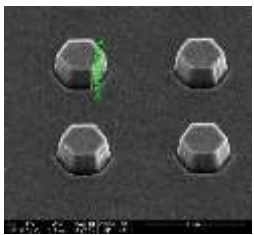
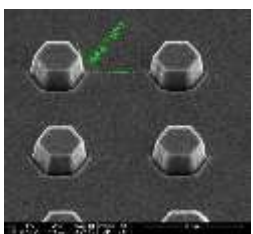
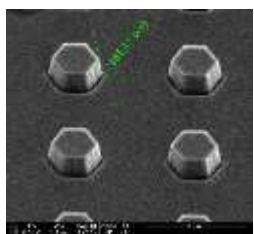
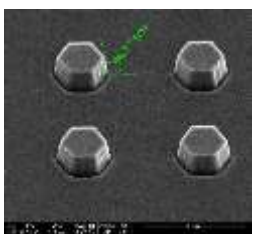
Tilt view			
Tilt view			
編號	D	E	F
Tilt view			
Tilt view			
編號	G		
Tilt view			
Tilt view			

Table 5-20 Sample2 各個壓力下蝕刻週期 5000nm 碳化矽柱之 SEM 圖(中間鍍率
0.6 Å/s)

編號	A	B	C
Tilt view			
Tilt view			
編號	D	E	F
Tilt view			
Tilt view			

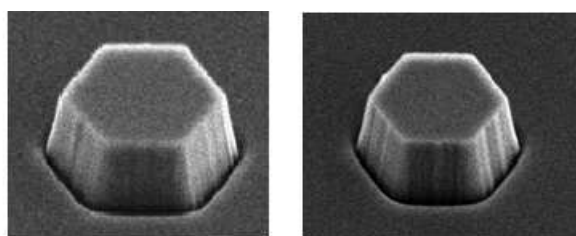


Fig. 5.29 鍍率 0.2Å/s(左圖)、0.6 Å/s(右圖)之單一奈米柱之 SEM 圖(週期 5000nm、
編號 C)

Fig. 5.30 呈現優化前與優化後之對比圖，從圖中能看到優化前存在著許多問

題，例如：表面坑洞、側壁不夠垂直、圖案周圍有溝槽。然而透過我們參數的優化，我們改善了這些問題，使優化後的 SEM 圖呈現近乎垂直且表面光滑的碳化矽六角形柱。

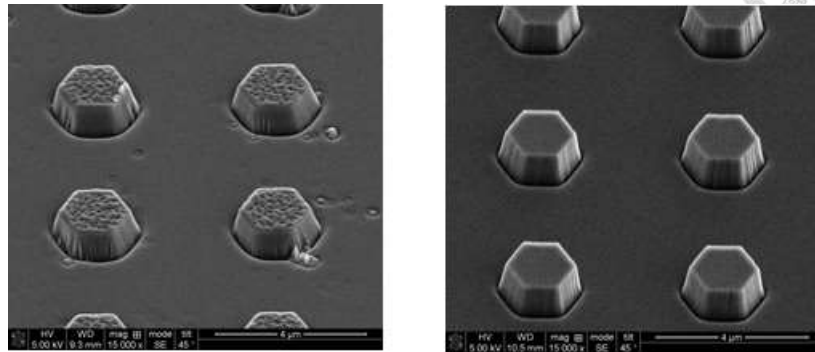


Fig. 5.30 優化前(左圖)、優化後(右圖)週期 5000nm 碳化矽奈米柱之 SEM 圖

5.3.2 圖案化 4H-SiC 基板圖案設計

在高頻元件設計中，減少基板和接觸端(包括接地端)之間的寄生電容是非常重要的，因此需要使用高電阻值的基板[10]。在這個階段，我們使用 intrinsic 的 4H-SiC 作為設計的基板。這種 intrinsic 的 4H-SiC 基板具有較高的電阻值($\geq 10^5 \Omega \cdot \text{cm}$)，可以減少寄生電容對高頻元件的影響也可以減少漏電流產生，這將有助於提升元件的高頻特性和性能。

Fig. 5.31 為圖案化基板，週期定義為六角形的端點到另外一個六角形的端點。在這個階段，我會在 4 吋的 4H-SiC 基板上繪製週期和面積比 1%、5%、10%、15%、20%、30%、40%、50% 所求得出的直徑大小，而週期分別為 3000nm、2500nm、2000nm、1500nm、1400nm、1300nm、1200nm、1100nm、1000nm、900nm、800nm、700nm、600nm、500nm、400nm，因此共有 120 組圖案。此外，每個週期所畫的區域大小都為 200um*200um，如 Fig. 5.23 右圖所示。

六角形的直徑大小，是以一個六角形面積(深藍色的六角形)佔一個紅色方框面積的比例去求得出來。紅色方框為一個 cell，其邊長為一個週期，也就是各個深藍色六角形的端點到另一個深藍色六角形端點的距離；深藍色六角形是利用 top view 看六角形頂部，所呈現的圖形；淺藍色圓圈的部分則是利用 top view 看六角形底部，所呈現的圖形，如 Fig. 5.32 右圖所示。Fig. 5.33 為實際利用 SEM 拍碳化矽基

板上方六角柱出來的圖，圖中黑色六角形對應到深藍色六角形，白色的部分則是對應到淺藍色圓圈。

Fig. 5.32 右圖之示意圖上六角形旁還會有一個淺藍色圓圈，原因為蝕刻碳化矽基板時並不能有效地蝕刻出垂直側壁，故淺藍色圓圈的部分是呈現出六角柱底部的部份，而底部大小會受到蝕刻參數且深度影響，故大小均不一，所以接下來我將會以六角柱頂部(深藍色六角形)所佔紅色方框的比例，去求得各個六角形的直徑。

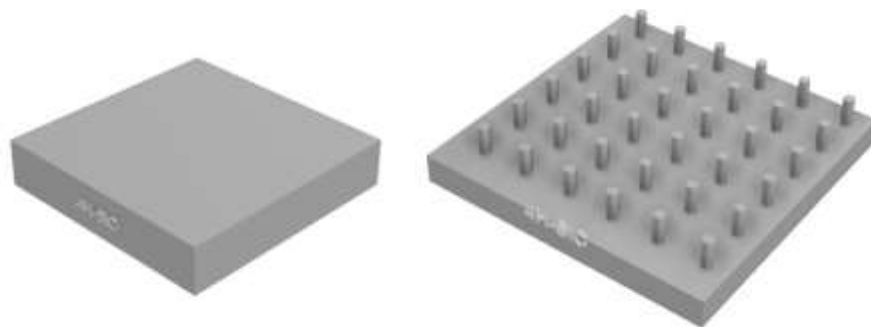


Fig. 5.31 碳化矽基板(左圖)、圖案化碳化矽基板(右圖)示意圖

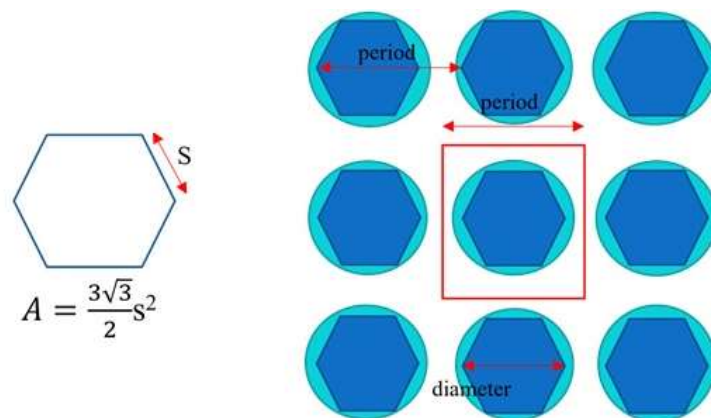


Fig. 5.32 六角形面積(左圖)、六角柱 top view(右圖)之示意圖

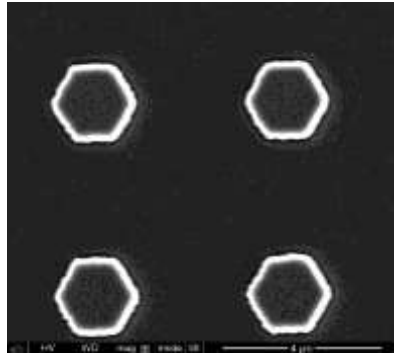


Fig. 5.33 碳化矽上六角柱之 SEM 圖(top view)

Fig. 5.32 左圖為六角形之示意圖，其中 S 代表六角形的邊長，A 代表六角形的面積。公式(5.3)為求得六角形面積佔紅色方框面積的比例公式。接著我以週期 5000nm 舉例，當我要得知六角形面積佔紅色方框面積 10%的直徑大小時，把數字帶入公式(5.3)便可得出 $5000^2 \times 10\% = \frac{3\sqrt{3}}{2} \times S^2$ ，接著移項得到 $S^2 = \frac{5000^2 \times 10\% \times 2}{3\sqrt{3}}$ ，最後將 S 算出來並乘以 2 倍，即可得到直徑(2S)。Table 5-21 和 Table 5-22 為週期 400nm~3000nm 面積比 1%~50%的直徑大小。

$$\text{週期}^2 \times \text{比例}(\%) = \frac{3\sqrt{3}}{2} \text{邊長}^2 \quad (5.3)$$

Table 5-21 週期 3000nm~1100nm 面積比 1%~50%的直徑大小

週期 (nm)	面積 比	3000	2500	2000	1500	1400	1300	1200	1100
直徑 (nm)	1%	372	310	248	186	174	161	149	136
	5%	832	694	555	416	388	361	333	305
	10%	1177	981	785	589	549	510	471	432
	15%	1442	1201	961	721	673	625	577	529
	20%	1665	1387	1110	832	777	721	666	610
	30%	2039	1699	1359	1019	951	884	816	748
	40%	2354	1962	1570	1177	1099	1020	942	863
50%	2632	2193	1755	1316	1228	1141	1053	965	



Table 5-22 週期 1000nm~400nm 面積比 1%~50%的直徑大小

週期 (nm)	面積比	1000	900	800	700	600	500	400
直徑 (nm)	1%	124	112	99	87	74	62	50
	5%	277	250	222	194	166	139	111
	10%	392	353	314	275	235	196	157
	15%	481	433	384	336	288	240	192
	20%	555	499	444	388	333	277	222
	30%	680	612	544	476	408	340	272
	40%	785	706	628	549	471	392	314
	50%	877	790	702	614	526	439	351

透過設計各種週期與直徑大小，我們希望能在眾多參數中找到一組參數來進一步減少晶格不匹配與熱擴張係數不匹配所產生的差排。而我們也預期圖案化 4H 碳化矽基板減少差排的趨勢應該會像磊晶側向成長法一樣，不過其差排大小可能會比磊晶側向成長法來的少許多，如 1~2 個數量級，也希望透過這樣的設計能在未來做元件時，有著更好的良率與特性。

Chapter 6 結論及未來展望



本論文通過與第一、二代半導體比較，說明了第三代半導體碳化矽擁有許多優勢，其中包括寬能隙、高熱傳導率、高崩潰電場和高電子飽和速度等。

接著通過比較不同類型的碳化矽多型體後，選擇了 4H-SiC 作為基板，並使用 CL mapping 和 XRD 測量技術探討非圖案化碳化矽磊晶結構的缺陷密度，同時也證明了 CL mapping 確實可以用來檢測缺陷的密度，此外還解釋了缺陷密度形成的原因。

本論文在 ELOG 實驗裡試圖去減少差排密度，雖在適當的週期與直徑大小下有著些許成果但其值相對較不明顯，故未來希望能設計更多週期與直徑大小來使 ELOG 法減少更多差排。


接下來在使用圖案化碳化矽基板的製程技術之前，解釋了 RIE 蝕刻參數選擇的原因，並通過調整 RIE 的參數來蝕刻出近乎完美的碳化矽奈米柱。接著，本研究在碳化矽基板上設計圖案，其中包括圖案直徑的大小和週期，以期許圖案化碳化矽基板的技術在未來能成長低缺陷密度的氮化鎵磊晶層。

未來希望能夠將 ELOG 或者圖案化的 4H-SiC 基板來成長低缺陷密度氮化鎵磊晶層的技術，應用於高電子遷移率電晶體 (HEMT) 的製作，同時我們也可以通過持續優化碳化矽奈米柱或蝕刻出複合型圖案，以成長更低缺陷密度的氮化鎵磊晶層，從而提升 HEMT 的特性。

參考資料



- [1] X. She, A. Q. Huang, O. Lucia, and B. Ozpineci, "Review of silicon carbide power devices and their applications," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193-8205, 2017.
- [2] Y. Sun *et al.*, "Review of the recent progress on GaN-based vertical power Schottky barrier diodes (SBDs)," *Electronics*, vol. 8, no. 5, p. 575, 2019.
- [3] T. Ueda, "Reliability issues in GaN and SiC power devices," in *2014 IEEE international reliability physics symposium*, 2014: IEEE, pp. 3D. 4.1-3D. 4.6.
- [4] UTMEL. "Silicon carbide (SiC) and gallium nitride (GaN), who is the future of wide bandgap (WBG) materials?" <https://www.utmel.com/blog/categories/semiconductor/silicon-carbide-sic-and-gallium-nitride-gan-who-is-the-future-of-wide-bandgap-wbg-materials> (accessed October 7, 2021).
- [5] A. O. Adan, D. Tanaka, L. Burgyan, and Y. Kakizaki, "The current status and trends of 1,200-V commercial silicon-carbide MOSFETs: Deep physical analysis of power transistors from a designer's perspective," *IEEE Power Electronics Magazine*, vol. 6, no. 2, pp. 36-47, 2019.
- [6] M. Östling, R. Ghandi, and C.-M. Zetterling, "SiC power devices—Present status, applications and future perspective," in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*, 2011: IEEE, pp. 10-15.
- [7] S. W. Kaun, M. H. Wong, U. K. Mishra, and J. S. Speck, "Molecular beam epitaxy for high-performance Ga-face GaN electron devices," *Semiconductor science and technology*, vol. 28, no. 7, p. 074001, 2013.
- [8] A. Jarndal, L. Arivazhagan, and D. Nirmal, "On the performance of GaN-on-silicon, silicon-carbide, and diamond substrates," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 30, no. 6, p. e22196, 2020.
- [9] Y.-J. Lai, Y.-C. Liu, Y.-F. Hsu, and M.-C. Wu, "Characteristics Comparison of Nanochannel GaN-on-Si and GaN-on-SiC HEMTs," *ECS Journal of Solid State Science and Technology*, 2023.
- [10] T. Kimoto and J. A. Cooper, *Fundamentals of silicon carbide technology: growth, characterization, devices and applications*. John Wiley & Sons, 2014.

- 
- [11] 張煒旭, 黃宇中, and 林稔杰, "單晶碳化矽在微電子及微感測元件之應用," *科儀新知*, vol. 24, no. 132, pp. 4-14, 2003.
- [12] H. Rashid, A. Koel, T. Rang, R. GÄHWILER, M. Grosberg, and R. JÖEMAA, "Nanoscale and microscale simulations of nn junction heterostructures of 3c-4h silicon carbide," *WIT Transactions on Engineering Sciences*, vol. 116, pp. 235-248, 2017.
- [13] Y. M. Tairov and V. Tsvetkov, "Investigation of growth processes of ingots of silicon carbide single crystals," *Journal of crystal growth*, vol. 43, no. 2, pp. 209-212, 1978.
- [14] A. A. Lebedeva, A. S. Tregubova, V. E. Chelnokova, M. P. Scheglov, and A. G. Al'fred, "Growth and investigation of the big area Lely-grown substrates," *Materials Science and Engineering: B*, vol. 46, no. 1-3, pp. 291-295, 1997.
- [15] S. Y. Karpov, Y. N. Makarov, and M. Ramm, "Simulation of sublimation growth of SiC single crystals," *physica status solidi (b)*, vol. 202, no. 1, pp. 201-220, 1997.
- [16] S. Zhang, G. Fan, T. Li, and L. Zhao, "Optimization of thermal field of 150 mm SiC crystal growth by PVT method," *RSC advances*, vol. 12, no. 31, pp. 19936-19945, 2022.
- [17] O. Kordina *et al.*, "High temperature chemical vapor deposition of SiC," *Applied physics letters*, vol. 69, no. 10, pp. 1456-1458, 1996.
- [18] C. Jacquier, G. Ferro, F. Cauwet, J. C. Viala, G. Younes, and Y. Monteil, "On the growth of 4H-SiC by low-temperature liquid phase epitaxy in Al rich Al-Si melts," *Journal of crystal growth*, vol. 254, no. 1-2, pp. 123-130, 2003.
- [19] P. J. Wellmann, "Review of SiC crystal growth technology," *Semiconductor Science and Technology*, vol. 33, no. 10, p. 103001, 2018.
- [20] J. Heindl *et al.*, "Dislocation content of micropipes in SiC," *Physical review letters*, vol. 80, no. 4, p. 740, 1998.
- [21] W. Vetter and M. Dudley, "X-ray topographic dislocation contrast visible in reflections orthogonal to the Burgers vectors of axial screw dislocations in hexagonal silicon carbide," *Journal of applied crystallography*, vol. 34, no. 1, pp. 20-26, 2001.
- [22] D. Li, *Encyclopedia of microfluidics and nanofluidics*. Springer Science & Business Media, 2008.
- [23] A. Hill, "Growth, characterization, and thermodynamics of III-nitride

- semiconductors," *arXiv preprint arXiv:2206.01307*, 2022.
- [24] S. C. Bera, *Microwave High Power High Efficiency GaN Amplifiers for Communication*. Springer Nature, 2022.
- [25] D. Quirion, M. Manna, S. Hidalgo, and G. Pellegrini, "Manufacturability and stress issues in 3D silicon detector technology at IMB-CNM," *Micromachines*, vol. 11, no. 12, p. 1126, 2020.
- [26] K. Barghout and J. Chaudhuri, "Calculation of residual thermal stress in GaN epitaxial layers grown on technologically important substrates," *Journal of materials science*, vol. 39, pp. 5817-5823, 2004.
- [27] G. Marius, "The Physics of Semiconductors: An Introduction Including Nanophysics and Applications," ed: Spinger, 2016.
- [28] Y. Le Vaillant *et al.*, "Characterization of AlN buffer layers on (0001)-sapphire substrates," *Materials Science and Engineering: B*, vol. 50, no. 1-3, pp. 32-37, 1997.
- [29] W.-C. Huang *et al.*, "Investigations of GaN growth on the sapphire substrate by MOCVD method with different AlN buffer deposition temperatures," *Materials Science in Semiconductor Processing*, vol. 45, pp. 1-8, 2016.
- [30] K. Hiramatsu *et al.*, "Growth mechanism of GaN grown on sapphire with AlN buffer layer by MOVPE," *Journal of Crystal Growth*, vol. 115, no. 1-4, pp. 628-633, 1991.
- [31] 謝承佑, "利用奈米圖案化藍寶石基板改善氮化鎵品質以及成長半極性氮化鎵於 a 面圖案化藍寶石基板," 博士, 材料科學與工程學系, 國立交通大學, 新竹市, 2012. [Online]. Available: <https://hdl.handle.net/11296/7dj83q>
- [32] D. Wu *et al.*, "Defect reduction and efficiency improvement of near-ultraviolet emitters via laterally overgrown GaN on a GaN/patterned sapphire template," *Applied Physics Letters*, vol. 89, no. 16, 2006.
- [33] B. Chen, F. E. Tay, and C. Iliescu, "Development of thick film PECVD amorphous silicon with low stress for MEMS applications," in *Micro-and Nanotechnology: Materials, Processes, Packaging, and Systems IV*, 2008, vol. 7269: SPIE, pp. 130-140.
- [34] P. V. Pham, "Atmospheric Pressure Chemical Vapor Deposition of Graphene," *Chem. Vap. Depos. Nanotechnol*, vol. 6, pp. 115-134, 2018.

- 
- [35] T. I. Awan, A. Bashir, and A. Tehseen, *Chemistry of nanomaterials: fundamentals and applications*. Elsevier, 2020.
- [36] S. Bradbury, D. C. Joy, and B. J. Ford. "scanning electron microscope." Encyclopedia Britannica. <https://www.britannica.com/technology/scanning-electron-microscope> (accessed July 4, 2023).
- [37] T. F. S. P.-W. BV. "How to Mix Backscattered and Secondary Electron Images." AZoM. <https://www.azom.com/article.aspx?ArticleID=16390> (accessed July 4, 2023).
- [38] B. Stefanov, "Photocatalytic TiO₂ thin films for air cleaning: Effect of facet orientation, chemical functionalization, and reaction conditions," *Acta Universitatis Upsaliensis*, 2015.
- [39] 國科會基礎研究核心設施儀器. "高效能可變溫多功能 X 光繞射儀." https://irc.ord.nycu.edu.tw/nstc_instrument/physics/low-temp-xrd/ (accessed July 26, 2023).
- [40] V. Montedoro *et al.*, "Cathodoluminescence of undoped and Si-doped ϵ -Ga₂O₃ films," *Materials Science and Engineering: B*, vol. 264, p. 114918, 2021.
- [41] G. Nichols, "Applications of cathodoluminescence spectroscopy and imaging in the characterisation of pharmaceutical materials," *European journal of pharmaceutical sciences*, vol. 45, no. 1-2, pp. 19-42, 2012.
- [42] Attolight. "Attolight Allalin." <https://attolight.com/allalin/#tab-1626782756-1-47> (accessed July 7, 2023).
- [43] N. Yamamoto *et al.*, "Cathodoluminescence characterization of dislocations in gallium nitride using a transmission electron microscope," *Journal of applied physics*, vol. 94, no. 7, pp. 4315-4319, 2003.
- [44] M. Albrecht, J. Weyher, B. Lucznik, I. Grzegory, and S. Porowski, "Nonradiative recombination at threading dislocations in n-type GaN: Studied by cathodoluminescence and defect selective etching," *Applied Physics Letters*, vol. 92, no. 23, 2008.
- [45] S. Rosner, E. Carr, M. Ludowise, G. Girolami, and H. Erikson, "Correlation of cathodoluminescence inhomogeneity with microstructural defects in epitaxial GaN grown by metalorganic chemical-vapor deposition," *Applied Physics Letters*, vol. 70, no. 4, pp. 420-422, 1997.
- [46] J. Speck and S. Rosner, "The role of threading dislocations in the physical

- properties of GaN and its alloys," *Physica B: Condensed Matter*, vol. 273, pp. 24-32, 1999.
- [47] J. Lähnemann *et al.*, "Carrier Diffusion in Ga N: A Cathodoluminescence Study. III. Nature of Nonradiative Recombination at Threading Dislocations," *Physical Review Applied*, vol. 17, no. 2, p. 024019, 2022.
- [48] T. Sugahara *et al.*, "Direct evidence that dislocations are non-radiative recombination centers in GaN," *Japanese journal of applied physics*, vol. 37, no. 4A, p. L398, 1998.
- [49] S. Usami *et al.*, "Correlation between dislocations and leakage current of pn diodes on a free-standing GaN substrate," *Applied Physics Letters*, vol. 112, no. 18, 2018.
- [50] 國科會基礎研究核心設施儀器 . "低溫陰極螢光分析系統."
https://irc.ord.nycu.edu.tw/nstc_instrument/physics/crygenic-cathodoluminescence/ (accessed July 26, 2023).
- [51] Y.-h. Liu, Y.-j. Sun, G.-j. Zhao, L.-m. Liao, T. Wang, and Z.-z. Chen, "Crystal structure induced residue formation on 4H-SiC by reactive ion etching," *AIP Advances*, vol. 6, no. 6, 2016.
- [52] M. Lazar *et al.*, "Deep SiC etching with RIE," *Superlattices and microstructures*, vol. 40, no. 4-6, pp. 388-392, 2006.
- [53] W. Reichert, D. Stefan, E. Obermeier, and W. Wondrak, "Fabrication of smooth β -SiC surfaces by reactive ion etching using a graphite electrode," *Materials Science and Engineering: B*, vol. 46, no. 1-3, pp. 190-194, 1997.
- [54] S. Tanaka, K. Rajanna, T. Abe, and M. Esashi, "Deep reactive ion etching of silicon carbide," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, vol. 19, no. 6, pp. 2173-2176, 2001.
- [55] L. Jiang, R. Cheung, R. Brown, and A. Mount, "Inductively coupled plasma etching of SiC in SF₆/O₂ and etch-induced surface chemical bonding modifications," *Journal of applied physics*, vol. 93, no. 3, pp. 1376-1383, 2003.
- [56] L. E. Luna, M. J. Tadjer, T. J. Anderson, E. A. Imhoff, K. D. Hobart, and F. J. Kub, "Deep reactive ion etching of 4H-SiC via cyclic SF₆/O₂ segments," *Journal of Micromechanics and Microengineering*, vol. 27, no. 9, p. 095004, 2017.
- [57] H.-K. Sung *et al.*, "Vertical and bevel-structured SiC etching techniques

- incorporating different gas mixture plasmas for various microelectronic applications," *Scientific reports*, vol. 7, no. 1, p. 3915, 2017.
- [58] R. J. Hoekstra, M. J. Kushner, V. Sukharev, and P. Schoenborn, "Microtrenching resulting from specular reflection during chlorine etching of silicon," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, vol. 16, no. 4, pp. 2102-2104, 1998.
- [59] O. Seok, Y.-J. Kim, and W. Bahng, "Micro-trench free 4H-SiC etching with improved SiC/SiO₂ selectivity using inductively coupled SF₆/O₂/Ar plasma," *Physica Scripta*, vol. 95, no. 4, p. 045606, 2020.
- [60] K. M. Dowling, E. H. Ransom, and D. G. Senesky, "Profile evolution of high aspect ratio silicon carbide trenches by inductive coupled plasma etching," *Journal of Microelectromechanical Systems*, vol. 26, no. 1, pp. 135-142, 2016.
- [61] N. Okamoto, "Elimination of pillar associated with micropipe of SiC in high-rate inductively coupled plasma etching," *Journal of Vacuum Science & Technology A*, vol. 27, no. 2, pp. 295-300, 2009.
- [62] L. Voss *et al.*, "SiC via fabrication for wide-band-gap high electron mobility transistor/microwave monolithic integrated circuit devices," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, vol. 26, no. 2, pp. 487-494, 2008.
- [63] L. Hiller, T. Stauden, R. M. Kemper, J. K. Lindner, D. J. As, and J. Pezoldt, "ECR-Etching of Submicron and Nanometer Sized 3C-SiC (100) Mesa Structures," in *Materials Science Forum*, 2012, vol. 717: Trans Tech Publ, pp. 901-904.