

國立臺灣大學電機資訊學院電子工程學研究所



碩士論文

Graduate Institute of Electronics Engineering
College of Electrical Engineering and Computer Science

National Taiwan University

Master Thesis

常關式氮化鎵/氮化鋁鎵金氧半高電子遷移率電晶體之製作與
介面缺陷分析

Fabrication of Normally-off AlGaIn/GaN MOSHEMTs and
Analysis of Interface Traps

蔡宗翰

Tzung-Han Tsai

指導教授：吳肇欣 博士

Advisor: Chao-Hsin Wu, Ph.D.

中華民國 105 年 7 月

July, 2016



國立臺灣大學碩士學位論文
口試委員會審定書

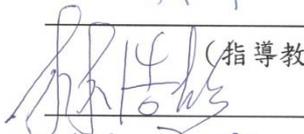
常關式氮化鎵/氮化鋁鎵金氧半高電子遷移率電晶體之製作與
介面缺陷分析

Fabrication of Normally-off AlGaIn/GaN MOSHEMTs and
Analysis of Interface Traps

本論文係蔡宗翰君 (r03943112) 在國立臺灣大學電子工程學研究所完成之碩士學位論文，於民國 105 年 7 月 26 日承下列考試委員審查通過及口試及格，特此證明

口試委員：

吳肇欣

	(指導教授)	
		

系主任、所長



誌謝

能夠順利地完成這篇論文，第一個要感謝的就是我的指導教授，吳肇欣博士，在兩年的碩士生活中，我從老師身上學到的不僅僅是專業知識，老師同時也教導了我們做事的方法，以及做人處事的道理，並時常砥礪我們要努力追尋自己的夢想，實在是受益良多，另外，也要感謝口試委員林浩雄教授、黃建璋教授以及吳育任教授在百忙之中參與我們的口試，口試中提醒了論問內容的一些缺失以及問題，並耐心地給予建議，使我的論文能夠以更完整的狀態呈現。

再來要感謝實驗室的學長們，最感謝的是立成學長，總是扮演著實驗室的大支柱，實驗上遇到問題都很耐心地跟我討論。再來就是承翰學長，在製程方面或進行量測時常常給予我很好的建議。雲聲學長在我實驗最後衝刺的階段也幫了我很多忙。最後是負責帶我做實驗的新逸學長，總是不厭其煩地教導我做實驗的方法，也常常陪我打球解悶。

一起為論文打拼的家銘、懷碩、尚封、棋翔、勇霖和楊旻，吃飯一起，出去玩一起，因為有你們的陪伴，才能熬過碩二這一年的艱辛，最要感謝的是楊旻，在我進行計畫時幫了我很多忙，陪我度過許多製程的夜晚，希望畢業後大家還能常連絡。

感謝學弟益宏在進行製程時幫了我很多的小忙，常常要跟著我在很奇怪的時間做實驗，甚至沒車回家，相信你能扛起整個 GaN 組。感謝承家、洵銘、浩育、言謙、芸瑄替實驗室帶來了不一樣的氣氛，希望你們能延續 IOED 優良的傳統，繼續發光發熱。

另外，要感謝楊老師實驗室的群涵學長，借了許多儀器給我使用，並耐心地教我操作方法。再來是黃老師實驗室的昕逸同學以及俊勳學弟，在量測方面幫了我許多忙，也常常和我一起討論製程，沒有你們，我的論文不可能順利完成。

最後，要感謝我的爸媽跟我妹，總是擔心我熬夜吃不好，每次回家都是一桌好料等我，希望以後的日子也都能有你們的陪伴。

摘要



在這篇論文中我們進行了常關式氮化鋁鎵/氮化鎵高電子遷移率電晶體的製作，首先分別探討氟離子處理與閘極掘入製程對元件臨限電壓的偏移的影響，之後則結合氟離子處理與閘極掘入製程進行元件的製作，並利用熱退火處理的方式進行乾蝕刻後的表面修復，製作出來的元件臨限電壓約有 2 V 的正向偏移。

為了抑制閘極漏電流並使元件可以操作在更高的閘極偏壓下，我們利用氧化鋁做為閘極介電質，成功使閘極電流下降約 10^4 數量級，但由於離子轟擊造成的介面缺陷，閘極對通道的控制能力下降，臨限電壓大量的往負向偏移，為了降低介面缺陷，我們利用 KOH 稀釋溶液進行表面修復，並針對閘極掘入式金氧半高電子遷移率電晶體做探討。

為了製作出常關式元件，我們將氮化鋁鎵障壁層完全移除，並利用極低的蝕刻速率精準地控制蝕刻深度，製作出來特性最好的元件臨限電壓約為 1 V，最大飽和電流密度約為 285 mA/mm，同時我們利用電容-電壓及脈衝電流-電壓量測方法進行介面缺陷的分析，並比較二維電子氣通道和反轉層通道元件的差異。

關鍵字：常關式、高電子遷移率電晶體、臨限電壓、介面缺陷、反轉層通道

Abstract



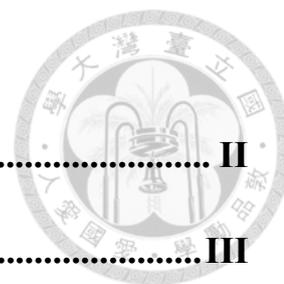
In this thesis, we focus on the fabrication of normally-off AlGaIn/GaN high electron mobility transistor (HEMT). First of all, we discuss the effect of fluoride-based plasma treatment and gate recess process on the shift of threshold voltages of the device. Then, the device is fabricated with the combination of fluoride-based plasma treatment and recess-gate structure. A thermal annealing process is used to repair the surface after dry etch. The device shows positively threshold voltage shift of 2 V.

To reduce the gate leakage current and ensure that the device can be biased at higher gate voltage, Al_2O_3 is used as gate dielectric and the gate current is decreased about four order of magnitudes. Interface trap emerges after ion bombardment, which reduces the gate-control-ability and makes threshold voltage shift toward negative seriously. In order to reduce interface traps, KOH diluent is used to passivate the surface and we focus on the fabrication of gate recess MOSHEMT.

To fabricate normally-off devices, AlGaIn barrier is fully removed with very low etching rate that can precisely control the recess depth. Device with high performance shows threshold voltage of 1V and maximum drain current of 285 mA/mm. The C-V and pulse I-V measurement are used to analyze interface traps. And we compare the difference between two-dimensional electron gas (2DEG) channel devices and inversion channel devices.

Key words: Normally-off, HEMT, threshold voltages, interface traps, inversion channel

目錄



誌謝	II
摘要	III
Abstract	IV
目錄	V
圖目錄	VIII
表目錄	XII
第 1 章 緒論.....	1
1.1 背景介紹.....	1
1.2 氮化鎵材料特性介紹.....	3
1.3 研究動機與論文概述.....	7
第 2 章 氮化鋁鎵/氮化鎵高電子遷移率電晶體之製程開發與不同製程	
下之特性探討	12
2.1 光罩線寬與結構設計.....	12
2.2 閘極掘入式與氟離子處理之高電子遷移率電晶體製作.....	14
2.2.1 電晶體磊晶結構與製程條件變化的介紹.....	14
2.2.2 電晶體製作流程.....	17
2.2.3 電晶體直流特性分析與討論.....	23
2.3 結合閘極掘入製程與氟離子處理製作之高電子遷移率電晶體.....	29



2.3.1	電晶體磊晶結構與製程條件變化的介紹.....	29
2.3.2	電晶體製作流程.....	32
2.3.3	電晶體直流特性分析與討論.....	37

第 3 章 氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之製程開發與不同製程下之特性探討43

3.1	結合閘極掘入製程與氟離子處理之金氧半高電子遷移率電晶體製作.....	43
3.1.1	電晶體磊晶結構與製程條件變化的介紹.....	43
3.1.2	電晶體製作流程.....	47
3.1.3	電晶體直流特性分析與討論.....	51
3.2	閘極掘入式金氧半高電子遷移率電晶體製作與閘極區域溼蝕刻式表面修復.....	61
3.2.1	電晶體製程條件變化與製作流程.....	61
3.2.2	電晶體直流特性分析.....	66

第 4 章 常關式反轉層通道閘極掘入式氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之製作與介面缺陷分析73

4.1	反轉層通道氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之製作..	73
4.1.1	電晶體製程條件變化與製作流程.....	73
4.1.2	電晶體直流特性分析.....	78

4.2	反轉層通道氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之介面缺陷分析	83
4.2.1	電晶體氧化鋁/氮化鋁鎵介面缺陷捕捉/釋放電子造成之臨限電壓偏移	83
4.2.2	利用變頻電容-電壓量測與脈衝電流-電壓量測方法分析介面缺陷	89
第 5 章 結論與未來展望		98
參考文獻.....		100



圖目錄



圖 1.1 2013 年到 2023 年氮化鎵功率元件市場產值分析[2]	2
圖 1.2 氮化鎵與其他材料特性比較[6].....	5
圖 1.3 室溫下半導體的晶格常數與能隙圖[7].....	5
圖 1.4 鎵原子面與氮原子面氮化鎵自發極化方向示意圖[8].....	6
圖 1.5 鎵原子面與氮原子面受到伸張與壓縮時壓電極化方向示意圖[9].....	6
圖 1.6 2011 年到 2014 年間 IEDM 三五族半導體材料會議文章篇幅增長比較圖	9
圖 1.7 砷化鎵與氮化鎵為基礎材料之高電子遷移率電晶體異質結構差異圖 ...	9
圖 1.8 高電子遷移率電晶體使用閘極掘入製程示意圖	10
圖 1.9 高電子遷移率電晶體使用氟離子處理製程示意圖	10
圖 1.10 高電子遷移率電晶體在閘極區域成長 P 型披覆層示意圖	11
圖 2.1 電晶體在光罩中之設計示意圖	13
圖 2.2 晶圓 sample 1 之磊晶結構圖	16
圖 2.3 元件製作流程與結構示意圖	16
圖 2.4 元件隔離製程示意圖	20
圖 2.5 汲源極歐姆接觸金屬製程示意圖	20
圖 2.6 鈍化層沉積與閘極掘入及氟離子處理製程示意圖	21
圖 2.7 汲源極金屬接觸洞製程示意圖	21
圖 2.8 閘極與場板金屬蒸鍍後元件完成示意圖	22
圖 2.9 (a) Standard (b) F- treatment (c) Recessed (d) Recessed w/ recovery 電晶體之 $I_D - V_{DS}$ 特性曲線圖	25
圖 2.10 (a) Standard (b) F treatment (c) Recessed (d) Recessed w/ recovery 電晶體之 $I_D - V_{GS}$ 特性曲線圖	26
圖 2.11 利用 BOE 與 RIE 進行閘極區域氮化矽移除之元件顯微鏡下觀測圖 ...	27

圖 2.12 元件 A1~A3 電晶體之 $I_D - V_{GS}$ 特性曲線對數作圖.....	27
圖 2.13 元件 A3 和 A4 電晶體之 $I_D - V_{GS}$ 特性曲線對數作圖.....	28
圖 2.14 晶圓 sample 2 之磊晶結構圖.....	31
圖 2.15 元件製作流程與結構示意圖.....	31
圖 2.16 元件隔離製程示意圖.....	34
圖 2.17 汲源極歐姆接觸金屬製程示意圖.....	35
圖 2.18 鈍化層沉積與閘極掘入及氟離子處理製程示意圖.....	35
圖 2.19 閘極與場板金屬蒸鍍後元件完成示意圖.....	36
圖 2.20 汲源極金屬接觸洞蝕刻.....	36
圖 2.21 (a) R0_F0 (b) R0_F150 (c) R15_F0 (d) R15_F150.....	40
電晶體之 $I_D - V_{DS}$ 特性曲線圖.....	40
圖 2.22 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖.....	40
圖 2.23 相同閘極偏壓下不同電晶體之 $I_D - V_{DS}$ 特性曲線圖.....	41
圖 2.24 元件 B1 ~ B4 之導通電流與導通電阻對臨限電壓關係圖.....	41
圖 2.25 電晶體在 1MHZ 頻率下量測之電容-電壓特性圖.....	42
圖 3.1 晶圓 sample 1 之磊晶結構圖.....	45
圖 3.2 元件製作流程與結構示意圖.....	46
圖 3.3 氮化矽鈍化層經 700°C 熱退火後顯微鏡下拍攝圖.....	46
圖 3.4 元件製程簡化示意圖.....	50
圖 3.5 電晶體 C1 和 C2 之 $I_D - V_{DS}$ 特性曲線圖.....	56
圖 3.6 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖.....	56
圖 3.7 (a) R15_F150_O10 (b) R15_F150_O20 電晶體之 $I_D - V_{DS}$ 特性曲線圖.....	57
圖 3.8 電晶體直流模型.....	57
圖 3.9 萃取歐姆接觸電阻傳輸線模型設計示意圖.....	57
圖 3.10 不同電晶體歐姆接觸電阻萃取.....	58

圖 3.11 (a) R15_F150_O10 (b) R15_F150_O20 電晶體之 $I_D - V_{GS}$ 特性曲線圖	58
圖 3.12 元件 Standard 與 R20_F150_O10 之 $I_D - V_{GS}$ 特性曲線圖	59
圖 3.13 元件 C1 ~ C4 在 1 MHz 頻率下量測之電容-電壓特性	59
圖 3.14 元件 Standard 與 R20_F150_O20 在 1MHz 下之電容-電壓磁滯曲線	60
圖 3.15 元件製作流程與結構示意圖	65
圖 3.16 元件製程簡化示意圖	65
圖 3.17 (a) R0_O0 (b) R20_O10 (c) R0_O20_KOH (d) R30_O10 電晶體之 $I_D - V_{DS}$ 特性曲線圖	69
圖 3.18 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖	70
圖 3.19 $I_D - V_{GS}$ 圖線性外插法萃取臨限電壓圖	70
圖 3.20 元件 D1 ~ D4 在 1 MHz 頻率下量測之電容-電壓特性	71
圖 3.21 元件 D1 ~ D4 在 1MHz 頻率下量測之電容-電壓磁滯曲線	72
圖 4.1 元件製作流程與結構示意圖	77
圖 4.2 閘極蝕刻測試片在 AFM 下之觀測圖	77
圖 4.3 (a) R40_O0 (b) R45_O10 (c) R50_O10 電晶體之 $I_D - V_{DS}$ 特性曲線圖	80
圖 4.4 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖	80
圖 4.5 元件 R45_O10 在 TEM 下拍攝之剖面圖 (a)閘極蝕刻邊緣 (b)閘極蝕刻中間	82
圖 4.6 氧化層/氮化鋁鎵/氮化鎵結構在 (a) $V_G = 0 V$ (b) $V_G = +5 V$ (c) $V_G = -5 V$ 之能帶示意圖	85
圖 4.7 元件 R40_O10 經過數次直流量測後之(a) $I_D - V_{GS}$ (b) $I_D - V_{DS}$ 特性曲線圖	86
圖 4.8 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 經過不同時間 stress 後之臨限電壓變化	86
圖 4.9 元件 stress 時間與臨限電壓之變化圖	87

圖 4.10 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 經過不同時間 recover 後之 臨限電壓變化	88
圖 4.11 元件 recover 時間與臨限電壓之變化圖	88
圖 4.12 文獻中模擬元件在不同數量的介面缺陷下之電容-電壓特性圖	92
圖 4.13 元件在 1MHz 頻率下量測電容-電壓特性圖	92
圖 4.14 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 在不同頻率下量測之電容- 電壓特性圖	93
圖 4.15 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 直流和脈衝量測之 $I_D - V_{GS}$ 特性圖	94
圖 4.16 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 崩潰電壓量測圖	96

表目錄

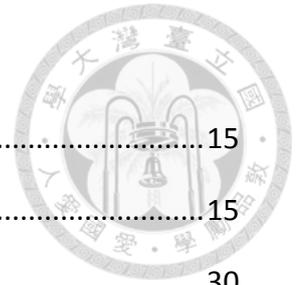


表 2.1 Sample 1 霍爾量測之材料特性	15
表 2.2 元件 A1 ~ A4 之製程變化與條件整理	15
表 2.3 Sample 2 霍爾量測之材料特性	30
表 2.4 元件 B1 ~ B4 之製程變化與條件整理	30
表 2.5 元件 B1 ~ B4 數據整理表	39
表 3.1 Sample 3 霍爾量測之材料特性	45
表 3.2 元件 C1 ~ C4 之製程變化與條件整理	45
表 3.3 元件 C1 ~ C4 數據整理表	55
表 3.4 元件 C1 ~ C4 利用傳輸線模型萃取出之相關數據	55
表 3.5 元件 D1 ~ D4 之製程變化與條件整理	64
表 4.1 元件 E1 ~ E3 之製程變化與條件整理	76
表 4.2 本篇實驗中之元件與其他團隊之元件特性比較表	97

第1章 緒論



1.1 背景介紹

隨著全球高科技產業的日漸發展，能源的需求也逐漸提升，但地球蘊藏之石化資源只會逐漸枯竭，同時不斷使用石化能源的情況下，所產生之溫室氣體和全球氣候暖化早已成為事實，除此之外，人類生產的能源在輸送、利用的過程中，各種轉換就會造成消耗。國際能源總署 (International Energy Agency ,IEA) 預計全球未來 20 年內的能源消耗量將增加 35% [1]，而全球使用的能源大約有 1/3 是以電力的形式消耗，因此電力元件之高轉換效能是現今人類追求的目標。高功率元件應用的範圍廣泛，如油電混合車(HEV/PHEV)、電動車(EV)、電源供應器 (Power supply)、馬達控制器(Motor controller)等領域。

在現今半導體產業中，矽材料靠著低成本及易於整合的特性，目前仍是眾多企業關注的焦點，但隨著元件尺度的微縮，短通道效應將會嚴重地影響元件效能，且為了製作小線寬元件，製程上的成本將大幅提升，如此已失去矽材料所具有低成本的優勢。具有潛力取代矽材料延續摩爾定律(Moore's Law)的即為三五族材料，在高頻傳輸部分，因其高電子遷移率及低雜訊的特性，適合應用於製作高頻元件；在功率元件應用上，三五族材料具有耐高溫、高壓的特性，散熱特性也較矽材料好，具有更佳的能量轉換效率。

在功率元件方面，氮化鎵受到眾多企業關注，因其具有寬能隙、高載子遷移率、高崩潰電場等特性，圖 1.1 為近幾年氮化鎵功率元件產值分析[2]，市場對於氮化鎵高功率元件的需求將日益增加，相較於矽功率元件，氮化鎵功率元件具有節能、高工作電壓、高工作溫度及高工作頻率等優勢，同時氮化鎵因其寬能隙的特性，具有極佳的光電轉換效率，在光電元件應用上也極具優勢[3]。

為了節省成本，氮化鎵通常會磊晶在矽(Si)、碳化矽(SiC)或藍寶石(sapphire)

基板上，但由於材料的晶格不匹配(lattice mismatch)要成長大面積的氮化鎵基板是極困難且高成本的，目前矽基氮化鎵(GaN-on-Si)磊晶技術成熟，已可磊晶出 8 吋高品質的晶圓，目前工研院研究氮化鋁鎵/氮化鎵超晶格(Superlattice) 低缺陷密度緩衝層技術[4]，未來發展具有極大的潛力。

氮化鎵等材料廣泛應用在製作可見光發光二極體[5]，近年來，以氮化鋁鎵/氮化鎵(AlGaN/GaN)異質接面做成的高電子遷移率電晶體(High Electron Mobility Transistor)的發展已被高度關注，因其自發極化效應以及壓電效應產生的二維電子氣(2DEG)，不需要額外的參雜就可以達到達到很高的電子遷移率以及高電子濃度，雖然相較於砷化鎵等等材料的極高電子遷移率在高速元件上的表現氮化鎵還是略遜一籌，但其不低的電子遷移率以及高崩潰電壓在現今追求高頻、高壓和高溫的操作下，可以發揮的更加全面。

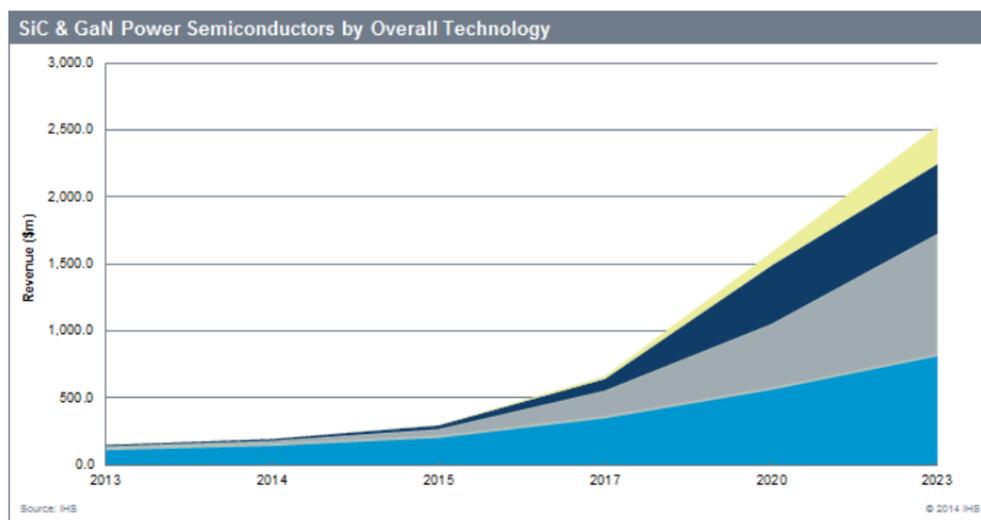


圖 1.1 2013 年到 2023 年氮化鎵功率元件市場產值分析[2]



1.2 氮化鎵材料特性介紹

三五族半導體如氮化鎵(GaN)、氮化鋁(AlN)以及氮化銦(InN)等材料具有寬能隙、高電子遷移率和高崩潰電場，相較於矽材料在電子材料的應用上更具有優勢，圖 1.2 [6]為氮化鎵與其他材料比較整理圖表，氮化鎵具有比矽更高的電子遷移率，適合用於高頻元件上，而高崩潰電場、寬能隙及耐高溫的特性使氮化鎵相較其他三五族材料更適合應用於高功率元件上，目前氮化鎵材料發展受限於磊晶品質，圖 1.3 [7]為氮化鎵與其他材料晶格常數與能隙之比較，氮化鎵與矽的晶格常數差異甚大，造成磊晶上之困難，若能提升磊晶品質，氮化鎵材料將在未來半導體產業中佔有一席之地。

氮化鎵材料在磊晶時主要結構為纖鋅礦結構(Wurtzite)，此種非對稱結構在磊晶的垂直方向產生較大的極化效應，故以氮化鎵製成的電晶體除了有一般電晶體在異質接面因不同材料能隙差異形成能帶位移形成二維電子氣的機制外，極化效應也是其造成二維電子氣的重要因素之一。

在磊晶成長氮化鎵時，沿著不同方向成長的氮化鎵有著不同的極化方向，以終結面的不同可分為鎵原子面(Ga-face)與氮原子面(N-face)，如圖 1.4 所表示 [8]，利用 MOCVD 生長出來的大多為鎵原子面的氮化鎵，不同原子間的原子鍵結長度與自發極化效應有著很大的關係， a_0 與 c_0 為兩原子鍵結長度，當 c/a 偏離理想值 1.633 時，氮原子與鎵原子質心位置不重和在一點上，而形成電偶極造成自發性極化，鎵原子面的氮化鎵形成向下的自發極化方向，氮原子則為相反方向。故延伸於氮化鋁鎵也是一樣的情形，極化方向與氮化鎵生長方向同極化方向也同，自發極化正比於自發極化係數，自發極化公式 1.1 如下。

$$\mathbf{P}_{sp} = P_{sp} \cdot \mathbf{z} \quad (1.1)$$

其中 $\mathbf{z} = [0001]$ 。

壓電極化效應與自發極化效應有所不同，自發極化是由本身的原子組成結構

所導致，壓電極化效應是由兩種不同材料組成異質結構時因為不同的晶格常數，在接面處產生壓縮或伸張的應力而產生[9]，以傳統磊晶的氮化鋁鎵/氮化鎵結構為例，在生長完一層很厚的氮化鎵上再成長氮化鋁鎵，氮化鋁鎵是氮化鋁與氮化鎵以氮化鋁 25% 組成，由於氮化鋁晶格常數小於氮化鎵，故晶格常數較小的氮化鋁鎵磊在晶格常數較大的氮化鎵上會產生一個伸張的應力在氮化鋁鎵層上，氮化鎵會受到壓縮應力，但氮化鎵很厚，壓縮應力小於本身應力，可忽略，由公式 1.2 可判斷極化方向。

$$P_{PE} = 2 \frac{a-a_0}{a_0} \left(e_{31} - e_{33} \frac{C_{13}}{C_{33}} \right)$$

(1.2)

氮化鋁鎵材料之係數 $\left(e_{31} - e_{33} \frac{C_{13}}{C_{33}} \right)$ 為負值， $2 \frac{a-a_0}{a_0}$ 為正值，故壓電極化總體為負值，方向為與磊晶方向相反由表面指向基板方向，如圖 1.5 所示，顯示了鎵原子面與氮原子面的自發極化方向與晶格受到伸張與壓縮時的極化方向，鎵原子面的氮化鋁鎵受到晶格影響而被伸張，產生的壓電及化方向與自身的自發極化方向相同，皆是由表面指向基板；氮原子面則與鎵原子面的極化方向相反。



● Where Gallium Nitride Outstrips Other Semiconductor Materials

Semiconductor (commonly used compounds)		Silicon	Gallium arsenide (AlGaAs/InGaAs)	Indium phosphide (InAlAs/InGaAs) ^a	Silicon carbide	Gallium nitride (AlGaIn/GaN)
Characteristic	Unit					
Bandgap	eV	1.1	1.42	1.35	3.26	3.49
Electron mobility at 300 K	cm ² /Vs	1500	8500	5400	700	1000-2000
Saturated (peak) electron velocity	X10 ⁷ cm/s	1.0 (1.0)	1.3 (2.1)	1.0 (2.3)	2.0 (2.0)	1.3 (2.1)
Critical breakdown field	MV/cm	0.3	0.4	0.5	3.0	3.0
Thermal conductivity	W/cm•K	1.5	0.5	0.7	4.5	>1.5
Relative dielectric constant	ϵ_t	11.8	12.8	12.5	10.0	9.0

^a The compounds are loosely known as indium-based.

圖 1.2 氮化鎵與其他材料特性比較[6]

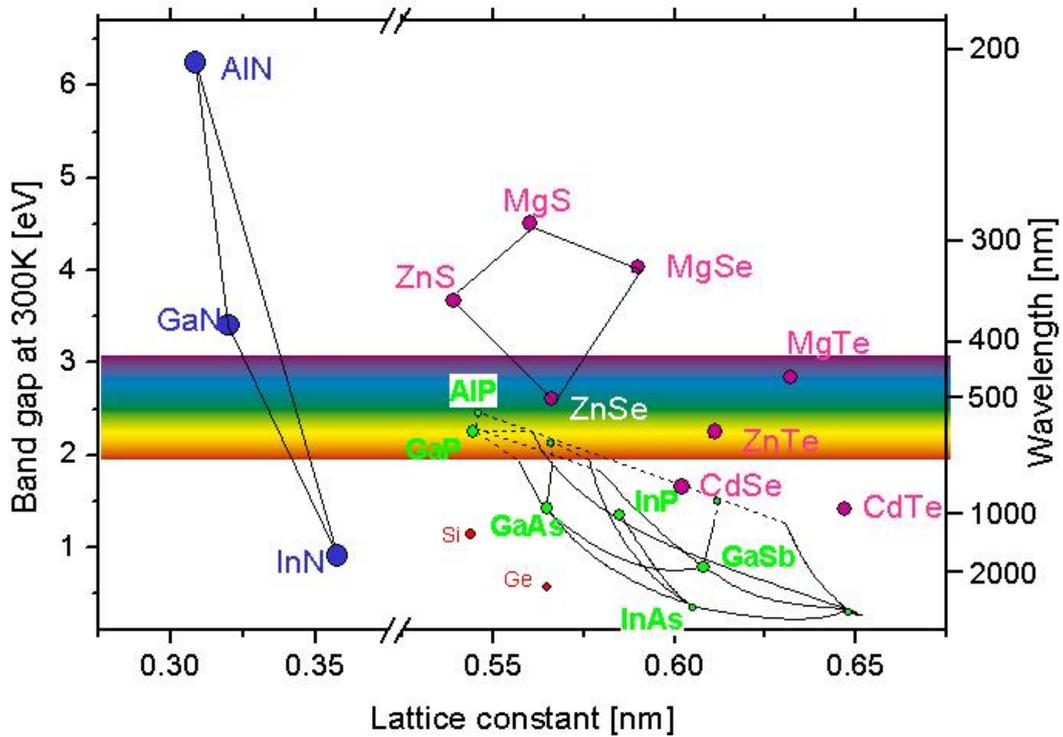


圖 1.3 室溫下半導體的晶格常數與能隙圖[7]

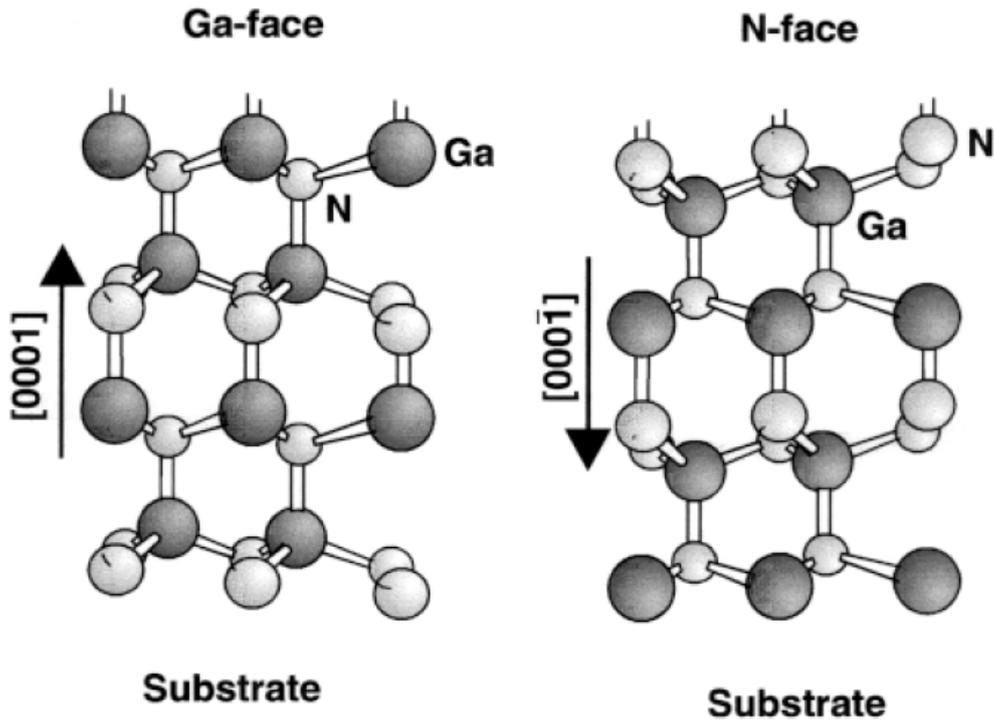


圖 1.4 鎵原子面與氮原子面氮化鎵自發極化方向示意圖[8]

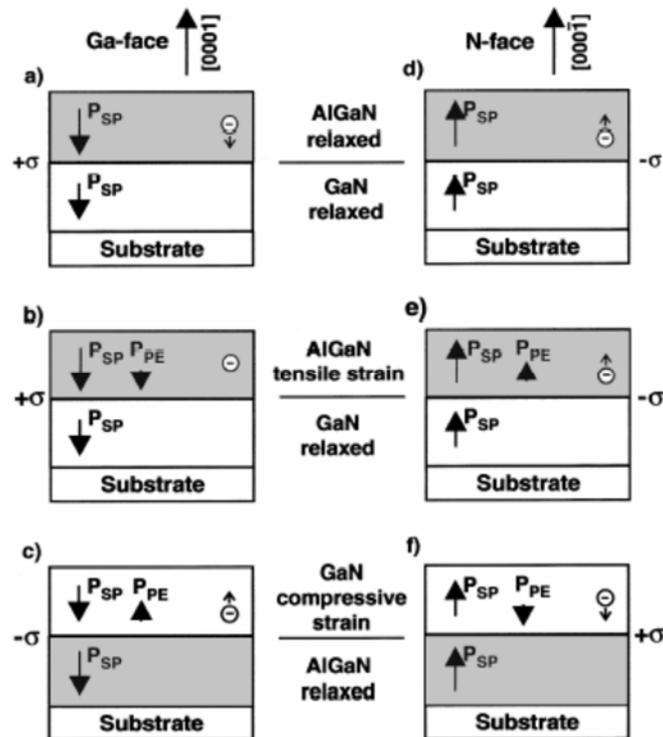


圖 1.5 鎵原子面與氮原子面受到伸張與壓縮時壓電極化方向示意圖[9]



1.3 研究動機與論文概述

氮化鎵作為材料的發展潛力與研究在近幾年來受到大家的重視，無論是在高頻元件、功率元件或是發光元件等方面都有許多的發表，無論是業界或是學界都投入許多的資金於相關研究上，就連原本以矽半導體起家的台灣積體電路公司都開設相關部門進行研究各式的電子元件，功率元件的發展在上述小節中之圖 1.1 可以觀察到在近幾年與未來幾年發展有著巨大的市值增加，氮化鎵作為功率元件的獨特材料特性與物理性質也吸引大量研究人員的投入，圖 1.6 為 2011 年至 2014 年間 IEDM 中三五半導體材料中各式元件佔據的篇幅，可以發現功率元件在研究的篇幅上在 2014 年的 IEDM 中大幅上升。

以氮化鎵為材料的高電子遷移率電晶體是由氮化鎵和其他材料，如：氮化鋁鎵(GaN)、氮化銦鎵(InGa_{0.5}N_{0.5})、氮化銦鋁(InAlN)形成異質接面，由於氮化鎵材料本身的極化效應與材料的壓電效應，在接面處會形成量子井的結構，此量子井會聚集電子，形成二維電子氣，與以砷化鎵為基礎的異質結構不同的地方是，以砷化鎵為基礎的異質結構需進行額外的參雜才可使能帶彎曲形成量子井的結構，圖 1.7 為兩種結構的差異。

由於氮化鎵材料本身的極化效應，導致氮化鋁鎵/氮化鎵異質接面的結構在閘極不施加閘極偏壓的情況下通道即存在電子屬於常開式(Normally-on)元件，此種元件在未施加閘極偏壓時即為導通狀態，會造成額外的能量損失，若要使其具有開關特性則需外接一常關式(Normally-off)元件，如此會造成更多的功耗，為了減少能量的消耗，我們需要製作常關型元件，也稱作增強型(Enhancement mode)元件，製作增強型的電晶體有著各種製程方法，有使用閘極掘入蝕刻法[10-11]，示意圖如圖 1.8，蝕刻閘極區域的障壁層使閘極更靠近通道，如此閘極將更容易空乏通道中的電子，達到常關型操作；在閘極使用氟離子處理法[12-15]，示意圖如圖 1.9 所表示，在閘極區域使用氟離子處理，使氟離子累積在障壁層空乏電

晶體通道內的二維電子氣，達到增強型元件操作；在閘極區域成長 P 型披覆層 [16-18]，如圖 1.10 所示，P 型披覆層與電晶體通道中的二維電子氣可視為 N 型，在 PN 接面間會產生空乏區，空乏二維電子氣，在不施加偏壓的情況達成增強型元件操作，但由於需多成長一層 P 形材料，磊晶的品質將嚴重地影響元件特性，因此在本次實驗中我們選用了閘極掘入蝕刻法與氟離子處理法進行實驗。

閘極掘入蝕刻法與氟離子處理法為一般常見製作常關型元件的方法，使用閘極掘入蝕刻法易造成閘極區域的損傷，使通道電阻上升，因此閘極掘入深度不宜太深，但為了獲得更大的臨限電壓，我們嘗試結合兩種製程方法製作出常關型元件。

第 2 章的實驗中，我們先分別探討閘極掘入製程與氟離子處理方法對元件特性的影響，同時利用熱處理修復法修復因閘極區域離子轟擊而形成的損傷，之後再將兩種製程結合，以獲得更大的臨限電壓；第 3 章則延續第 2 章的製程並增加氧化層的結構用以抑制閘極漏電流，但實驗結果中發現，閘極區域會因兩次的離子轟擊而嚴重損傷，因此最後改用閘極掘入製程並利用溶液修復的方式試圖降低閘極區域的缺陷；第 4 章延續第 3 章閘極掘入的製程，並增加閘極掘入深度製作出常關型元件，同時探討長時間的離子轟擊對元件介面的影響；第 5 章則做整篇論文的總結。

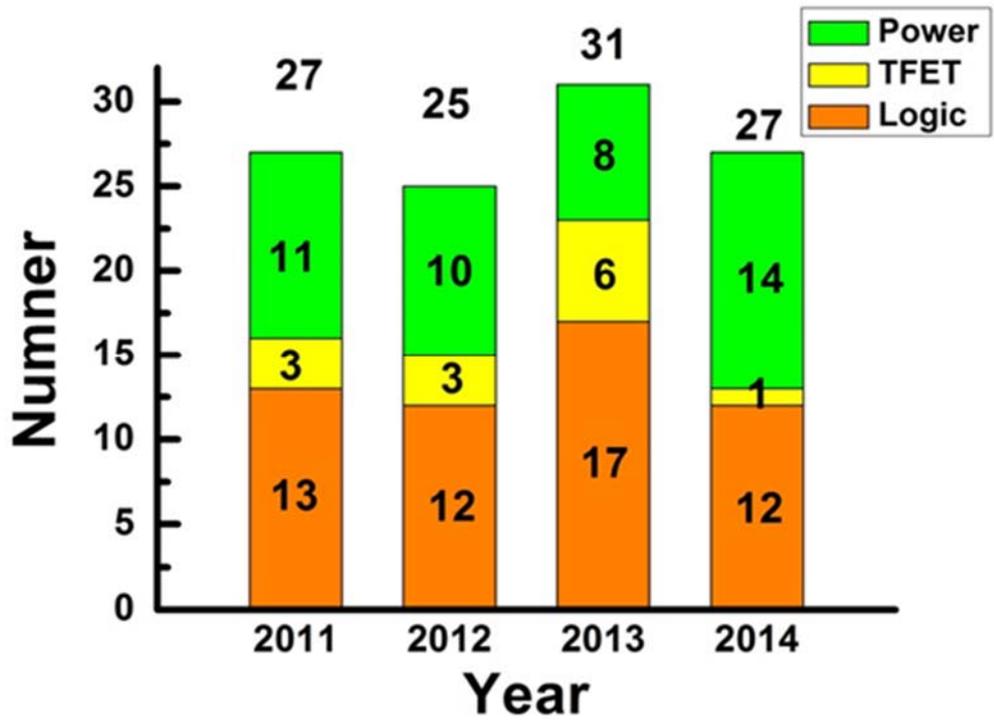


圖 1.6 2011 年到 2014 年間 IEDM 三五族半導體材料會議文章篇幅增長比較圖

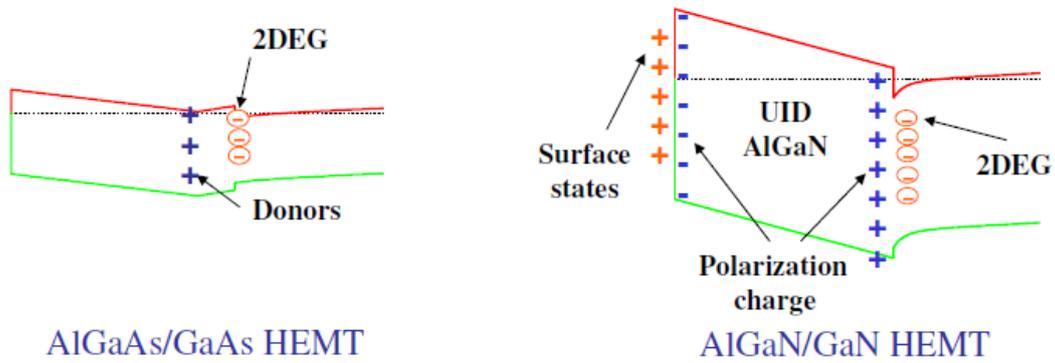


圖 1.7 砷化鎵與氮化鎵為基礎材料之高電子遷移率電晶體異質結構差異圖

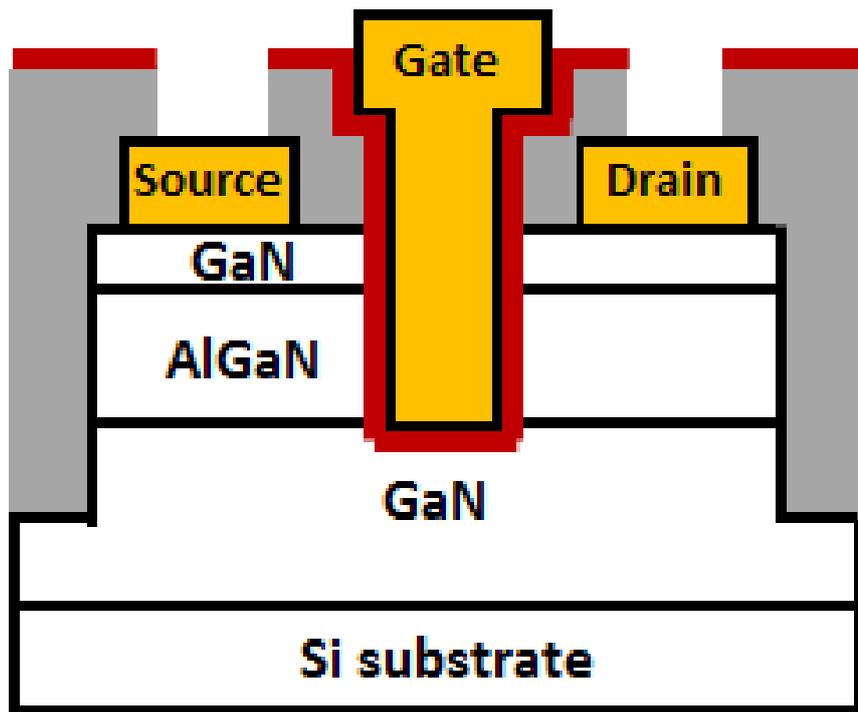


圖 1.8 高電子遷移率電晶體使用閘極堀入製程示意圖

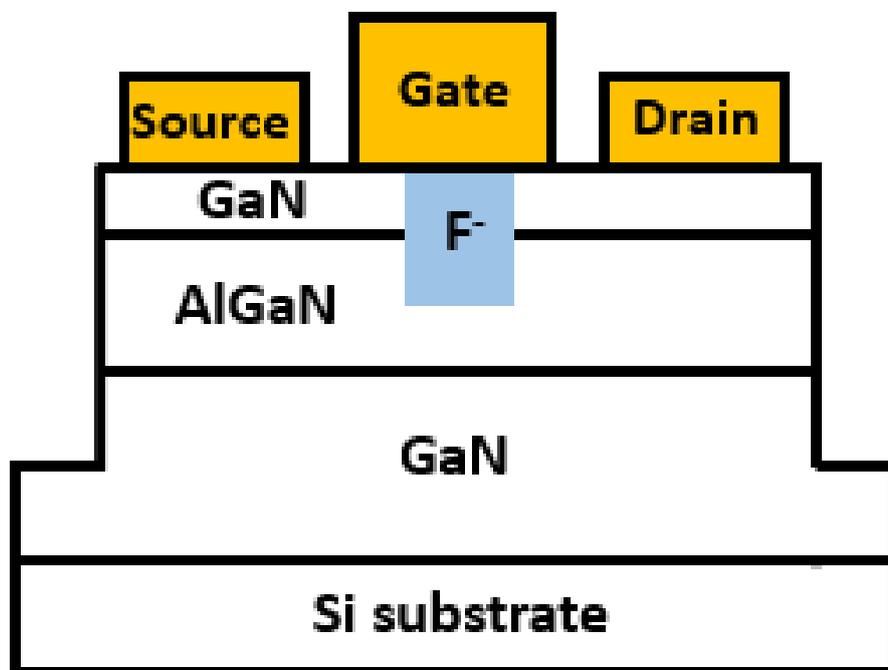


圖 1.9 高電子遷移率電晶體使用氟離子處理製程示意圖

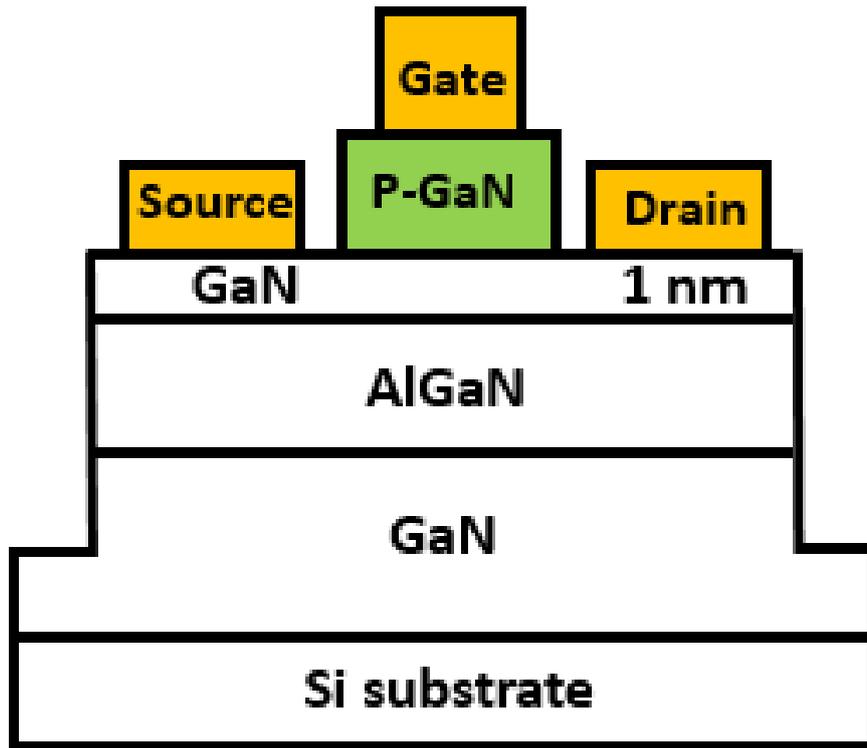


圖 1.10 高電子遷移率電晶體在閘極區域成長 P 型披覆層示意圖

第2章 氮化鋁鎵/氮化鎵高電子遷移率電晶體之製程 開發與不同製程下之特性探討



2.1 光罩線寬與結構設計

圖 2.1 為電晶體光罩設計的示意圖，藍色區域為單顆元件定義出的區域，黃色區域是汲極(Drain)與源極(Source)的歐姆電極，紫色區域為閘極金屬。

電晶體線寬設計上有 2、5、10、20 微米不同的閘極長度，閘極寬度有 60、80 微米兩種，閘極至源極距離為 3、5 微米，而為了探討閘極至汲極距離對崩潰電壓的影響，設計了 3、5、8、12、16 微米五種不同的距離，在此光罩上同時有 1、1.5、2、3、4、6 微米六種長度的場版(Field plate)設計，場板可以有效分散閘極邊緣的電場堆積現象，增進崩潰電壓[19]。

傳輸線模型(Transmission line model, TLM)四點探針量測的圖形也包含在此光罩設計中，用以量測電晶體的接觸電阻並判斷製程的穩定性，而每道製程都有蝕刻和金屬高度的量測圖形，可監控每道製程的結果。

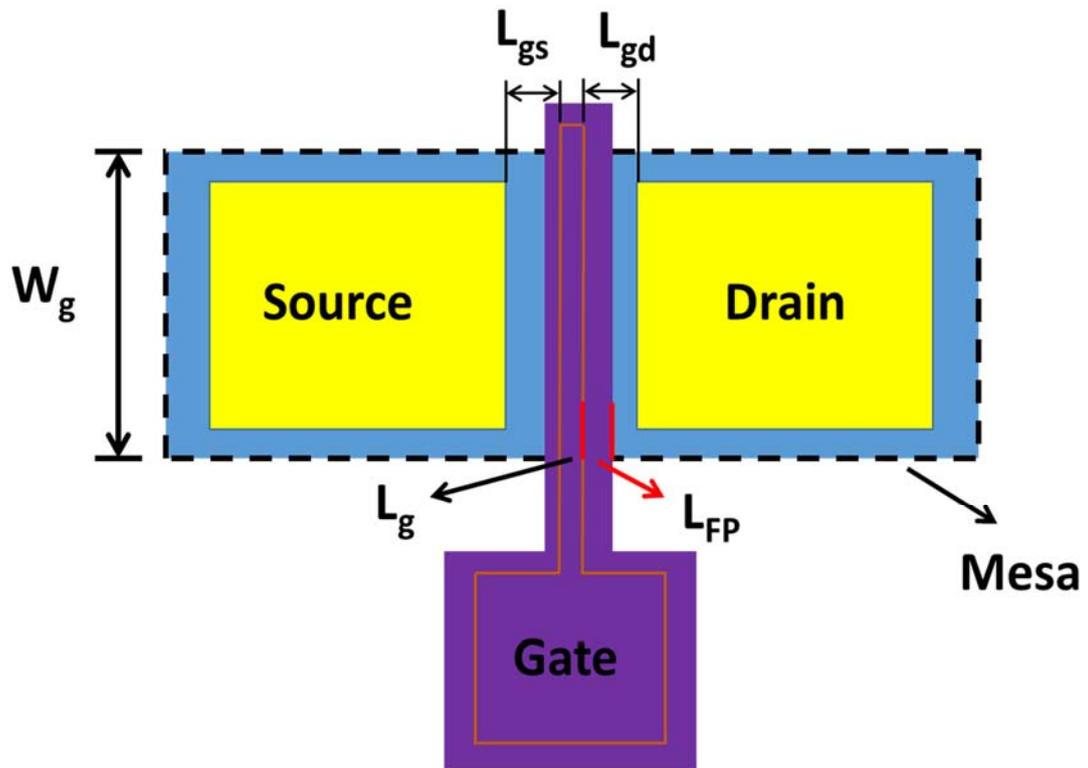


圖 2.11 電晶體在光罩中之設計示意圖

2.2 閘極掘入式與氟離子處理之高電子遷移率電晶體製作



2.2.1 電晶體磊晶結構與製程條件變化的介紹

本次實驗採用的是使用 MOCVD 在六吋矽基板(Silicon substrate)上進行磊晶的結構，我們將此晶圓命名為 sample 1，由下而上的結構為矽基板，之後生長以氮化鎵為主的緩衝層與通道層，接著成長 20 奈米厚的氮化鋁鎵作為障壁層，最後再生長 1 奈米厚的氮化鎵披覆層，磊晶結構示意圖如圖 2.2 所示。為了減少電晶體通道材料氮化鎵與矽基板材料間晶格不匹配，在磊晶時會成長一層厚度為數個微米等級的緩衝層，可以減少並有效抑制品格不匹配時造成的錯位(Dislocation)情形而產生的缺陷(Defect)，而障壁層與通道層之間因其異質界面產生的極化效應會產生一層約為數個奈米的二維電子氣(2DEG)通道，障壁層的厚度會影響通道電子濃度與臨限電壓，障壁層上成長了一層很薄的氮化鎵披覆層是防止原本在表面的氮化鋁鎵中的鋁接觸空氣產生自生氧化層。表 2.1 為 sample 1 霍爾量測(Hall measurement)得出的材料特性。

本次實驗主要有四種不同製程條件的電晶體元件，製作出來的元件分別稱為 A1、A2、A3 和 A4，四種元件的製作流程及元件完成示意圖如圖 2.3，四者都利用氮化矽(SiN_x)當做表面鈍化層(Passivation layer)，元件 A1 的閘極區域利用二氧化矽蝕刻液(BOE)移除，避免因乾蝕刻時的離子轟擊對元件電性造成影響，此元件未進行任何處理，是作為標準片，用以與其他兩種結構的元件做比較；元件 A2 的閘極區域利用反應式離子蝕刻機台(RIE)的離子轟擊移除，接著在同樣腔體內利用四氟化碳(CF_4)氣體進行氟離子的施打；元件 A3 利用離子轟擊將閘極區域移除後，再利用耦合式電漿離子蝕刻機台(ICP-RIE)進行閘極掘入的製程；元件 A4 的結構與 A3 相同，差別在於進行完閘極掘入的製程後，進行了閘極掘入區域的修復動作，四種元件製程變化的相關條件整理如表 2.2 所示。此次實驗

在於探討閘極掘入與氟離子處理對於電晶體的飽和電流以及臨限電壓之影響，詳細的製程步驟將在下一小節說明。



	Sample 1
片電阻(Ω/sq)	443
電子遷移率($\text{cm}^2/\text{V}\cdot\text{s}$)	634
載子濃度($1/\text{cm}^2$)	2.2×10^{13}

表 2.1 Sample 1 霍爾量測之材料特性

元件編號	閘極掘入蝕刻深度 (奈米)	氟離子施打時間 (秒)	閘極掘入區域修復
A1	0	0	無
A2	0	90	無
A3	15	0	無
A4	15	0	熱退火修復

表 2.2 元件 A1 ~ A4 之製程變化與條件整理

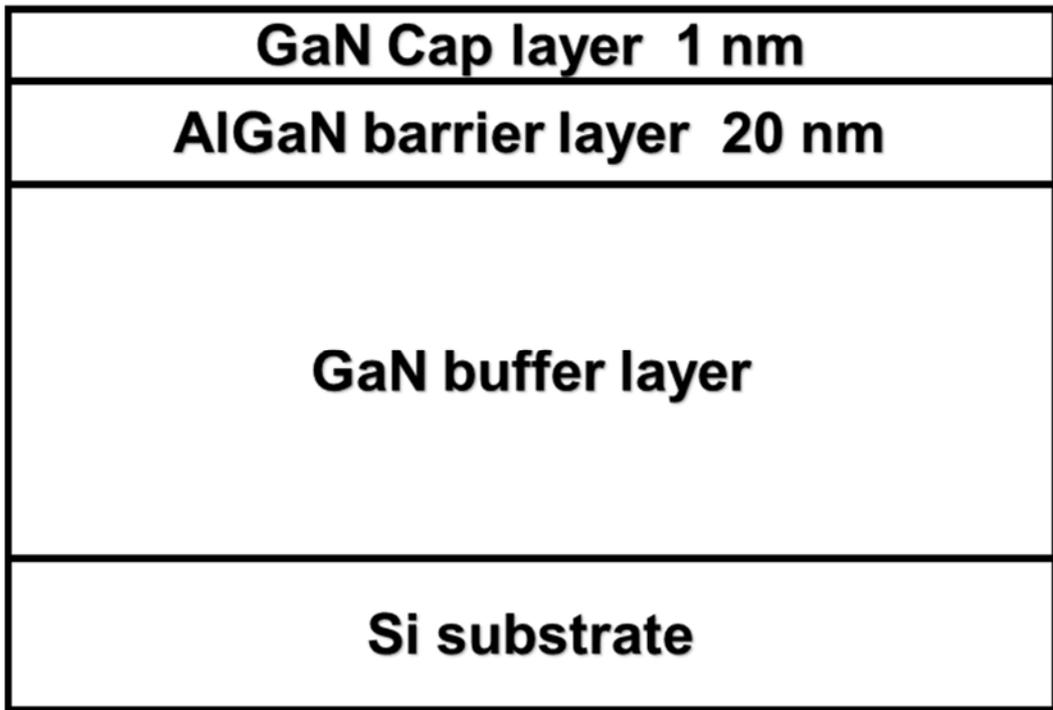


圖 2.2 晶圓 sample 1 之磊晶結構圖

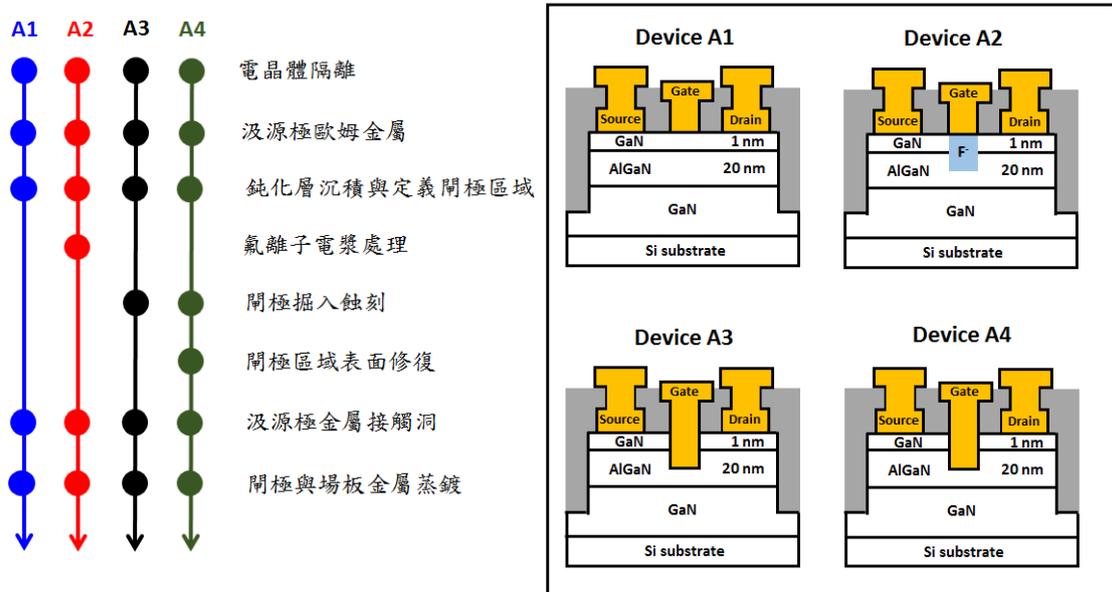


圖 2.3 元件製作流程與結構示意圖



2.2.2 電晶體製作流程

1. 試片表面清洗

在進行每一道製程之前都會進行表面清洗的動作，將試片置於裝有丙酮(ACE)的燒杯中，接著將燒杯放置於超音波震洗機中震洗五分鐘，其目的是除去表面上的有機物以及油脂，將試片從丙酮燒杯中取出以異丙醇(IPA)將試片表面脫水乾燥，以氮氣將試片吹乾，再置於攝氏 110°C 的熱平台(hot plate)上烤三分鐘，以去除水分。

2. 電晶體隔離的製作

為了避免各元件之間相互的影響，須進行電晶體隔離，這裡使用的是乾蝕刻隔離法，利用黃光微影定義出高台(Mesa)區域後，在放入感應耦合式電漿離子蝕刻機蝕刻出高台，本次蝕刻用的氣體為 Cl_2/BCl_3 ，蝕刻高度要完全將不同電晶體間的二維電子氣通道蝕刻完全分離，蝕刻的深度約為 250 奈米，蝕刻深度不能太深，否則將金屬鍍在高台上時金屬會有斷裂的可能性。電晶體隔離如圖 2.4 所示。

3. 汲源極歐姆金屬製作

歐姆金屬製作是很重要的一環，較低的歐姆接觸可以有效的降低導通電阻，降低能量的損耗，本次實驗選用的歐姆接觸金屬為鈦/鋁/鎳/金(Ti/Al/Ni/Au)，厚度為 250/1250/400/1500Å，在蒸鍍金屬前，會將試片放置在二氧化矽蝕刻液(Buffer oxide etcher)中去除原生氧化層，接著塗佈兩層不同光阻材料 PMGI 與 S1813，在經過黃光微影後形成底層光阻內凹的樣式，使蒸鍍完全金屬後掀離更加順利；接著再浸泡二氧化矽蝕刻液再次去除原生氧化層，最後使用電子束蒸鍍歐姆接觸金屬，再進行掀離(lift-off)步驟。

掀離完全金屬後除去剩餘的光阻，置入快速熱退火機台進行退火動作，使金屬與半導體形成合金，降低金屬接觸的阻值，快速熱退火的溫度為在氮氣環境下 850°C 退火 30 秒。製程示意圖如圖 2.5 所示。



4. 鈍化層沉積與定義閘極區域

在製程過程中，元件可能因在高溫環境下，或因電漿處理而在表面形成缺陷，此缺陷會造成電流崩陷(current collapse)的現象[20]，影響元件的效能，因此需生長一層鈍化層做為保護層，本實驗使用氮化矽做為鈍化層，進行完表面清理後，送進電漿輔助式化學氣相沉積儀器的腔體中，生長 100 奈米厚的氮化矽，此鈍化層同時可以做為場板的墊高平台。

生長完鈍化層後，以黃光微影定義閘極區域，再進行閘極區域氮化矽的去除，為了避免離子轟擊對元件的影響，元件 A1 利用二氧化矽蝕刻液濕蝕刻去除氮化矽；元件 A2、A3 和 A4 則使用反應式離子蝕刻機台去除氮化矽，通入四氟化碳(CF₄)氣體蝕刻氮化矽，氣體流量為 20 sccm，RF 功率為 150 W，環境壓力為 2 Pa，蝕刻率約為每秒 15~20 Å；元件 A3 和 A4 去除 100 奈米厚的氮化矽用超出速率計算 20%的時間蝕刻，時間約為 80 秒，而因四氟化碳氣體可解離出氟離子，可利用此氣體進行元件 A2 的氟離子處理，利用蝕刻氮化矽超出速率計算 100% 的蝕刻時間，時間約為 130 秒，比元件 A3 和 A4 多出 50 秒的時間當作氟離子的處理時間，將元件的閘極區域之氮化矽移除之後，再將元件 A3 與 A4 放入感應耦合式電漿離子蝕刻機進行閘極掘入的製程，利用與元件隔離蝕刻時不同濃度的 Cl₂/BCl₃ 蝕刻障壁層，使用低速率參數進行的轟擊，以方便控制深度，閘極掘入深度約為 15 奈米，元件 A4 在進行完閘極掘入後，利用熱退火進行閘極區域修復的動作，此次熱退火是使用快速升溫熱退火機台在氮氣環境下 700°C 退火 1 分鐘，目的是修復閘極區域因離子轟擊造成的損傷。製程示意圖如圖 2.6 所示。

5. 汲源極金屬接觸洞(Via hole)蝕刻

閘極掘入製程完成後，以黃光微影定義汲源極金屬的接觸洞，面積略比原本金屬小，做為汲源極下針的區域，之後放入反應式離子蝕刻機台利用四氟化碳氣體蝕刻汲源極上的氮化矽，四顆元件的蝕刻時間皆為 80 秒，為超出速率計算 20% 的蝕刻時間。製程示意圖如圖 2.7 所示。

6. 閘極與場板金屬蒸鍍

將汲源極區域的氮化矽移除後，利用黃光微定義出閘極及汲源極金屬蒸鍍的區域，由於定義出的區域會較氮化矽移除的區域為寬，金屬蒸鍍後的形狀會呈現 T 字型，閘極金屬選用的是高功函數的鎳，用以獲得較高的蕭特基能障(schottky barrier height)，使閘極能有更好的整流特性，蒸鍍完鎳後再蒸鍍一層金做為電極，蒸鍍後超出氮化矽移除區域部分的金屬做為場板的長度，汲源極部分蒸鍍的金屬可增加量測探針與汲源極的接觸，蒸鍍完成後進行掀離的動作，去除殘餘光阻，完成所有製程，元件亦即完成。完成圖如圖 2.8 所示。

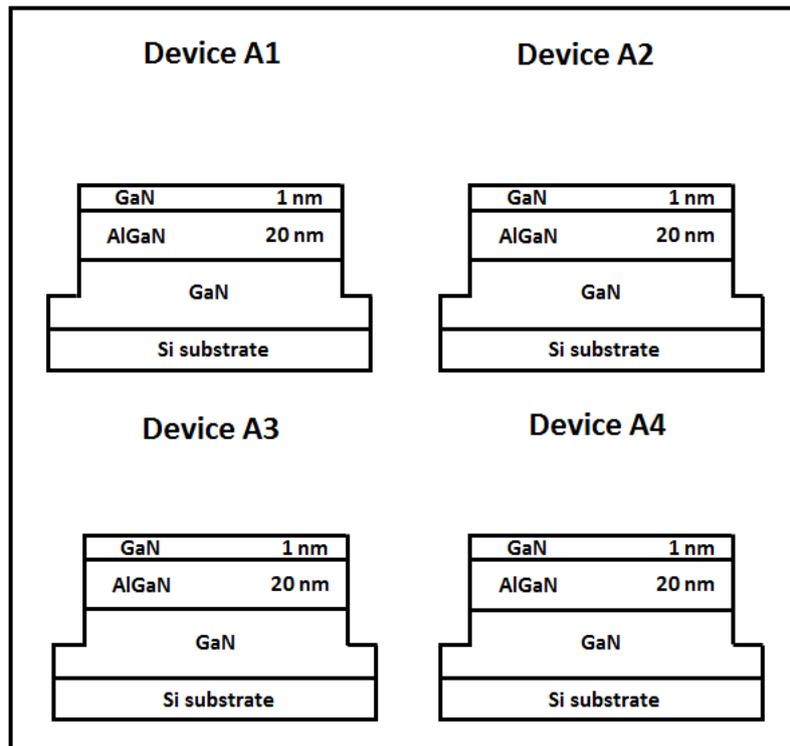


圖 2.4 元件隔離製程示意圖

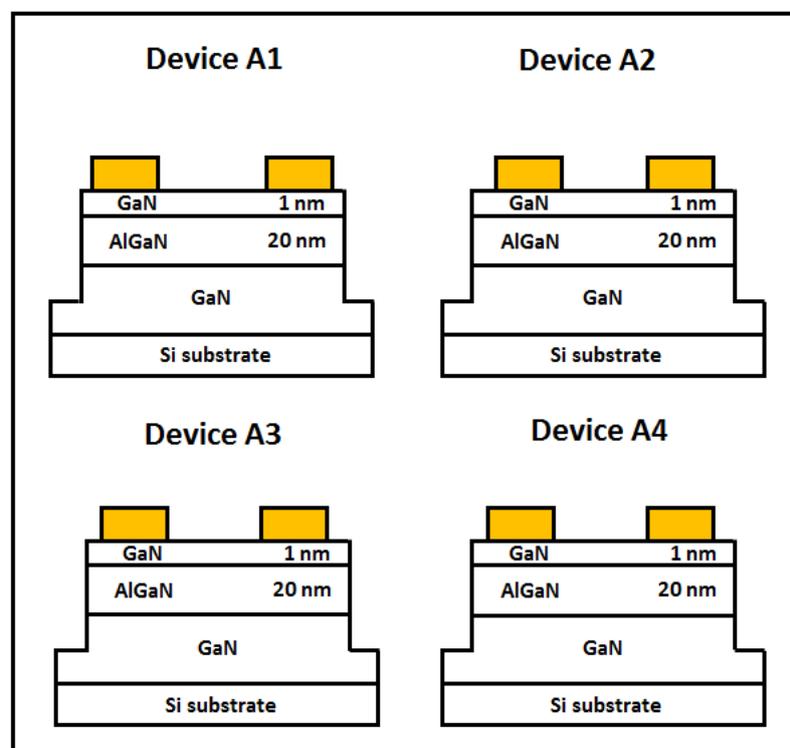


圖 2.5 汲源極歐姆接觸金屬製程示意圖

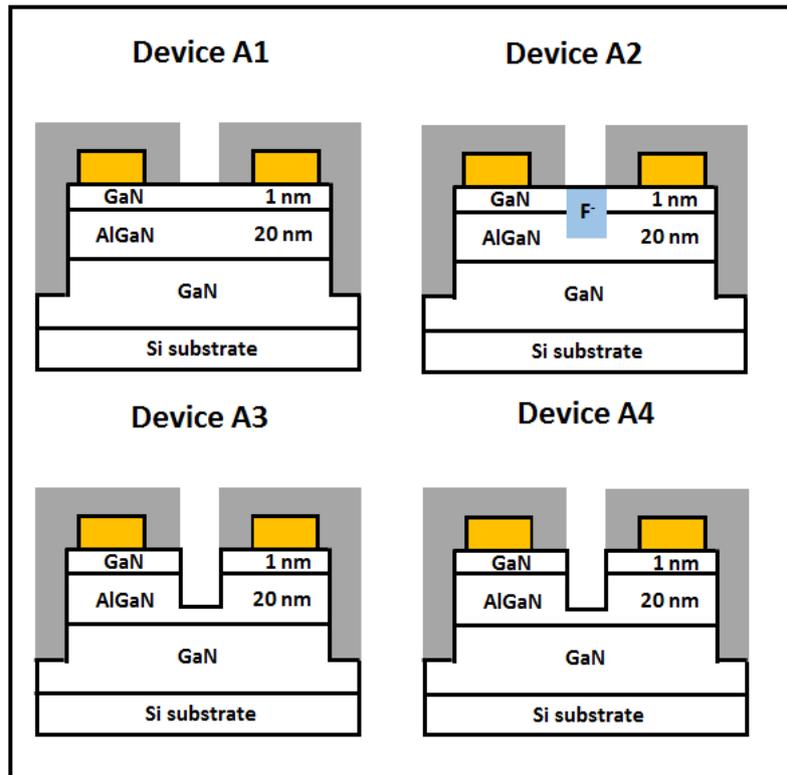


圖 2.6 鈍化層沉積與閘極掘入及氟離子處理製程示意圖

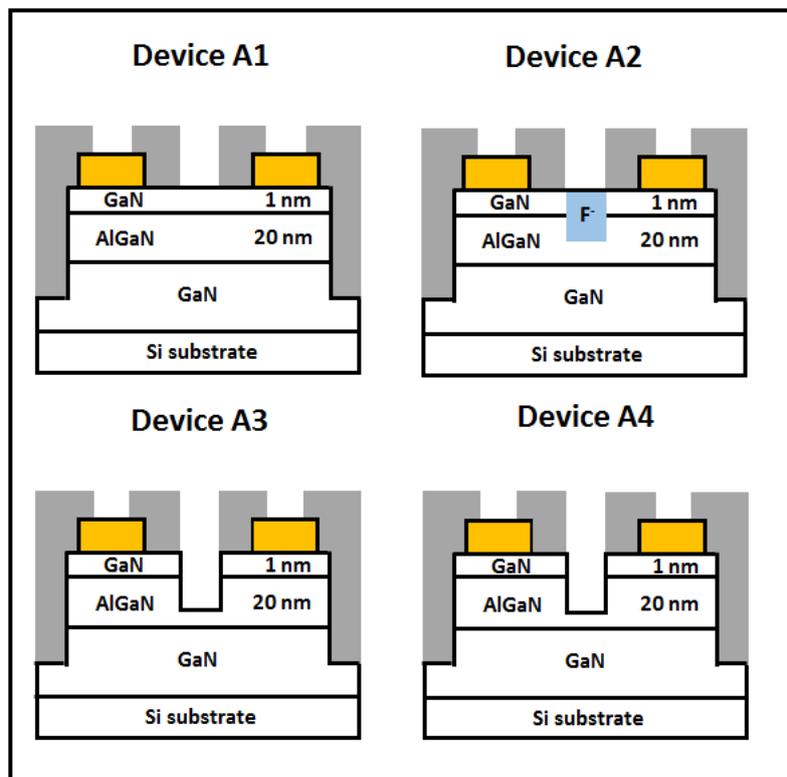


圖 2.7 汲源極金屬接觸洞製程示意圖

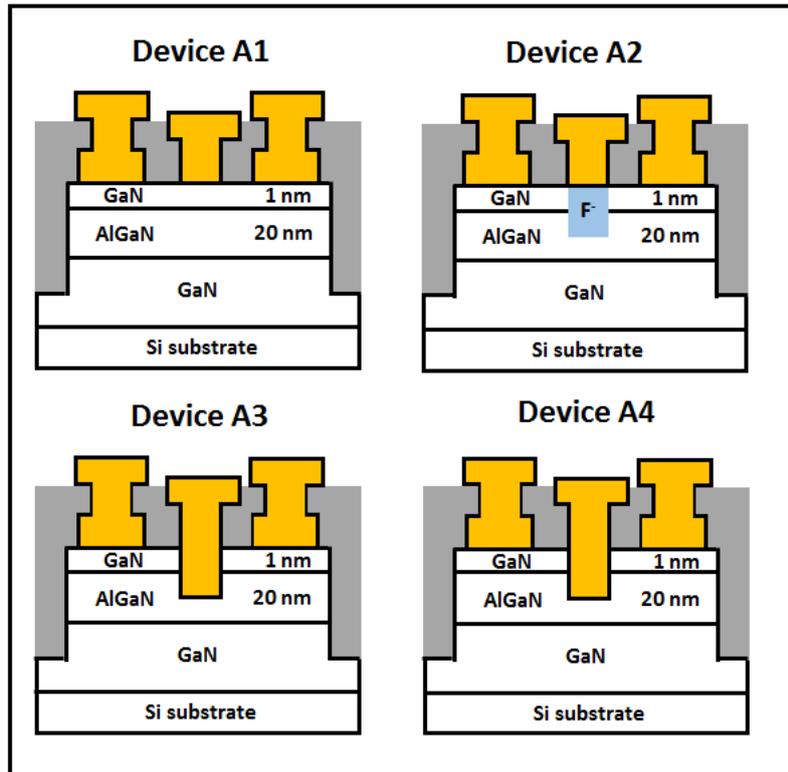


圖 2.8 閘極與場板金屬蒸鍍後元件完成示意圖

2.2.3 電晶體直流特性分析與討論



此次實驗討論氟離子處理以及閘極掘入製程對電性的影響，同時比較元件經過熱處理修復動作前後特性的改變，元件 A1 未進行任何處理，作為磊晶品質測試的標準片，命名為 Standard HEMT；元件 A2 為進行氟離子處理的元件，氟離子施打的時間為 50 秒，命名為 F⁻ treatment HEMT；元件 A3 為進行閘極掘入製程的元件，閘極掘入深度約為 15 奈米，命名為 Recessed HEMT；元件 A4 為進行 15 奈米閘極掘入的元件，並加入熱處理修復的動作，命名為 Recessed w/ recovery HEMT，此小節討論的電晶體閘極長度為 2 微米，閘極寬度為 80 微米，閘極至源極為 5 微米，閘極至汲極為 8 微米，有著 2 微米的場板長度。

圖 2.9 為四類元件之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地為 0 V，閘極偏壓由 -2 V 量測至 2 V，閘極偏壓施加超過 2 V 則會產生閘極區域蕭基界面順向導通，使電晶體在關閉狀態時有漏電流產生，汲極偏壓由 0 V 掃至 8 V，比較元件 Standard HEMT、F⁻ treatment HEMT 和 Recessed HEMT 之 $I_D - V_{DS}$ 特性曲線圖，未進行任何處理的元件 Standard 在閘極偏壓為 2 V 時，電晶體飽和電流密度約為 220 mA/mm；進行氟離子處理的元件 F⁻ treatment 在相同量測條件下飽和電流密度約為 150 mA/mm；進行閘極掘入蝕刻的元件 Recessed 之飽和電流密度約為 123 mA/mm，與元件 Standard 做比較，元件 F⁻ treatment 飽和電流密度下降約 32%，元件 Recessed 飽和電流密度下降約 44%，由此可知，氟離子與閘極蝕刻的製程確實可以空乏電子，造成電流的下降，而元件 Recessed w/ recovery 在閘極偏壓為 2 V 時，電晶體飽和電流密度約為 201 mA/mm，經過閘極區域熱退火修復的元件之飽和電流密度相較未進行修復的元件提升約 63%，說明此表面修復製程確實可提升元件特性。

圖 2.10 為四類元件之 $I_D - V_{GS}$ 特性曲線圖，元件 Standard HEMT、F⁻ treatment HEMT、Recessed HEMT 和 Recessed w/ recovery HEMT 之轉移電導分

別為 82 mS/mm、99 mS/mm、98 mS/mm 和 120 mS/mm，元件 Standard 之轉移電導較 F⁻ treatment 和 Recessed 為低，原因是元件 Standard 的閘極區域氮化矽是利用 BOE 進行移除，此濕蝕刻同時也會造成側向的蝕刻，造成閘極定義出的線寬變大，電流也因此下降，可由圖 2.11 顯微鏡下拍攝之元件圖觀察到此現象，而經過閘極掘入製程的元件 Recessed 之閘極與 2DEG 通道有著更短的距離，有更好的通道控制能力，轉移電導理論上要比未經閘極掘入的元件 F⁻ treatment 為大，此現象可由元件 Recessed 和 Recessed w/ recovery 的結果解釋，經過閘極區域熱處理修復的元件 Recessed w/ recovery 之轉移電導與元件 Recessed 比較有明顯的提升，推測是元件 Recessed 在進行閘極掘入製程時，由於耦合式電漿離子蝕刻機台之離子轟擊造成閘極區域表面損傷，影響元件特性。

圖 2.12 為四顆元件之 $I_D - V_{GS}$ 特性曲線之對數作圖，由此對數圖可看出元件的開關特性及臨限電壓，這邊對臨限電壓的定義為汲極電流密度在 1 mA/mm 時的閘極電壓值，為大多文獻所採用的定義，元件 Standard 的臨限電壓約為 -1.4 V；元件 F⁻ treatment 為 -0.05 V；元件 Recessed 為 0.35 V，經過氟離子處理以及閘極掘入蝕刻的元件皆可使臨限電壓有正向的偏移，在電晶體開關特性的部分，元件 Standard 的次臨限斜率(Subthreshold Slope)約為 144 mV/dec，開關比約為 10^7 ；元件 F⁻ treatment 的次臨限斜率約為 167 mV/dec，開關比約為 10^5 ；元件 Recessed 的次臨限斜率約為 213 mV/dec，開關比約為 10^4 ，經由氟離子處理的元件 F⁻ treatment 有著比元件 Standard 大的次臨限斜率，開關比也小了 2 個數量級，推測是進行閘極區域氮化矽移除以及氟離子處理時的離子轟擊造成元件特性衰退，而元件 Recessed 有著比元件 F⁻ treatment 更大的次臨限斜率，開關比也比元件 Standard 小了 3 個數量級，推測是因進行完閘極區域氮化矽移除後又進行了閘極掘入製程，閘極區域承受了兩次的離子轟擊，造成元件有更大的損傷；圖 2.13 為元件 Recessed 和 Recessed w/ recovery 之 $I_D - V_{GS}$ 特性曲線之對數作圖，經過閘極區域修復的元件 Recessed w/ recovery 之次臨限斜率約為 130 mV/dec，相較未進行修復的 Recessed 下降了約 39%，開關比也從 10^4 提升到 10^6 ，而元件 Recessed

w/ recovery 之臨限電壓為 0.02 V，相較元件 Recessed 稍微往負向偏移，推測是在進行閘極區域氮化矽移除時有受到氟離子的影響，而氟離子因高溫而散逸造成臨限電壓的負向偏移。

此次實驗採用了氟離子處理、閘極掘入及熱退火表面修復的製程，三種製程的結果都與理論及大部分文獻的結果符合，下一小節將會結合這三種製程，並進行更詳細的元件分析。

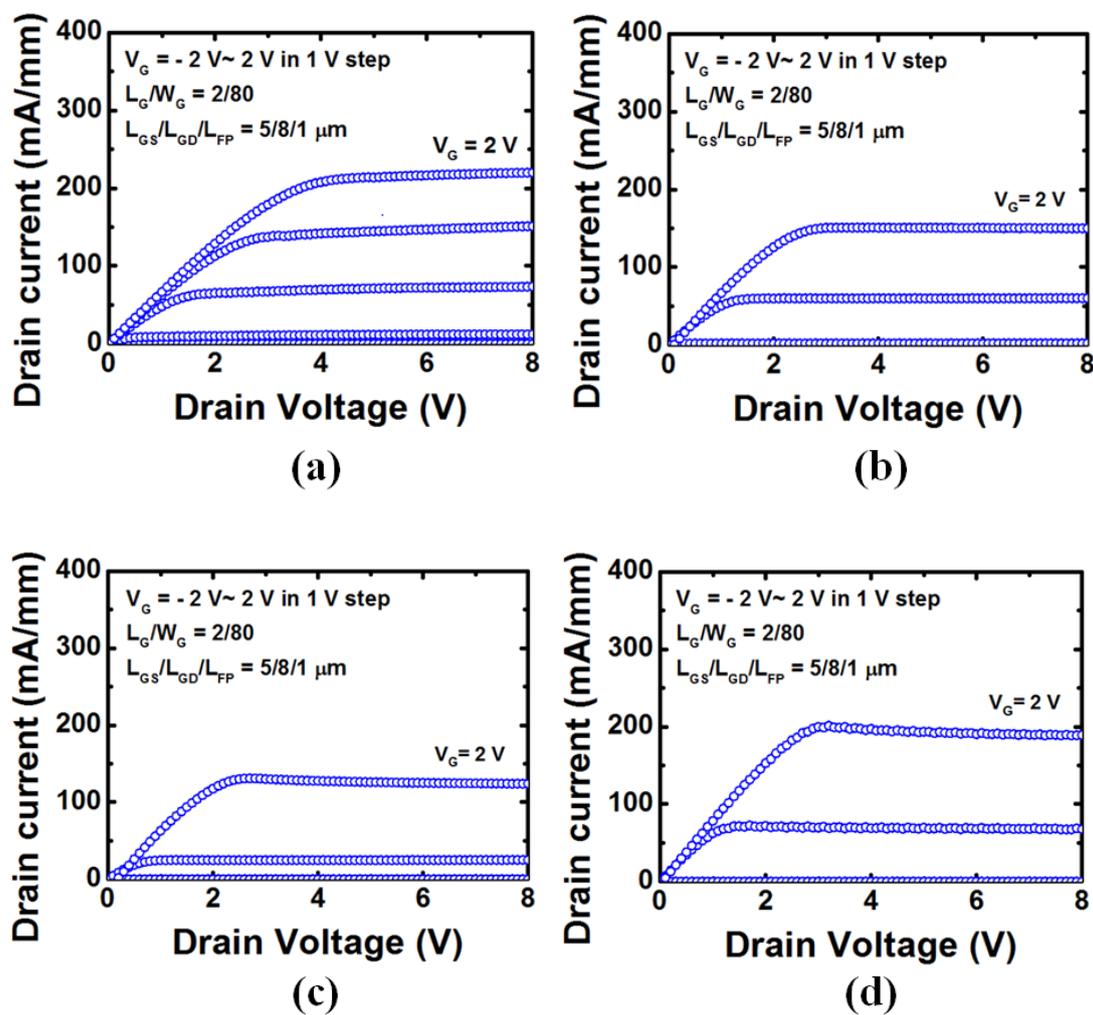


圖 2.9 (a) Standard (b) F- treatment (c) Recessed (d) Recessed w/ recovery

電晶體之 $I_D - V_{DS}$ 特性曲線圖

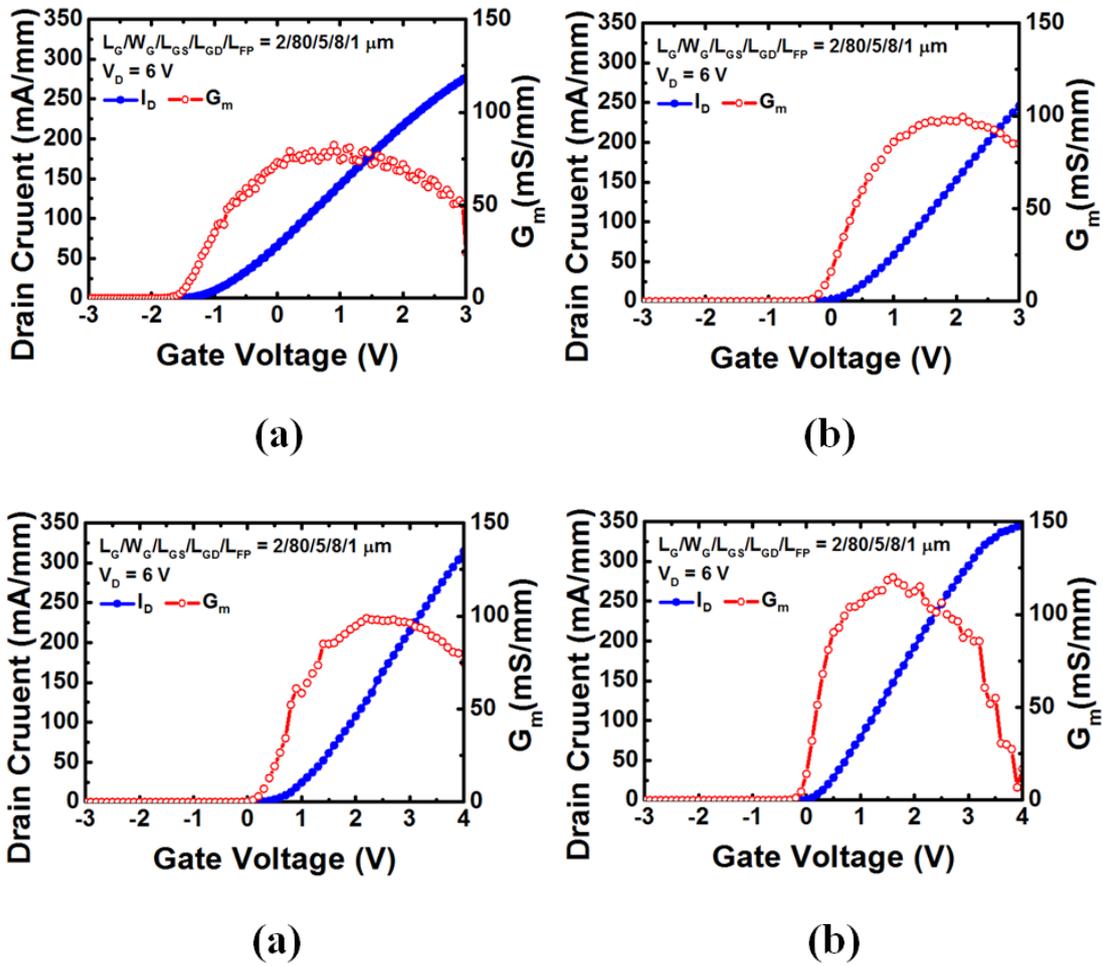


圖 2.10 (a) Standard (b) F^- treatment (c) Recessed (d) Recessed w/ recovery

電晶體之 $I_D - V_{GS}$ 特性曲線圖

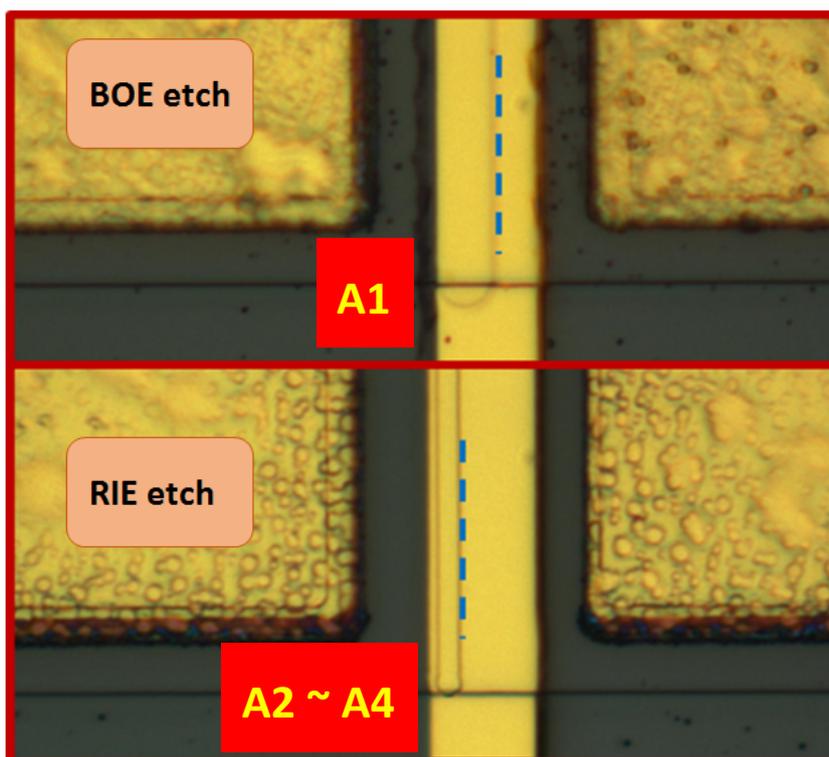


圖 2.11 利用 BOE 與 RIE 進行閘極區域氮化矽移除之元件顯微鏡下觀測圖

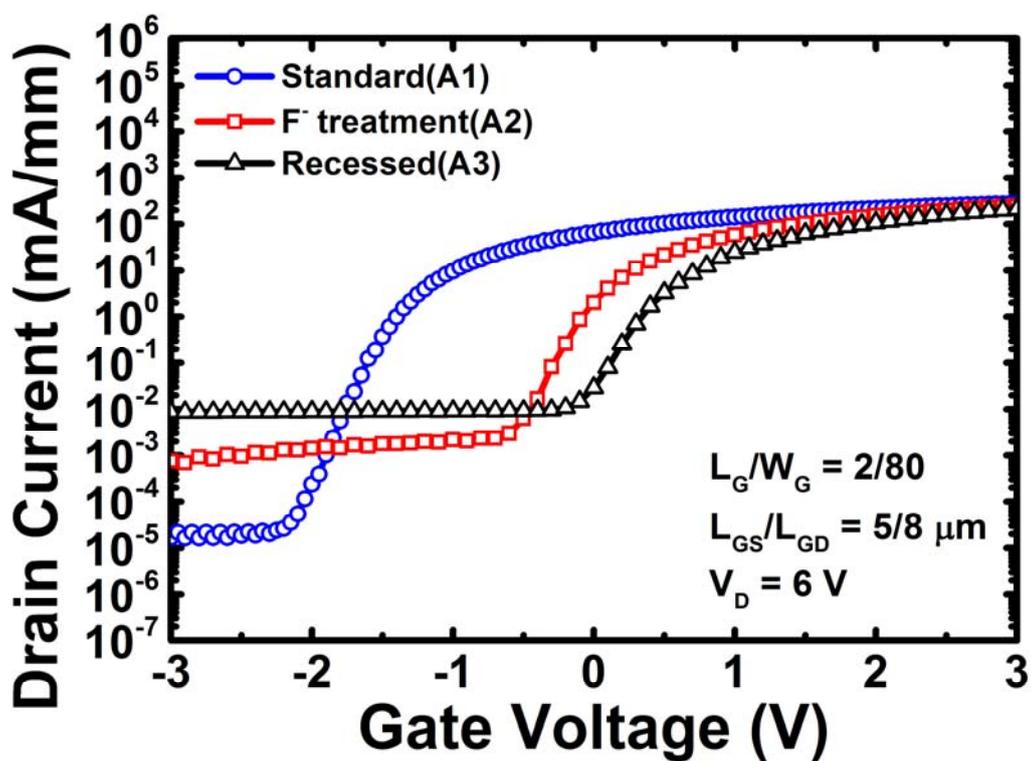


圖 2.12 元件 A1~A3 電晶體之 $I_D - V_{GS}$ 特性曲線對數作圖

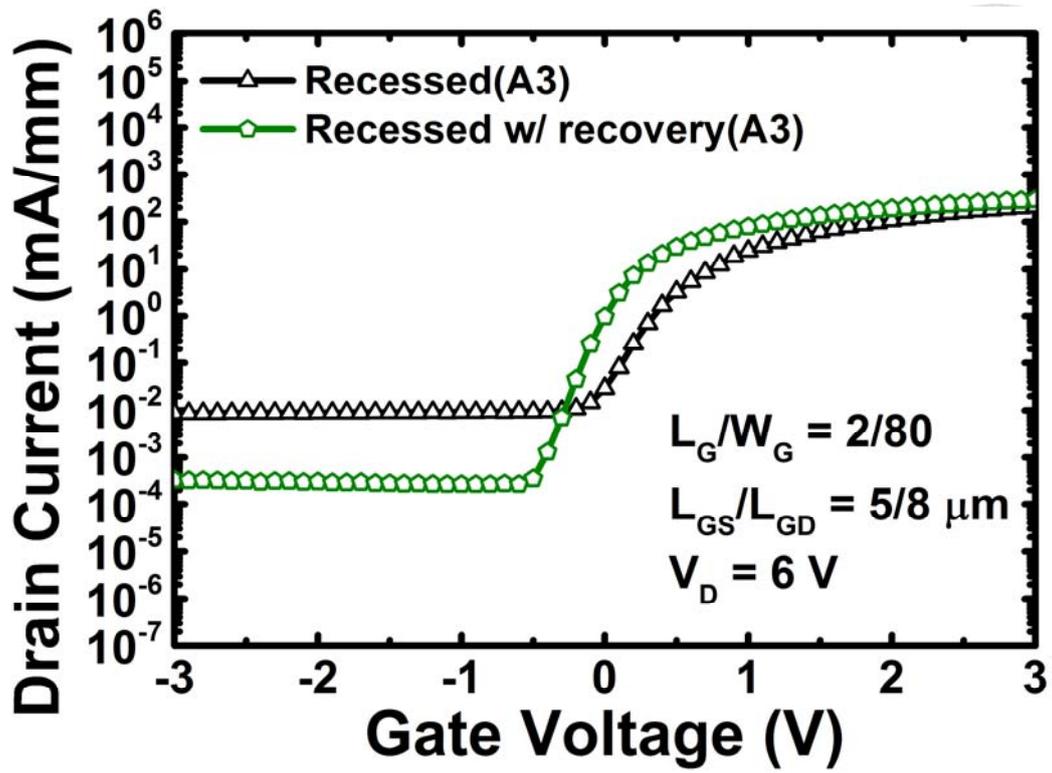


圖 2.13 元件 A3 和 A4 電晶體之 $I_D - V_{GS}$ 特性曲線對數作圖

2.3 結合閘極掘入製程與氟離子處理製作之高電子遷移率電晶體



2.3.1 電晶體磊晶結構與製程條件變化的介紹

前一小節實驗使用的 sample 1 晶圓，由霍爾量測到的電子遷移率為 $634 \text{ cm}^2/\text{V}\cdot\text{s}$ ，較大多文獻上看到的磊晶結果(電子遷移率 $> 1000 \text{ cm}^2/\text{V}\cdot\text{s}$)小了很多，且由元件 A4 的結果可知，即使元件經過熱退火修復，飽和電流密度也只有 $201 \text{ mA}/\text{mm}$ ，不利於達到高臨限電壓及高飽和電流密度的目標，因此這一小節的實驗將採用新的磊晶結構做元件。

本次實驗採用的是使用 MOCVD 在六吋矽基板上進行磊晶的結構，我們將此晶圓命名為 sample 2，由下而上的結構為矽基板，之後生長一層 300 奈米的氮化鋁，接著生長約 2 微米的氮化鋁鎵，此氮化鋁/氮化鋁鎵的結構是做為氮化鎵與矽基板之間的緩衝層，之後再生長 2 微米的氮化鎵通道層，接著成長 37 奈米厚的氮化鋁鎵作為障壁層，最後再生長 1 奈米厚的氮化鎵披覆層，磊晶結構示意圖如圖 2.14 所示。表 2.3 為 sample 2 霍爾量測結果，此片晶圓的電子遷移率為 $1323 \text{ cm}^2/\text{V}\cdot\text{s}$ ，是 sample 1 的兩倍，預期可獲得更大的飽和電流密度。

本次實驗分為四種不同製程條件的電晶體元件，製作出來的元件分別稱為 B1、B2、B3 和 B4，四種元件的製作流程及元件完成示意圖如圖 2.15，B1 為未進行任何處理的元件，B2 為進行氟離子處理的元件，B3 為進行閘極掘入的元件，B4 結合了氟離子處理及閘極掘入蝕刻製程，此次的製程步驟大致上與上一小節的實驗相同，差別在於將汲源極金屬接觸洞的製程移至蒸鍍閘極金屬之後，避免在蒸鍍閘極金屬之前多一道黃光製程，造成閘極區域額外的損傷，元件 B2 和 B3 的製程步驟與上個實驗的 A2 和 A3 相同，但元件 B1 與 A1 的結構有些許差異，為了避免在進行閘極區域氮化矽移除製程時所承受的離子轟擊，或是利用

BOE 進行氮化矽移除時的側向蝕刻導致閘極線寬變大，元件 B1 未覆蓋任何的鈍化層，由此結構可看出晶圓最原始的電特性，元件 B4 結合了氟離子處理及閘極掘入蝕刻製程，預期可得到更大的臨限電壓，四種元件製程變化的相關條件整理如表 2.2。此次實驗結合上一小節氟離子與閘極掘入的製程，但為了避免高溫對氟離子的影響，在進行完閘極掘入製程後未進行熱處理修復的動作，詳細的製程步驟將在下一小節說明。

	Sample 2
片電阻(Ω/sq)	632
電子遷移率($\text{cm}^2/\text{V}\cdot\text{s}$)	1323
載子濃度($1/\text{cm}^2$)	8.5×10^{12}

表 2.3 Sample 2 霍爾量測之材料特性

元件編號	氮化矽鈍化層厚度 (奈米)	閘極掘入蝕刻深度 (奈米)	氟離子施打時間 (秒)
B1	0	0	0
B2	250	0	150
B3	250	15	0
B4	250	15	150

表 2.4 元件 B1 ~ B4 之製程變化與條件整理

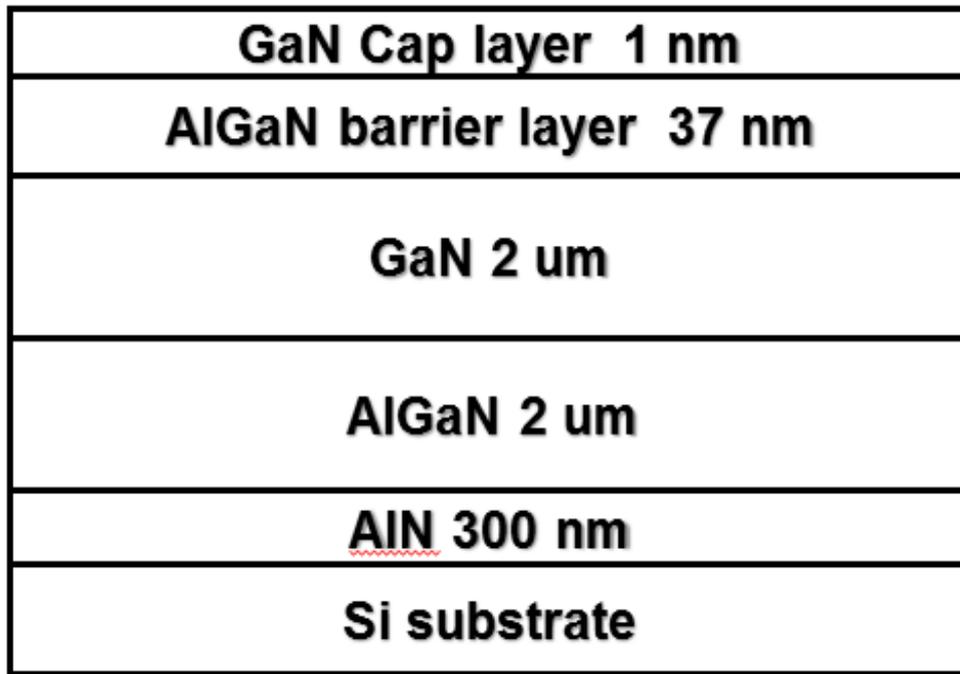


圖 2.14 晶圓 sample 2 之磊晶結構圖

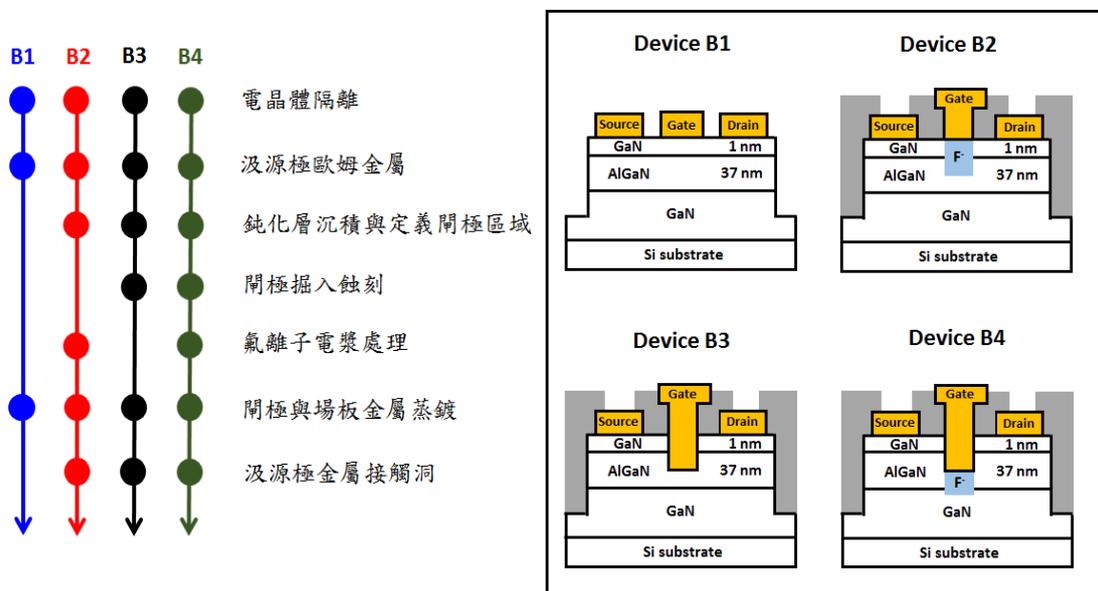


圖 2.15 元件製作流程與結構示意圖



2.3.2 電晶體製作流程

1. 試片表面清洗

將試片置於裝有丙酮(ACE)的燒杯中，接著將燒杯放置於超音波震洗機中震洗五分鐘，其目的是除去表面上的有機物以及油脂，將試片從丙酮燒杯中取出以異丙醇(IPA)將試片表面脫水乾燥，以氮氣將試片吹乾，再置於攝氏 110°C 的熱平台(hot plate)上烤三分鐘，以去除水分。

2. 電晶體隔離的製作

本次實驗仍利用感應耦合式電漿離子蝕刻機蝕刻出高台，使用的氣體為 Cl_2/BCl_3 ，蝕刻的深度約為 250 奈米，與第一小節實驗相同。電晶體隔離如圖 2.16 所示。

3. 汲源極歐姆金屬製作

本次實驗選用的歐姆接觸金屬仍為鈦/鋁/鎳/金(Ti/Al/Ni/Au)，利用電子束蒸鍍歐姆接觸金屬，掀離完全金屬後除去剩餘的光阻，置入快速熱退火機台進行退火動作，使金屬與半導體形成合金，由於此次採用的晶圓 sample 2 其氮化鋁鎵的厚度較 sample 1 為厚，須使用較高的熱退火溫度才可使歐姆接觸金屬下滲至通道層，形成良好的歐姆接觸，因此這次熱退火的溫度選用 900°C，在氮氣環境下退火 30 秒。製程示意圖如圖 2.17 所示。

4. 鈍化層沉積與定義閘極區域

進行完快速熱退火後，元件 B2、B3 和 B4 送進電漿輔助式化學氣相沉積儀器的腔體中，生長 250 奈米厚的氮化矽，用以保護元件避免後續的製程對表面造成損傷，同時可以做為場板的墊高平台，元件 B1 則無此鈍化層。

生長完鈍化層後，以黃光微影定義閘極區域，再進行閘極區域氮化矽的去除，元件 B2、B3 和 B4 皆利用反應式離子蝕刻機台去除氮化矽，使用的氣體與流量皆與上一小節實驗相同，蝕刻率約為 15~20 Å/s，要完全去除 250 奈米厚的氮化矽約需 150 秒，元件 B2 用超出速率計算 100% 的時間蝕刻，時間為 300 秒，多出來的 150 秒則當做氟離子的處理時間，元件 B3 和 B4 則用超出速率計算 50% 的時間蝕刻，時間為 225 秒，降低蝕刻時間避免氟離子對元件 B2 和 B3 的影響。製程示意圖如圖 2.18 所示。

5. 閘極掘入蝕刻

將元件 B3 和 B4 的閘極區域之氮化矽移除之後，接著用感應耦合式電漿離子蝕刻機進行閘極掘入的製程，此次實驗仍使用 Cl_2/BCl_3 氣體蝕刻障壁層，蝕刻率約為 3 Å/s，元件 B3 和 B4 的蝕刻時間皆為 50 秒，蝕刻深度約為 15 奈米，為了避免高溫對氟離子的影響，此次實驗未進行熱退火表面修復的動作。製程示意圖如圖 2.18 所示。

6. 氟離子電漿處理

元件 B2 在進行閘極區域氮化矽移除製程時，已直接在反應式離子蝕刻機台內進行氟離子電漿處理，而元件 B4 在進行完閘極掘入製程後，再放入反應式離子蝕刻機台內進行氟離子電漿處理，施打的氣體與條件皆與進行氮化矽移除時相同，元件 B4 進行氟離子處理的時間為 150 秒，與元件 B2 移除氮化矽後超出的時間相同。製程示意圖如圖 2.18 所示。

7. 閘極與場板金屬蒸鍍

進行完上述製程後，利用黃光微定義出閘極金屬蒸鍍的區域，在利用電子束

蒸鍍閘極金屬，此次選用的金屬仍為鎳/金，蒸鍍完成後進行掀離的動作，去除殘餘光阻。製程示意圖如圖 2.19 所示。



8. 汲源極金屬接觸洞蝕刻

元件 B2、B3 和 B4 進行完以上製程後，須進行汲源極金屬區域氮化矽的移除，以黃光微影定義汲源極金屬的接觸洞，之後放入反應式離子蝕刻機台利用四氟化碳氣體蝕刻，三顆元件的蝕刻時間皆為 225 秒，為超出速率計算 50% 的蝕刻時間，至此，完成元件所有製程。製程示意圖如圖 2.20 所示。

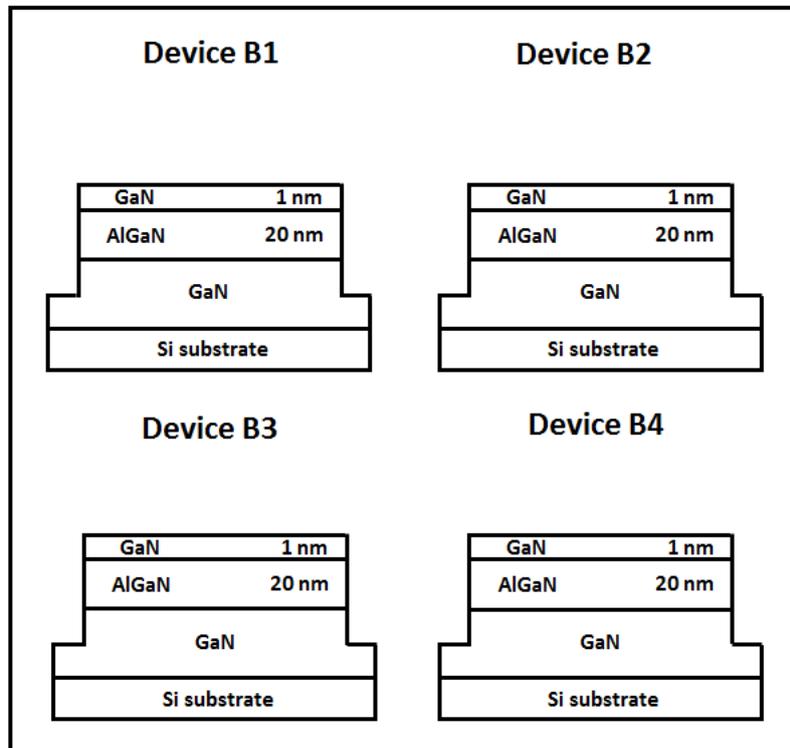


圖 2.16 元件隔離製程示意圖

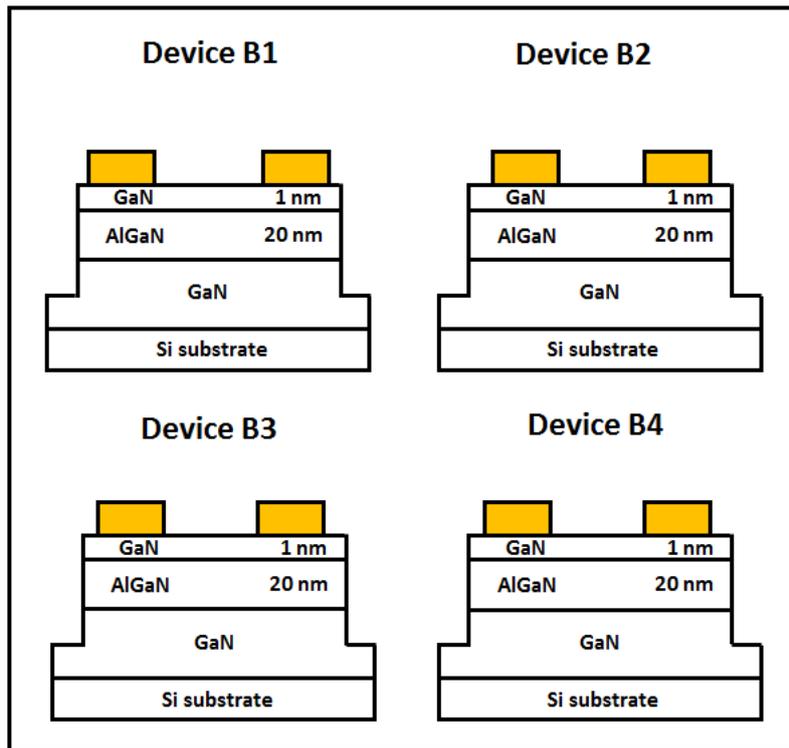


圖 2.17 汲源極歐姆接觸金屬製程示意圖

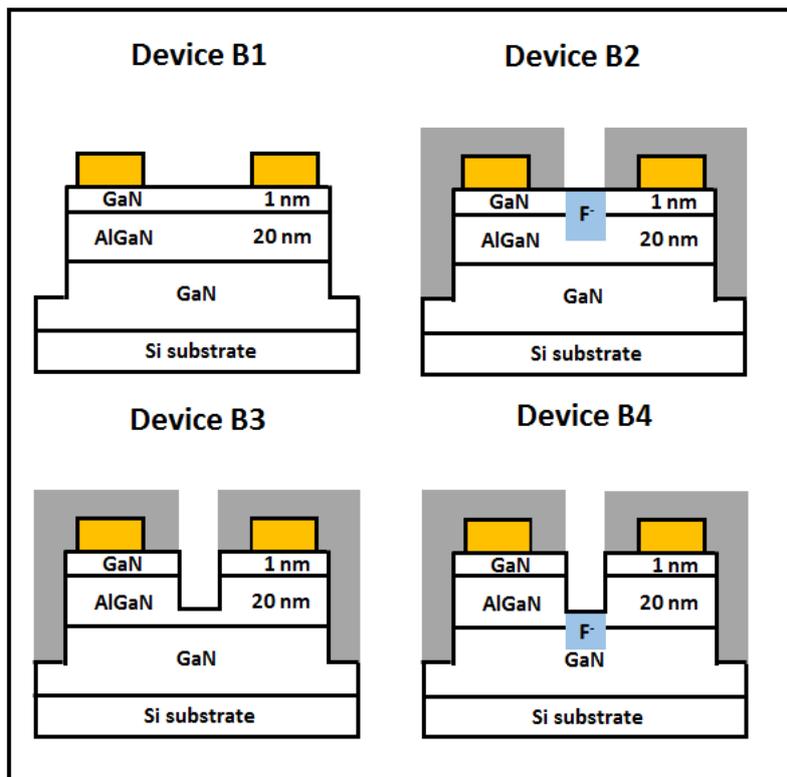


圖 2.18 鈍化層沉積與閘極掘入及氟離子處理製程示意圖

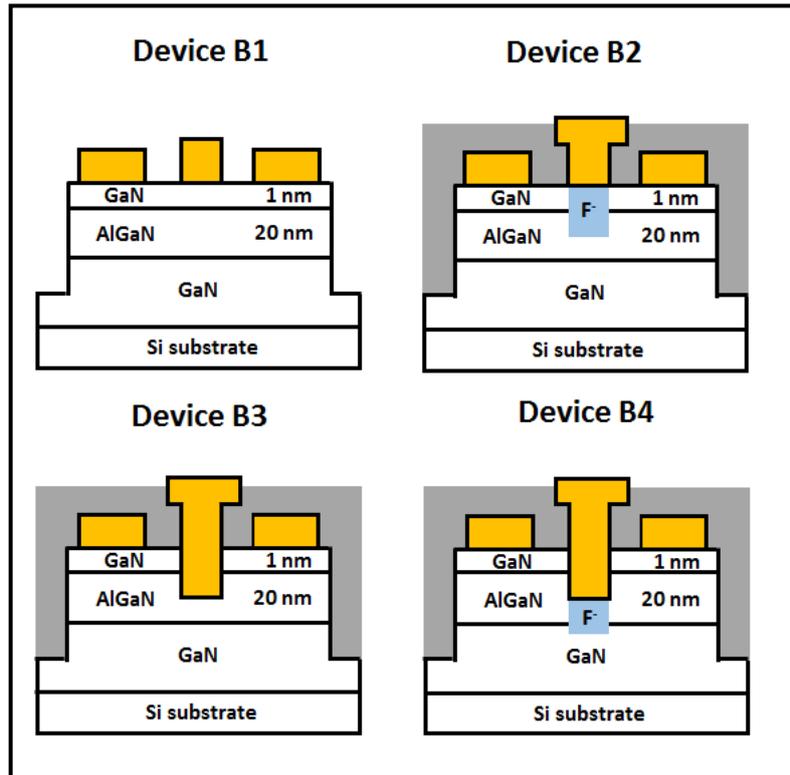


圖 2.19 閘極與場板金屬蒸鍍後元件完成示意圖

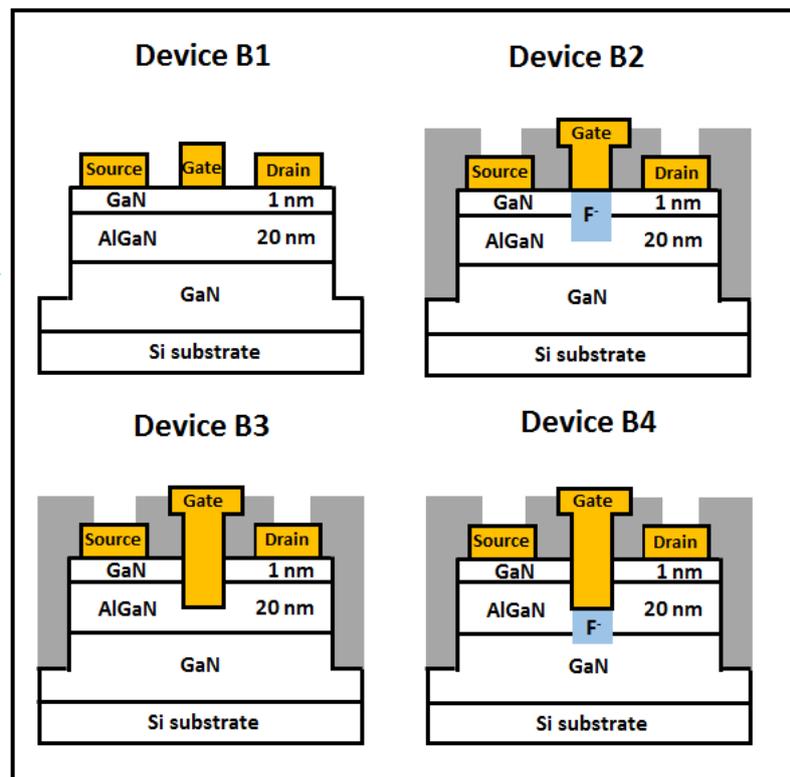


圖 2.20 汲源極金屬接觸洞蝕刻

2.3.3 電晶體直流特性分析與討論



為了獲得更大的臨限電壓偏移，此次實驗結合氟離子電漿處理以及閘極掘入的製程，元件 B1 未進行任何處理，做為磊晶品質測試的標準片；元件 B2 和 B3 分別為經過氟離子處理及閘極掘入製程的元件，做為與元件 B4 比較的對照片；B4 為結合氟離子與閘極掘入製程的元件。這小節討論的電晶體閘極長度為 2 微米，閘極寬度為 60 微米，為了獲得更大的飽和電流密度，閘極至源極距離由上一小節的 5 微米縮小至 3 微米，閘極至汲極為 3 微米。

圖 2.21 為元件 B1 ~ B4 之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地 0 V，閘極偏壓由 -4 V 量測至 1 V，汲極偏壓由 0 V 掃至 8 V，為了能更清楚分辨各元件的結構，我們將元件 B1 命名為 R0_F0 (亦即閘極掘入深度為 0 奈米，氟離子處理時間為 0 秒，以此類推)；元件 B2 命名為 R0_F150；元件 B3 命名為 R15_F0；元件 B4 命名為 R15_F150，元件 R0_F0 在閘極偏壓為 1 V 時的 I_{DSS} (最大飽和電流密度) 約為 452 mA/mm，相較於由晶圓 sample 1 製作出的元件 A1(standard)，在相同閘極偏壓下的 I_{DSS} 約只有 150 mA/mm，由此結果可知，晶圓 sample 2 可獲得較大的電流，更適合用來進行常關式元件的製作，元件 R0_F150、R15_F0 和 R15_F150 在閘極偏壓為 1 V 時的 I_{DSS} 分別為 338 mA/mm、354 mA/mm 和 156 mA/mm，與元件 R0_F0 比較，經過氟離子處理的元件 R0_F150 電流下降約 25 %；經過閘極掘入製程的元件 R15_F0 電流下降約 21 %；結合氟離子處理與閘極掘入製程的元件 R15_F150 電流下降約 65 %，此電流下降的比例遠大於元件 R0_F150 和 R15_F0 總電流下降的比例(~ 46 %)為大，之後的分析將針對此點做討論。

圖 2.22 為元件 B1 ~ B4 之 $I_D - V_{GS}$ 特性曲線圖，由圖 2.22(a)，元件 R0_F0、R0_F150、R15_F0 和 R15_F150 之 G_m (轉移電導) 分別為 111 mS/mm、117 mS/mm、120 mS/mm 和 89 mS/mm，元件 R15_F0 之 G_m 較 R0_F0 為大，由於閘極掘入製

程使閘極更接近通道，造成 G_m 上升，與上一小節的結果相同，而經過氟離子處理的元件 R0_F150 之 G_m 也有些微地上升，推測是因四氟化碳氣體對氮化鎵的蝕刻造成[21]，但經過閘極掘入蝕刻製程與氟離子處理後的元件 R15_F150 其 G_m 卻顯著地下降，推測是閘極區域經過閘極掘入蝕刻與氟離子處理兩次的離子轟擊，造成通道有更嚴重的損傷。

由圖 2.22(b)可知此四顆元件的開關特性，指標性的參數萃取於表 2.5，元件 R0_F0 的 V_{th} (臨限電壓)為 -3.82 V ，經過氟離子處理的元件 R0_F150 其 V_{th} 正向偏移 1.44 V ；經過閘極掘入製程的元件 R15_F0 其 V_{th} 正向偏移 1.27 V ；結合氟離子處理與閘極掘入製程的元件 R15_F150 其 V_{th} 正向偏移 2.62 V ，由此結果可知，我們確實可將氟離子處理與閘極掘入製程結合，得到更大的 V_{th} 偏移，但在元件開關特性的部分，元件 R0_F150 的 SS (次臨限斜率)較元件 R0_F0 上升了約 44%，On/Off ratio (開關比)下降了約 1.5 個數量級；元件 R15_F0 的 SS 較元件 R0_F0 上升了約 61%，On/Off ratio 下降了約 2 個數量級，經過閘極區域離子轟擊的元件皆會因通道損傷造成開關特性變差，而經過兩次閘極區域離子轟擊的元件 R15_F150 其 SS 則上升了約 104%，通道損傷更為嚴重。

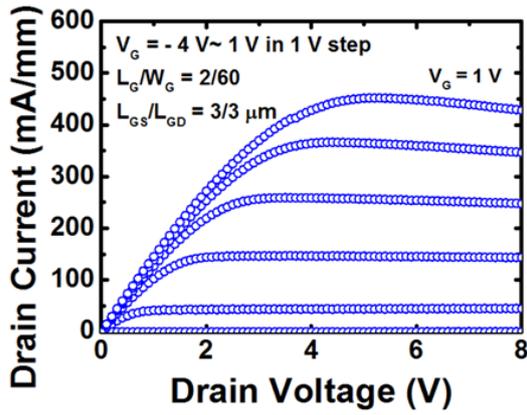
為了確認通道是否因離子轟擊而有所損傷，我們萃取了四顆元件的 R_{on} (導通電阻)，萃取方法為取電晶體 $I_D - V_{DS}$ 曲線圖中，在固定閘極偏壓下其主動區間的斜率，斜率分之一即為 R_{on} ，圖 2.23 為四顆元件在閘極偏壓為 1 V 下之 $I_D - V_{DS}$ 曲線圖，元件 R0_F0 的 R_{on} 為 $0.67\ \Omega \cdot \text{cm}$ ；元件 R0_F150 的 R_{on} 為 $0.73\ \Omega \cdot \text{cm}$ ；元件 R15_F0 的 R_{on} 為 $0.7\ \Omega \cdot \text{cm}$ ；元件 R15_F150 的 R_{on} 為 $1.19\ \Omega \cdot \text{cm}$ ，由圖可知，經過氟離子處理與閘極掘入製程的元件 R15_F150 其主動區的斜率有明顯的下降，因此 R_{on} 大幅上升，將四顆元件的 I_{on} (導通電流)與 R_{on} 對 V_{th} 作圖，如圖 2.24，相較其他三顆元件，元件 R15_F150 的 I_{on} 與 R_{on} 都有明顯的變化。

圖 2.25 為四顆元件在固定頻率下量測之電容-電壓特性圖，經過氟離子處理的元件 R0_F150 與經過閘極蝕刻製程的元件 R15_F0，平帶電壓都有正向平移的現象，結合兩種製程的 R15_F150 則有更大的平帶電壓偏移量，與圖 2.21 的結果

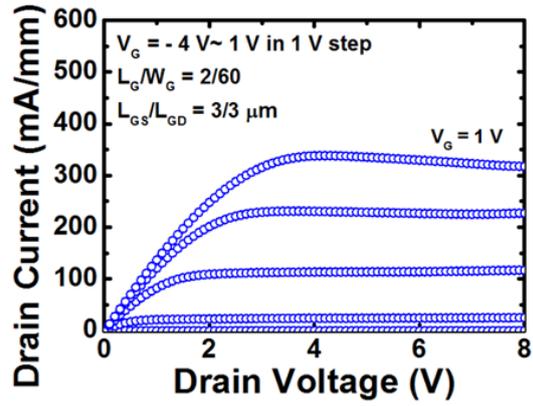
相吻合，未進行閘極掘入蝕刻製程的元件 R0_F0 與 R0_F150 最大電容值分別為 336 nF/cm² 與 337 nF/cm²，而經過閘極掘入製程的元件 R15_F0 最大電容值約為 397 nF/cm²，電容值因氮化鋁鎳的厚度變薄而上升，可吸引更多的電荷，獲得更大的電流，也與量測到元件之 I-V 特性相符合，元件 R15_F150 最大電容值約為 380 nF/cm²，理論上也可量測到與元件 R15_F0 相同的電容值，但在閘極偏壓接近 1 V 時，蕭特基界面順向導通，此時會有電子流出閘極，造成電容值的下降，因此無法量測到飽和時的電容值，由此結果可知，經過氟離子處理與閘極掘入製程的元件 R15_F150 其電容值並無下降的趨勢，理論上可獲得與其他三顆元件差不多大小的電流值，可由此結果推斷經過兩次離子轟擊的元件其通道的損傷確實較其他三顆元件嚴重，下一節的實驗將會加入表面修復的製程，用以提升元件的特性。

Sample 2	R0_F0	R0_F150	R15_F0	R15_F150
V_{th} (臨限電壓)	-3.82 V	-2.38 V	-2.55 V	-1.2 V
I_{on} (汲極導通電流)	395 mA/mm (V _G = 0.75 V)	397 mA/mm (V _G = 1.82 V)	409 mA/mm (V _G = 1.65 V)	295 mA/mm (V _G = 3 V)
SS (次臨限斜率)	107 mS/mm	154 mS/mm	173 mS/mm	219 mS/mm
On/Off ratio (開關比)	10 ⁶	5x10 ⁴	10 ⁴	10 ⁴

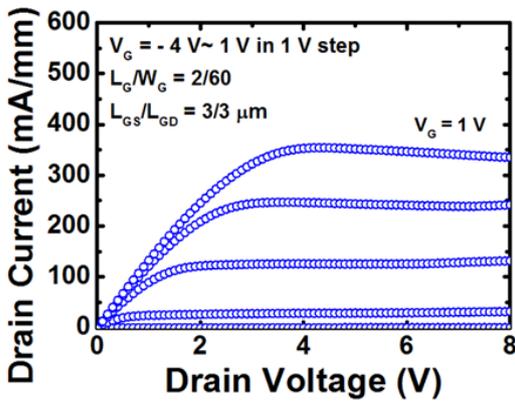
表 2.5 元件 B1 ~ B4 數據整理表



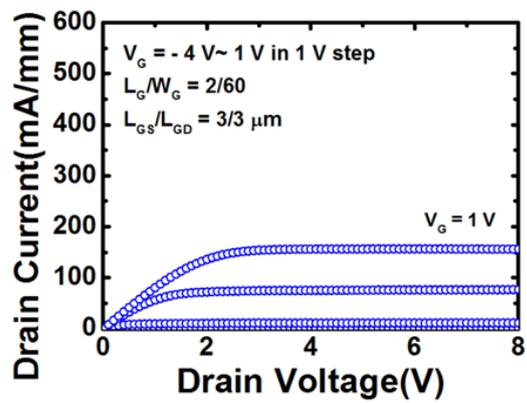
(a)



(b)



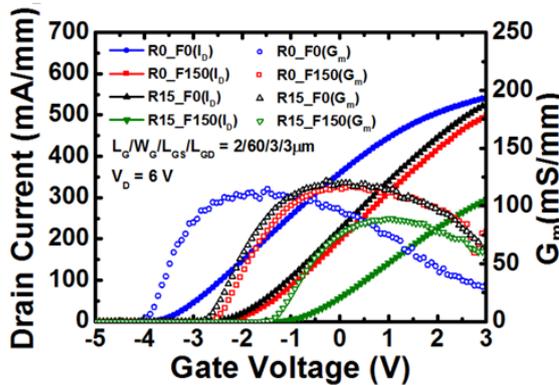
(c)



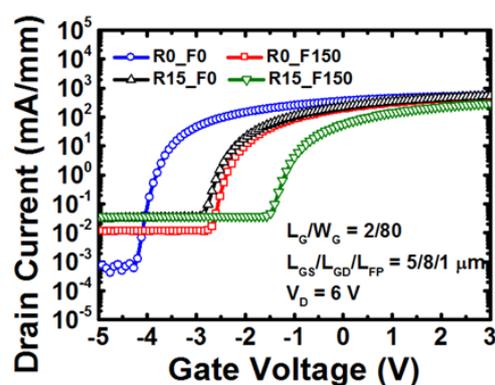
(d)

圖 2.21 (a) R0_F0 (b) R0_F150 (c) R15_F0 (d) R15_F150

電晶體之 $I_D - V_{DS}$ 特性曲線圖



(a)



(b)

圖 2.22 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖

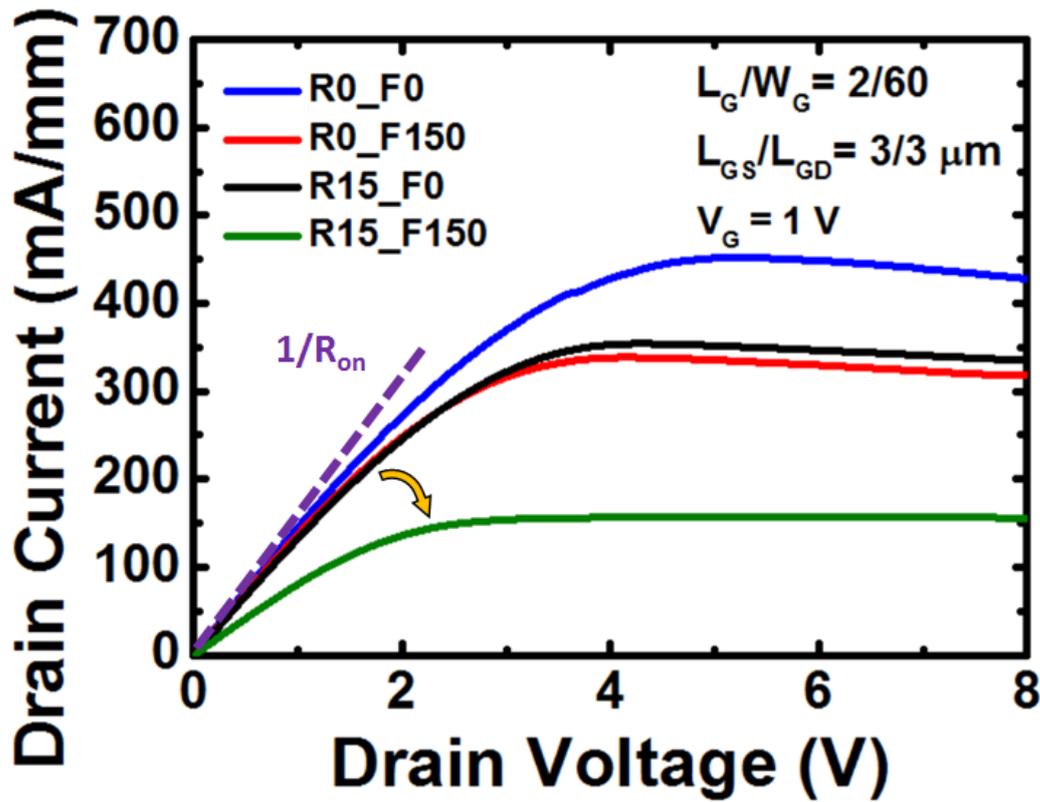


圖 2.23 相同閘極偏壓下不同電晶體之 $I_D - V_{DS}$ 特性曲線圖

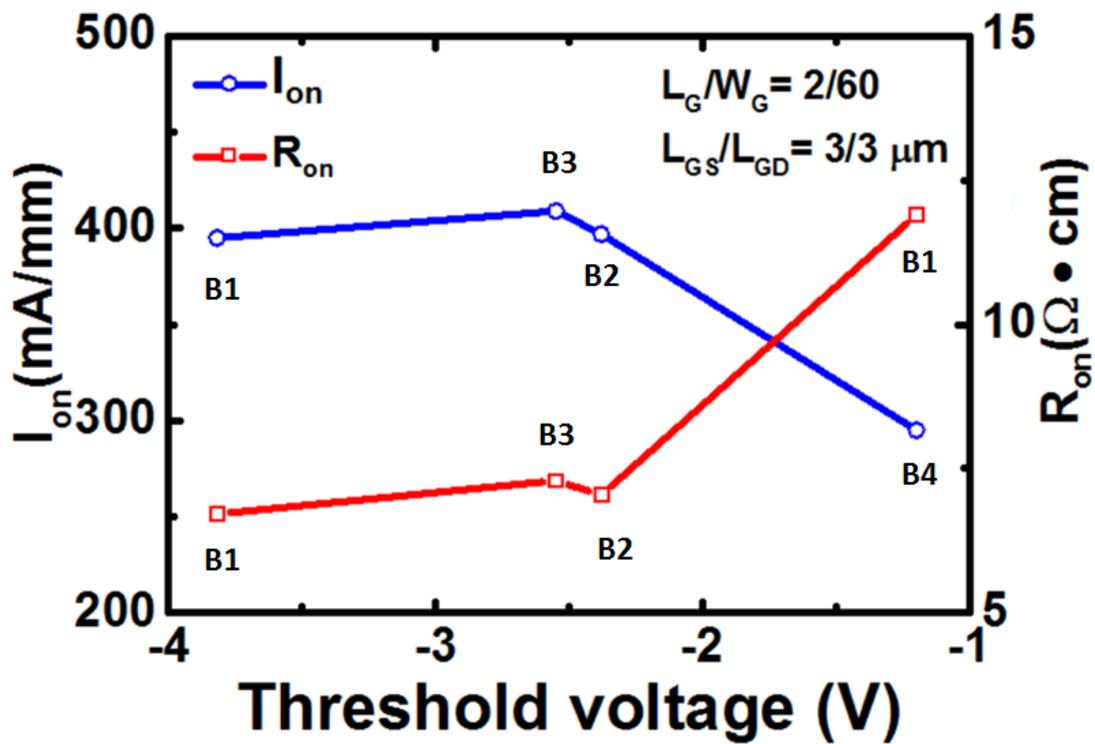


圖 2.24 元件 B1 ~ B4 之導通電流與導通電阻對臨限電壓關係圖

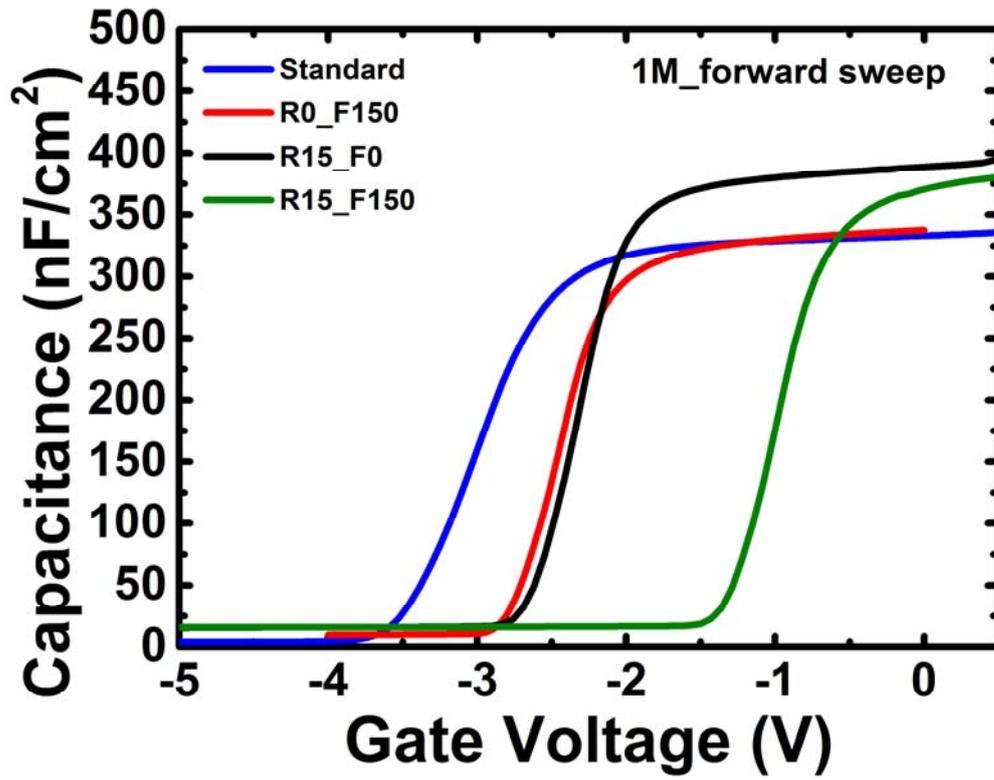


圖 2.25 電晶體在 1MHZ 頻率下量測之電容-電壓特性圖

第3章 氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體 之製程開發與不同製程下之特性探討



3.1 結合閘極掘入製程與氟離子處理之金氧半高電子遷移 率電晶體製作

3.1.1 電晶體磊晶結構與製程條件變化的介紹

此小節使用與 sample 2 相同磊晶條件的晶圓製作元件，我們將此晶圓命名成 sample 3，此片晶圓與 sample 2 差別在於氮化鋁鎵障壁層的厚度從 37 奈米增加至 45 奈米，因氮化鋁鎵的自發性極化效應會隨著厚度而增加，進而產生更高的電子濃度，表 3.1 為 sample 3 的霍爾量測結果，電子濃度確實較 sample 2 為高，但電子遷移率卻因較差磊晶的品質而下降，sample 3 的磊晶結果雖較 sample 2 為差，但本章節主要目的是探討熱退火修復對元件的影響，故保留品質較好的 sample 2，改以 sample 3 進行本小節實驗。實驗磊晶結構示意圖如圖 3.1 所示。

在第 2 章節的實驗中，我們結合氟離子處理與閘極掘入製程，成功使臨限電壓正向偏移約 2.62 V，但其仍為常開式元件，但在進行氟離子與閘極處理製程時勢必會使電流密度下降，若要獲得更大的電流密度則必須施加更大的閘極偏壓，但由於閘極金屬與半導體間是個蕭特基界面，當閘極偏壓過大時則會有順向電流的產生，此即為閘極漏電流，會影響元件的開關特性，因此閘極介電質的引入有利於製作出高功率元件。本次實驗製作出四種不同製程條件的電晶體，製作出來的元件分別稱為 C1、C2、C3 和 C4，四種元件的製作流程及元件完成示意圖如圖 3.2，C1 為未進行任何處理的元件；C2 為結合氟離子處理與閘極掘入製程的元件，C1 結構與 2.3 小節的 B1 相同，作為標準片，C2 結構與 B4 的結構相同，

差別在於進行完閘極蝕刻與氟離子處理後進行了閘極區域熱退火修復的動作，有別於 2.2 小節採用的 700°C 熱退火，為了避免閘極區域氟離子的散逸，以及氮化矽保護層因高溫而有破損的現象(圖 3.3)，此次選用 400°C 的修復溫度，在氮氣環境中退火 10 分鐘，拉長時間期望有與 700°C 相同的修復效果；C3 與 C4 的結構與製程步驟皆與 C2 相同，差別在於進行完閘極區域熱退火的修復後，蓋上氧化鋁(Al_2O_3)做為閘極區域的介電質，C3 成長了 10 奈米的氧化鋁，C4 則成長了 20 奈米的氧化鋁，用以比較氧化層厚度對臨限電壓的影響，而由於介電質的加入會使閘極金屬離通道距離增加，降低閘極的控制能力，因此閘極掘入蝕刻的深度較元件 C1 深，四種元件製程變化的相關條件整理如表 3.2，詳細的製程步驟將在下一小節說明。

	Sample 3
片電阻(Ω/sq)	616
電子遷移率($\text{cm}^2/\text{V}\cdot\text{s}$)	1166
載子濃度($1/\text{cm}^2$)	9.6×10^{12}

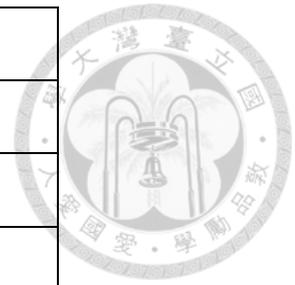


表 3.1 Sample 3 霍爾量測之材料特性

元件編號	閘極掘入蝕刻深度 (奈米)	氟離子施打時間 (秒)	氧化鋁沉積厚度 (奈米)
C1	0	0	0
C2	15	150	0
C3	20	150	10
C4	20	150	20

表 3.2 元件 C1 ~ C4 之製程變化與條件整理

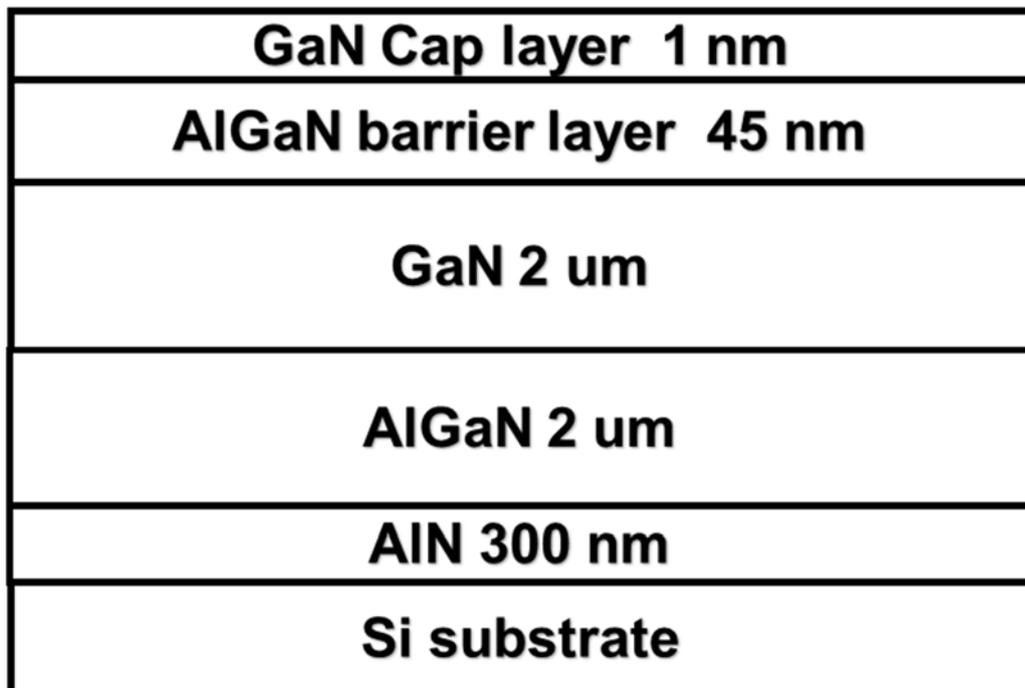


圖 3.1 晶圓 sample 1 之磊晶結構圖

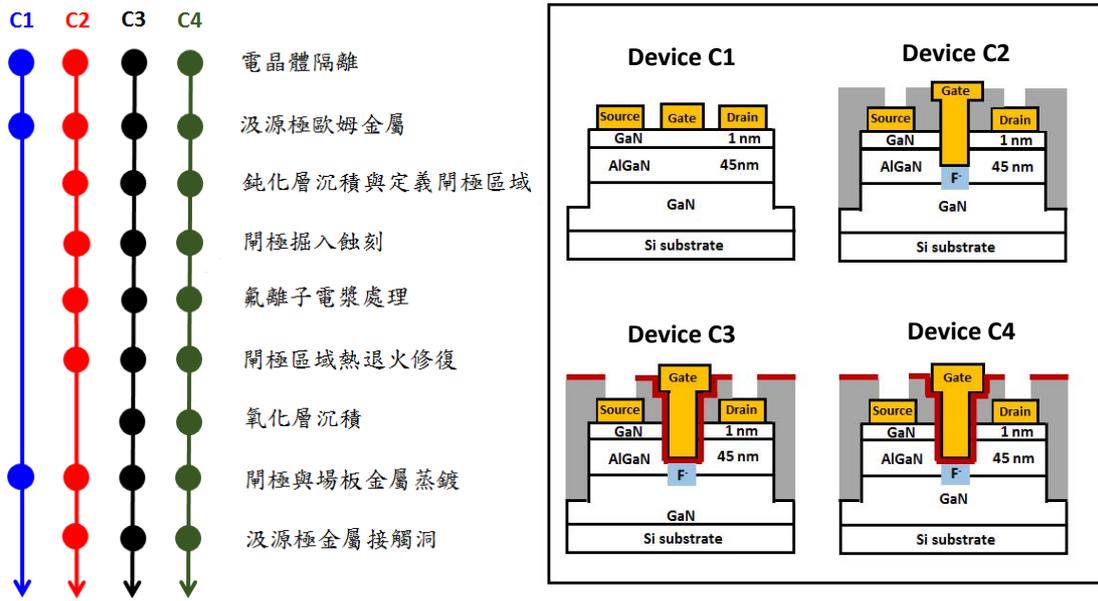


圖 3.2 元件製作流程與結構示意圖

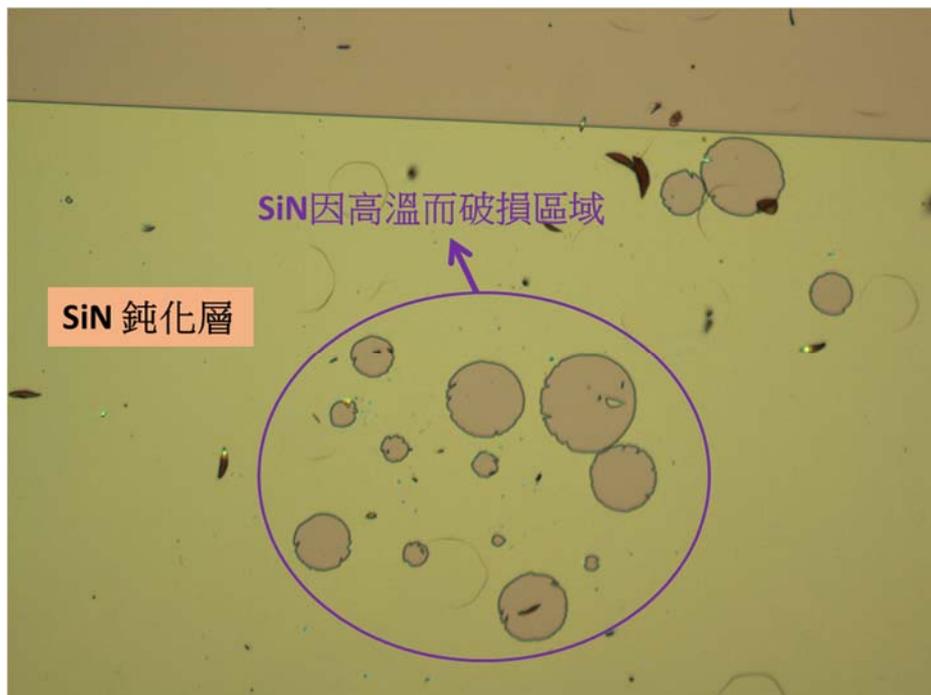


圖 3.3 氮化矽鈍化層經 700°C 熱退火後顯微鏡下拍攝圖



3.1.2 電晶體製作流程

本次實驗延續 2.3 小節實驗的結果，並加上閘極氧化層的結構，期望能降低閘極漏電流，使閘極能承受更大的偏壓，藉此獲得更大的電流，但在 2.3 小節的實驗中發現，閘極區域會因離子轟擊而造成損傷，因此在此小節實驗中加入了閘極區域熱處理修復的動作，為了確認此修復方法對元件的影響，我們先製作了 C1 和 C2 兩顆元件，之後再製作有氧化層結構的元件 C3 和 C4，製作順序不同，但參數和條件相同，由於製程步驟與 2.3 小節大致上相同，此次製程示意圖會稍微簡化，如圖 3.4。

1. 試片表面清洗

將試片置於裝有丙酮(ACE)的燒杯中，接著將燒杯放置於超音波震洗機中震洗五分鐘，其目的是除去表面上的有機物以及油脂，將試片從丙酮燒杯中取出以異丙醇(IPA)將試片表面脫水乾燥，以氮氣將試片吹乾，再置於攝氏 110°C 的熱平台(hot plate)上烤三分鐘，以去除水分。

2. 電晶體隔離的製作

利用感應耦合式電漿離子蝕刻機蝕刻出高台，使用的氣體為 $\text{Cl}_2 / \text{BCl}_3$ ，深度約為 250 奈米，與 2.3 小節實驗相同。

3. 汲源極歐姆金屬製作

本次實驗選用的歐姆接觸金屬仍為鈦/鋁/鎳/金(Ti/Al/Ni/Au)，利用電子束蒸鍍歐姆接觸金屬，掀離完全金屬後除去剩餘的光阻，置入快速熱退火機台進行退火動作，sample 3 使用 850°C 的熱退火溫度，有最低的歐姆接觸阻值，並在氮氣環

境下退火 30 秒。



4. 鈍化層沉積與定義閘極區域

進行完快速熱退火後，元件 C2、C3 和 C4 送進電漿輔助式化學氣相沉積儀器的腔體中，生長 150 奈米厚的氮化矽，元件 C1 則無此鈍化層。

生長完鈍化層後，以黃光微影定義閘極區域，再進行閘極區域氮化矽的去除，元件 C2、C3 和 C4 皆利用反應式離子蝕刻機台去除氮化矽，使用的氣體與流量皆與 2.3 小節實驗相同，蝕刻率約為 15~20 Å/s，為了確保氮化矽的完全移除，用超出速率計算 50% 的時間蝕刻，時間為 150 秒。

5. 閘極掘入蝕刻

將元件 C2、C3 和 C4 的閘極區域之氮化矽移除之後，接著用感應耦合式電漿離子蝕刻機進行閘極掘入的製程，此次實驗仍使用 $\text{Cl}_2 / \text{BCl}_3$ 氣體蝕刻障壁層，進行元件 C2 的閘極掘入製程時，測出的蝕刻率約為 2.08 Å/s，蝕刻 15 奈米深度的時間約為 72 秒；進行元件 C3 和 C4 的閘極掘入製程時，測出的蝕刻率約為 1.53 Å/s，蝕刻 20 奈米深度的時間約為 120 秒。

6. 氟離子電漿處理

在進行完閘極掘入製程後，將元件 C1、C2 和 C3 放入反應式離子蝕刻機台內進行氟離子電漿處理，施打的氣體與條件皆與 2.3 小節相同，氟離子處理的時間皆為 150 秒。



7. 閘極區域熱退火修復

進行完氟離子處理後，移除光阻並將元件 C2、C3 和 C4 放入快速升溫熱退火機台進行修復動作，熱退火溫度為 400 度 C，在氮氣環境中退火 10 分鐘，

8. 氧化層沉積

進行完熱退火修復的動作後，將元件 C3 和 C4 放入原子層沉積(ALD)機台中，分別成長 10 奈米和 20 奈米的氧化鋁，元件 C1 和 C2 則無此步驟。

9. 閘極與場板金屬蒸鍍

進行完上述製程後，利用電子束蒸鍍閘極金屬，此次選用的金屬仍為鎳/金，蒸鍍完成後進行掀離的動作，去除殘餘光阻。

10. 汲源極金屬接觸洞蝕刻

最後進行元件 C2、C3 和 C4 汲源極金屬區域氮化矽保護層的移除，但由於元件 C3 和 C4 氮化矽上有覆蓋一層氧化鋁，進行完黃光微影定義汲源極金屬的接觸洞後，需先利用二氧化矽蝕刻液移除氧化鋁，蝕刻率約為 1 nm/s，為了確保氮化鋁的完全移除，元件 C3 和 C4 蝕刻的時間分別 15 秒和 30 秒，為超出速率計算 50%的蝕刻，之後在將元件 C2、C3 和 C4 放入反應式離子蝕刻機台利用四氟化碳氣體蝕刻，三顆元件的蝕刻時間皆為 150 秒，為超出速率計算 50% 的蝕刻時間，至此，完成元件所有製程。

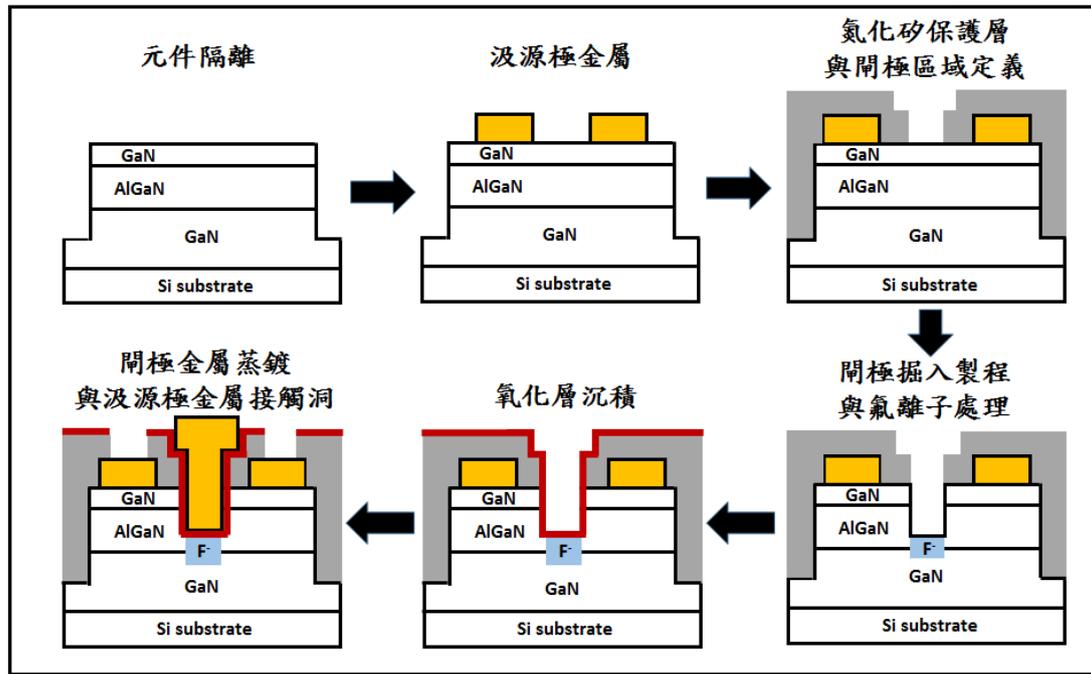


圖 3.4 元件製程簡化示意圖



3.1.3 電晶體直流特性分析與討論

此次實驗利用 2.3 小節的製程步驟製作元件，並加入閘極氧化層藉以降低漏電流，元件 C1 未進行任何處理，做為磊晶品質測試的標準片；元件 C2、C3 和 C4 為結合氟離子處理及閘極掘入製程的元件，同時，元件 C3 和 C4 加入了閘極氧化層，為金氧半結構的電晶體，我們重新將四顆元件命名方便區分，C1 命名為 Standard(標準片)；C2 命名為 R15_F150_O0 (即為閘極掘入深度 15 奈米，氟離子處理時間 150 秒，氧化層厚度 0 奈米，元件 C3 和 C4 亦以此方法命名)；C3 命名為 R20_F150_O10；C4 命名為 R20_F150_O20。這小節討論的電晶體線寬與 2.3 小節相同，閘極長度為 2 微米，閘極寬度為 60 微米，閘極至汲極及源極距離皆為 3 微米。

我們首先就元件 C1 和 C2 的結果做探討，目的是確定 400 度 C 閘極區域熱退火修復的效果，圖 3.5 為元件 C1 和 C2 之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地 0 V，閘極偏壓由 -5 V 量測至 2 V，汲極偏壓由 0 V 掃至 8 V，元件 Standard 在閘極偏壓為 2 V 時 I_{DSS} 約為 435 mA/mm；元件 R15_F150_O0 在閘極偏壓為 2 V 時的 I_{DSS} 約為 238 mA/mm，相較元件 Standard 下降了約 45%，元件 Standard 在閘極偏壓為 2 V 時的 R_{on} 為 $0.97 \Omega \cdot \text{cm}$ ；元件 R15_F150_O0 則為 $1.31 \Omega \cdot \text{cm}$ ，相較元件 Standard 上升了約 35%，通道的阻值仍因離子轟擊而有上升的現象。

圖 3.6 為元件 C1 和 C2 之 $I_D - V_{GS}$ 特性曲線圖，由圖 3.5 (a)，元件 Standard 和 R15_F150_O0 的 G_m 分別為 83 mS/mm、74 mS/mm，下降約 11%，經過氟離子處理與閘極蝕刻製程的元件有較差的特性，與 2.3 小節結果相同，由圖 3.5 (b) 可知元件的開關特性，元件 Standard 的 V_{th} 為 -4.06 V，SS 約為 114 mV/dec；元件 R15_F150_O0 的 V_{th} 為 -2.06 V，SS 約為 250 mV/dec，經過氟離子處理與閘極蝕刻製程的元件其 V_{th} 正向偏移約 2 V，在相同 V_{ov} ($V_g - V_{th}$) 下元件 Standard 和 R15_F150_O0 的 I_{on} 分別為 200 mA/mm ($V_g = -1$ V) 和 190 mA/mm ($V_g = 1$ V)，

為了比較有無閘極區域熱退火修復對元件的影響，我們拿 2.3 小節製作的元件 B1 和 B4 與此次實驗製作出的元件 C1 和 C2 做比較，數據整理於表 3.3，在閘極偏壓為 1 V 下，元件 B4 的 I_{dss} 較 B1 下降約 65 %，元件 C2 的 I_{dss} 較 C1 下降約 52 %；元件 B4 的 G_m 較 B1 下降約 20 %，元件 C2 的 I_{dss} 較 C1 下降約 11 %；元件 B4 的 R_{on} 較 B1 上升約 78 %，元件 C2 的 R_{on} 較 C1 上升約 35 %；在相同 V_{ov} 下，元件 B4 的 I_{on} 較 B1 下降約 23 %，元件 C2 的 I_{on} 較 C1 下降約 5 %；元件 B4 的 On / Off ratio 較 B1 下降兩個數量級，元件 C2 的 On / Off ratio 較 C1 下降一個數量級，由以上結果可知，元件特性確實有因閘極區域熱退火修復的製程而提升，利用此結果，我們後續製作出了元件 C3 和 C4。

圖 3.7 為元件 R20_F150_O10 和 R20_F150_O20 之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地 0 V，閘極偏壓由 -6 V 量測至 4 V，汲極偏壓由 0 V 掃至 8 V，元件 R20_F150_O10 在閘極偏壓為 4 V 時的 I_{dss} 約為 58 mA/mm；元件 R20_F150_O20 在閘極偏壓為 4 V 時的 I_{dss} 約為 104 mA/mm，與蕭特基接面的元件 Standard 和 R15_F150_O0 比較，具有氧化層結構的元件閘極偏壓可加至 4 V 而不會造成閘極漏電流的劇烈上升，但 I_{dss} 卻明顯地下降，R20_F150_O10 和 R20_F150_O20 兩顆元件萃取出來的 R_{on} 分別為 $5.6 \Omega \cdot \text{cm}$ 和 $3.6 \Omega \cdot \text{cm}$ ，比起元件 Standard 和 R15_F150_O0 的 R_{on} 大上許多，圖 3.8 為電晶體的直流模型，由圖中可知，電流通過路徑的電阻(R_{on})包含了歐姆接觸電阻(R_c)、流經閘極與汲極區間電阻(R_D)、流經閘極與源極區間電阻(R_s)和閘極下方通道的電阻(R_{ch})，可由公式 3.1 表示此四種電阻間的關係，由於我們探討的元件閘極至源極與汲極的距離皆固定為 3 奈米，理論上四顆元件的 R_s 與 R_D 差異應不大，因此我們將針對歐姆接觸電阻做探討。

$$R_{on} = 2R_c + R_s + R_D + R_{ch} \quad (3.1)$$

歐姆接觸電阻的阻值計算與萃取方法我們利用傳輸線模型理論

(Transmission line model, TLM), 圖 3.9 為我們這次量測接觸電阻用之圖形, 每個金屬墊(pad)的距離分別為 32、16、8、3 微米等, 在單一個金屬墊上使用兩根量測針, 兩個鄰近的金屬墊上有四根針, 分別為高電流、高電壓、低電流和低電壓, 可以量測出兩個鄰近金屬墊之電阻值, 為兩倍的接觸電阻加上金屬墊間距之通道電阻($R = 2 \times R_C + R_{ch}$), 隨著不同的金屬墊間距, 可以線性作圖求出接觸電阻, 如圖 3.10 所示, 將不同金屬墊的四個距離線性擬合, 可以求得一線性公式, 在 X 軸等於 0 的點為兩倍的接觸電阻, 斜率為單位長度的片電阻, Y 軸為 0 的點在負值, 此負值的絕對長度為傳輸長度(Transfer length, L_t), 得出的值整理於表 3.4, 元件 R20_F150_O10 和 R20_F150_O20 的歐姆接觸阻值相較元件 Standard 與 R15_F150_O0 大上許多, 此部分是製程的不良所造成的影響。

圖 3.11 為元件 C3 和 C4 之 $I_D - V_{GS}$ 特性曲線圖, 元件 R20_F150_O10 的 V_{th} 約為 -4.23 V, SS 約為 327 mV/dec; 元件 R20_F150_O20 的 V_{th} 約為 -5.4 V, SS 約為 342 mV/dec, 與元件 R15_F150_O0 比較, 隨著氧化層的厚度增加, V_{th} 越負, 越厚的氧化層會使閘極金屬更遠離通道, 通道控制能力也隨之下降, 但元件 R20_F150_O10 有 20 奈米的閘極掘入深度, 加上 10 奈米的氧化層後, 閘極金屬與通道的距離比元件 Standard 更近, 理論上應可得到較大的 V_{th} , 但元件 R20_F150_O10 的 V_{th} 卻跟元件 Standard 差不多大小, 推測是氧化層與半導體介面的缺陷所造成, 此部分將由之後的電容-電壓量測結果應證, 為了比較有無氧化層對閘極漏電流的影響, 我們比較了元件 Standard 和 R20_F150_O10 的 $I_D - V_{GS}$ 特性曲線圖, 如圖 3.12, 由圖可知, 元件 Standard 的閘極電流約在 10^{-5} 的數量級, 元件 R20_F150_O10 的閘極電流約在 10^{-8} 的數量級, 有氧化層的元件閘極漏電流下降了約三個數量級, 因此氧化層的結構更有利於製作出高功率的元件。

為了確認通道的控制能力, 我們利用電容-電壓量測結果進行分析, 如圖 3.13, 量測頻率固定為 1MHz, 閘極偏壓皆由負掃至正, 元件 Standard 的電容值約為 255 nF/cm^2 ; 元件 R15_F150_O0 的電容值約為 269 nF/cm^2 ; 元件 R20_F150_O10 的電容值約為 217 nF/cm^2 ; 元件 R20_F150_O20 的電容值約為 170 nF/cm^2 , 比較

元件 Standard 和 R15_F150_O0，進行閘極掘入製程的元件電容值上升，與 2.3 小節結果相同；比較元件 Standard 和 R20_F150_O10，元件 R20_F150_O10 的閘極與通道距離較近，理論上應有較好的通道控制能力以及較大的 V_{th} ，但兩顆元件的 V_{th} 差不多，且元件 R20_F150_O10 的電容值較元件 Standard 的電容值小，推測是氧化層與半導體介面缺陷所造成的電容值下降，圖 3.14 為元件 R15_F150_O0 與 R20_F150_O20 的磁滯曲線，兩顆元件皆呈現了正向的平帶電壓偏移(ΔV_{FB})，是由於介面缺陷捕捉電子所造成的現象，此正向的 ΔV_{FB} 可推測缺陷為 acceptor-like 的缺陷[22]，元件 R15_F150_O0 的 ΔV_{FB} 約為 0.05 V；元件 R20_F150_O20 的 ΔV_{FB} 約為 0.29 V，加上了氧化層的元件，介面缺陷明顯上升，除了氧化層本身的缺陷外，也包含了閘極區域因離子轟擊產生的缺陷，此次實驗中 400°C 的閘極熱退火修復動作對於具有氧化層結構的元件效益不大，下一小節將採用其他方式的表面修復，期望能降低介面缺陷。

	B1	B4	C1	C2
I_{dss} (最大飽和電流)	452 mA/mm	156 mA/mm	368 mA/mm	177 mA/mm
G_m (轉移電導)	111 mS/mm	89 mS/mm	83 mS/mm	74 mS/mm
R_{on} (導通電阻)	0.67Ω•cm	1.19Ω•cm	0.97Ω•cm	1.31Ω•cm
V_{th} (臨限電壓)	-3.82 V	-1.2 V	-4.06 V	-2.06 V
I_{on} (汲極導通電流)	282 mA/mm (V _G = -0.76 V)	216 mA/mm (V _G = 1.86 V)	200 mA/mm (V _G = -1 V)	190 mA/mm (V _G = 1 V)
SS (次臨限斜率)	107 mS/mm	219 mS/mm	114 mS/mm	250 mS/mm
On/Off ratio (開關比)	10 ⁶	10 ⁴	10 ⁵	10 ⁴

表 3.3 元件 C1 ~ C4 數據整理表

	R_C(Ω•cm)	R_{sheet}(Ω/sq)	ρ_c(Ω•cm²)	L_t(μm)
Standard	0.163	500	5.3E-5	3.25
R15_F150_O0	0.199	893	4.47E-5	2.23
R15_F150_O10	1.35	869	2.1E-3	15.54
R15_F150_O20	1.44	537	3.88E-3	26.88

表 3.4 元件 C1 ~ C4 利用傳輸線模型萃取出之相關數據

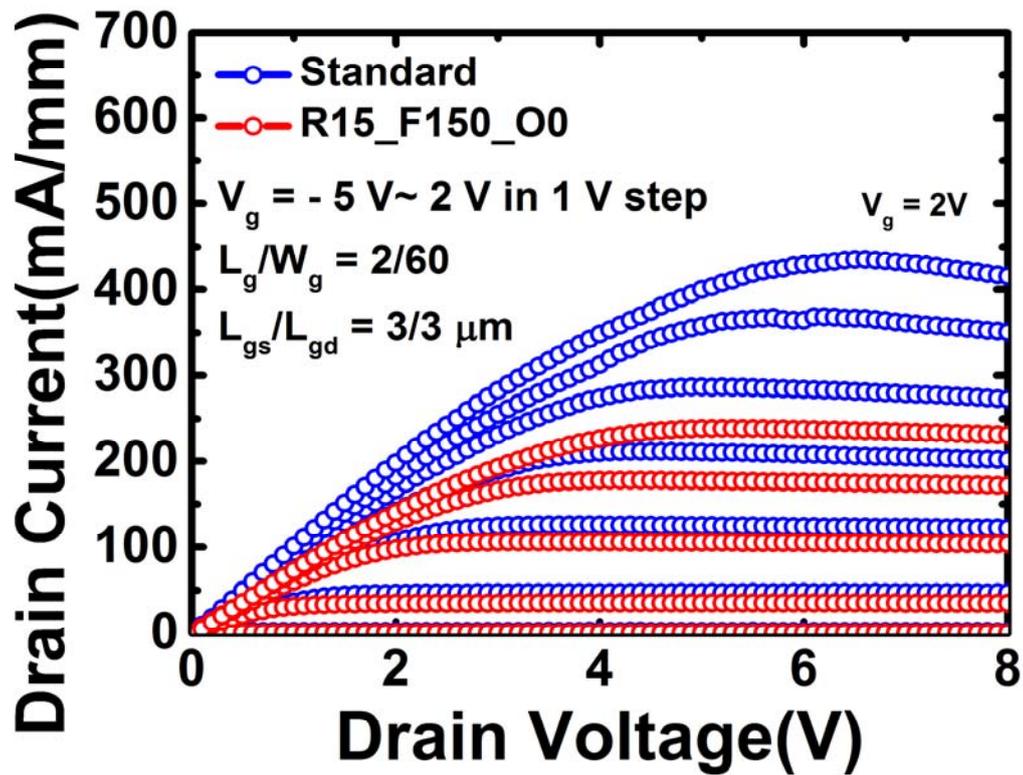


圖 3.5 電晶體 C1 和 C2 之 I_D-V_{DS} 特性曲線圖

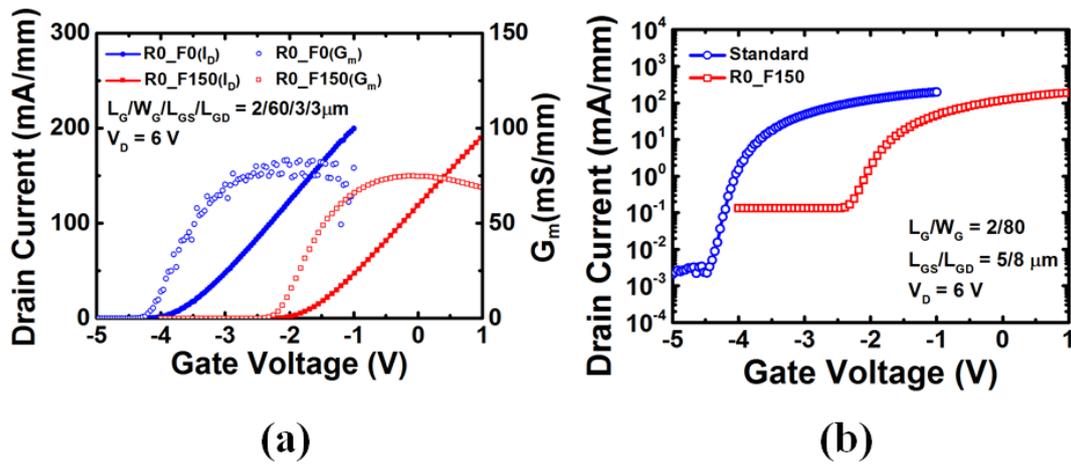
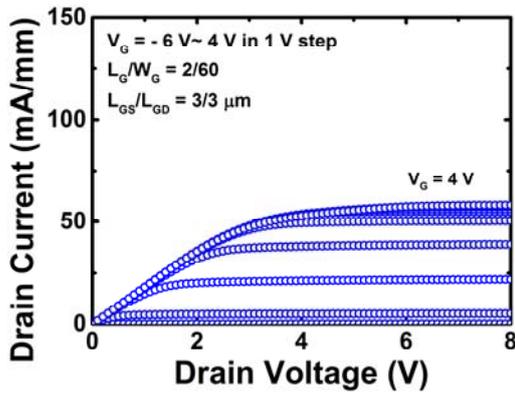
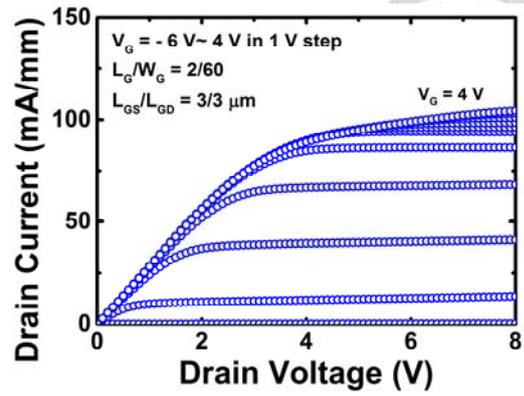


圖 3.6 電晶體之 I_D-V_{GS} 特性曲線圖 (a)線性作圖 (b)對數作圖



(a)



(b)

圖 3.7 (a) R15_F150_O10 (b) R15_F150_O20 電晶體之 $I_D - V_{DS}$ 特性曲線圖

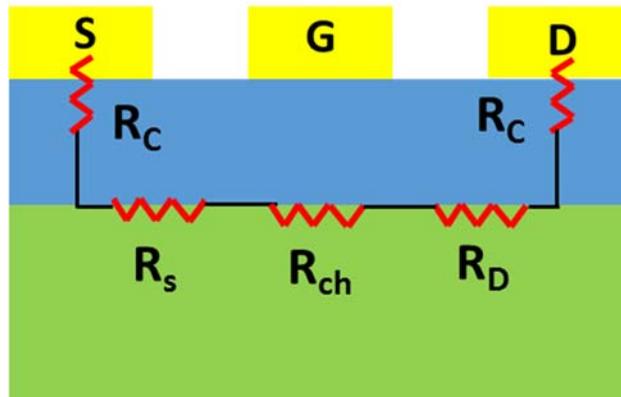


圖 3.8 電晶體直流模型

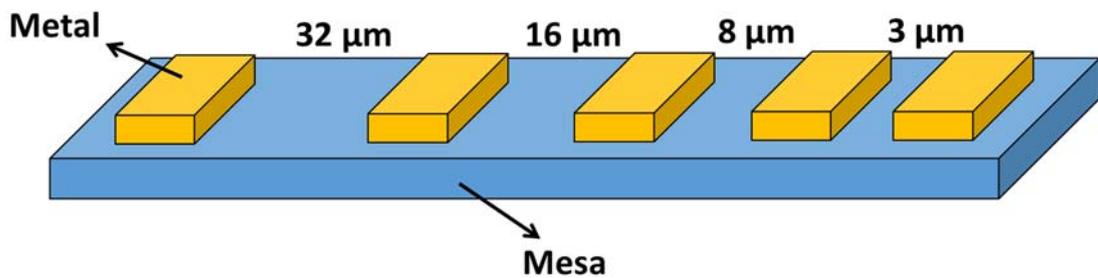


圖 3.9 萃取歐姆接觸電阻傳輸線模型設計示意圖

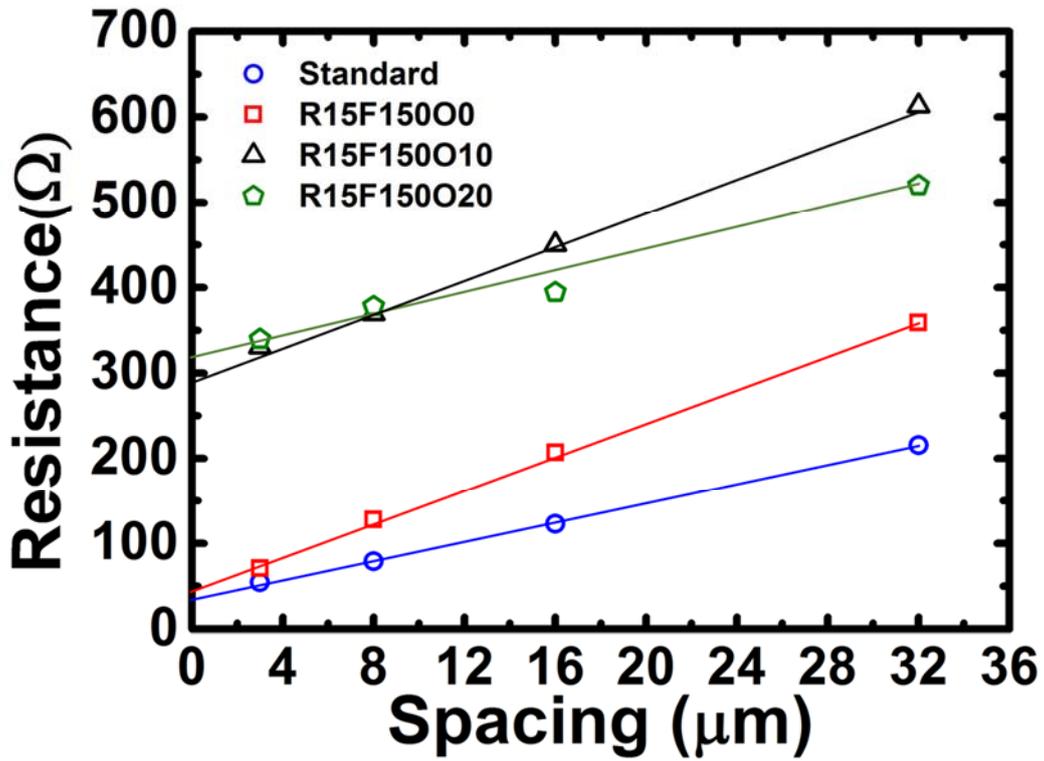


圖 3.10 不同電晶體歐姆接觸電阻萃取

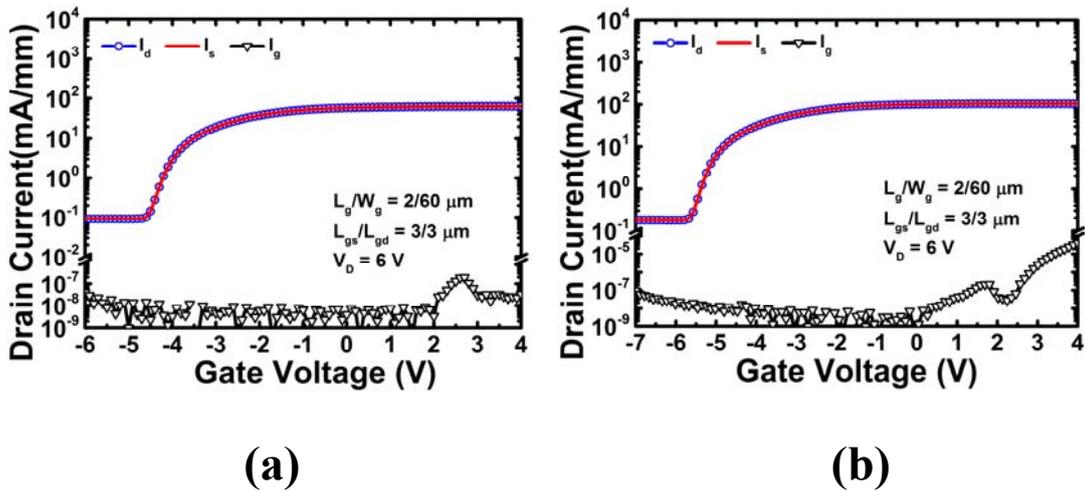


圖 3.11 (a) R15_F150_O10 (b) R15_F150_O20 電晶體之 I_D - V_{GS} 特性曲線圖

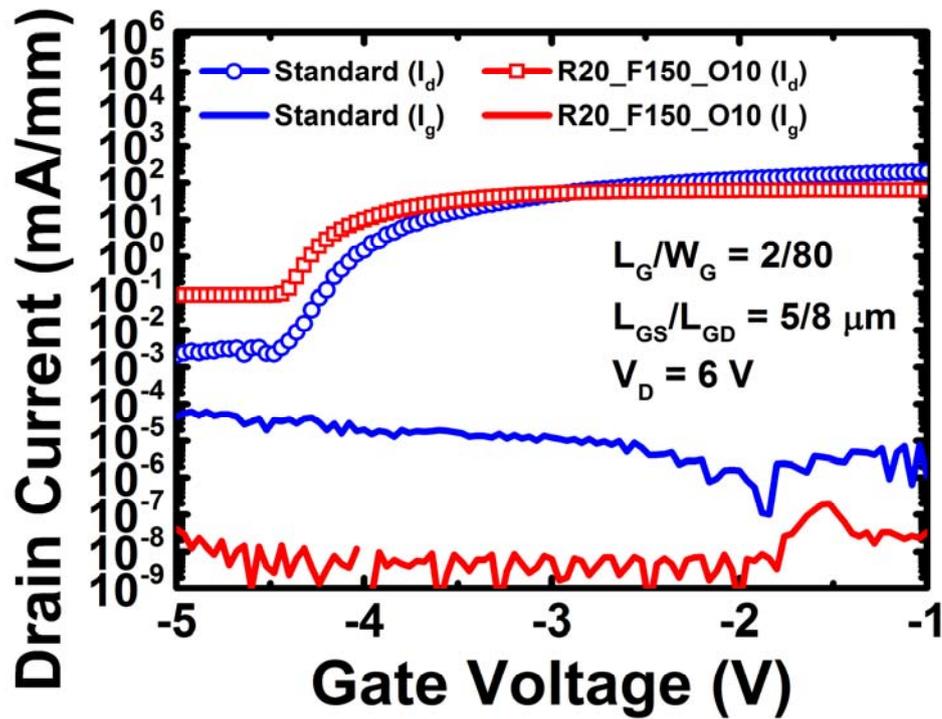


圖 3.12 元件 Standard 與 R20_F150_O10 之 I_D - V_{GS} 特性曲線圖

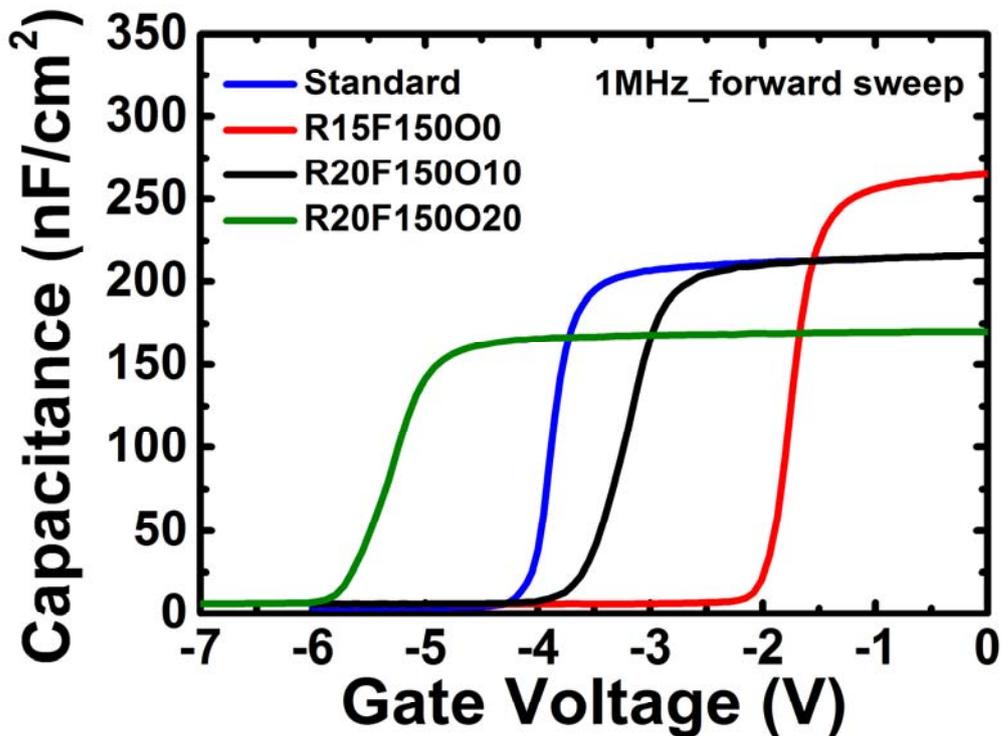


圖 3.13 元件 C1 ~ C4 在 1 MHz 頻率下量測之電容-電壓特性

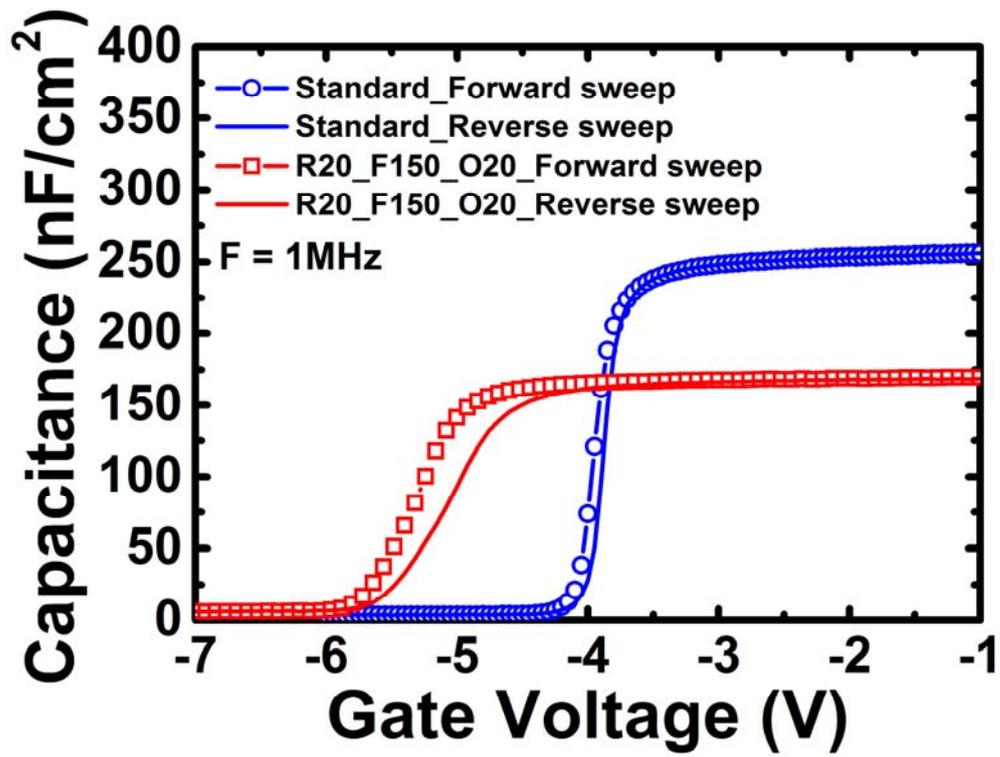


圖 3.14 元件 Standard 與 R20_F150_O20 在 1MHz 下之電容-電壓磁滯曲線

3.2 閘極掘入式金氧半高電子遷移率電晶體製作與閘極區域溼蝕刻式表面修復



由以上的實驗的實驗結果可知，我們能夠結合氟離子與閘極掘入製程使元件的臨限電壓往正方向偏移，若加深閘極掘入的深度或增長氟離子施打的時間，預期可製作出常關型元件，為了抑制閘極漏電流，氧化層的生長為必須，但加上氧化層後的臨限電壓會大量地往負向偏移，且由電容-電壓的量測結果可發現在氧化層與半導體介面上存在許多的缺陷，這些缺陷有可能是因離子轟擊產生，或是氧化層成長時所產生，為了解決介面缺陷問題，表面修復是此小節的重點，本小節利用閘極掘入製程製作出金氧半高電子遷移率電晶體，並利用氫氧化鉀(KOH)進行閘極區域的修復。

3.2.1 電晶體製程條件變化與製作流程

晶圓 sample 3 的電子遷移率較 sample 2 為低，且由實驗結果可知，晶圓 sample 2 製作出來的元件有較大的飽和電流密度，因此之後的實驗都將利用晶圓 sample 2 製作元件。

由於 3.1 小節中利用熱退火方式進行閘極區域修復的方法效果有限，且會影響氟離子處理的效果，此小節改用 KOH 進行溼蝕刻式的表面處理，文獻[23]中提到，KOH 在低溫及低濃度的情況下對氮化鎵有極慢的蝕刻速率($<0.001 \mu\text{m}/\text{min}$)，我們利用此特性試圖使閘極區域蝕刻後的表面平坦化，期望能提升元件的特性，此小節利用閘極掘入製程製作出金氧半高電子遷移率電晶體，製作出來的元件分別稱為 D1、D2、D3 和 D4，四種元件的製作流程及元件完成示意圖如圖 3.15，D1 為未進行閘極掘入製程的元件；元件 D2 的閘極掘入深度為 20 奈米；元件 D3 為 20 奈米的閘極掘入深度並利用 KOH 進行表面修復；元件 D4

為 30 奈米的閘極掘入深度，元件 D1、D2 和 D4 比較不同閘極掘入深度對元件的影響，元件 D2 和 D3 比較 KOH 表面修復的效果，四種元件製程變化的相關條件整理如表 3.5，詳細的製程流程如下，簡化過後的製程流程示意圖如圖 3.16。

1. 試片表面清洗

將試片置於裝有丙酮(ACE)的燒杯中，接著將燒杯放置於超音波震洗機中震洗五分鐘，其目的是除去表面上的有機物以及油脂，將試片從丙酮燒杯中取出以異丙醇(IPA)將試片表面脫水乾燥，以氮氣將試片吹乾，再置於攝氏 110°C 的熱平台(hot plate)上烤三分鐘，以去除水分。

2. 電晶體隔離的製作

利用感應耦合式電漿離子蝕刻機蝕刻出高台，使用的氣體為 $\text{Cl}_2 / \text{BCl}_3$ ，深度約為 250 奈米。

3. 汲源極歐姆金屬製作

本次實驗選用的歐姆接觸金屬仍為鈦/鋁/鎳/金(Ti/Al/Ni/Au)，利用電子束蒸鍍歐姆接觸金屬，掀離完全金屬後除去剩餘的光阻，置入快速熱退火機台進行退火動作，退火溫度為 900°C，在氮氣環境下退火 30 秒。

4. 鈍化層沉積與定義閘極區域

進行完快速熱退火後，將四顆元件送進電漿輔助式化學氣相沉積儀器的腔體中，生長 200 奈米厚的氮化矽。生長完鈍化層後，以黃光微影定義閘極區域，再進行閘極區域氮化矽的去除，將四顆元件放入反應式離子蝕刻機台進行蝕刻，使用的氣體與流量與 3.1 小節實驗相同，蝕刻率約為 15~20 Å/s，為了確保氮化

矽的完全移除，用超出速率計算 50% 的時間蝕刻，時間為 200 秒。



5. 閘極掘入蝕刻

將元件 D2、D3 和 D4 的閘極區域之氮化矽移除之後，接著用感應耦合式電漿離子蝕刻機進行閘極掘入的製程，此次實驗仍使用 $\text{Cl}_2 / \text{BCl}_3$ 氣體蝕刻氮化鋁鎵，此次製程測出的蝕刻率約為 2.35 \AA/s ，元件 C2 和 C3 蝕刻 20 奈米深度的時間約為 85 秒；元件 C4 蝕刻 30 奈米深度的時間約為 135 秒。

6. 閘極區域溼蝕刻式修復

元件 D3 進行完閘極掘入製程後，將光阻移除，並放入 KOH 稀釋液中進行修復動作，KOH 稀釋液條配的比例為 $\text{KOH} : \text{H}_2\text{O} = 1 : 7$ ，均勻攪拌後將溶液升溫至 120°C ，之後在將元件放入此稀釋液中靜置 1 分鐘。

7. 氧化層沉積

進行完熱退火修復的動作後，將四顆元件放入原子層沉積(ALD)機台中成長 10 奈米的氧化鋁。

8. 閘極與場板金屬蒸鍍

進行完上述製程後，利用電子束蒸鍍閘極金屬，此次選用的金屬仍為鎳/金，蒸鍍完成後進行掀離的動作，去除殘餘光阻。

9. 汲源極金屬接觸洞蝕刻

最後進行四顆元件汲源極金屬區域氮化矽保護層的移除，進行完黃光微影定義汲源極金屬的接觸洞後，先利用二氧化矽蝕刻液移除氧化鋁，蝕刻率約為 1 nm/s，為了確保氮化鋁的完全移除，四顆元件蝕刻的時間約 15 秒，為超出速率計算 50% 的蝕刻，之後再放入反應式離子蝕刻機台利用四氟化碳氣體蝕刻，四顆元件的蝕刻時間皆為 200 秒，為超出速率計算 50% 的蝕刻時間。至此，完成元件所有製程。

元件編號	閘極掘入蝕刻深度 (奈米)	氧化鋁沉積厚度 (奈米)	閘極區域修復
D1	0	0	無
D2	20	0	無
D3	20	10	氫氧化鉀
D4	30	20	無

表 3.5 元件 D1 ~ D4 之製程變化與條件整理

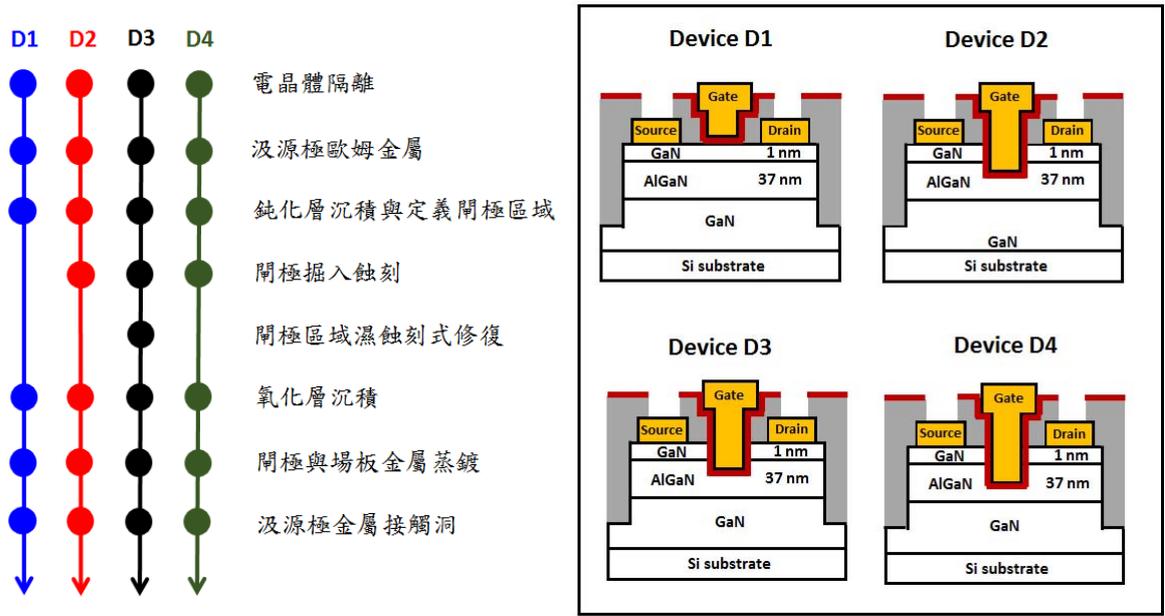


圖 3.15 元件製作流程與結構示意圖

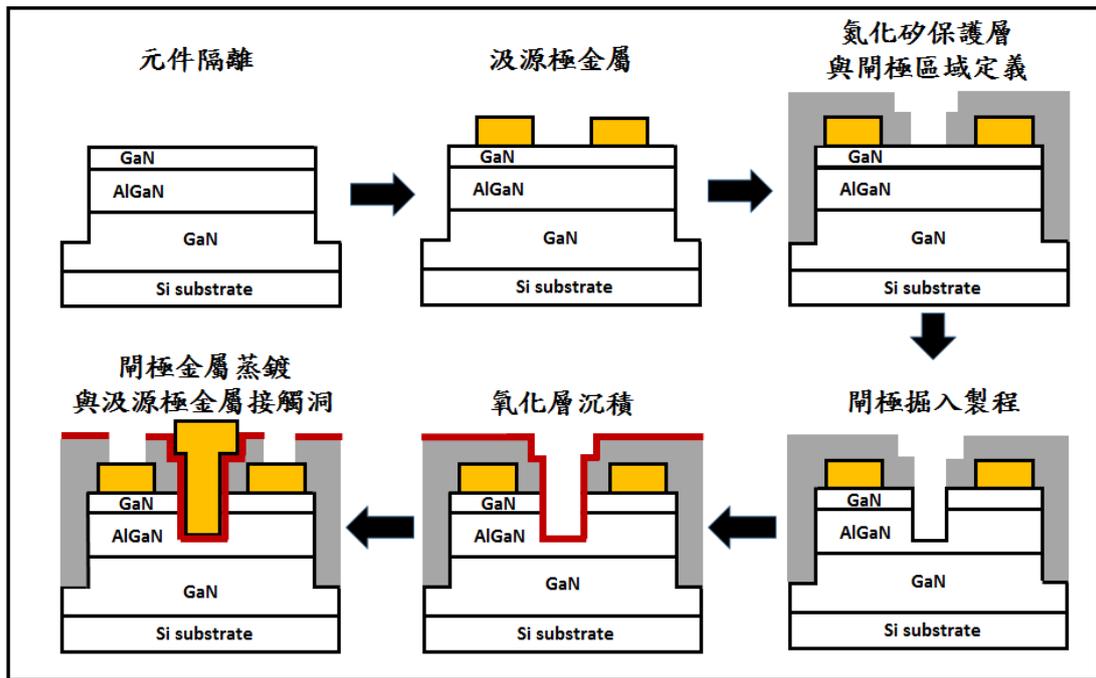


圖 3.16 元件製程簡化示意圖



3.2.2 電晶體直流特性分析

此次實驗製作出了不同閘極掘入深度的元件，探討元件閘極區域氧化鋁/氮化鋁銻介面品質與離子轟擊時間之間的關係，並利用 KOH 進行閘極區域的修復，並比較有無閘極修復對元件特性的影響，元件 D1 未進行閘極掘入製程，將其命名為 R0_O10 (閘極掘入深度 0 奈米，氧化層 10 奈米)；元件 D2 閘極掘入深度為 20 奈米，命名為 R20_O10；元件 D3 閘極掘入深度為 20 奈米，並利用 KOH 進行閘極區域修復，命名為 R20_O10_KOH；元件 D4 閘極掘入深度為 30 奈米，命名為 R30_O10。這小節討論的電晶體線寬與 3.1 小節相同，閘極長度為 2 微米，閘極寬度為 60 微米，閘極至汲極及源極距離皆為 3 微米。

圖 3.17 為四顆元件之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地 0 V，閘極偏壓由 -7 V 量測至 4 V，汲極偏壓由 0 V 掃至 8 V，元件 R0_O10 的 I_{dss} 為 456 mA/mm；元件 R20_O10 的 I_{dss} 為 365 mA/mm；元件 R30_O10 的 I_{dss} 為 322 mA/mm，隨著閘極掘入深度的增加， I_{dss} 有下降的趨勢，符合理論，萃取四顆元件在閘極偏壓為 4 V 時的 R_{on} ，元件 R0_O10 的 R_{on} 為 $0.97 \Omega \cdot \text{cm}$ ；元件 R20_O10 的 R_{on} 為 $1.3 \Omega \cdot \text{cm}$ ；元件 R30_O10 的 R_{on} 為 $1.37 \Omega \cdot \text{cm}$ ，導通電阻隨著閘極掘入深度的增加而有上升的趨勢，閘極區域承受離子轟擊的時間越長，通道的阻值有提高的現象，在比較有無閘極區域修復的元件 R20_O10 和 R20_O10_KOH，經過 KOH 表面修復的元件 R20_O10_KOH 的 I_{dss} 為 554 mA/mm，經過 KOH 處理的元件 R20_O10_KOH 和未進行 KOH 處理的元件 R20_O10 相比， I_{dss} 提升了約 51%，元件 R20_O10_KOH 在閘極偏壓為 4 V 萃取出的 R_{on} 為 $0.8 \Omega \cdot \text{cm}$ ，相較元件 R20_O10 下降了約 38%， R_{on} 也比未進行閘極掘入製程的元件 R0_O10 下降了約 17.5%，KOH 修復的效果顯著。

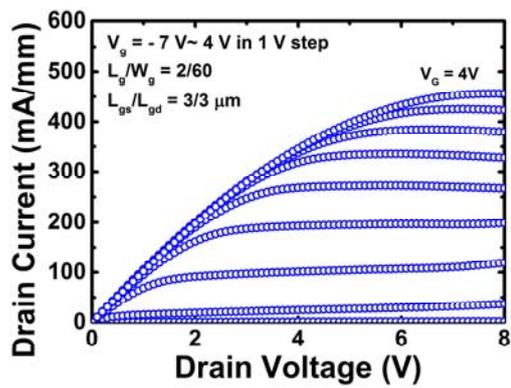
圖 3.18(a) 為四顆元件之 $I_D - V_{GS}$ 特性線性作圖，元件 R0_O10 的 G_m 為 100 mS/mm；元件 R20_O10 的 G_m 為 78 mS/mm；元件 R20_O10_KOH 的 G_m 為 115

mS/mm; 元件 R30_O10 的 G_m 為 97 mS/mm, 閘極掘入深度 20 奈米的元件 R20_O10 及閘極掘入深度 30 奈米的元件 R30_O10 之 G_m 都較未進行閘極掘入製程的元件 R0_O10 為低, 不符合理論, 推測是因閘極區域離子轟擊導致氧化鋁/氮化鋁鎳界面產生許多缺陷造成元件特性的下降, 比較元件 R20_O10 和 R20_O10_KOH, 經過 KOH 修復的元件 G_m 從 78 mS/mm 提升到 115 mS/mm, 圖 3.18(b) 為四顆元件之 $I_D - V_{GS}$ 特性對數作圖, 元, 元件 R0_O10、R20_O10 與 R20_O10_KOH 的關閉狀態汲極電流皆大於 1 mA/mm, 因此無法使用前幾次實驗萃取 V_{th} 的方法, 此次利用 $I_D - V_{GS}$ 圖線性外插法進行 V_{th} 的萃取, 萃取示意圖如圖 3.19, 元件 R0_O10 萃取出的 V_{th} 約為 -4.51 V; 元件 R20_O10 萃取出的 V_{th} 約為 -3.86 V; 元件 R20_O10_KOH 萃取出的 V_{th} 約為 -4.32 V; 元件 R30_O10 萃取出的 V_{th} 約為 -3.43 V, 比較元件 R0_O10、R10_O10 和 R30_O10, 元件的 V_{th} 隨著閘極掘入深度增加而上升, 再比較元件 R20_O10 和 R20_O10_KOH 的 SS, 元件 R20_O10 的 SS 約為 581 mV/dec; 元件 R20_O10_KOH 的 SS 約為 401 mV/dec, 經過 KOH 處理的元件 SS 有明顯的下降, 但在 V_{th} 的部分, 元件 R20_O10_KOH 的 V_{th} 較元件 R20_O10 向左偏移了約 0.46 V, 此部分推測是進行閘極修復所使用的 KOH 稀釋液中的鉀離子(K^+)在介面形成正電荷, 此正電荷會吸引通道的電子, 使閘極需施加更大負偏壓才能空乏通道中的電子, 因此 V_{th} 往負向偏移, 萃取四顆元件在相同 $V_g - V_{th}$ 下的 I_{on} , 元件 R0_O10 的 I_{on} 為 408 mA/mm ($V_g = 0.92$ V); 元件 R20_O10 的 I_{on} 為 364 mA/mm ($V_g = 1.57$ V); 元件 R20_O10_KOH 的 I_{on} 為 491 mA/mm ($V_g = 1.11$ V); 元件 R30_O10 的 I_{on} 為 409 mA/mm ($V_g = 2$ V), 經過 KOH 處理的元件有最大的 I_{on} , 證明 KOH 處理確實可使元件的特性提升。

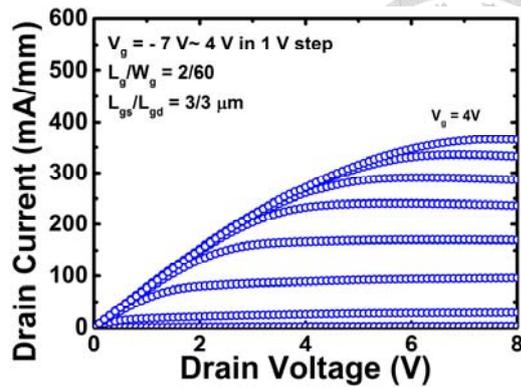
我們利用電容-電壓量測進行氧化層/氮化鋁鎳介面缺陷的分析, 圖 3.20 為四顆元件在 1MHz 的頻率下量測到的電容-電壓圖, 元件 R0_O10 的電容值約為 176 nF/cm²; 元件 R20_O10 的電容值約為 200 nF/cm²; 元件 R20_O10_KOH 的電容值約為 228 nF/cm²; 元件 R30_O10 的電容值約為 281 nF/cm², 隨著閘極掘入深度從 0 奈米增加至 30 奈米, 電容值從 176 nF/cm² 增加至 281 nF/cm², 比較元件

R20_O10 和 R20_O10_KOH，經過 KOH 處理的元件電容值從 200 nF/cm^2 上升至 228 nF/cm^2 ，電容值的上升推測為 KOH 對氮化鋁鎵的蝕刻， V_{th} 也因 K^+ 的影響往負向偏移。

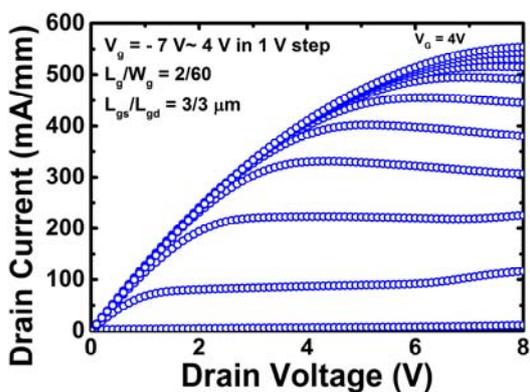
圖 3.21 為四顆元件在 1MHz 頻率下量測的電容-電壓磁滯曲線，元件 R0_O10 的 ΔV_{FB} 約 87 mV；元件 R20_O10 的 ΔV_{FB} 約為 123 mV；元件 R20_O10_KOH 的 ΔV_{FB} 約為 94 mV；元件 R30_O10 的 ΔV_{FB} 約為 262 mV，比較元件 R0_O10、R20_O10 和 R30_O10，隨著閘極區離子轟擊的時間從 0 秒到 135 秒，元件的 ΔV_{FB} 從 87 mV 上升至 294 mV，由此推論元件的介面缺陷確實有因閘極區域離子轟擊而增加，比較元件 R20_O10 和 R20_O10_KOH，經過 KOH 處理的元件 ΔV_{FB} 由 123 mV 下降至 94mV，利用 KOH 進行閘極區域的修復確實可減少介面缺陷，下一章節我們將延續此小節的實驗結果，並增加閘極掘入的深度，期望能製作出常關式元件，同時利用 KOH 表面修復的製程，降低介面缺陷對元件特性的影響。



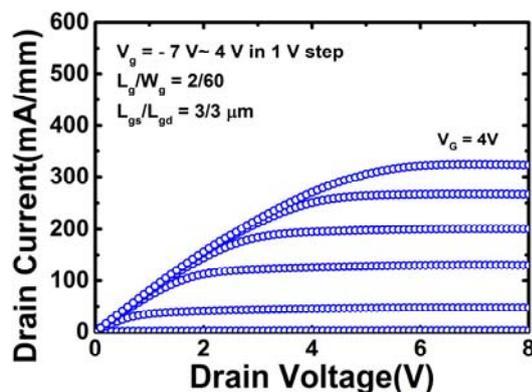
(a)



(b)



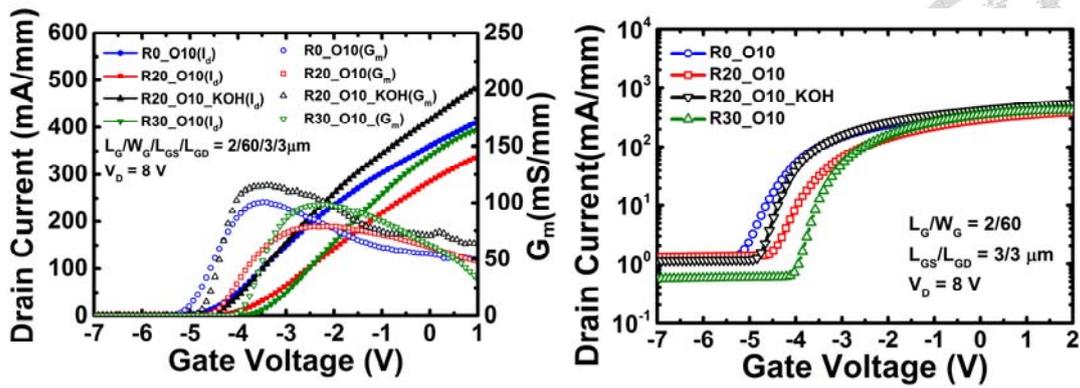
(c)



(d)

圖 3.17 (a) R0_O0 (b) R20_O10 (c) R0_O20_KOH (d) R30_O10 電晶體之 $I_D - V_{DS}$

特性曲線圖



(a)

(b)

圖 3.18 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖

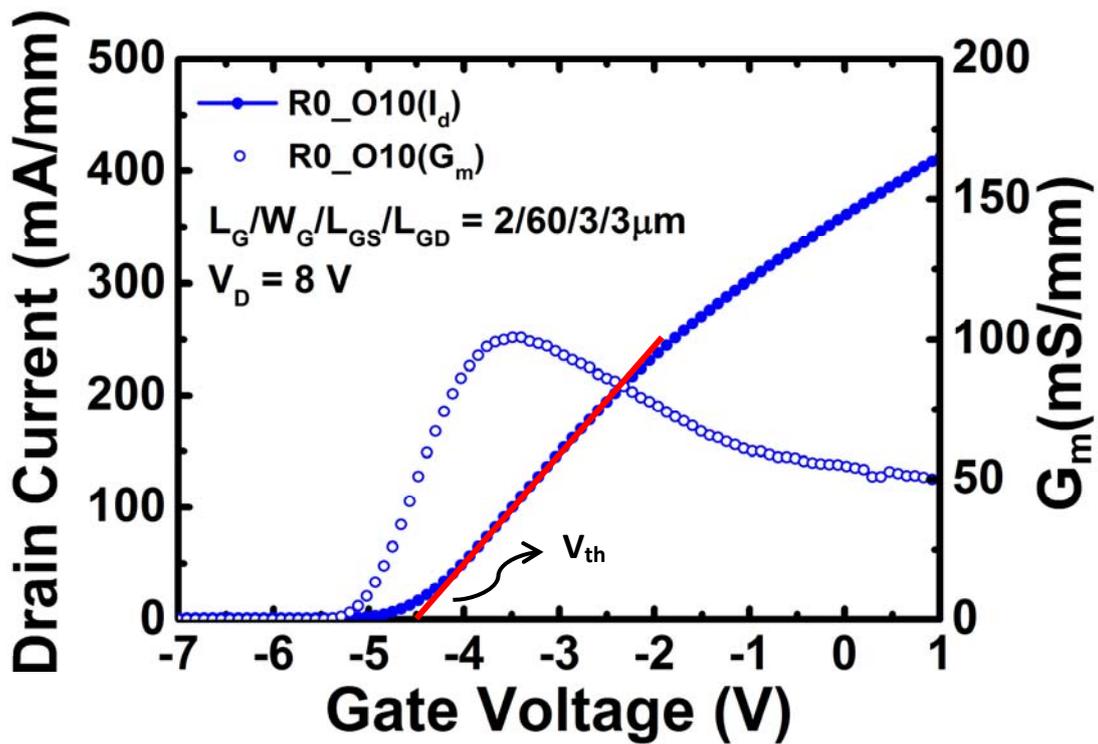


圖 3.19 $I_D - V_{GS}$ 圖線性外插法萃取臨限電壓圖

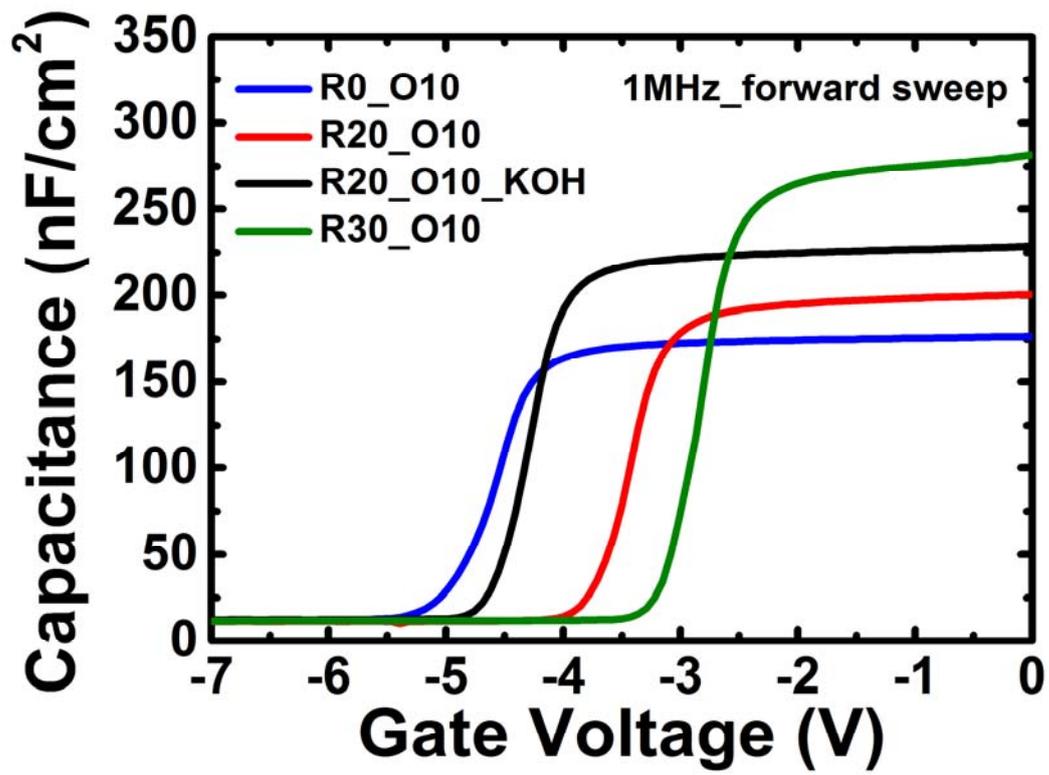
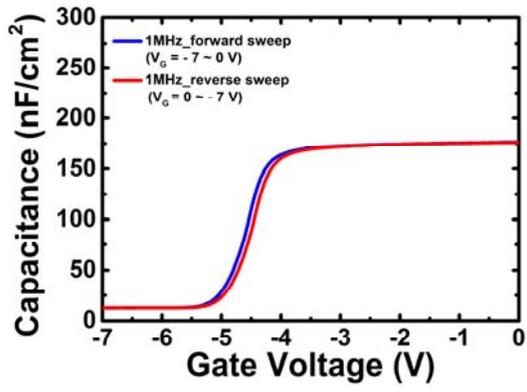
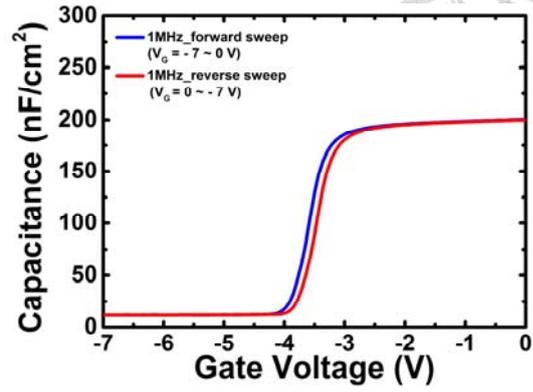


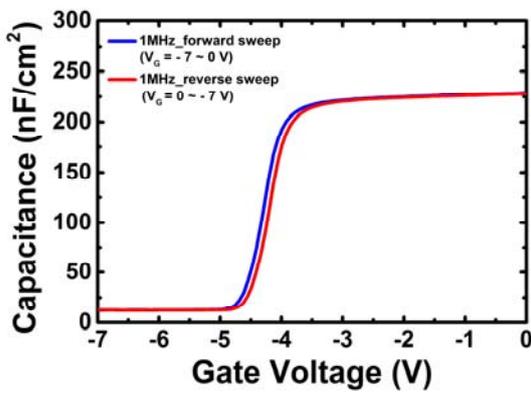
圖 3.20 元件 D1 ~ D4 在 1 MHz 頻率下量測之電容-電壓特性



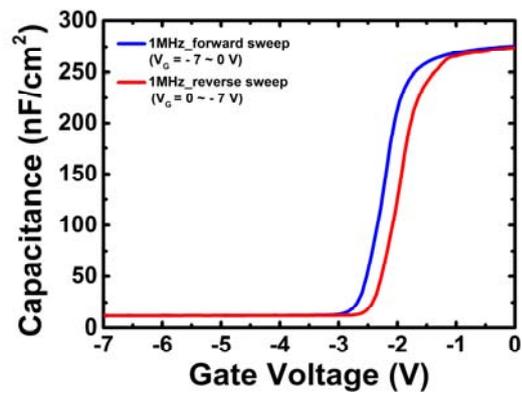
(a)



(b)



(c)



(d)

圖 3.21 元件 D1 ~ D4 在 1MHz 頻率下量測之電容-電壓磁滯曲線

第4章 常關式反轉層通道閘極掘入式氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之製作與介面缺陷分析



4.1 反轉層通道氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之製作

在 3.2 小節中，我們利用閘極掘入製程製作出金氧半高電子遷移率電晶體，藉由改變閘極掘入深度，使臨限電壓正向偏移約 2 V，但電晶體仍為常開型元件，為了使臨限電壓大於 0 V，在此小節實驗中我們增加閘極掘入的深度，將氮化鋁鎵層完全蝕刻，移除原本由異質接面極化效應產生的二維電子氣，預期能獲得大於 0 V 的臨限電壓，此小節沿用 3.2 小節中利用 KOH 進行閘極區域修復的製程，用以降低介面缺陷。

4.1.1 電晶體製程條件變化與製作流程

本章節實驗仍使用磊晶品質較好的 sample 5，使用與 3.2 小節元件 R20_010_KOH 相同的製程步驟，製作出不同閘極掘入深度的元件 E1、E2 和 E3，三種元件的製作流程及元件完成示意圖如圖 4.1，元件 E1 的閘極掘入深度為 40 奈米；元件 E2 的閘極掘入深度為 45 奈米；元件 E3 的閘極掘入深度為 50 奈米，由於是利用感應耦合式電漿離子蝕刻機進行乾蝕刻，閘極掘入的深度不易控制，因此為了確保氮化鋁鎵層完全地移除，蝕刻深度最深達到 50 奈米，此次利用 KOH

進行閘極區域修復的條件與 3.2 小節有些許差異，詳細條件將於製程流程中說明，元件 E1、E2 和 E3 製程變化的相關條件整理如表 4.1，詳細的製程流程如下。



1. 試片表面清洗

將試片置於裝有丙酮(ACE)的燒杯中，接著將燒杯放置於超音波震洗機中震洗五分鐘，其目的是除去表面上的有機物以及油脂，將試片從丙酮燒杯中取出以異丙醇(IPA)將試片表面脫水乾燥，以氮氣將試片吹乾，再置於攝氏 110°C 的熱平台(hot plate)上烤三分鐘，以去除水分。

2. 電晶體隔離的製作

利用感應耦合式電漿離子蝕刻機蝕刻出高台，使用的氣體為 Cl_2 / BCl_3 ，深度約為 250 奈米。

3. 汲源極歐姆金屬製作

本次實驗選用的歐姆接觸金屬仍為鈦/鋁/鎳/金(Ti/Al/Ni/Au)，利用電子束蒸鍍歐姆接觸金屬，掀離完全金屬後除去剩餘的光阻，置入快速熱退火機台進行退火動作，退火溫度為 900 °C，在氮氣環境下退火 30 秒。

4. 鈍化層沉積與定義閘極區域

進行完快速熱退火後，將三顆元件送進電漿輔助式化學氣相沉積儀器的腔體中，生長 200 奈米厚的氮化矽。生長完鈍化層後，以黃光微影定義閘極區域，再進行閘極區域氮化矽的去除，將三顆元件放入反應式離子蝕刻機台進行蝕刻，使用的氣體與流量與 3.2 小節實驗相同，蝕刻率約為 15~20 Å/s，為了確保氮化矽的完全移除，用超出速率計算 50% 的時間蝕刻，時間為 200 秒。



5. 閘極掘入蝕刻

將元件 E1、E2 和 E3 的閘極區域之氯化矽移除之後，接著用感應耦合式電漿離子蝕刻機進行閘極掘入的製程，此次實驗仍使用 $\text{Cl}_2 / \text{BCl}_3$ 氣體蝕刻氮化鋁鎵，為了更精準地控制蝕刻深度及降低離子轟擊對閘極區域造成的損傷，我們調降了離子加速電壓及增加氣體壓力，用以降低物理性蝕刻，元件 E1 蝕刻的時間為 397 秒；元件 E2 蝕刻的時間為 454 秒；元件 E3 蝕刻的時間為 511 秒，為了確認蝕刻深度，我們將一片測試片與元件 E3 一起放入感應耦合式電漿離子蝕刻機，並利用原子力顯微鏡(AFM)探測蝕刻深度，如圖 4.2，511 秒的蝕刻時間探測到的深度約為 50.6 奈米，計算蝕刻率約為 1 \AA/s ，速率較 3.2 小節測出來的蝕刻率降低了一倍。

6. 閘極區域溼蝕刻式修復

進行完閘極掘入製程後，將光阻移除，並放入 KOH 稀釋液中進行修復動作，為了避免 KOH 過度蝕刻表面，此次實驗降低了 KOH 的濃度，並提高修復的時間，此次 KOH 稀釋液條配的比例為 $\text{KOH} : \text{H}_2\text{O} = 1 : 10$ ，均勻攪拌後將溶液升溫至 120°C ，之後再將元件放入此稀釋液中靜置 3 分鐘。

7. 氧化層沉積

進行完熱退火修復的動作後，將三顆元件放入原子層沉積機台中成長 10 奈米的氧化鋁。



8. 閘極與場板金屬蒸鍍

進行完上述製程後，利用電子束蒸鍍閘極金屬，此次選用的金屬仍為鎳/金，蒸鍍完成後進行掀離的動作，去除殘餘光阻。

9. 汲源極金屬接觸洞蝕刻

最後進行元件汲源極金屬區域氮化矽保護層的移除，利用二氧化矽蝕刻液移除氧化鋁，蝕刻率約為 1 nm/s，為了確保氮化鋁的完全移除，三顆元件蝕刻的時間約 15 秒，為超出速率計算 50% 的蝕刻，之後再放入反應式離子蝕刻機台利用四氟化碳氣體蝕刻，三顆元件的蝕刻時間皆為 200 秒，為超出速率計算 50% 的蝕刻時間。至此，完成元件所有製程。

元件編號	閘極掘入蝕刻深度 (奈米)	氧化鋁沉積厚度 (奈米)	閘極區域修復
E1	40	10	氫氧化鉀
E2	45	10	氫氧化鉀
E3	50	10	氫氧化鉀

表 4.1 元件 E1 ~ E3 之製程變化與條件整理

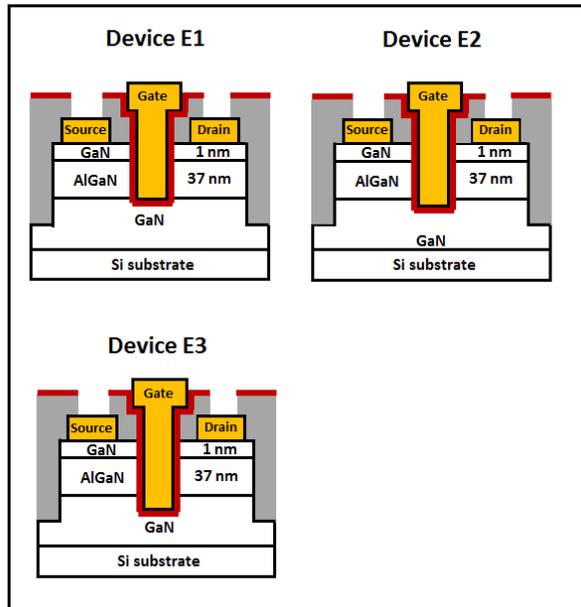
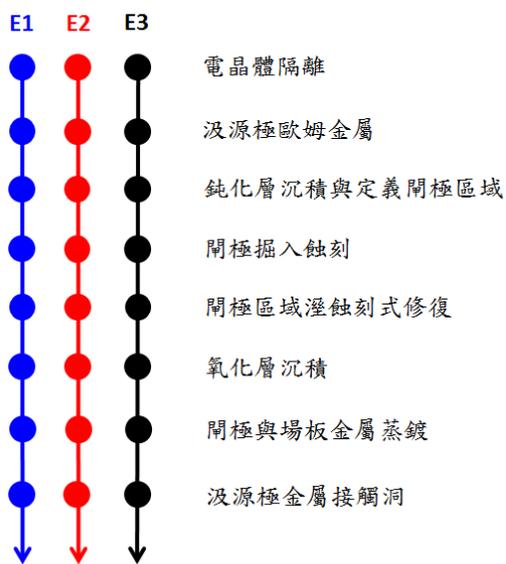


圖 4.1 元件製作流程與結構示意圖

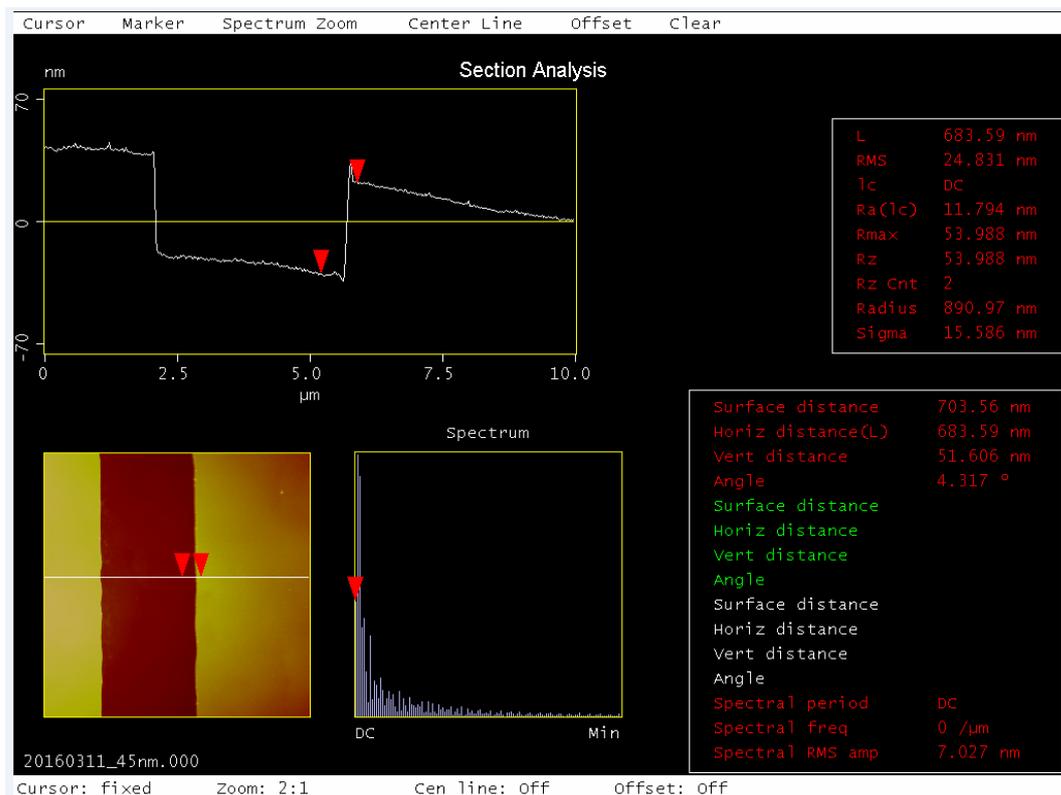


圖 4.2 閘極蝕刻測試片在 AFM 下之觀測圖



4.1.2 電晶體直流特性分析

元件 E1 閘極掘入深度為 40 奈米，將其命名為 R40_O10；元件 E2 閘極掘入深度為 45 奈米，將其命名為 R45_O10；元件 E3 閘極掘入深度為 50 奈米，將其命名為 R50_O10，這小節討論的電晶體線寬與 3.2 小節相同，閘極長度為 2 微米，閘極寬度為 60 微米，閘極至汲極及源極距離皆為 3 微米。

圖 4.3 為元件 E1 ~ E3 之 $I_D - V_{DS}$ 特性曲線圖，量測條件為源極接地 0 V，閘極偏壓由 -2 V 量測至 5 V，汲極偏壓由 0 V 掃至 8 V，元件 R40_O10 的 $I_{d,max}$ (最大飽和電流密度) 為 309 mA/mm；元件 R45_O10 的 $I_{d,max}$ 為 258 mA/mm；元件 R50_O10 的 $I_{d,max}$ 為 100 mA/mm，隨著閘極掘入深度的增加， $I_{d,max}$ 有下降的趨勢，與元件 R40_O10 相比，元件 R45_O10 的 $I_{d,max}$ 下降約 16%，元件 R50_O10 的 $I_{d,max}$ 下降約 60%，萃取三顆元件在閘極偏壓為 5 V 時的 R_{on} ，元件 R40_O10 的 R_{on} 為 $0.82 \Omega \cdot \text{cm}$ ；元件 R45_O10 的 R_{on} 為 $1.59 \Omega \cdot \text{cm}$ ；元件 R30_O10 的 R_{on} 為 $2.64 \Omega \cdot \text{cm}$ ， R_{on} 隨著閘極掘入深度的增加而有上升的趨勢。

圖 4.4 為元件 E1、E2 和 E3 之 $I_D - V_{GS}$ 特性曲線圖，由圖 4.4(a)，元件 R40_O10 的 G_m 為 137 mS/mm， V_{th} 約為 1.17 V；元件 R45_O10 的 G_m 為 80 mS/mm， V_{th} 約為 1.05 V；元件 R50_O10 的 G_m 為 55 mS/mm， V_{th} 約為 0.98 V，此次 V_{th} 的萃取仍是使用線性外插法，元件 R40_O10 的 G_m 最大，隨著閘極掘入深度增加， G_m 有明顯的下降，與前面的實驗結果相反，而三顆元件的 V_{th} 大約都在 1 V 左右，增加閘極掘入深度無法再使 V_{th} 往正向偏移，推測三顆元件的氮化鋁鎳障壁層皆已經被完全移除，擁有相同的通道控制能力。

圖 4.4(b) 為元件 E1、E2 和 E3 之開關特性，元件 R40_O10 的 SS 為 757 mV/dec，On/Off ratio 約為 10^3 ；元件 R45_O10 的 SS 為 285 mV/dec，On/Off ratio 約為 10^4 ；元件 R50_O10 的 SS 為 1351 mV/dec，On/Off ratio 約為 10^2 ，比較元件 R40_O10 和 R45_O10，隨著閘極掘入時間增加，SS 從 757 mV/dec 下降至 285 mV/dec，通

道的控制能力提升，且關閉狀態的汲極漏電流從 10^0 數量級下降至 10^{-2} ，由此結果推測，元件 R45_O10 的閘極與通道的距離更短，但由閘極蝕刻測試的結果，理論上三顆元件的氮化鋁鎵層應該都已經被完全蝕刻，距離通道的距離應該相同，為了確認元件 R45_O10 的閘極掘入深度，我們利用穿透式電子顯微鏡 (Transmission Electron Microscope) 觀測元件的剖面圖，結果如圖 4.5，由圖中可知，在閘極蝕刻最深的地方約與氮化鎵/氮化鋁鎵介面貼合，由此判斷元件 R45_O10 的障壁層已完全被移除，比較元件 R45_O10 和 R50_O10，SS 從 285 mV/dec 上升至 1351 mV/dec，On/Off ratio 也從 10^4 下降至 10^2 ，元件的特性急速衰退，由於元件 R45_O10 的氮化鋁鎵層已經完全移除，若再往下進行蝕刻，閘極區域的阻值會明顯上升，造成元件特性的衰退，比較三顆元件在相同 $V_g - V_{th}$ 下的汲極導通電流，由於三顆元件的臨限電壓大約都在 1 V，三顆元件同樣選取在閘極偏壓為 5 V 時的汲極導通電流，R40_O10 的汲極導通電流為 388 mV/dec；R45_O10 的汲極導通電流為 273 mV/dec；R50_O10 的汲極導通電流為 163 mV/dec，由 3.2 小節的元件 R20_O10 和 R30_O10 可知，閘極掘入深度增加，閘極控制通道能力上升，可吸引更多電子並獲得更大電流，但元件 R40_O10 的汲極導通電流卻比 R45_O10 為大，推測是元件已經從原本的二維電子氣通道轉變成反轉層通道，但因為氮化鎵的本質電子濃度約只有 10^{10} cm^{-3} ，比 sample 2 量測到的通道電子濃度 8.5×10^{12} 小了約三個數量級，因此反轉層通道元件的電流會較二維電子氣通道元件的電流為小，由於元件已經從二維電子氣通道轉變成反轉層通道，三顆元件的臨限電壓不會再增加，與此次實驗的結果相同。

由此次的實驗結果可推測，元件 R40_O10 為二維電子氣通道的元件，元件 R45_O10 和 R50_O10 的氮化鋁鎵障壁層被完全移除，元件轉變成反轉層通道，但由於 sample 2 的障壁層厚度為 37 奈米，較一般常見的磊晶厚度(約 15 ~ 25 奈米)厚上許多，需將障壁層幾乎完全移除才能製作出常關式元件，但閘極區域將承受更長時間的離子轟擊，且由於元件閘極掘入至靠近氮化鋁鎵/氮化鎵磊晶層，磊晶產生的錯位(dislocation)將更明顯，可能會造成介面缺陷更為嚴重，在此次的

量測過程中很明顯地發現元件特性的不穩定，4.2 小節將會利用不同的量測方法分析介面缺陷。

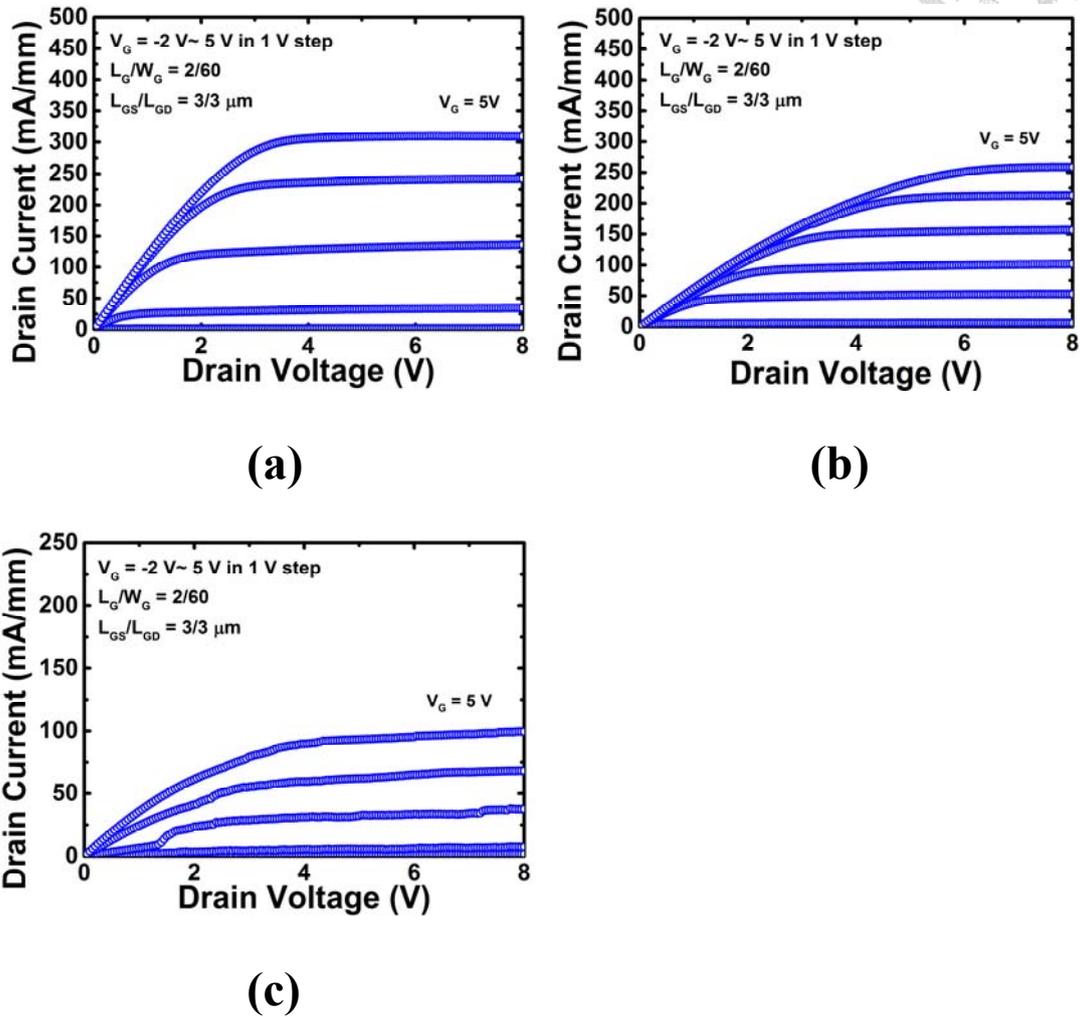


圖 4.3 (a) R40_O0 (b) R45_O10 (c) R50_O10 電晶體之 $I_D - V_{DS}$ 特性曲線圖

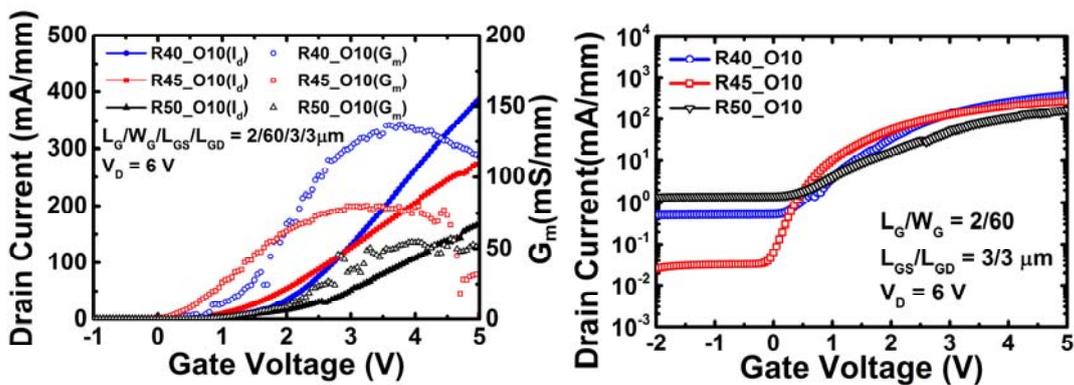
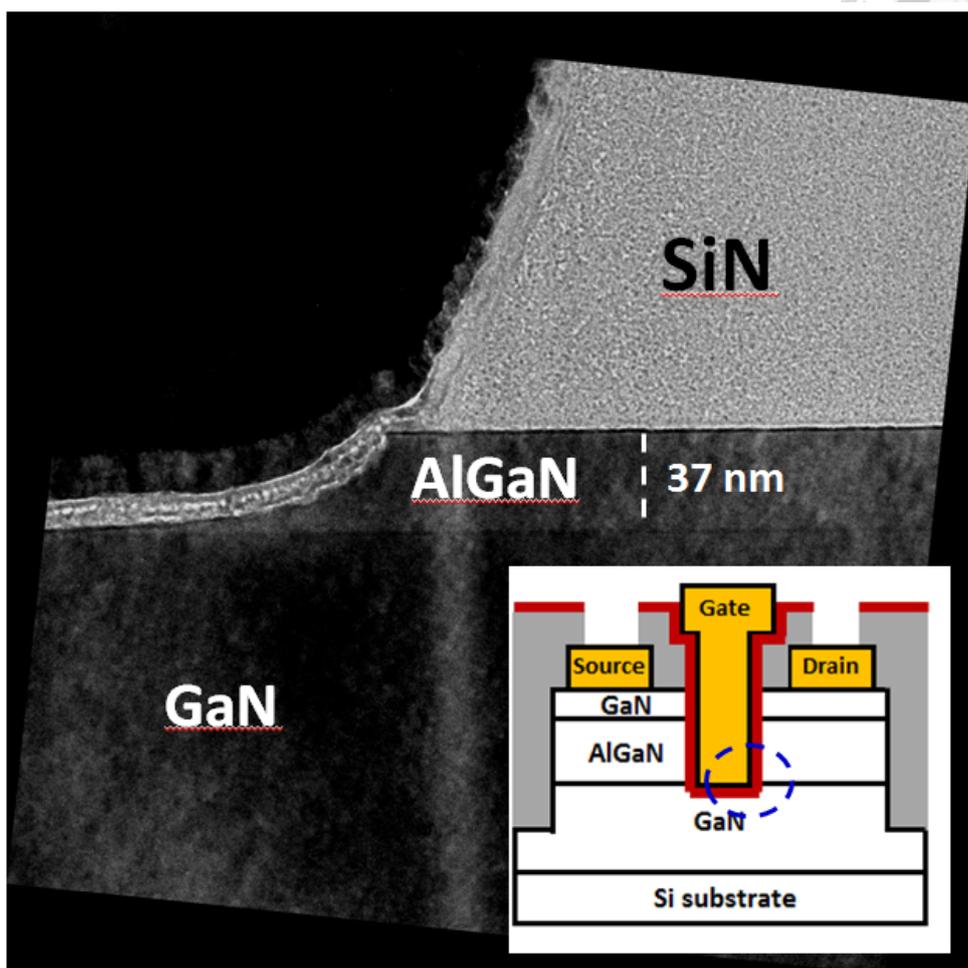
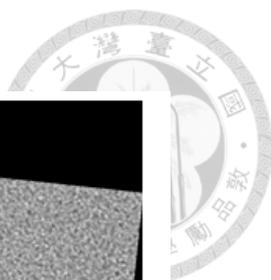
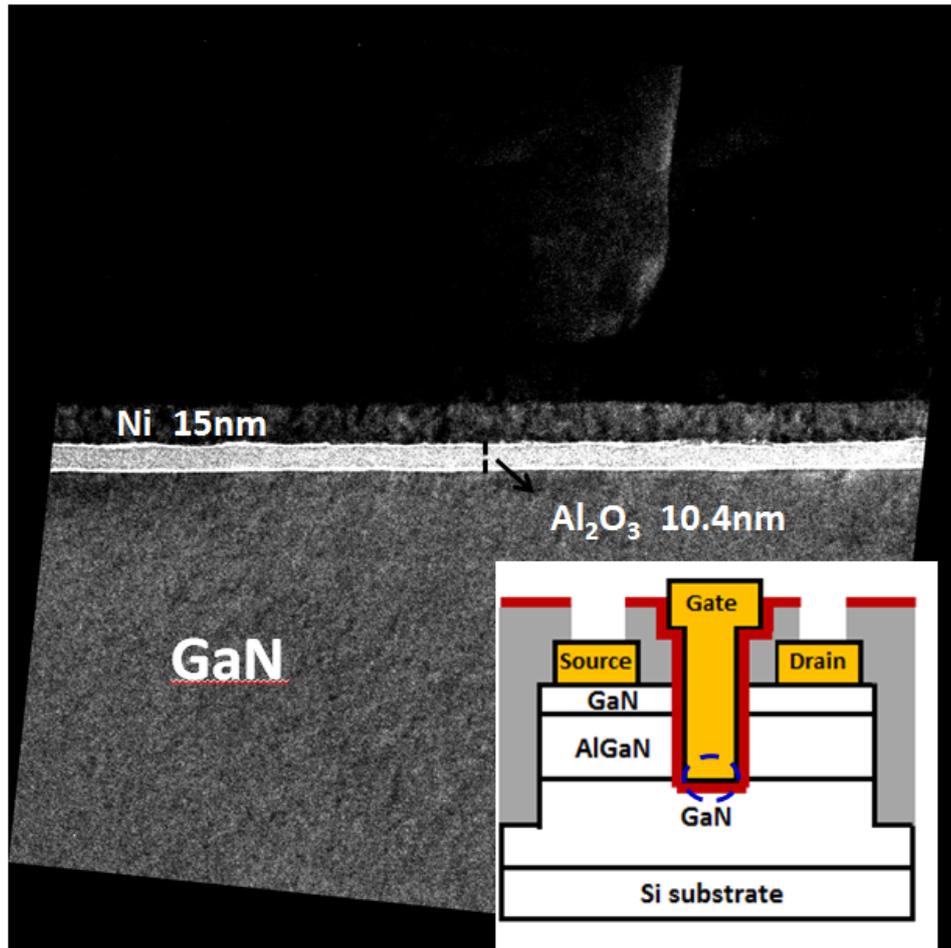


圖 4.4 電晶體之 $I_D - V_{GS}$ 特性曲線圖 (a)線性作圖 (b)對數作圖



(a)



(b)

圖 4.5 元件 R45_O10 在 TEM 下拍攝之剖面圖 (a)閘極蝕刻邊緣 (b)閘極蝕刻中

間

4.2 反轉層通道氮化鋁鎵/氮化鎵金氧半高電子遷移率電晶體之介面缺陷分析



在上一小節的實驗中，我們成功地利用閘極掘入製程製作出常關型金氧半高電子遷移率電晶體，但由於障壁層厚度太厚，閘極區域承受離子轟擊的時間過長，導致介面缺陷嚴重，在量測過程中我們發現元件的臨限電壓會隨著量測的偏壓而有所改變，此小節將探討此臨限電壓的偏移，並利用電容-電壓以及脈衝的量測分析介面缺陷。

4.2.1 電晶體氧化鋁/氮化鋁鎵介面缺陷捕捉/釋放電子造成之臨限電壓偏移

在進行直流量測時，元件會從關閉狀態($V_g < V_{th}$)量測至導通狀態($V_g > V_{th}$)，圖 4.6 為氧化層/氮化鋁鎵/氮化鎵結構能帶示意圖，在氧化層和氮化鋁鎵介面會有因缺陷而產生的能態(state)，在費米能階(Fermi-level)以下的能態為 donor-like，佔據電子時呈電中性，釋放電子時呈正電性；在費米能階以上的能態為 acceptor-like，佔據電子時呈負電性，釋放電子時呈電中性，在閘極偏壓為 0 V 時，acceptor-like 缺陷未佔據電子，當閘極偏壓增加時，通道會逐漸累積電子，此時氧化層/氮化鋁鎵介面的費米能階會被往上拉，部分 acceptor-like 缺陷會位在費米能階之下，此時電子會從通道進入缺陷而被捕捉，捕捉電子後的 acceptor-like 缺陷會呈負電性，此負電性會空乏通道中的電子，導致臨限電壓的正向偏移，當閘極操作在負偏壓時，氧化層/氮化鋁鎵介面的費米能階會被往上拉，原本被 acceptor-like 缺陷捕捉的電子被釋放出來，acceptor-like 缺陷恢復電中性，因此在量測過程中涉及到電子進出介面缺陷，元件的臨限電壓會隨量測條件不同而有所

變化。

圖 4.7 為元件 R40_O10 經過數次量測後獲得的電性圖，每經過一次量測稱為一次的 stress，每次的 stress 量測順序為先進行一次 $I_D - V_{GS}$ 的量測，以獲得元件的 V_{th} ，在進行 $I_D - V_{DS}$ 量測，由圖 4.7(a)發現，元件的 V_{th} 會由大約 1 V 正向偏移到接近 4 V 往正向偏移，且由於 V_{th} 的偏移，元件的 $I_{d,max}$ 也由 141 mA/mm 下降至 2.4 mA/mm，如圖 4.7(b)。

我們將三顆元件進行穩定度的量測，在每一次的量測之前先進行一次的 recover，目的是確保元件的介面缺陷為未捕捉電子的狀態，recover 的條件為 $V_G = -5$ V，閘極偏壓在如圖 4.6(c)的狀態下， $V_D = V_S = 0$ V，每次進行量測前都會進行 15 分鐘的 recover，進行完 recover 的動作後，進行 stress 的動作，目的是將電子填入介面缺陷中，觀察填入時間對 V_{th} 的影響，stress 的條件為 $V_G = +5$ V，閘極偏壓在如圖 4.6(b)的狀態下， $V_D = V_S = 0$ V，圖 4.8 為三顆元件經過不同時間的 stress 後 V_{th} 變化圖，此次量測的元件尺寸為閘極長度 2 微米，閘極寬度 60 微米，閘極至汲極距離 5 微米，閘極至源極距離 3 微米，三顆元件的 V_{th} 皆因閘極施加偏壓而有偏移的現象，將 stress 時間對臨限電壓作圖，如圖 4.9，元件 R40_O10 和 R50_O10 的 V_{th} 在一開始隨著 stress 時間增加而明顯上升，之後趨近飽和，電子進入介面缺陷的時間快速，元件 R40_O10 的 V_{th} 總偏移量約為 1.87 V；元件 R40_O10 的 V_{th} 總偏移量約為 1.35 V，而元件 R45_O10 的 V_{th} 上升趨勢則較元件 R40_O10 和 R50_O10 緩慢， V_{th} 總偏移量約為 0.99 V。

接著將元件進行 recover 的動作，探討 recover 時間對 V_{th} 的變化，recover 的條件與上述相同，圖 4.10 為三顆元件經過不同時間的 recover 後 V_{th} 變化圖，經過 recover 後，三顆元件的 V_{th} 皆往負向偏移，將 recover 時間對 V_{th} 作圖，如圖 4.11，元件 R45_O10 的 V_{th} 恢復速度較其他兩顆元件為快，在 recover 時間為 180 秒時已恢復至初始的 V_{th} ，元件 R40_O10 和 R50_O10 的 V_{th} 在 recover 的時間為 900 秒時才恢復至初始狀態，由以上結果可知，元件 R40_O10 和 R50_O10 的電子進入介面缺陷的時間較元件 R45_O10 為快，且需花費較長時間才可使電

子從缺陷中釋放，由此推論元件 R40_O10 和 R50_O10 的介面缺陷數量較元件 R45_O10 為多，下一小節我們將利用高頻量測方法進行介面缺陷的分析。

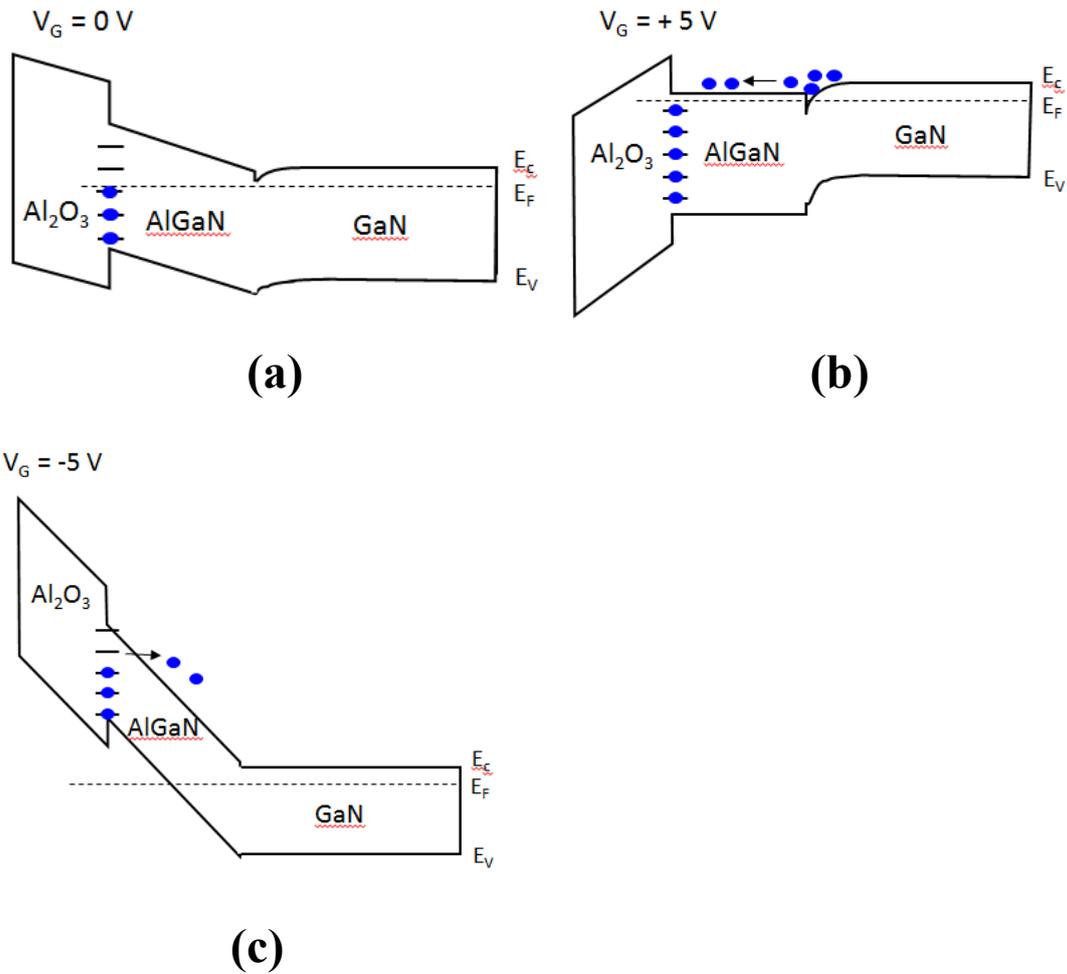
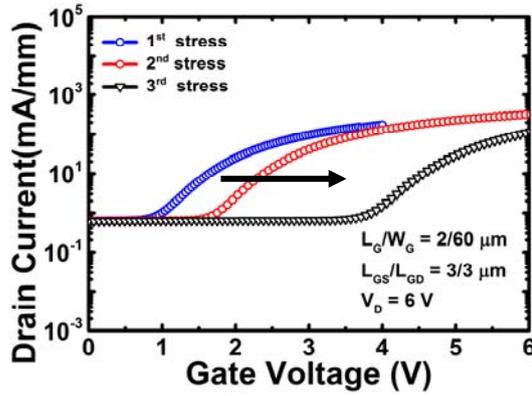
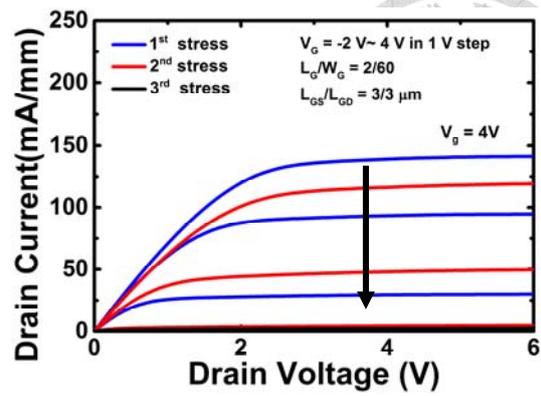


圖 4.6 氧化層/氮化鋁鎵/氮化鎵結構在 (a) $V_G = 0 \text{ V}$ (b) $V_G = +5 \text{ V}$ (c) $V_G = -5 \text{ V}$ 之

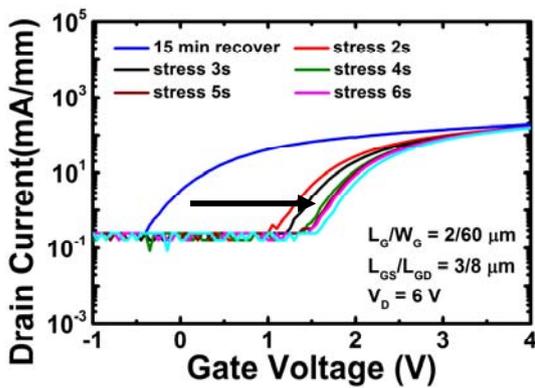
能帶示意圖



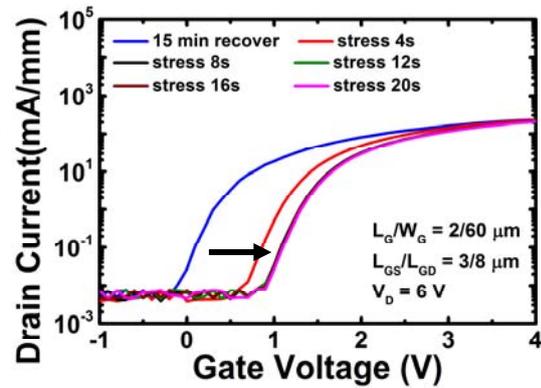
(a)



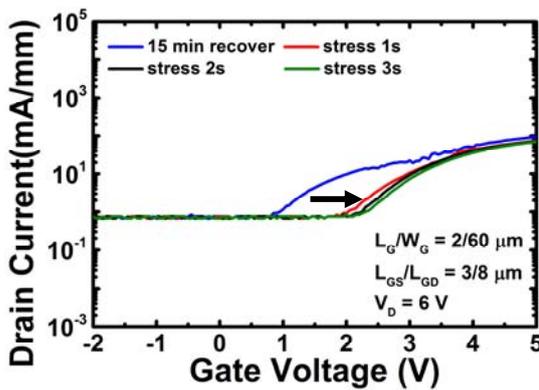
(b)

圖 4.7 元件 R40_O10 經過數次直流量測後之(a) $I_D - V_{GS}$ (b) $I_D - V_{DS}$ 特性曲線圖

(a)



(b)



(c)

圖 4.8 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 經過不同時間 stress 後之臨限

電壓變化

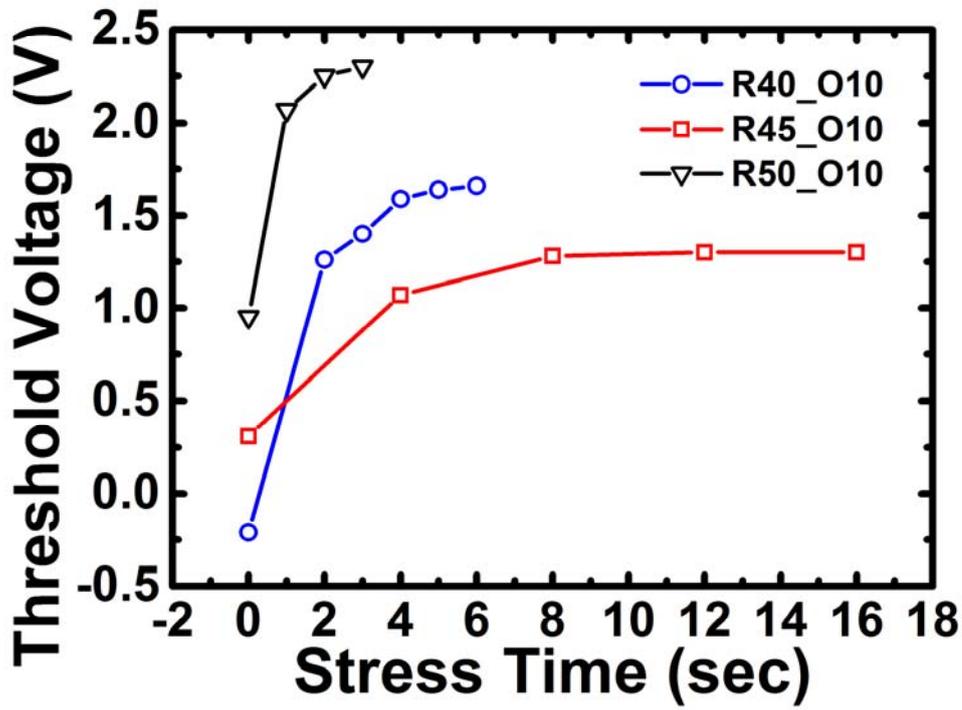
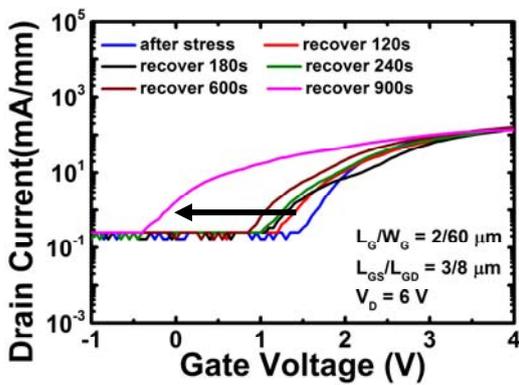
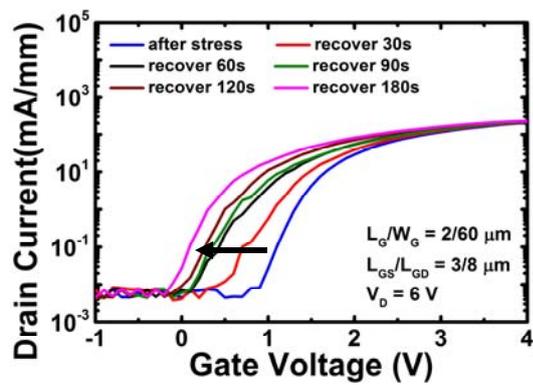


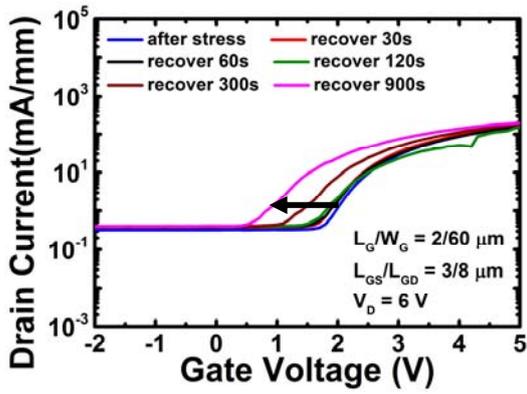
圖 4.9 元件 stress 時間與臨限電壓之變化圖



(a)



(b)



(c)

圖 4.10 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 經過不同時間 recover 後之

臨限電壓變化

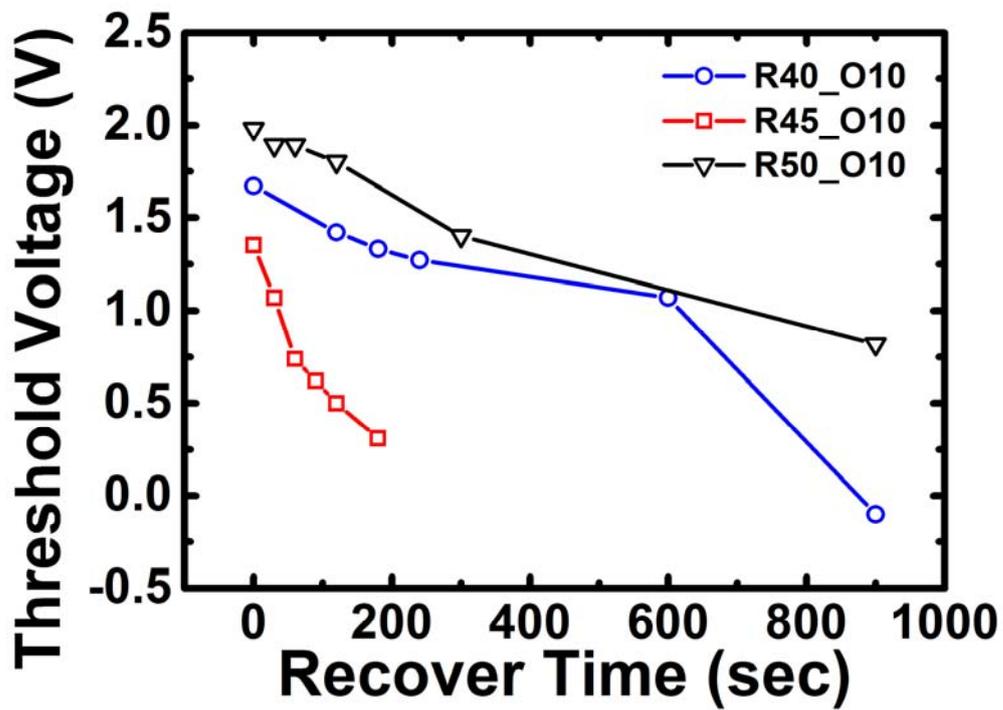


圖 4.11 元件 recover 時間與臨限電壓之變化圖

4.2.2 利用變頻電容-電壓量測與脈衝電流-電壓量測方法分析介面

缺陷



在 4.2.1 實驗中，我們發現元件會因不同的偏壓條件而有不同的臨限電壓變化，尤其三顆元件的閘極掘入皆靠近氮化鋁鎵/氮化鎵介面，元件特性會因些許的掘入深度差異而有明顯的變化，元件是否從二維電子氣通道轉變成反轉層通道也是本章節探討的重點之一。

由眾多文獻中可發現，在進行電容-電壓量測時，電容值將會出現兩個峰值，如圖 4.12 [24]，第一個峰值為電子累積在氮化鋁鎵/氮化鎵介面產生的電容值 (C_{AlGaN})，隨著閘極偏壓加大，電子會逐漸由氮化鋁鎵/氮化鎵介面轉移至氧化層/氮化鋁鎵介面，產生一串聯電容 ($C_{Al_2O_3}$)，由於閘極距離氮化鋁鎵/氮化鎵介面較近，總電容值會上升，圖 4.13 為元件 R40_O10、R45_O10 和 R50_O10 在 1MHz 頻率下量測到之電容-電壓特性圖，元件 R40_O10 的電容值在閘極偏壓大於 2 V 時有上升的趨勢，推測為第二峰值的出現，其他兩顆元件則無此現象，比較三顆元件在聚集區 (accumulation region) 時的電容值，元件 R40_O10 的電容值為 339 nF/cm²；元件 R45_O10 的電容值為 356 nF/cm²；元件 R50_O10 的電容值為 318 nF/cm²，元件 R45_O10 距離通道距離較元件 R40_O10 為近，電容值較大，由圖 4.12 的模擬圖可知，在電容出現第二峰值的區域，隨著介面缺陷數量的增加，電容上升的趨勢會越平緩，此即是電子進入氧化層/氮化鋁鎵介面缺陷，介面缺陷佔據電子後會帶負電性，此負電性會屏蔽閘極電廠，閘極需施加更大偏壓才可吸引同樣數量的電子，造成電容-電壓斜率的下降，元件 R45_O10 和 R50_O10 明顯呈現此斜率的變化，可推測兩顆元件確實為反轉層通道，元件 R50_O10 閘極區域離子轟擊時間較長，介面損傷較大，故斜率較平緩，而元件 R40_O10 電容出現第二峰值，推測仍為二維電子氣通道。

變頻電容-電壓量測為分析介面缺陷的方法之一，由於介面缺陷會因在能帶

中位置的不同而有不同的捕捉/釋放時間常數(capture / emission time constant)，位於能帶位置越深的缺陷其捕捉/釋放電子所需的時間越長，若介面缺陷捕捉電子的所需的時間小於電容-電壓量測掃動的時間($\tau_c < \frac{1}{2\pi f}$)，則電子會進入缺陷中並等效為一與氧化層電容串聯之電容 C_{it} ，圖 4.14 為三顆元件在不同頻率下量測之電容-電壓特性圖，由圖 4.14(a)和圖 4.14(c)可發現，當量測頻率從 1MHz 下降到 10KHz，電容值有上升的趨勢，原因是隨著量測頻率降低，有更多的缺陷具有足夠的時間能捕捉電子， C_{it} 上升，造成總電容上升，尤其元件 R40_O10 的電容值上升最多，元件介面缺陷最為嚴重，其次是元件 R50_O10，而元件 R45_O10 的電容值只有略微的上升，推測其介面缺陷最少。

為了確認上述的推論，我們利用脈衝電流-電壓(pulse I-V)的量測方法進行分析，使用的量測方法為 gate lag 量測[25][26]，由於使用的是短脈衝時間，介面缺陷捕捉的電子若無法在此脈衝時間內釋放電子則通道電阻會上升，造成電流的崩陷(current collapse)，由此電流下降的比例可推測介面缺陷的多寡，圖 4.15 為三顆元件的直流與脈衝電流-電壓量測結果，量測的元件尺寸為閘極長度 2 微米，閘極寬度 60 微米，閘極至汲極距離 8 微米，閘極至源極距離 3 微米，使用的脈衝寬度為 500 微秒，一個週期為 5 毫秒，閘極偏壓由 -4 V 脈衝至量測的目標閘極偏壓，在閘極偏壓為 5 V 時，元件 R40_O10 直流量測到的電流密度值為 356 mA/mm，脈衝量測得到的電流密度值為 212 mA/mm，電流密度下降約 40 %；元件 R45_O10 直流量測到的電流密度值為 244 mA/mm，脈衝量測得到的電流密度值為 227 mA/mm，電流密度下降約 7 %；元件 R50_O10 直流量測到的電流密度值為 188 mA/mm，脈衝量測得到的電流密度值為 121 mA/mm，電流密度下降約 35 %，元件 R40_O10 電流密度下降的比例最高，其次是元件 R50_O10，元件 R40_O10 的介面缺陷最為嚴重。

由 4.2.1 小節的實驗結果得知，元件 R40_O10 由閘極偏壓導致的 V_{th} 偏移最為嚴重，其次是元件 R45_O10，而在變頻電容-電壓量測與脈衝量測的結果皆顯

示元件 R40_O10 介面存在最多缺陷，此即是由於閘極掘入接近氮化鋁鎵/氮化鎵磊晶介面，而將氮化鋁鎵障壁層完全移除後，元件由二維電子氣通道轉變成反轉層通道，且介面缺陷有明顯地下降，但若繼續增加閘極掘入深度，通道阻值會大幅提高，且介面缺陷將明顯地提升。

再來是進行三顆元件的崩潰電壓量測，量測條件為源極端接地為 0 V，為了使電晶體在關閉狀態量測，我們施加 -5 V 在閘極端以空乏電晶體通道內之二維電子氣，量測的電晶體規格為閘汲極距離 3、5、8 和 12 微米，當汲極電壓施加到某一電壓值使電晶體汲極電流密度電流達 1 mA/mm 時即定義為崩潰電壓，圖 4.16 為三顆元件的崩潰電壓量測圖，三顆元件的崩潰電壓都隨著閘汲極距離增長而增加，比較三顆元件在閘汲極距離為 12 微米時的崩潰電壓，元件 R40_O10 的崩潰電壓為 298 V；元件 R45_O10 的崩潰電壓為 326 V；元件 R50_O10 的崩潰電壓為 36 V，元件 R45_O10 因其有最好的元件開關特性與最低的關閉狀態電流，可獲得較大的崩潰電壓，而元件 R50_O10 因其過深的閘極掘入深度，元件的關閉狀態電流最差，因此崩潰電壓最小。

在此章節實驗中，我們成功利用閘極掘入製程製作出常關型金氧半高電子遷移率電晶體，且藉著極慢的閘極蝕刻速率，我們可以很精準地控制蝕刻深度，並利用 KOH 的表面修復方法，製作出低介面缺陷的元件，此次製作出最好元件 R45_O10 最大臨限電壓約在 1 V，崩潰電壓約為 326 V，與其他團隊製作出的元件比較於表 4.2，同樣都是以矽當作基板的磊晶，以及利用閘極掘入的結構製作元件，利用公式 4.1

$$\text{BFOM} = \frac{V_{\text{br}}^2}{R_{\text{on,sp}}} \quad (4.1)$$

計算評比效能 BFOM(Baliga's figure of merit)判斷高功率元件的特性表現，元件 R45_O10 的 BFOM 值為 $2.9 \times 10^7 \text{ V}^2/\Omega \cdot \text{cm}^2$ ，相較其他團隊約小了一個數量級，主要是由於崩潰電壓的值相較其他團隊小很多，未來期望能夠提升磊晶品質用以獲得更大的崩潰電壓，或是優化鈍化層，降低關閉狀態漏電流，介面問題也仍待

改善，期望能獲得更大的臨限電壓以及導通電流。

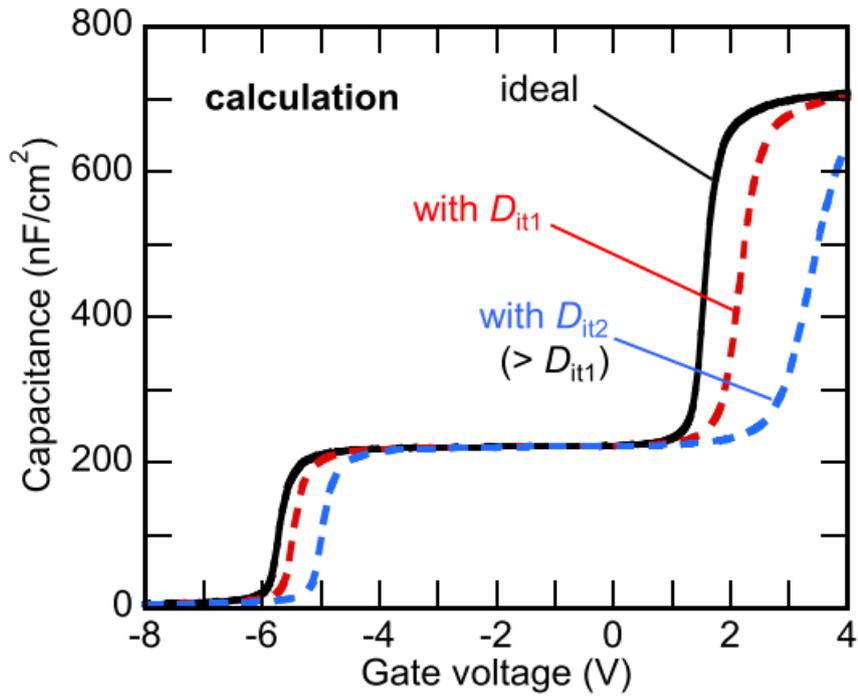
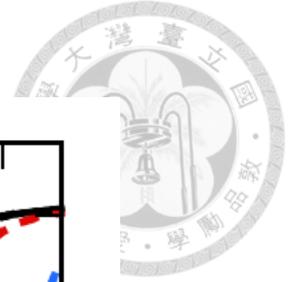


圖 4.12 文獻中模擬元件在不同數量的介面缺陷下之電容-電壓特性圖

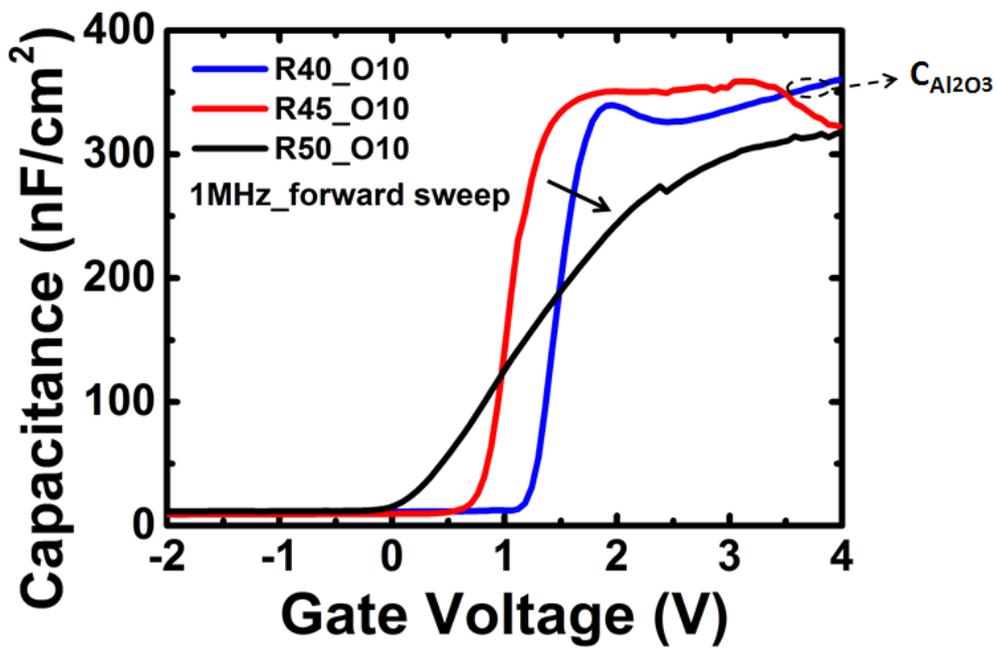
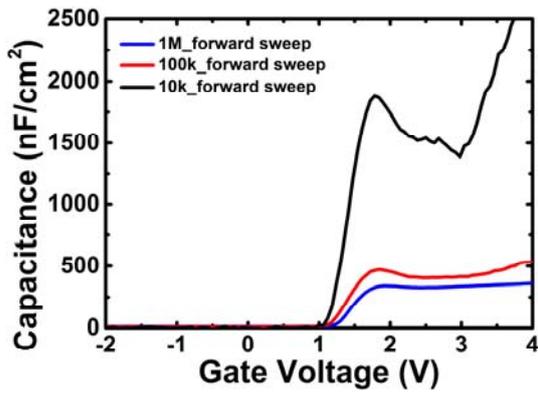
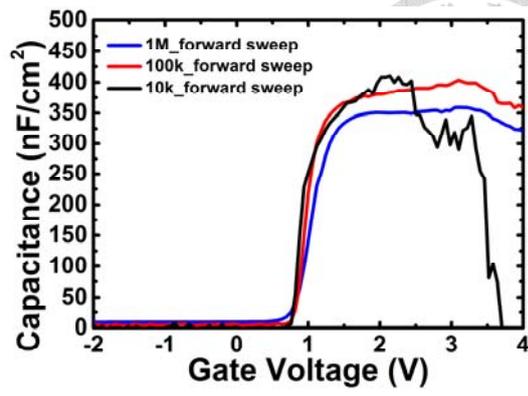


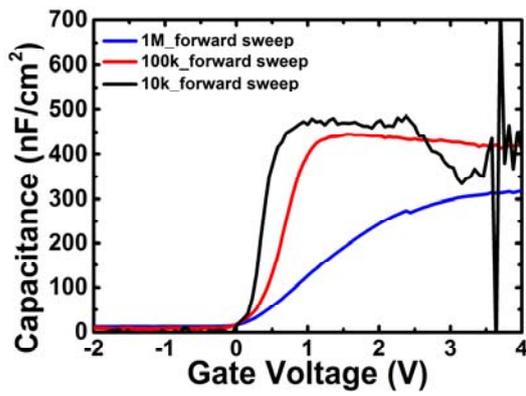
圖 4.13 元件在 1MHz 頻率下量測電容-電壓特性圖



(a)



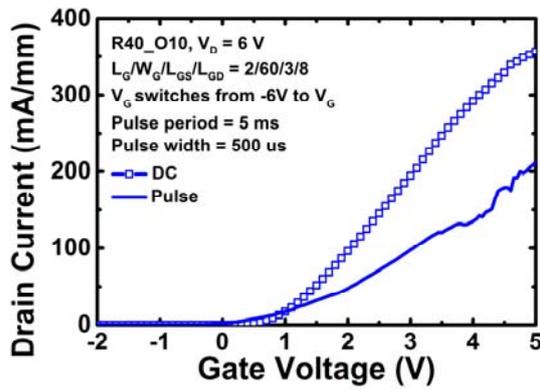
(b)



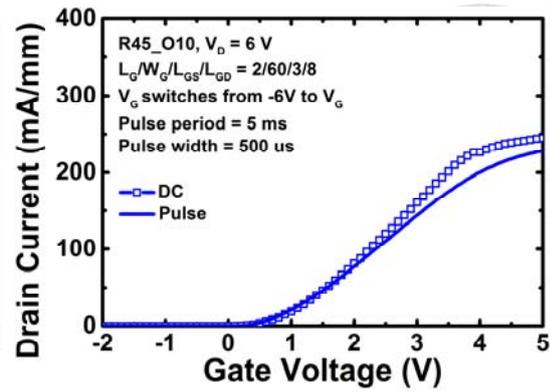
(c)

圖 4.14 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 在不同頻率下量測之電容-

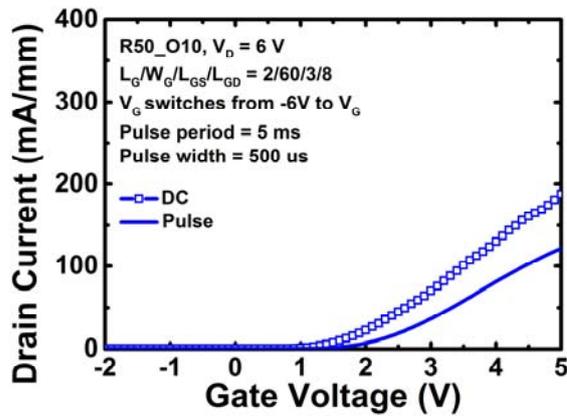
電壓特性圖



(a)



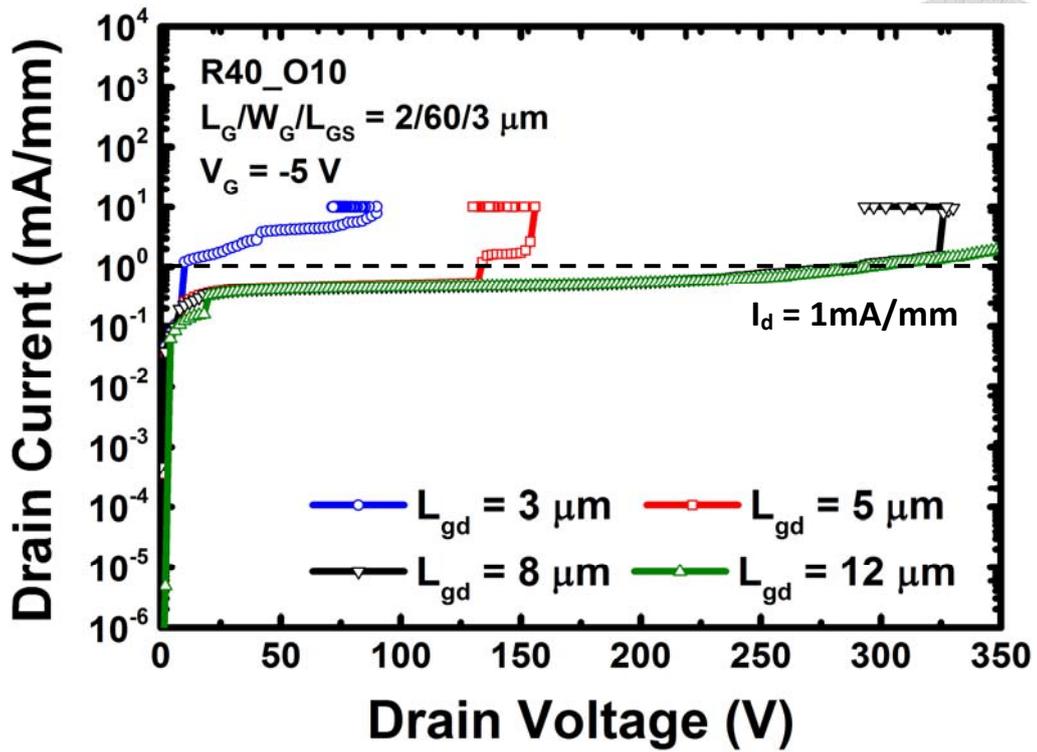
(b)



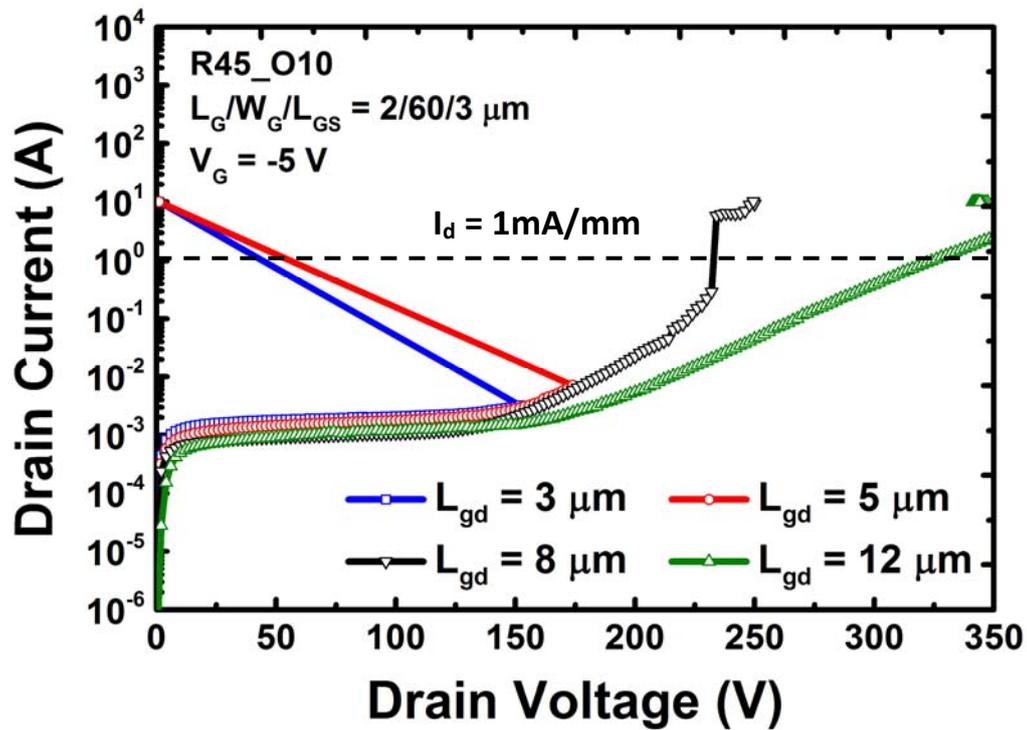
(c)

圖 4.15 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 直流和脈衝量測之 $I_D - V_{GS}$

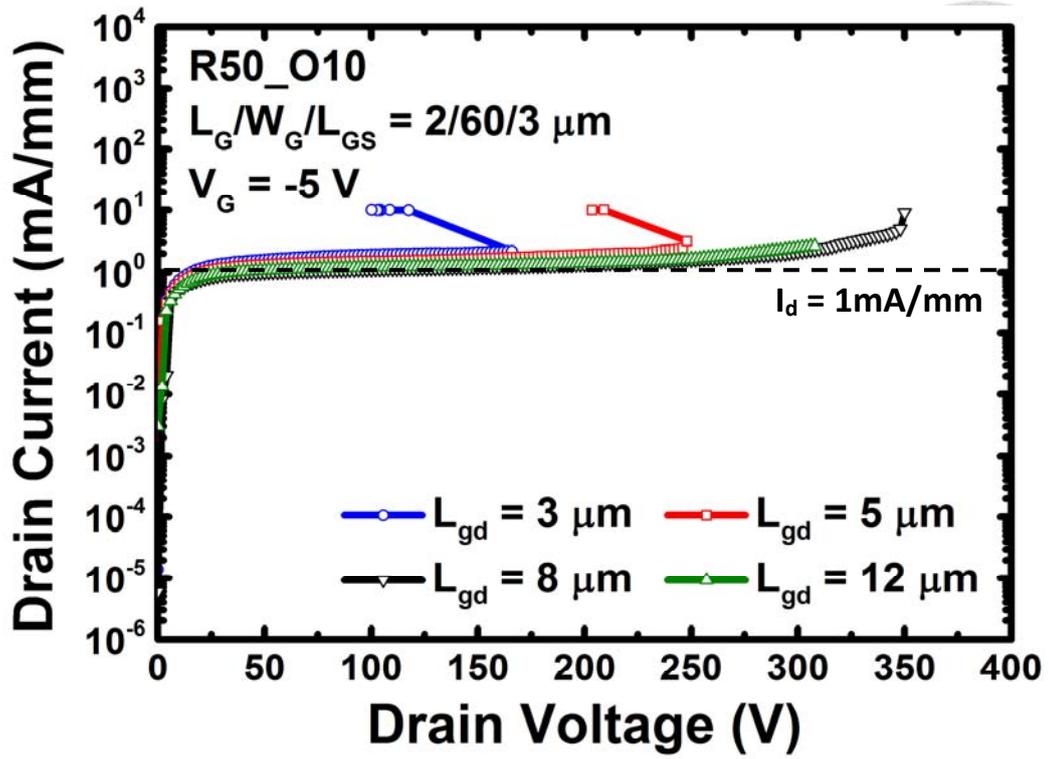
特性圖



(a)



(b)



(c)

圖 4.16 元件 (a) R40_O10 (b) R45_O10 (c) R50_O10 崩潰電壓量測圖

Year	Author	L_g/L_{gd} (μm)	V_{th} (V)	BV(V)	$R_{on,sp}$ ($\text{m}\Omega \cdot \text{cm}^2$)	Substrate	BFOM ($\text{V}^2/\Omega \cdot \text{cm}^2$)
2010	Bin Lu et al. [27]	2/18	2.9	643	4.3	Si	9.61×10^7
2013	Bong Ryeol Park et al. [28]	2/16	3	820	4.4	Si	1.52×10^8
2014	Ting En Hsieh et al. [29]	2/14.5	1.5	600	-	Si	-
2014	Joseph J. Freedman et al. [30]	1.5/20	2.4	825	2.5	Si	2.72×10^8
	This work (R45_O10)	2/12	1	324	3.6	Si	2.9×10^7

表 4.2 本篇實驗中之元件與其他團隊之元件特性比較表

第5章 結論與未來展望



氮化鎵功率元件廣泛地被許多研究單位所研究，常關型元件製作的技術也已日益成熟，要製作出高臨限電壓的元件難度不高，但由於氮化鎵材料本身強韌的化學性質，若要對其進行完整的蝕刻仍須採用離子轟擊乾蝕刻的製程，但伴隨的就是嚴重的介面缺陷問題，嚴重影響元件的特性及壽命，因此整篇論文重點在於對介面的修復以及探討。

在第 2 章的實驗中，我們首先是利用閘極掘入製程製作元件，並利用熱退火進行表面修復，使元件的開關特性有顯著地改善，但閘極掘入深度若持續增加則介面缺陷將更為嚴重，因此我們結合閘極掘入與氟離子製程，使元件的臨限電壓有約 2.6 V 的正向偏移。

為了使閘極能操作在更大的偏壓下，在第 3 章的實驗中我們加入了氧化層的結構，有效地抑制閘極漏電流，使閘極能加至更高偏壓，但由於同時進行閘極掘入與氟離子的製程，閘極區域損傷嚴重，使元件的臨限電壓有明顯地負向偏移，熱退火表面修復的製程無法有效地改善介面缺陷，有鑑於此，我們改用溼蝕刻式的方法進行閘極區域的修復，主要針對閘極掘入製程造成的損傷進行修復，實驗結果可發現，採用 KOH 修復的元件電流有明顯地提升，次臨限斜率也有下降的趨勢，介面缺陷造成的磁滯效應也獲得改善，此即是由於閘極掘入區域經過 KOH 處理後有平坦化的現象。

由於晶圓 sample 2 的氮化鋁鎵層厚度太厚，在第 3 章製作的元件即使已經進行 30 奈米的閘極掘入，臨限電壓仍只有 -3.43 V，因此在 4 章的實驗中，我們試圖將氮化鋁鎵層完全蝕刻掉，利用 1 Å/s 極低的氮化鋁鎵蝕刻率使我們能更精準地控制閘極掘入深度，此次實驗中製作出來最好的元件具有 1 V 的臨限電壓及 285 mA/mm 的飽和電流密度，同時我們利用直流與變頻的量測進行介面缺陷的分析，發現當閘極掘入深度若能精準地控制在氮化鋁鎵/氮化鎵介面處，能消除

原本因磊晶造成的缺陷，而使元件有最好的特性。

此次實驗我們製作出反轉層通道常關型金氧半高電子遷移率電晶體，但使用的氧化層只有 10 奈米，閘極偏壓最高只能加至 5 V，且反轉層通道元件理論上臨限電壓可隨著氧化層厚度的增加而提升[31]，未來可考慮增加氧化層厚度，在參數上優化的部分，利用感應耦合式電漿離子蝕刻機進行閘極掘入的參數需加以調整，除了降低蝕刻率外，蝕刻後的表面粗糙度也是注意的重點之一。

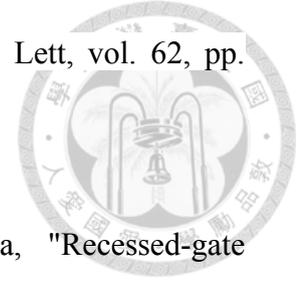
在表面修復的部分，由於 KOH 對氮化鎵的不平整蝕刻，可調整溶液濃度與溫度，得到較平整表面，或是利用如 NH₄OH 或 TMAH 等溶液進行修復，未來也可開發如數位蝕刻(digital etch) [32]、光致電化學蝕刻(PEC) [33]等濕時刻製程，降低表面缺陷，在分析介面缺陷的部分，可增加變溫、照光等量測方法，分析介面缺陷所位於的能階。

參考文獻

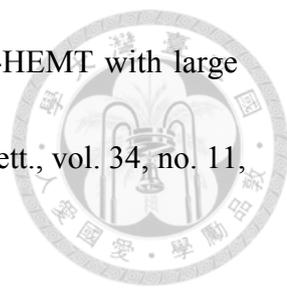


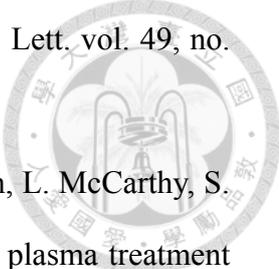
- [1] International Energy Agency, "World Energy Outlook 2016",
<http://www.worldenergyoutlook.org/>.
- [2] IHS Technology, "Silicon Carbide and Gallium Nitride Power Semiconductors - 2014", <https://technology.ihs.com/521146/sic-gan-power-semiconductors-2016>.
- [3] 宋宜駿 (2015)。科技政策觀點：節能趨勢下我國發展下世代電力元件之契機。
- [4] 廖宸梓、胡智威、宣融 (2013)。新電子：大尺度磊晶技術突破，GaN-on-Si 基板破裂問題有解。
- [5] 賴姿侑 (2013)。科技商情：氮化鎵(GaN)功率元件技術。
- [6] Lester F. Eastman and U.K. Mishra, "The toughest transistor yet [GaN transistors]," IEEE SPECTRUM, vol. 39, pp. 28-33, May 2002.
- [7] UCLA Prof. Xie's group, "Towards Dislocation-free III-nitrides: Selective epitaxy of GaN", <http://www.seas.ucla.edu/smrl/GaN.html>.
- [8] O.Ambacher, J. Smart, J. R.Shealy, Weimann, K. Chu, N. G. Murphy, M. Schaff, W. JEastman, L. F. Dimitrov, R. Wittmer, L. Stutzmann, M. Riegar, J. W. Hilsenbeck, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures" J.Appl. Phys, vol. 85, no. 6, Mar. 1999.
- [9] M. A. Khan, J. N. Kuznia, A. Bhattarai and D. T. Olson, "Metal Semiconductor

Field Effect Transistor on single crystal GaN,” Appl. Phys. Lett, vol. 62, pp. 1786-1787, 1986

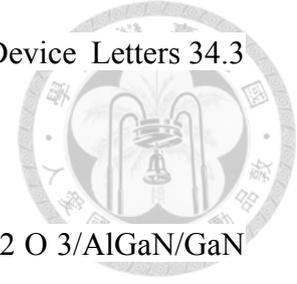


- [10] W. B. Lanford, T. Tanaka, Y. Otoki and I. Adesida, "Recessed-gate enhancement-mode GaN HEMT with high threshold voltage", Electron. Lett. vol. 8441, no. 7, pp.449-450 2005.
- [11] T. Oka and T. Nozawa, "AlGaIn/GaN recessed MIS-gate HFET with high-threshold-voltage normally-off operation for power electronics applications," IEEE Electron Device Lett., vol. 29, no. 7, pp. 668-670, Jul. 2008.
- [12] Y. Cai, Y. Zhou, K. J. Chen, and K. M. Lau, "High-performance enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment," IEEE Electron Device Lett., vol. 26, no. 7, pp. 435–437, Jul. 2005.
- [13] Y. Cai, Y. Zhou, K. M. Lau, and K. J. Chen, "Control of threshold voltage of AlGaIn/GaN HEMTs by fluoride-based plasma treatment: From depletion mode to enhancement mode," IEEE Trans. Electron Devices, vol. 53, no. 9, pp. 2207–2215, Sep. 2006.
- [14] B. Zhang, S. Tan, J. Xu, Z. Dong, G. Yu, Y. Cai, L. Xue, H. Chen, K. Hou, D. Zhao, Y. Wang, S. Liu, and K. J. Chen, "5.3A/400V normally-off AlGaIn/GaN-on-Si MOS-HEMT with high threshold voltage and large gate swing," Electron. Lett, vol. 49, no. 3, pp. 221–222, Jan. 2013.

- 
- [15] Z. Tang et al., “600-V normally off SiN_x /AlGa_N/Ga_N MIS-HEMT with large gate swing and low current collapse,” *IEEE Electron Device Lett.*, vol. 34, no. 11, pp. 1373–1375, Nov. 2013.
- [16] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, et al., “Gate injection transistor (GIT)—A normally-off AlGa_N/Ga_N power transistor using conductivity modulation,” *IEEE Trans. Electron Devices*, vol. 54, no. 12, pp. 3393–3399, Dec. 2007.
- [17] I. Hwang, H. Choi, J. Lee, H. Choi, J. Kim, J. Ha, et al., "1.6KV, 2.9 mΩ-cm² Normally-off p-GaN HEMT Device", *International Symposium on Power Semiconductor Devices and ICs*, 2012.
- [18] L.-Y. Su, F. Lee, and J. J. Huang, “Enhancement-mode Ga_N-based highelectron mobility transistors on the Si substrate with a P-Type Ga_N cap layer,” *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp. 460–465, Feb. 2014.
- [19] S. Karmalkar, M. S. Shur, G. Simin, and A. Khan, “Field-plate engineering for heterostructure field effect transistors,” *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2534–2540, Dec. 2005.
- [20] Steven C. Binari, P. B. Klein and Thomas E. Kazior, *Proceedings of the IEEE*, VOL. 90, NO. 6, JUNE 2002.
- [21] Rongming Chu, Chang Soo Suh, Man Hoi Wong, Nicholas Fichtenbaum, David Brown, Lee McCarthy, Stacia Keller, Feng Wu, James S. Speck, and Umesh K.

- 
- Mishra, "Impact of CF₄ Plasma Treatment on GaN," *Electron. Lett.* vol. 49, no. 3, pp. 221–222, Jan. 2013.
- [22] R. M. Chu, C. S. Suh, M. H. Wong, N. Fichtenbaum, D. Brown, L. McCarthy, S. Keller, F. Wu, J. S. Speck, and U. K. Mishra, "Impact of CF₄ plasma treatment on GaN," *IEEE Electron Device Lett.*, vol. 28, no. 9, pp. 781–783, Apr. 2007.
- [23] D. A. Stocker, E. F. Schubert and J. M. Redwing, "Crystallographic wet chemical etching of GaN," *Appl. Phys. Lett.* 73, 2654 (1998).
- [24] Y. Hori, Z. Yatabe and T. Hashizume, "Characterization of interface states in Al₂O₃/AlGaIn/GaN structures for improved performance of high-electron-mobility transistors," *J. Appl. Phys.* 114, 244503 (2013).
- [25] Y. Z. Yue, Y. Hao, J. C. Zhang, J. Y. Ni, W. Mao, Q. Feng, and L. J. Liu, "AlGaIn/GaN MOS-HEMT With HfO₂ dielectric and interfacial passivation layer grown by atomic layer deposition," *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 838–840, Aug. 2008.
- [26] T. Mizutani, Y. Ohno, M. Akita, S. Kishimoto, and K. Maezawa, "A study on current collapse in AlGaIn/GaN HEMTs induced by bias stress," *IEEE Trans. Electron Devices*, vol. 50, no. 10, pp. 2015–2020, Oct. 2003.
- [27] Lu, Bin, Omair Irfan Saadat, and Tomás Palacios. "High-performance integrated dual-gate AlGaIn/GaN enhancement-mode transistor." *IEEE Electron Device Letters* 31.9 (2010): 990-992.
- [28] Park, Bong-Ryeol, et al. "High-Quality ICPCVD for Normally Off

AlGaN/GaN-on-Si Recessed MOSHFETs." IEEE Electron Device Letters 34.3 (2013): 354-356.



[29] Hsieh, Ting-En, et al. "Gate recessed quasi-normally OFF Al₂O₃/AlGaN/GaN MIS-HEMT with low threshold voltage hysteresis using PEALD AlN interfacial passivation layer." IEEE Electron Device Letters 35.7 (2014): 732-734.

[30] Freedman, Joseph J., et al. "Normally-off Al₂O₃/AlGaN/GaN MOS-HEMT on 8 in. Si with low leakage current and high breakdown voltage (825 V)." Applied Physics Express 7.4 (2014): 041003.

[31] Bajaj, Sanyam, et al. "Simulation of Enhancement Mode GaN HEMTs with Threshold > 5 V using P-type Buffer." arXiv preprint arXiv: 1511.04438(2015).

[32] Buttari, D., et al. "Digital etching for highly reproducible low damage gate recessing on AlGaN/GaN HEMTs." High Performance Devices, 2002. Proceedings. IEEE Lester Eastman Conference on. IEEE, 2002.

[33] Chiou, Ya-Lan, Li-Hsien Huang, and Ching-Ting Lee. "Photoelectrochemical function in gate-recessed AlGaN/GaN metal-oxide-semiconductor high-electron-mobility transistors." IEEE Electron Device Letters 31.3 (2010): 183-185.